

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6460980号  
(P6460980)

(45) 発行日 平成31年1月30日(2019.1.30)

(24) 登録日 平成31年1月11日(2019.1.11)

(51) Int. Cl.			F I		
<b>H03L</b>	<b>7/08</b>	<b>(2006.01)</b>	H03L	7/08	105
<b>H03L</b>	<b>7/099</b>	<b>(2006.01)</b>	H03L	7/099	150
<b>H03B</b>	<b>5/20</b>	<b>(2006.01)</b>	H03B	5/20	A
<b>H03K</b>	<b>3/354</b>	<b>(2006.01)</b>	H03K	3/354	A

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2015-513018 (P2015-513018)	(73) 特許権者	509348867
(86) (22) 出願日	平成25年5月23日 (2013.5.23)		シリコン・ライン・ゲー・エム・ペー・ハ
(65) 公表番号	特表2015-525499 (P2015-525499A)		ー
(43) 公表日	平成27年9月3日 (2015.9.3)		ドイツ連邦共和国 80687 ミュンヘ
(86) 国際出願番号	PCT/DE2013/200016		ン ランツベルガー・シュトラッセ 31
(87) 国際公開番号	W02013/174377		4 / デア・ドリッテン エルゲーペー
(87) 国際公開日	平成25年11月28日 (2013.11.28)		LANDSBERGER STR. 31
審査請求日	平成28年5月20日 (2016.5.20)		4 / III RGB., 80687
(31) 優先権主張番号	102012104472.4		MUENCHEN, BUNDESRE
(32) 優先日	平成24年5月23日 (2012.5.23)		PUBLIK DEUTSCHLAND
(33) 優先権主張国	ドイツ (DE)	(74) 代理人	110001818
			特許業務法人R&C
		(72) 発明者	ヴェルカー, ハイנטツ
			ドイツ連邦共和国 82386 フークル
			フィング リングシュトラッセ 10
			最終頁に続く

(54) 【発明の名称】 電圧制御発振器のための作動信号を較正するための回路装置及び方法

(57) 【特許請求の範囲】

【請求項1】

電圧制御発振器(10)に提供される少なくとも1つの作動信号(Vbb)を較正するための回路装置(100)であって、

少なくとも1つの較正発振器(50)と、

前記較正発振器(50)に関連する少なくとも1つの基準発振器(30)と、

前記較正発振器(50)及び前記基準発振器(30)のクロックサイクル(N)の夫々の数をカウントするため、並びにこれら2つのクロックサイクル(N)の差からのクロックエラー(DE)を集積するために、前記較正発振器(50)及び前記基準発振器(30)の下流に配置された少なくとも1つのクロックカウンタ(70)と、

前記クロックエラー(DE)をアナログ調整信号(Vcm, Vcm-, Vcm+)に変換し、それから較正済み作動信号(Vbb)を導出可能にするために、前記クロックカウンタ(70)の下流に配置された少なくとも1つのデジタル/アナログ変換器(90)とを備え、

前記電圧制御発振器(10)は、

カソード接続部が第1のトランジスタ(22)のソース接点即ちエミッタ接続部、及び第2のトランジスタ(24)のドレイン接点即ちコレクタ接続部に接続された第1のバラクタ(12)と、

カソード接続部が第3のトランジスタ(26)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(28)のドレイン接点即ちコレクタ接続部に接続された第2のバ

ラクタ(14)と、からなる2つのバラクタ(12, 14)を備え、

前記較正発振器(50)は、

アノード接続部へ前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の第1の調整信号( $V_{cm}$ )及び前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の第2の調整信号( $V_{cm-}$ )が印加される第1のバラクタ(52)と、

アノード接続部へ前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第1の調整信号( $V_{cm}$ )及び第3の調整信号( $V_{cm+}$ )が印加される第2のバラクタ(54)と、

アノード接続部へ前記第1の調整信号( $V_{cm}$ )と前記第2の調整信号( $V_{cm-}$ )が印加される第3のバラクタ(56)と、

アノード接続部へ前記第1の調整信号( $V_{cm}$ )と前記第3の調整信号( $V_{cm+}$ )  
10  
が印加される第4のバラクタ(58)とを備え、

前記第1のバラクタ(52)のカソード接続部及び前記第2のバラクタ(54)のカソード接続部が互いに接続されるとともに、第1のトランジスタ(62)のソース接点即ちエミッタ接続部、及び第2のトランジスタ(64)のドレイン接点即ちコレクタ接続部と接続され、

前記第3のバラクタ(56)のカソード接続部及び前記第4のバラクタ(58)のカソード接続部が互いに接続されるとともに、第3のトランジスタ(66)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(68)のドレイン接点即ちコレクタ接続部と接続されることを特徴とする回路装置。

【請求項2】

前記第2のトランジスタ(24)のソース接点即ちエミッタ接続部と前記第4のトランジスタ(28)のソース接点即ちエミッタ接続部とが互いに接続されるとともに、少なくとも1つの電流源(20)に接続されることを特徴とする請求項1に記載の回路装置。

【請求項3】

前記第1のトランジスタ(22)のゲート接点即ち基準接続部と前記第3のトランジスタ(26)のゲート接点即ち基準接続部とが互いに接続されるとともに、バイアス電圧( $V_{bias}$ )がこれらに印加され、

前記第1のトランジスタ(22)のドレイン接点即ちコレクタ接続部と前記第3のトランジスタ(26)のドレイン接点即ちコレクタ接続部とは、前記電圧制御発振器(10)の出力信号( $V_e$ )を提供することを特徴とする請求項1又は2に記載の回路装置。  
30

【請求項4】

前記較正済み作動信号( $V_{bb}$ )は、前記電圧制御発振器(10)の前記第1のバラクタ(12)のアノード接続部、及び前記電圧制御発振器(10)の前記第2のバラクタ(14)のアノード接続部へ印加されることを特徴とする請求項1乃至3のいずれか一項に記載の回路装置。

【請求項5】

前記基準発振器(30)は、

アノード接続部へ基準電位( $GND$ )、特に、アース電位又は接地電位又はゼロ電位が印加される第1のバラクタ(32)と、

アノード接続部へ前記基準電位( $GND$ )が印加される第2のバラクタ(34)と、  
40

アノード接続部へ前記基準電位( $GND$ )が印加される第3のバラクタ(36)と、

アノード接続部へ前記基準電位( $GND$ )が印加される第4のバラクタ(38)とを備え、

前記第1のバラクタ(32)のカソード接続部と前記第2のバラクタ(34)のカソード接続部とが互いに接続されるとともに、第1のトランジスタ(42)のソース接点即ちエミッタ接続部、及び第2のトランジスタ(44)のドレイン接点即ちコレクタ接続部に接続され、前記第3のバラクタ(36)のカソード接続部及び前記第4のバラクタ(38)のカソード接続部が互いに接続されるとともに、第3のトランジスタ(46)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(48)のドレイン接点即ちコレクタ接続部に接続されることを特徴とする請求項1乃至4のいずれか一項に記載の回路装置。  
50

## 【請求項 6】

前記第 2 のトランジスタ ( 4 4 ) のソース接点即ちエミッタ接続部と前記第 4 のトランジスタ ( 4 8 ) のソース接点即ちエミッタ接続部とは、互いに接続されるとともに、少なくとも 1 つの電流源 ( 4 0 ) に接続されることを特徴とする請求項 5 に記載の回路装置。

## 【請求項 7】

前記第 1 のトランジスタ ( 4 2 ) のゲート接点即ち基準接続部及び前記第 3 のトランジスタ ( 4 6 ) のゲート接点即ち基準接続部は、互いに接続され、且つバイアス電圧 (  $V_{bias}$  ) が前記第 1 のトランジスタ ( 4 2 ) のゲート接点即ち基準接続部及び前記第 3 のトランジスタ ( 4 6 ) のゲート接点即ち基準接続部に印加され、

前記第 1 のトランジスタ ( 4 2 ) のドレイン接点即ちコレクタ接続部及び前記第 3 のトランジスタ ( 4 6 ) のドレイン接点即ちコレクタ接続部は、前記基準発振器 ( 3 0 ) の出力信号 (  $V_r$  ) を提供することを特徴とする請求項 5 又は 6 に記載の回路装置。

10

## 【請求項 8】

前記第 2 のトランジスタ ( 6 4 ) のソース接点即ちエミッタ接続部と前記第 4 のトランジスタ ( 6 8 ) のソース接点即ちエミッタ接続部とは、互いに接続されるとともに、少なくとも 1 つの電流源 ( 6 0 ) に接続されることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の回路装置。

## 【請求項 9】

前記第 1 のトランジスタ ( 6 2 ) のゲート接点即ち基準接続部及び前記第 3 のトランジスタ ( 6 6 ) のゲート接点即ち基準接続部は、互いに接続され、且つバイアス電圧 (  $V_{bias}$  ) が前記第 1 のトランジスタ ( 6 2 ) のゲート接点即ち基準接続部及び前記第 3 のトランジスタ ( 6 6 ) のゲート接点即ち基準接続部に印加され、

20

前記第 1 のトランジスタ ( 6 2 ) のドレイン接点即ちコレクタ接続部及び前記第 3 のトランジスタ ( 6 6 ) のドレイン接点即ちコレクタ接続部は、前記較正発振器 ( 5 0 ) の出力信号 (  $V_c$  ) を提供することを特徴とする請求項 1 乃至 8 のいずれか一項に記載の回路装置。

## 【請求項 10】

第 1 の較正済み作動信号 (  $V_{bb}$  ) が前記第 1 の調整信号 (  $V_{cm}$  ) に対応し、特に、前記第 1 の調整信号 (  $V_{cm}$  ) を構成し、

第 2 の較正済み作動信号 (  $V_{bb}$  ) が前記第 2 の調整信号 (  $V_{cm-}$  ) に対応し、特に、前記第 2 の調整信号 (  $V_{cm-}$  ) を構成し、

30

第 3 の較正済み作動信号 (  $V_{bb}$  ) が前記第 3 の調整信号 (  $V_{cm+}$  ) に対応し、特に、前記第 3 の調整信号 (  $V_{cm+}$  ) を構成することを特徴とする請求項 1 乃至 9 のいずれか一項に記載の回路装置。

## 【請求項 11】

電圧制御発振器 ( 1 0 ) に提供される少なくとも 1 つの作動信号 (  $V_{bb}$  ) を較正するための方法であって、

少なくとも 1 つの較正発振器 ( 5 0 ) 及び前記較正発振器 ( 5 0 ) と関連する少なくとも 1 つの基準発振器 ( 3 0 ) のクロックサイクル (  $N$  ) の各数が前記較正発振器 ( 5 0 ) 及び前記基準発振器 ( 3 0 ) の下流に配置された少なくとも 1 つのクロックカウンタ ( 7 0 ) によってカウントされ、これら 2 つのクロックサイクル (  $N$  ) の数の差から生じるクロックエラー (  $DE$  ) が集積され、

40

前記クロックエラー (  $DE$  ) が前記クロックカウンタ ( 7 0 ) の下流に配置された少なくとも 1 つのデジタル/アナログ変換器 ( 9 0 ) によってアナログ調整信号 (  $V_{cm}$  ,  $V_{cm-}$  ,  $V_{cm+}$  ) に変換され、前記アナログ調整信号 (  $V_{cm}$  ,  $V_{cm-}$  ,  $V_{cm+}$  ) から較正済み作動信号 (  $V_{bb}$  ) が導出され、

前記電圧制御発振器 ( 1 0 ) は、

カソード接続部が第 1 のトランジスタ ( 2 2 ) のソース接点即ちエミッタ接続部、及び第 2 のトランジスタ ( 2 4 ) のドレイン接点即ちコレクタ接続部に接続された第 1 のバラクタ ( 1 2 ) と、

50

カソード接続部が第3のトランジスタ(26)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(28)のドレイン接点即ちコレクタ接続部に接続された第2のバラクタ(14)と、からなる2つのバラクタ(12, 14)を備えるものであり、

前記較正発振器(50)は、

アノード接続部へ前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の第1の調整信号( $V_{cm}$ )及び前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の第2の調整信号( $V_{cm-}$ )が印加される第1のバラクタ(52)と、

アノード接続部へ前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第1の調整信号( $V_{cm}$ )及び第3の調整信号( $V_{cm+}$ )が印加される第2のバラクタ(54)と、

アノード接続部へ前記第1の調整信号( $V_{cm}$ )と前記第2の調整信号( $V_{cm-}$ )が印加される第3のバラクタ(56)と、

アノード接続部へ前記第1の調整信号( $V_{cm}$ )と前記第3の調整信号( $V_{cm+}$ )が印加される第4のバラクタ(58)とを備え、

前記第1のバラクタ(52)のカソード接続部及び前記第2のバラクタ(54)のカソード接続部が互いに接続されるとともに、前記第1のトランジスタ(62)のソース接点即ちエミッタ接続部、及び前記第2のトランジスタ(64)のドレイン接点即ちコレクタ接続部と接続され、

前記第3のバラクタ(56)のカソード接続部及び前記第4のバラクタ(58)のカソード接続部が互いに接続されるとともに、第3のトランジスタ(66)のソース接点即ちエミッタ接続部、及び第4のトランジスタ(68)のドレイン接点即ちコレクタ接続部と接続されるものであることを特徴とする方法。

【請求項12】

第1の較正済み作動信号( $V_{bb}$ )が前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第1の調整信号( $V_{cm}$ )に対応し、特に、前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第1の調整信号( $V_{cm}$ )を構成し、

第2の較正済み作動信号( $V_{bb}$ )が前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第2の調整信号( $V_{cm-}$ )に対応し、特に、前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第2の調整信号( $V_{cm-}$ )を構成し、

第3の較正済み作動信号( $V_{bb}$ )が前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第3の調整信号( $V_{cm+}$ )に対応し、特に、前記調整信号( $V_{cm}$ ,  $V_{cm-}$ ,  $V_{cm+}$ )の前記第3の調整信号( $V_{cm+}$ )を構成することを特徴とする請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック及び/又はデータ復元回路(CDR)のための少なくとも1つの電圧制御発振器を作動する技術分野に関し、より具体的には、本発明は、請求項1のプリアンブルに係る回路装置及び請求項13に係る方法に関する。

【背景技術】

【0002】

クロック及び/又はデータ復元即ちCDR回路のためのこの種の回路は、特に、位相検出器のタイプで区別される。

【0003】

線形位相検出器では、位相検出器の両入力での線形位相差は、検出器の出力で指示される。

【0004】

二値位相検出器では、位相検出器の2つの入力間での位相差のプラス/マイナス記号は、位相検出器の出力で確認される(先端又は後端)。これは、例えば、2つのデジタル位相検出器出力信号である(先端に対する)“アップ(up)”と(後端に対する)“ダウン(down)”とによって、又は、3つの異なる出力レベル、例えば、先端に対して2

10

20

30

40

50

00ミリボルト、ゼロに等しい位相差に対して400ミリボルト及び後端に対して600ミリボルトを取ることができる位相検出器出力信号によって指示され得る。出力電圧のレベルが位相検出器の入力で実際の位相差に関する情報を供給しないことが二値位相検出器の特徴であり、ゼロよりも小さい位相差、ゼロに等しい位相差、ゼロよりも大きい位相差、でのみ区別される。

【0005】

二値位相検出器を有するCDR回路は、それらが使用される技術の制限速度に対して実施がより容易で且つ非常にロバストな挙動（更に望ましくは、所謂、電源電圧変動除去）を示すために、1ギガヘルツよりも大きな周波数範囲におけるデータ伝送のためにしばしば使用される。

10

【0006】

更に、CDR回路の実施では、要求されるCDR回路のループフィルタにおけるより小さなオンチップ静電容量を実施し、更にCDR回路の位相ノイズを改良するために、2つの調整入力を有する電圧制御発振器（VCO）を使用するのが一般的である。

【0007】

図1は、従来技術からの2つの調整入力Vtune1とVtune2を有する電圧制御リング発振器ROの第1の例を示す。この電圧制御発振器ROの周波数は、2つの調整入力Vtune1とVtune2を介して別々に設定することができる。周波数の変更は、4つの個別のバラクタダイオードD1、D2、D3、D4によって設定される。

【0008】

20

図2は、従来技術からの2つの調整入力Vtune1とVtune2を有する電圧制御リング発振器RO'の第2の例を示す。第1の調整入力Vtune1は、通常、電圧制御発振器RO'の大まかな調節に使用され、ここでは、第1の電流源SQ1'のアンペア数 $I_1$ は、 $I_1 = I_{D[irect]C[urrent]}$  + 導電値 \* Vtune1となり、第2の電流源SQ2'のアンペア数 $I_2$ は、 $I_2 = I_{D[irect]C[urrent]}$  - 導電値 \* Vtune1となる。

【0009】

これら2つのデジタル信号upとdnbは、電圧制御発振器RO'の微調節を実行するために使用される。upとdnbは、二値位相検出器のデジタル出力信号であってもよい。

30

【0010】

図3は、例えば、upでの又はdnbでの電圧が100ミリボルトから1ボルト（=右軸）へ変化する場合の図2からの電圧制御発振器RO'の周波数調整範囲を示している。2つの調整信号upとdnbは、通常、デジタル特質の信号であるので、発振器RO'は、3つの異なる出力周波数を備える。

up = 0, dnb = 1 : 出力周波数 f0

up = 1, dnb = 1 : 出力周波数 f0 - df

up = 1, dnb = 0 : 出力周波数 f0

up = 0, dnb = 0 : 出力周波数 f0 + df

【0011】

40

図1乃至図3の2つの例によって記述された従来技術の不利な点は、一方では、2つのデジタル信号upとdnbの発生に起因する高エネルギー消費であり、他方では、4つのバラクタD1、D2、D3、D4（図1の第1の例を参照）/D1'、D2'、D3'、D4'（図2と図3の第2の例を参照）が必要なことに起因して低出力周波数が要求され、発振器RO/発振器RO'においてより多くの寄生容量が発生することである。

【発明の概要】

【発明が解決しようとする課題】

【0012】

上記で説明された不利な点及び不十分な点と、概説された従来技術とを考慮して、本発明の目的は、エネルギーの消費が可能な限り低く、且つ出力周波数が可能な限り高くなる

50

ように請求項 1 のプリアンブルに従う回路装置と請求項 1 3 のプリアンブルに従う方法とを更に発展させることである。

【課題を解決するための手段】

【0013】

この目的は、請求項 1 の特徴を有する回路装置及び請求項 1 3 の特徴を有する方法によって達成される。本発明の有利な実施形態及び好都合な更なる展開は、夫々の従属請求項で特徴付けられる。

【0014】

本発明に従って、少なくとも 1 つの二値位相発振器（所謂、バンバン位相検出器又は上昇 / 下降位相検出器）を含むクロック及びデータ復元（CDR）用の少なくとも 1 つの回路のための少なくとも 1 つの電圧制御発振器（VCO）は、4 つではなく 2 つだけのバラクタダイオード又は調整ダイオード又は静電容量ダイオード又はバリキャップが必要とされ、周波数変化が 2 つの作動信号ではなく 1 つの作動信号のみで達成されるように作動される。

【0015】

これは、現行品よりも低い寄生容量に起因して、同じ出力周波数を達成するために必要な電流が少なくなるために、低電力要請、即ち、低エネルギー消費を実現可能であることを意味する。他方、（現行品の 4 つのバラクタではなく）2 つのバラクタしかないために、より少ない寄生容量が電圧制御発振器で発生されるため、より高い出力周波数を実現でき、電圧制御発振器のレイアウトがよりコンパクトに設計され得る。

【0016】

最後に、本発明は、少なくとも 1 つの二値位相検出器（所謂、バンバン位相検出器又は上昇 / 下降位相検出器）を有する少なくとも 1 つのクロック及びデータ復元（CDR）用の少なくとも 1 つの回路のための少なくとも 1 つの電圧制御発振器（VCO）を作動するための上述のタイプに従う少なくとも 1 つの回路装置及び / 又は方法の使用に関する。

【図面の簡単な説明】

【0017】

上記で記述されたように、有利な方法で本発明の教示を具体化し且つ更に展開するための種々の可能性がある。このために、一方では、請求項 1 に従属している請求項及び請求項 1 3 に従属している請求項が参照され、他方では、本発明の更なる実施形態、特徴及び利点が、とりわけ図 4 乃至図 10 に描かれた例示の実施形態によってより詳細に以下で説明される。

同様若しくは類似の実施形態、要素又は特徴は、図 1 乃至図 10 において同一の参照番号が与えられる。

【図 1】従来技術の方法に従って動作する従来技術の電圧制御発振器の第 1 の例を概略図で示す。

【図 2】従来技術の方法に従って動作する従来技術の電圧制御発振器の第 2 の例を概略図で示す。

【図 3】図 2 の電圧制御発振器の典型的な周波数調整特性を作動電圧が右軸にプロットされている線図で示す。

【図 4】図 7 の発明による回路装置の一部であって、本発明の方法に従って動作する電圧制御発振器の実施形態を概略図で示す。

【図 5】図 4 の電圧制御発振器の典型的な周波数調整特性を作動電圧が右軸にプロットされている線図で示す。

【図 6】図 5 の周波数調整特性からの動作パラメータ依存偏差を線図で示す。

【図 7】本発明の方法に従って動作する本発明の回路装置の実施形態を概略図で示す。

【図 8】図 7 の発明による回路装置の一部であって、本発明の方法に従って動作する較正発振器の実施形態を概略図で示す。

【図 9】図 7 の発明による回路装置の一部であって、本発明の方法に従って動作する基準発振器の実施形態を概略図で示す。

10

20

30

40

50

【図10】図7の回路装置の計算の視覚図を線図で示す。

【発明を実施するための形態】

【0018】

図4は、電圧制御リング発振器10の実施形態を示す。この電圧制御発振器10の周波数は、2つの調整入力が必要とされる現行品(図1と図2を参照)とは対照的に、較正済み作動信号Vbbを介して調整され得る。ここで、周波数変化は、2つのバラクタダイオード又は調整ダイオード又は静電容量ダイオード又はバリキャップ12、14によって設定される。

【0019】

図4は、電圧制御発振器10の第1のバラクタ12のアノード接続部及び電圧制御発振器10の第2のバラクタ14のアノード接続部は、それらに印加される較正済み作動信号Vbbを有することを明らかにしている。

【0020】

第1のバラクタ12のカソード接続部は、電圧制御発振器10の第1のトランジスタ22のソース接点即ちエミッタ接続部と接続されるとともに、電圧制御発振器10の第2のトランジスタ24のドレイン接点即ちコレクタ接続部と接続され、第2のバラクタ14のカソード接続部は、電圧制御発振器10の第3のトランジスタ26のソース接点、即ちエミッタ接続部と接続されるとともに、電圧制御発振器10の第4のトランジスタ28のドレイン接点即ちコレクタ接続部と接続される。

【0021】

第2のトランジスタ24のソース接点即ちエミッタ接続部及び第4のトランジスタ28のソース接点即ちエミッタ接続部は、互いに接続されるとともに、電流源20と接続される。第1のトランジスタ22のゲート接点即ち基準接続部及び第3のトランジスタ26のゲート接点即ち基準接続部は、互いに接続されるとともに、それらに印加されるバイアス電圧Vbiasを有する。第1のトランジスタ22のドレイン接点即ちコレクタ接続部及び第3のトランジスタ26のドレイン接点即ちコレクタ接続部は、電圧制御発振器10の出力信号Veを提供する。

【0022】

図5は、作動電圧Vbbが100ミリボルトから700ミリボルトまでの範囲内で変化する場合の典型的な周波数調整特性を示す。発振器10は、二値位相検出器の出力に従って発生される調整入力Vbbで3つの離散的電圧を受信し、それらを使用して、3つの離散的出力周波数を発生する。

調整電圧Vbb = 200ミリボルト > 出力周波数  $f_0 - df$

調整電圧Vbb = 400ミリボルト > 出力周波数  $f_0$

調整電圧Vbb = 600ミリボルト > 出力周波数  $f_0 + df$

【0023】

周波数調整特性は、テクノロジー、供給電圧及び温度のような動作パラメータを介して変化する。この挙動は、図6に示され、図6は、出力周波数 $f_0$ を最適に調節するために400ミリボルトの代わりに約495ミリボルトの作動電圧Vbb、即ち、 $V_{dd} = 400$ ミリボルトの偏差が、例えば、120のチップ温度に対して約95ミリボルトであることを示している。

【0024】

全ての動作パラメータに対して正確な調整電圧Vbbを発生するために、本発明は、図7に示される実施形態として描かれているように較正発振器100を備える。

【0025】

図7の較正回路100は、図4を参照して上記された主発振器10のような本質的に同一の構造である2つの追加の発振器30、50を備える。しかしながら、これら2つの追加の発振器30、50は、実質的により低い周波数であるため、主発振器10よりも実質的に低い電流消費のために動作され得る。それにも関わらず、これら2つの追加の発振器30、50は、主発振器10と実質的に同じ調整特性を備える。

10

20

30

40

50

## 【 0 0 2 6 】

2つの追加の発振器30、50の内の一方は、図8に例として示される較正発振器50である。この発振器50は、期間 $T_{ref}$ の間、略400ミリボルトの第1の調整電圧 $V_{cm}$ を、次に、略600ミリボルトの第3の調整電圧 $V_{cm+}$ ( $=V_{cm}+200$ ミリボルト)を、その後、約200ミリボルトの第2の調整電圧 $V_{cm-}$ ( $=V_{cm}-200$ ミリボルト)を受け取る。

## 【 0 0 2 7 】

較正発振器50の第1のバラクタ52のアノード接続部は、それに印加される第1の調整電圧 $V_{cm}$ と第2の調整電圧 $V_{cm-}$ を有し、較正発振器50の第2のバラクタ54のアノード接続部は、それに印加される第1の調整電圧 $V_{cm}$ と第3の調整電圧 $V_{cm+}$ を有する。

10

## 【 0 0 2 8 】

第1のバラクタ52のカソード接続部と第2のバラクタ54のカソード接続部は、互いに接続されるとともに、較正発振器50の第1のトランジスタ62のソース接点即ちエミッタ接続部、及び較正発振器50の第2のトランジスタ64のドレイン接点即ちコレクタ接続部と接続される。

## 【 0 0 2 9 】

較正発振器50の第3のバラクタ56のアノード接続部は、それに印加される第1の調整電圧 $V_{cm}$ と第2の調整電圧 $V_{cm-}$ を有し、且つ較正発振器50の第4のバラクタ58のアノード接続部は、それに印加される第1の調整電圧 $V_{cm}$ と第3の調整電圧 $V_{cm+}$ を有する。

20

## 【 0 0 3 0 】

第3のバラクタ56のカソード接続部と第4のバラクタ58のカソード接続部は、互いに接続されるとともに、較正発振器50の第3のトランジスタ66のソース接点即ちエミッタ接続部、及び較正発振器50の第4のトランジスタ68のドレイン接点即ちコレクタ接続部と接続される。

## 【 0 0 3 1 】

第2のバラクタ64のソース接点即ちエミッタ接続部と第4のトランジスタ68のソース接点即ちエミッタ接続部は、互いに接続されるとともに電流源60と接続される。第1のトランジスタ62のゲート接点即ち基準接続部と第3のトランジスタ66のゲート接点即ち基準接続部は、互いに接続され、且つそれらに印加されるバイアス電圧 $V_{bias}$ を有する。第1のトランジスタ62のドレイン接点即ちコレクタ接続部と第3のトランジスタ66のドレイン接点即ちコレクタ接続部は、較正発振器50の出力信号 $V_c$ を提供する。

30

## 【 0 0 3 2 】

2つの追加の発振器30、50の他方は、図9に例として示される基準発振器30であり、それは、クロッキングに関して較正発振器50と関連する。

## 【 0 0 3 3 】

基準発振器30の第1のバラクタ32のアノード接続部と基準発振器30の第2のバラクタ34のアノード接続部は、基準電位 $GND$ 、即ち、それらに印加されるアース電位又は接地電位又はゼロ電位を有する。

40

## 【 0 0 3 4 】

第1のバラクタ32のカソード接続部と第2のバラクタ34のカソード接続部は、互いに接続されるとともに、基準発振器30の第1のトランジスタ42のソース接点即ちエミッタ接続部及び基準発振器30の第2のトランジスタ44のドレイン接点即ちコレクタ接続部と接続される。

## 【 0 0 3 5 】

基準発振器30の第3のバラクタ36のアノード接続部と基準発振器30の第4のバラクタ38のアノード接続部は、基準電位 $GND$ 、即ち、それらに印加されるアース電位又は接地電位又はゼロ電位を有する。

50

## 【 0 0 3 6 】

第3のバラクタ36のカソード接続部と第4のバラクタのカソード接続部は、互いに接続されるとともに、基準発振器30の第3のトランジスタ46のソース接点即ちエミッタ接続部及び基準発振器30の第4のトランジスタ48のドレイン接点即ちコレクタ接続部と接続される。

## 【 0 0 3 7 】

第2のトランジスタ44のソース接点即ちエミッタ接続部と第4のトランジスタのソース接点即ちエミッタ接続部は、互いに接続されるとともに電流源40に接続される。第1のトランジスタ42のゲート接点即ち基準接続部と第3のトランジスタ46のゲート接点即ち基準接続部は、互いに接続されるとともに、それらに印加されるバイアス電圧  $V_{bias}$  を有する。第1のトランジスタ42のドレイン接点即ちコレクタ接続部と第3のトランジスタ46のドレイン接点即ちコレクタ接続部は、基準発振器30の出力信号  $V_r$  を提供する。

10

## 【 0 0 3 8 】

前述のバラクタダイオード、調整ダイオード、静電容量ダイオード、バリキャップ12、14、32、34、36、38、52、54、56、及び58は、電子半導体コンポーネントである。そのため、印加電圧を変更することによって、例えば、10から1への静電容量における変動が得られ、それによって、電氣的に制御可能な静電容量が得られる。

## 【 0 0 3 9 】

前述のトランジスタ22、24、26、28、42、44、46、48、62、64、66、68の一部又は前述のトランジスタ22、24、26、28、42、44、46、48、62、64、66、68の全ては、特に、電界効果トランジスタ(FET)として、例えば、金属酸化物半導体電界効果トランジスタ(nタイプ金属酸化物半導体電界効果トランジスタ(nタイプMOSFET))のようなMOSFET)として構成され得る。

20

## 【 0 0 4 0 】

較正発振器50及び基準発振器30の下流に配置されるクロックカウンタ70(所謂、クロックサイクルエラーカウンタ)は、較正発振器50の出力信号  $V_c$  に及び基準発振器30の出力信号  $V_r$  に基づいて較正発振器50/基準発振器30のクロックサイクルの各数  $N$  を比較して、その差を形成する。

## 【 0 0 4 1 】

これら2つのクロックサイクル  $N$  の差からのクロックエラー(所謂、クロックサイクルエラー)は、クロックカウンタ70に集積され、デジタルバス信号として、クロックカウンタ70の下流に配置されたデジタル/アナログ変換器90へ入力信号として提供される。デジタル/アナログ変換器90は、クロックエラー  $DE$  を較正発振器50における調整電圧  $V_{cm}$ 、 $V_{cm-}$ 、 $V_{cm+}$  を正確な値に設定するアナログ信号へ変換する。

30

## 【 0 0 4 2 】

図10は、例として、較正回路100の計算、特に、精度、標準偏差、クロックカウンタ70の必要なカウンタ長、デジタル/アナログ変換器90のビット幅等を描いている。

## 【 0 0 4 3 】

この装置では、  
図10の最上ラインは、両側矢印で示される時間  $N * T_{ref} \pm T_{ref} * N^{0.5}$  にわたる信号長を示し、

40

上から2番目のラインは、 $N$  サイクルをカウントする基準発振器30の機能を示し、  
最後から2番目のラインは、周波数をシフトする較正発振器50の機能を示し、  
最後のラインは、クロックカウンタ70内のデジタル積分器の機能を示す。

## 【 0 0 4 4 】

調整電圧  $V_{cm} + 200$  ミリボルト (= 約 600 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@600}$  は、数式1で表され、これに対応して、調整電圧  $V_{cm}$  (= 約 400 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@4}$

50

00 は、数式 2 で表され、調整電圧  $V_{cm} - 200$  ミリボルト (= 約 200 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@200}$  は、数式 3 で表される。

【数 1】

$$\frac{N * T_{ref} \pm \sigma_{ref} \sqrt{N} \pm \sigma_{600} \sqrt{N \frac{T_{ref}}{T_{600}}}}{T_{600}}$$

【数 2】

$$\frac{N * T_{ref} \pm \sigma_{ref} \sqrt{N} \pm \sigma_{400} \sqrt{N \frac{T_{ref}}{T_{400}}}}{T_{400}}$$

10

【数 3】

$$\frac{N * T_{ref} \pm \sigma_{ref} \sqrt{N} \pm \sigma_{200} \sqrt{N \frac{T_{ref}}{T_{200}}}}{T_{200}}$$

20

【0045】

基準発振器 30 が較正発振器 50 と同じタイプのものである場合、ジッター性能は同じであり、数式 4 が成立する。

【数 4】

$$\sigma_x \sqrt{N \frac{T_{ref}}{T_x}} = \sigma_{ref} \sqrt{N} \quad (x = 200, 400, 600)$$

【0046】

この場合、調整電圧  $V_{cm} + 200$  ミリボルト (= 約 600 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@600}$ 、調整電圧  $V_{cm}$  (= 約 400 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@400}$ 、および、調整電圧  $V_{cm} - 200$  ミリボルト (= 約 200 ミリボルト) 中の結果としてのクロックサイクルの数  $N_{count@200}$  は、数式 5 で表される。

30

【数 5】

$$N_{count@x} = \frac{N * T_{ref}}{T_x} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_x} \quad (x = 200, 400, 600)$$

【0047】

デジタルエラー DE を考慮して、クロックカウンタ 70 内のデジタル集積器は、数式 6 で表される合計数を出力する。

40

【数 6】

$$\begin{aligned} & N_{count@600} - N_{count@400} + N_{count@200} - N_{count@400} \\ &= \frac{N * T_{ref}}{T_{600}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{600}} - \frac{N * T_{ref}}{T_{400}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{400}} + \frac{N * T_{ref}}{T_{200}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{200}} - \frac{N * T_{ref}}{T_{400}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{400}} \end{aligned}$$

【0048】

ここで、数式 7 の関係が成り立つので、結果としての周波数偏差は数式 8 で与えられる。

50

【数 7】

$$\pm \frac{2\sigma_{ref}\sqrt{N}}{T_{600}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{400}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{200}} \pm \frac{2\sigma_{ref}\sqrt{N}}{T_{400}} = \pm \frac{8\sigma_{ref}\sqrt{N}}{T_{400}}$$

【数 8】

$$\Delta f_{600-400} - \Delta f_{400-200}$$

$$= \frac{1}{T_{600}} - \frac{1}{T_{400}} - \left( \frac{1}{T_{400}} - \frac{1}{T_{200}} \right)$$

10

$$= \frac{1}{T_{600}} - \frac{1}{T_{400}} + \frac{1}{T_{200}} - \frac{1}{T_{400}}$$

$$= \pm \frac{8\sigma_{ref}}{T_{ref}T_{400}\sqrt{N}}$$

【符号の説明】

【 0 0 4 9 】

20

- 1 0 0 回路装置、特に、較正回路
- 1 0 電圧制御発振器、特に、電圧制御リング発振器
- 1 2 電圧制御発振器 1 0 の第 1 のバラクタ
- 1 4 電圧制御発振器 1 0 の第 2 のバラクタ
- 2 0 電圧制御発振器 1 0 の電流源
- 2 2 電圧制御発振器 1 0 の第 1 のトランジスタ
- 2 4 電圧制御発振器 1 0 の第 2 のトランジスタ
- 2 6 電圧制御発振器 1 0 の第 3 のトランジスタ
- 2 8 電圧制御発振器 1 0 の第 4 のトランジスタ
- 3 0 基準発振器
- 3 2 基準発振器 3 0 の第 1 のバラクタ
- 3 4 基準発振器 3 0 の第 2 のバラクタ
- 3 6 基準発振器 3 0 の第 3 のバラクタ
- 3 8 基準発振器 3 0 の第 4 のバラクタ
- 4 0 基準発振器 3 0 の電流源
- 4 2 基準発振器 3 0 の第 1 のトランジスタ
- 4 4 基準発振器 3 0 の第 2 のトランジスタ
- 4 6 基準発振器 3 0 の第 3 のトランジスタ
- 4 8 基準発振器 3 0 の第 4 のトランジスタ
- 5 0 較正発振器
- 5 2 較正発振器 5 0 の第 1 のバラクタ
- 5 4 較正発振器 5 0 の第 2 のバラクタ
- 5 6 較正発振器 5 0 の第 3 のバラクタ
- 5 8 較正発振器 5 0 の第 4 のバラクタ
- 6 0 較正発振器 5 0 の電流源
- 6 2 較正発振器 5 0 の第 1 のトランジスタ
- 6 4 較正発振器 5 0 の第 2 のトランジスタ
- 6 6 較正発振器 5 0 の第 3 のトランジスタ
- 6 8 較正発振器 5 0 の第 4 のトランジスタ
- 7 0 クロックサイクルカウンタ

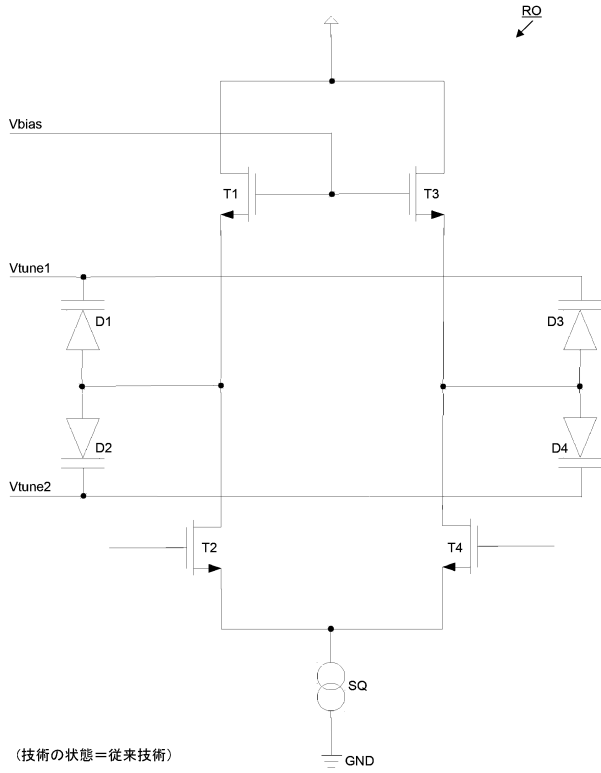
30

40

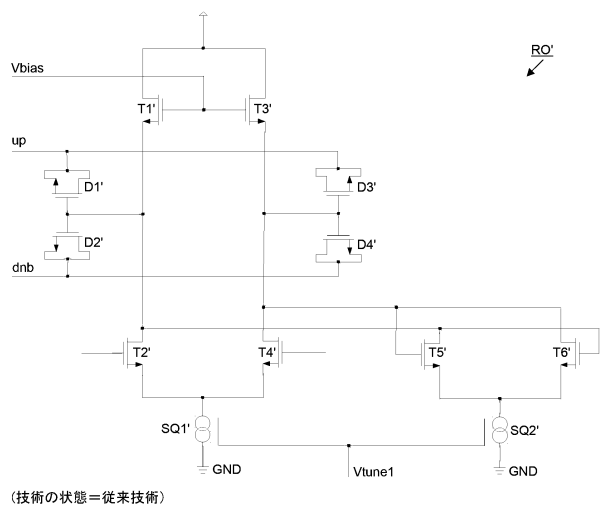
50

9 0	デジタル / アナログ変換器	
D 1	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 1 のバラクタ	
D 1 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 1 のバラクタ	
D 2	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 2 のバラクタ	
D 2 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 2 のバラクタ	
D 3	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 3 のバラクタ	
D 3 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 3 のバラクタ	
D 4	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 4 のバラクタ	
D 4 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 4 のバラクタ	
D E	クロックサイクルエラー、特に、デジタルクロックサイクルエラー	10
d n b	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) を微調整するための第 2 のデジタル信号	
G N D	基準電位、特に、アース電位又は接地電位又はゼロ電位	
1	第 1 の電流源 S Q 1 ′ ( = 従来技術 ; 図 2 参照 ) のアンペア数	
2	第 2 の電流源 S Q 2 ′ ( = 従来技術 ; 図 2 参照 ) のアンペア数	
N	クロックサイクルの数	
R O	電圧制御発振器、特に、電圧制御リング発振器 ( = 従来技術 ; 図 1 参照 )	
R O ′	電圧制御発振器、特に、電圧制御リング発振器 ( = 従来技術 ; 図 2 参照 )	
S Q	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の電流源	
S Q 1 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 1 の電流源	20
S Q 2 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 2 の電流源	
T r e f	時間又は時間間隔	
T 1	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 1 のトランジスタ	
T 1 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 1 のトランジスタ	
T 2	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 2 のトランジスタ	
T 2 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 2 のトランジスタ	
T 3	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 3 のトランジスタ	
T 3 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 3 のトランジスタ	
T 4	電圧制御発振器 R O ( = 従来技術 ; 図 1 参照 ) の第 4 のトランジスタ	
T 4 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 4 のトランジスタ	30
T 5 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 5 のトランジスタ	
T 6 ′	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の第 6 のトランジスタ	
u p	電圧制御発振器 R O ′ ( = 従来技術 ; 図 2 参照 ) の微調整のための第 1 のデジタル信号	
V b b	電圧制御発振器 1 0 の作動信号	
V b i a s	バイアス電圧	
V c	較正発振器 5 0 の出力信号	
V c m	較正発振器 5 0 の第 1 の調整信号	
V c m -	較正発振器 5 0 の第 2 の調整信号	
V c m +	較正発振器 5 0 の第 3 の調整信号	40
V e	電圧制御発振器 1 0 の出力信号	
V r	基準発振器 3 0 の出力信号	
V t u n e 1	第 1 の調整入力 ( = 従来技術 ; 図 1 と図 2 参照 )	
V t u n e 2	第 2 の調整入力 ( = 従来技術 ; 図 1 参照 )	

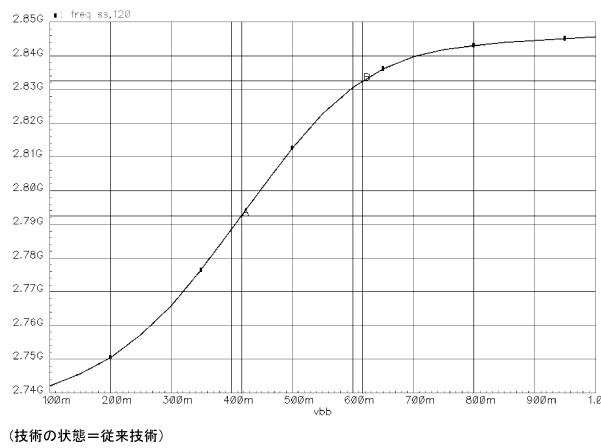
【 図 1 】



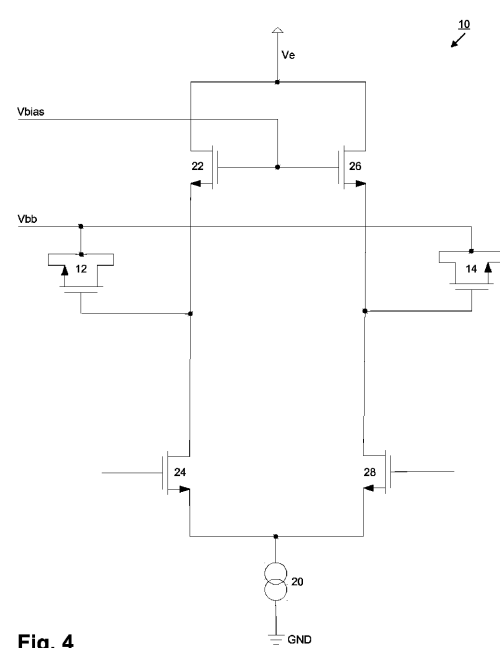
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

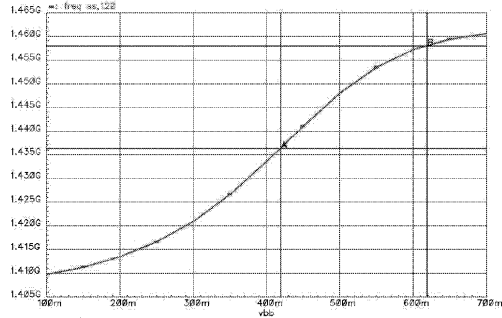


Fig. 5

【 図 6 】

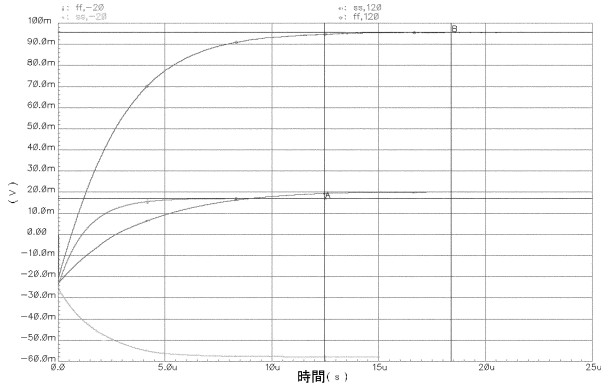


Fig. 6

【 図 7 】

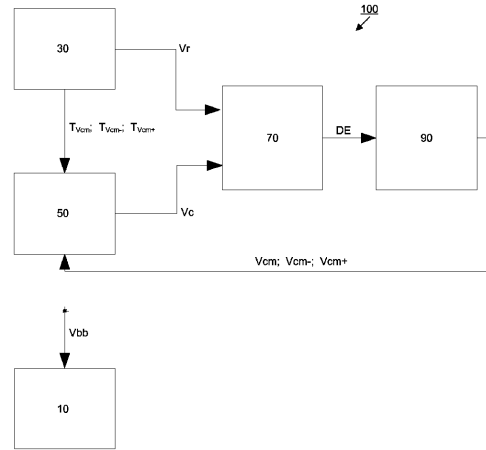


Fig. 7

【 図 8 】

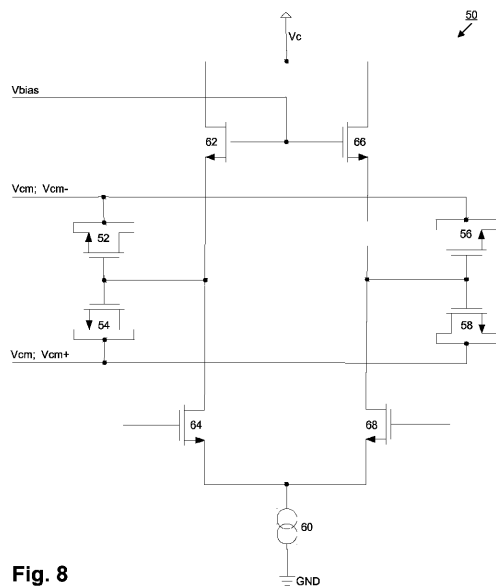


Fig. 8

【 図 9 】

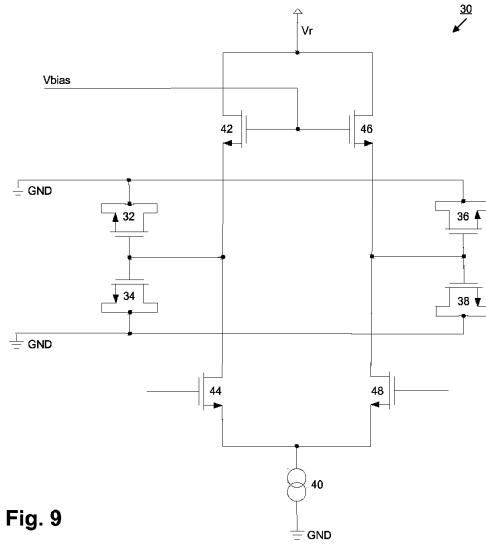
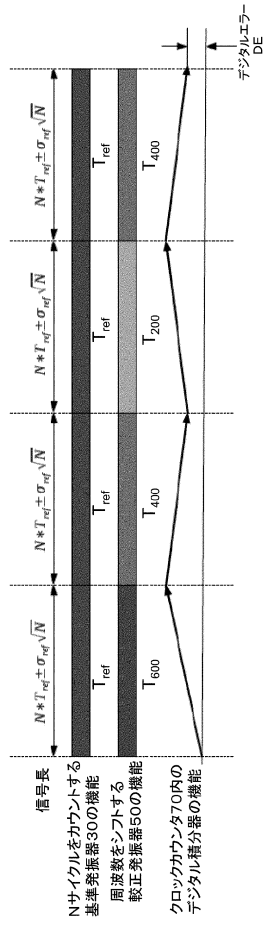


Fig. 9

【 図 10 】



---

フロントページの続き

審査官 鬼塚 由佳

(56)参考文献 特開2009-182898(JP,A)  
特開2010-178148(JP,A)  
特開2001-352218(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 1/00 - H03L 9/00  
H03B 5/00 - H03B 5/28  
H03K 3/26 - H03K 3/36