



(12)实用新型专利

(10)授权公告号 CN 208141792 U

(45)授权公告日 2018. 11. 23

(21)申请号 201820809711.7

(22)申请日 2018.05.28

(73)专利权人 北京京东方技术开发有限公司
地址 100176 北京市经济技术开发区地泽路9号1幢407室

专利权人 京东方科技集团股份有限公司

(72)发明人 先建波 许晨 郝学光 乔勇

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 彭久云

(51)Int.Cl.

G09G 3/20(2006.01)

G11C 19/28(2006.01)

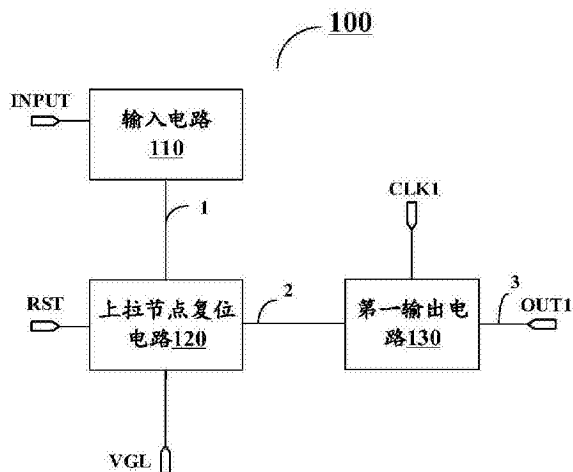
权利要求书3页 说明书16页 附图12页

(54)实用新型名称

移位寄存器单元、电路结构、驱动电路及显示装置

(57)摘要

一种移位寄存器单元、电路结构、栅极驱动电路、驱动电路及显示装置。该移位寄存器单元包括衬底基板和设置在衬底基板上的输入电路、上拉节点复位电路和第一输出电路、第一输出端、连接输入电路和上拉节点复位电路的第一连接导电部、连接上拉节点复位电路和第一输出电路的第二连接导电部以及连接第一输出电路和第一输出端的第三连接导电部。输入电路配置为对上拉节点进行充电；上拉节点复位电路配置为对上拉节点进行复位；第一输出电路配置为将第一信号输出至第一输出端；第一连接导电部、第二连接导电部以及第三连接导电部中的任意两个或三个异层设置。该移位寄存器单元可以避免各连接导电部均设置在同一层，避免了显示面板的走线设计复杂。



1. 一种移位寄存器单元,其特征在于,包括:衬底基板和设置在所述衬底基板上的输入电路、上拉节点复位电路和第一输出电路、第一输出端、连接所述输入电路和所述上拉节点复位电路的第一连接导电部、连接所述上拉节点复位电路和所述第一输出电路的第二连接导电部以及连接所述第一输出电路和所述第一输出端的第三连接导电部;其中,

所述输入电路配置为响应于输入信号对上拉节点进行充电;

所述上拉节点复位电路配置为响应于复位信号对所述上拉节点进行复位;

所述第一输出电路配置为在所述上拉节点的电平的控制下,将第一信号输出至所述第一输出端;

所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括第一信号线输入端和第四连接导电部;其中,

所述第四连接导电部连接所述第一输出电路和所述第一信号线输入端,且配置为与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,还包括输出降噪电路以及第五连接导电部;其中,

所述输出降噪电路配置为在下拉节点的电平的控制下,对所述第一输出端进行降噪;

所述第五连接导电部连接所述输出降噪电路和所述第一输出电路,且配置为与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

4. 根据权利要求3所述的移位寄存器单元,其特征在于,还包括下拉电路、第二信号线输入端以及第六连接导电部;

所述下拉电路配置为在所述上拉节点的电平和/或第二信号的控制下,对所述下拉节点的电平进行控制;

所述第六连接导电部配置为连接所述下拉电路和所述第二信号线输入端,且与所述第四连接导电部异层设置。

5. 根据权利要求1-4任一所述的移位寄存器单元,其特征在于,所述第一连接导电部的长度小于所述第二连接导电部的长度;或者,所述第一信号包括时钟信号、电压信号、电流信号中的至少之一。

6. 一种电路结构,其特征在于,包括衬底基板和设置在所述衬底基板上的第一晶体管、第二晶体管、第三晶体管和存储电容、第一输出端、第一连接导电部、第二连接导电部以及第三连接导电部;其中,

所述第一连接导电部配置为连接所述第一晶体管的第一极和所述第二晶体管的第一极;

所述第二连接导电部配置为连接所述第二晶体管的第一极和所述第三晶体管的栅极以及所述存储电容的第一极;

所述第三连接导电部配置为连接所述第一输出端和所述第三晶体管的第一极;

所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或

三个异层设置。

7. 根据权利要求6所述的电路结构,其特征在于,还包括第四晶体管、第一信号线输入端、第四连接导电部和第五连接导电部;其中,

所述第四连接导电部配置为连接所述第三晶体管的第二极和所述第一信号线输入端,且与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置;

所述第五连接导电部配置为连接所述第三晶体管的第一极和所述第四晶体管的第一极,且与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

8. 根据权利要求7所述的电路结构,其特征在于,还包括第五晶体管、第六晶体管、第二信号线输入端和第六连接导电部;其中,

所述第五晶体管的第一极通过所述第一连接导电部与所述第六晶体管的第一极连接;

所述第六连接导电部配置为连接所述第六晶体管的栅极和所述第二信号线输入端,且与所述第四连接导电部异层设置。

9. 根据权利要求6-8任一所述的电路结构,其特征在于,所述第三晶体管的第一极与所述第二连接导电部同层设置;或者,所述第一连接导电部与所述第一晶体管的半导体层材料相同。

10. 根据权利要求9所述的电路结构,其特征在于,还包括第七晶体管、第三信号线输入端和第七连接导电部;其中,

所述第七晶体管的栅极配置为与所述第一输出端连接以接收所述第一输出端的输出信号,所述第七晶体管的第一极配置为通过所述第七连接导电部与所述第三信号线输入端连接以接收第三信号,所述第七晶体管的第二极配置为与第二输出端连接;

在所述电路结构包括第四连接导电部的情况下,所述第七连接导电部配置为与所述第四连接导电部异层设置。

11. 根据权利要求10所述的电路结构,其特征在于,还包括第八晶体管;

所述第八晶体管的栅极配置为通过所述第二连接导电部与下拉节点连接,所述第八晶体管的第一极配置为与所述第二输出端连接,所述第八晶体管的第二极配置为与第一电压端连接以接收第一电压。

12. 一种栅极驱动电路,其特征在于,包括多个级联的如权利要求1-5任一所述的移位寄存器单元。

13. 根据权利要求12所述的栅极驱动电路,其特征在于,所述栅极驱动电路还包括第二输出电路、第三信号线输入端和第七连接导电部;

所述第二输出电路配置为在所述第一输出端输出的电平的控制下,将第三信号输出至第二输出端;

在所述移位寄存器单元包括第四连接导电部的情况下,所述第七连接导电部配置为连接所述第三信号线输入端和所述第二输出电路,且与所述第四连接导电部异层设置。

14. 一种驱动电路,其特征在于,包括多个级联的如权利要求6-11任一所述的电路结构。

15. 一种显示装置,其特征在于,包括权利要求12或13所述的栅极驱动电路或包括权利

要求14所述的驱动电路,所述栅极驱动电路或所述驱动电路设置在柔性阵列基板的四个侧边。

16. 根据权利要求15所述的显示装置,其特征在于,还包括第一导电层、第二导电层、第三导电层、第四导电层、第五导电层以及第六导电层,所述第一导电层与有源层材质相同,所述第二导电层与第一栅线层材质相同,所述第三导电层与第二栅线层材质相同,所述第四导电层与第一数据线层材质相同,所述第五导电层与第二数据线层材质相同,所述第六导电层与像素电极的材质相同。

移位寄存器单元、电路结构、驱动电路及显示装置

技术领域

[0001] 本公开的实施例涉及一种移位寄存器单元、电路结构、栅极驱动电路、驱动电路及显示装置。

背景技术

[0002] 在显示技术领域,例如显示面板的像素阵列通常包括多行栅线和与之交错的多列数据线。对栅线的驱动可以通过贴附的集成驱动电路实现。近几年随着薄膜晶体管工艺的不断提高,也可以将栅线驱动电路直接集成在薄膜晶体管阵列基板上构成GOA (Gate driver On Array) 来对栅线进行驱动。例如,可以采用由多个级联的移位寄存器单元构成的GOA为像素阵列的多行栅线提供开关态电压信号,从而控制多行栅线依序打开。

实用新型内容

[0003] 本公开至少一实施例提供一种移位寄存器单元,可以根据晶体管相互之间的距离灵活地选取连接导电部的位置,避免了连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。

[0004] 本公开至少一个实施例提供一种移位寄存器单元,包括衬底基板和设置在所述衬底基板上的输入电路、上拉节点复位电路和第一输出电路、第一输出端、连接所述输入电路和所述上拉节点复位电路的第一连接导电部、连接所述上拉节点复位电路和所述第一输出电路的第二连接导电部以及连接所述第一输出电路和所述第一输出端的第三连接导电部。所述输入电路配置为响应于输入信号对上拉节点进行充电;所述上拉节点复位电路配置为响应于复位信号对所述上拉节点进行复位;所述第一输出电路配置为在所述上拉节点的电平的控制下,将第一信号输出至所述第一输出端;所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

[0005] 例如,本公开一实施例提供的移位寄存器单元,还包括第一信号线输入端和第四连接导电部。所述第四连接导电部连接所述第一输出电路和所述第一信号线输入端,且配置为与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

[0006] 例如,本公开一实施例提供的移位寄存器单元,还包括输出降噪电路以及第五连接导电部。所述输出降噪电路配置为在下拉节点的电平的控制下,对所述第一输出端进行降噪;所述第五连接导电部连接所述输出降噪电路和所述第一输出电路,且配置为与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

[0007] 例如,本公开一实施例提供的移位寄存器单元,还包括下拉电路、第二信号线输入端以及第六连接导电部。所述下拉电路配置为在所述上拉节点的电平和/或第二信号的控制下,对所述下拉节点的电平进行控制;所述第六连接导电部配置为连接所述下拉电路和所述第二信号线输入端,且与所述第四连接导电部异层设置。

[0008] 例如,在本公开一实施例提供的移位寄存器单元中,所述第一连接导电部的长度小于所述第二连接导电部的长度;或者,所述第一信号包括时钟信号、电压信号、电流信号中的至少之一;或者,所述第二信号包括时钟信号、电压信号、电流信号中的至少之一。

[0009] 本公开至少一个实施例还提供一种电路结构,包括衬底基板和设置在所述衬底基板上的第一晶体管、第二晶体管、第三晶体管和存储电容、第一输出端、第一连接导电部、第二连接导电部以及第三连接导电部。所述第一连接导电部配置为连接所述第一晶体管的第一极和所述第二晶体管的第一极;所述第二连接导电部配置为连接所述第二晶体管的第一极和所述第三晶体管的栅极以及所述存储电容的第一极;所述第三连接导电部配置为连接所述第一输出端和所述第三晶体管的第一极;所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

[0010] 例如,本公开一实施例提供的电路结构,还包括第四晶体管、第一信号线输入端、第四连接导电部和第五连接导电部。所述第四连接导电部配置为连接所述第三晶体的第二极和所述第一信号线输入端,且与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置;所述第五连接导电部配置为连接所述第三晶体管的第一极和所述第四晶体管的第一极,且与所述第一连接导电部、所述第二连接导电部以及所述第三连接导电部中的任意两个或三个异层设置。

[0011] 例如,本公开一实施例提供的电路结构,还包括第五晶体管、第六晶体管、第二信号线输入端和第六连接导电部。所述第五晶体管的第一极通过所述第一连接导电部与所述第六晶体管的第一极连接;所述第六连接导电部配置为连接所述第六晶体的栅极和所述第二信号线输入端,且与所述第四连接导电部异层设置。

[0012] 例如,在本公开一实施例提供的电路结构中,所述第三晶体管的第一极与所述第二连接导电部同层设置;或者,所述第一连接导电部与所述第一晶体的半导体层材料相同。

[0013] 例如,本公开一实施例提供的电路结构,还包括第七晶体管、第三信号线输入端和第七连接导电部。所述第七晶体的栅极配置为与所述第一输出端连接以接收所述电路结构的输出信号,所述第七晶体管的第一极配置为通过所述第七连接导电部与所述第三信号线输入端连接以接收第三信号,所述第七晶体的第二极配置为与第二输出端连接;在所述电路结构包括第四连接导电部的情况下,所述第七连接导电部配置为与所述第四连接导电部异层设置。

[0014] 例如,本公开一实施例提供的电路结构,还包括第八晶体管;所述第八晶体的栅极配置为通过所述第二连接导电部与下拉节点连接,所述第八晶体管的第一极配置为与所述第二输出端连接,所述第八晶体的第二极配置为与第一电压端连接以接收第一电压。

[0015] 本公开至少一个实施例提供一种栅极驱动电路,包括多个级联的本公开任一实施例提供的移位寄存器单元。

[0016] 例如,在本公开一实施例提供的栅极驱动电路中,所述栅极驱动电路还包括第二输出电路、第三信号线输入端和第七连接导电部。所述第二输出电路配置为在所述第一输出端输出的电平的控制下,将第三信号输出至第二输出端;在所述移位寄存器单元包括第四连接导电部的情况下,所述第七连接导电部配置为连接所述第三信号线输入端和所述第二输出电路,且与所述第四连接导电部异层设置。

[0017] 本公开至少一个实施例还提供一种驱动电路,包括多个级联的本公开任一实施例提供的电路结构。

[0018] 本公开至少一个实施例提供一种显示装置,包括本公开任一实施例提供的栅极驱动电路或驱动电路,所述栅极驱动电路或所述驱动电路设置在柔性阵列基板的四个侧边。

[0019] 例如,本公开一实施例提供的显示装置,还包括第一导电层、第二导电层、第三导电层、第四导电层、第五导电层以及第六导电层,所述第一导电层与有源层材质相同,所述第二导电层与第一栅线层材质相同,所述第三导电层与第二栅线层材质相同,所述第四导电层与第一数据线层材质相同,所述第五导电层与第二数据线层材质相同,所述第六导电层与像素电极的材质相同。

附图说明

[0020] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0021] 图1为本公开一实施例提供了一种移位寄存器单元的一个示例的示意图;

[0022] 图2为本公开一实施例提供了一种移位寄存器单元的另一个示例的示意图;

[0023] 图3为图1中所示的移位寄存器单元的一种具体实现示例的电路示意图;

[0024] 图4A为沿着图3中的A1-A2线剖取的阵列基板的一个示例的剖面结构示意图;

[0025] 图4B为沿着图3中的C1-C2线剖取的阵列基板的剖面结构示意图;

[0026] 图4C为沿着图3中的D1-D2线剖取的阵列基板的剖面结构示意图;

[0027] 图4D为本公开一实施例提供的各个连接导电部所在的导电层的剖面结构示意图;

[0028] 图5为图2中所示的移位寄存器单元的一种具体实现示例的电路示意图;

[0029] 图6为本公开一实施例提供了一种移位寄存器单元的又一个示例的示意图;

[0030] 图7为图6中所示的移位寄存器单元的一种具体实现示例的电路示意图;

[0031] 图8为图6中所示的移位寄存器单元的另一种具体实现示例的电路示意图;

[0032] 图9A为本公开一实施例提供了一种栅极驱动电路的一个示例的示意图;

[0033] 图9B为本公开一实施例提供了一种栅极驱动电路的另一个示例的示意图;

[0034] 图9C为本公开一实施例提供了一种栅极驱动电路的又一个示例的示意图;

[0035] 图10A为图9B或图9C中所示的一种栅极驱动电路的示意框图;

[0036] 图10B为图10A中所示的栅极驱动电路的一种具体实现示例的电路示意图;

[0037] 图11A为对应于图9B中所示的栅极驱动电路工作时的信号时序图;

[0038] 图11B为对应于图9C中所示的栅极驱动电路工作时的信号时序图;以及

[0039] 图12为本公开一实施例提供了一种显示装置的示意图。

具体实施方式

[0040] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0041] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具

有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0042] 下面,将参照附图详细描述根据本公开的各个实施例。需要注意的是,在附图中,将相同的附图标记赋予基本上具有相同或类似结构和功能的组成部分,并且将省略关于它们的重复描述。

[0043] 在显示面板技术中,为了实现低成本和窄边框,可以采用GOA (Gate driver On Array) 技术,即将栅极驱动电路通过薄膜晶体管工艺集成在显示面板上,从而可以实现窄边框和降低装配成本等优势。由于GOA中的薄膜晶体管 (Thin Film Transistor, TFT) 的数量较多,且相互TFT之间一般采用相同材料的连接导电部连接,例如采用同一金属层连接,因此,在显示面板有限的布局空间内,这样的连接方式容易导致各个TFT之间的连接关系复杂,甚至还会由于各个TFT之间的连接导电部的间距较小,对TFT之间的信号的传输造成影响。

[0044] 本公开至少一实施例提供一种移位寄存器单元,包括衬底基板和设置在衬底基板上的输入电路、上拉节点复位电路和第一输出电路、第一输出端、连接输入电路和上拉节点复位电路的第一连接导电部、连接上拉节点复位电路和第一输出电路的第二连接导电部以及连接第一输出电路和第一输出端的第三连接导电部。输入电路配置为响应于输入信号对上拉节点进行充电;上拉节点复位电路配置为响应于复位信号对上拉节点进行复位;第一输出电路配置为在上拉节点的电平的控制下,将第一信号输出至第一输出端;第一连接导电部、第二连接导电部以及第三连接导电部中的任意两个或三个异层设置。本公开至少一实施例还提供了一种电路结构、栅极驱动电路和显示装置。

[0045] 本公开实施例提供的移位寄存器单元可以根据晶体管之间的距离灵活地选取连接导电部的位置,避免了连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。

[0046] 下面,将参考附图详细地说明本公开的实施例。应当注意的是,不同的附图中相同的附图标记将用于指代已描述的相同的元件。

[0047] 图1为本公开一实施例提供的一种移位寄存器单元的一个示例的示意框图。如图1所示,该移位寄存器单元100包括衬底基板(图中未示出)和设置在衬底基板上的输入电路110、上拉节点复位电路120、第一输出电路130以及第一输出端OUT1。例如,该移位寄存器单元100作为栅极驱动电路的组成单元形成在显示装置的阵列基板上。该阵列基板包括上述衬底基板,具有阵列区域(显示区域)和周边区域。该栅极驱动电路形成在阵列基板的周边区域中,而像素电路形成在阵列基板的阵列区域中。该像素电路可以包括至少一个晶体管,例如开关晶体管,例如还可以包括驱动晶体管等部件。例如,阵列区域的薄膜晶体管和周边区域的薄膜晶体管可以通过统一的半导体制备工艺得到。

[0048] 如图1所示,该移位寄存器单元100还包括连接输入电路110和上拉节点复位电路120的第一连接导电部1、连接上拉节点复位电路120和第一输出电路130的第二连接导电部2以及连接第一输出电路130和第一输出端OUT1的第三连接导电部3。第三连接导电部3例如可以与阵列基板的阵列区域中的栅线形成为一体或通过过孔、连接线等电连接。

[0049] 例如,该第一连接导电部1、第二连接导电部2以及第三连接导电部3设置在衬底基板上,且其中的任意两个或三个异层设置。例如,第一连接导电部1和第二连接导电部2异层设置,而第三连接导电部3可以与第一连接导电部1和第二连接导电部2中任一个同层或异层设置。又例如,第一连接导电部1、第二连接导电部2、第三连接导电部3都分别设置在不同层,本公开的实施例对此不作限制。

[0050] 例如,该第一连接导电部1、第二连接导电部2以及第三连接导电部3,并不限定连接数量和方式。例如:第一连接导电部1,表示输入电路110与上拉节点复位电路120之间存在至少一个第一连接导电部1进行电性连接,并不局限连接数量和方式;也就是说,至少有1个输入电路110的元件(例如:输入电路110的其中1个晶体管的第一极)与上拉节点复位电路120(例如:上拉节点复位电路120的其中1个晶体管的第二极)之间存在相互至少一个第一连接导电部1进行电性连接。以下实施例的连接导电部与此相同,不再赘述。

[0051] 例如,第一连接导电部的长度小于第二连接导电部的长度。例如,该长度表示连接导电部的起始端至终点端的延伸距离,或者表示该电路内部具体晶体管元件连接处的过孔之间的延伸距离,从而可以根据晶体管之间的延伸距离灵活地选取连接导电部的位置。该延伸距离取决于连接导电部的形状(例如线型、S型等),而非两端之间的直线距离。

[0052] 该输入电路110配置为响应于输入信号对上拉节点(图1中未示出,可参见图3)进行充电。例如,上拉节点为第一连接导电部1和第二连接导电部2的汇合点,既属于第一连接导电部1又属于第二连接导电部2,且并非表示实际存在的部件。例如,该输入电路110可以与输入端INPUT和第一连接导电部1(即上拉节点)分别连接,配置为将输入电路110的电压信号传输到上拉节点。具体的,可以配置为在输入端INPUT输入的信号的控制下使上拉节点和输入端INPUT电连接或另外提供的高电压端电连接,从而可以使输入端INPUT输入的高电平信号,或输入电路110的高电压端输出的高电平信号对上拉节点进行充电,以使得上拉节点的电压增加以控制第一输出电路130导通。该上拉节点复位电路120配置为响应于复位信号对上拉节点进行复位。例如,该上拉节点复位电路120可以配置为和复位端RST、第一连接导电部1(即上拉节点)以及第二连接导电部2(即上拉节点)分别连接,从而可以在复位端RST输入的复位信号的控制下,使得上拉节点被施加低电平信号或与低电压端电连接,该低电压端例如为第一电压端VGL或参考电压端,从而可以对上拉节点进行下拉复位。本公开的实施例以N型晶体管为例进行说明,需要注意的是,不限于此,也可以采用P型或混合N型和P型晶体管的电路结构,只须将相应晶体管的开启电平变为低电平即可。

[0053] 该第一输出电路130配置为在上拉节点的电平的控制下,将第一信号输出至第一输出端OUT1,例如,该第一信号可以包括第一时钟信号或其他电压信号(例如高电平信号)。例如,该第一输出电路130可以配置为和第二连接导电部2(即上拉节点)、第三连接导电部3(即第一输出端OUT1)以及第一信号线输入端CLK1分别连接,从而可以在上拉节点的电平的控制下,将第一信号线输入端CLK1输入的第一时钟信号或其他输入至该第一输出电路130的电压信号输出至第一输出端OUT1,作为该移位寄存器单元100的输出信号,以输入至与其

相连的其他电路结构(例如,第二输出电路,将在后面对其进行详细地介绍)。例如,该第一输出电路130可以配置为在上拉节点的电平的控制下导通,使第一信号线输入端CLK1和第一输出端OUT1电连接,从而可以将第一信号线输入端CLK1输入的第一时钟信号输出至第一输出端OUT1,作为该移位寄存单元的输出信号。需要注意的是,第一信号可以包括时钟信号、电压信号或电流信号中的至少之一,其视具体情况而定,本公开的实施例对此不作限制。例如,该时钟信号可以是第一时钟信号,该电压信号可以是第一电压(例如,低电压),也可以是第二电压(例如,高电压,例如,该第一电压低于第二电压),或者其他参考电压。

[0054] 图2为本公开一实施例提供的一种移位寄存器单元的另一个示例的示意图。如图2所示,在图1中所示的示例的基础上,该移位寄存器100还可以包括第四连接导电部4。第四连接导电部4配置为连接第一输出电路130和第一信号线输入端CLK1,且与第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置。例如,第四连接导电部4与第一连接导电部1和第二连接导电部2均不设置在同一层。

[0055] 例如,如图2所示,在图1所示的示例的基础上,该移位寄存器100还可以包括输出降噪电路140以及第五连接导电部5。例如,该第五连接导电部5配置为连接输出降噪电路140和第一输出电路130,且与第一连接导电部1、第二连接导电部2以及第三连接导电部3中的至少两个异层设置。例如,第五连接导电部5与第一连接导电部1和第二连接导电部2均不设置在同一层。

[0056] 例如,输出降噪电路140配置为在下拉节点PD的电平的控制下,对第一输出端OUT1进行降噪。例如,该输出降噪电路140可以配置为在下拉节点PD的电平的控制下,使第一输出端OUT1和第一电压端VGL电连接,从而对第一输出端OUT1进行下拉降噪。例如,该下拉节点PD可以与信号线输入端或其他可以产生控制输出降噪单元的电平的电路连接,本公开的实施例对此不作限制。当然,该输出降噪电路140还可以配置为在下拉节点PD的电平的控制下,使第一输出端OUT1和第一电压端VGL电连接,从而对第一输出端OUT1进行下拉降噪。甚至还可以,该输出降噪电路140还可以配置为在下拉节点PD的电平的控制下,使第一输出端OUT1和第一电压端VGL或者其他固定电压信号(例如VGH)中至少两个电连接,从而对第一输出端OUT1进行下拉降噪。

[0057] 图3为图1中所示的移位寄存器单元的一种具体实现示例的电路示意图。在下面的说明中以各晶体管为N型晶体管为例进行说明,但并不构成对本公开实施例的限制,还可以是P型管。N型晶体管可以采用氧化物作为薄膜晶体管的有源层,例如:氧化铟镓锌(IGZO)作为薄膜晶体管的有源层,也可以采用多晶硅(例如低温多晶硅LTPS或高温多晶硅HTPS)或非晶硅(例如氢化非晶硅)作为薄膜晶体管的有源层。其中,氧化铟镓锌(IGZO)的有源层可以有效减小晶体管的尺寸以及防止漏电流。

[0058] 如图3所示,该移位寄存器单元100包括第一晶体管T1至第三晶体管T3以及还包括存储电容C。

[0059] 输入电路110可以实现为第一晶体管T1。第一晶体管T1的栅极和第一极彼此电连接,且配置为都和输入端INPUT连接以接收输入信号,第二极配置为通过第一连接导电部1和上拉节点PU(即第二晶体管的第一极)连接,从而当第一晶体管T1由于输入端INPUT接收到的导通信号(高电平信号)导通时,使用该导通信号以对上拉节点PU进行充电,使其处于高电平。可以理解的是,第一晶体管T1的栅极或第一极均可以配置为连接时钟信号、第二电

压端VGH或者其他固定电压信号的至少一种信号或其组合,例如:第一晶体管T1的栅极连接第一信号端CLK1以接收时钟信号,第一晶体管T1的第一极连接第二电压端VGH以接收第二电压。此外,在其他各个晶体管的连接关系中,当一个晶体管的第一极和另一个晶体管的第一极连接时,都可以采用第一连接导电部的不同部分(需要注意的是,这些不同部分根据需要彼此独立或彼此电连接)进行连接,例如,图7中所示的第五晶体管T5的第一极和第六晶体管T6的第一极可以采用第一连接导电部1连接,且其余各个连接导电部也可以这样,以下实施例与此相同,不再赘述。

[0060] 上拉节点复位电路120可以实现为第二晶体管T2。第二晶体管T2的栅极配置为和复位端RST连接以接收复位信号,第一极配置为通过第一连接导电部1和上拉节点PU连接,第二极配置为和第一电压端VGL连接以接收第一电压。第二晶体管T2由于复位信号而导通时,将上拉节点PU和第一电压端VGL电连接,从而可以对上拉节点PU进行复位,使其从高电平下降至低电平。

[0061] 输出电路130可以实现为第三晶体管T3。第三晶体管T3的栅极配置为通过第二连接导电部2和上拉节点PU连接,第一极配置为和第一信号线输入端CLK1连接以接收第一信号,第二极配置为通过第三连接导电部3和第一输出端OUT1连接。

[0062] 存储电容C可以作为输出电路130的一部分。当然,存储电容C也可以是该移位寄存器单元100的独立元件;或存储电容C与其他元件构成该移位寄存器单元100组成部分。例如,存储电容C的第二极配置为通过第三连接导电部3和第一输出端OUT1连接,第一极配置为和第三晶体管T3的栅极连接。或者,存储电容C的第一极配置为与第二导电部连接,第二极与时钟信号端连接。可选的,存储电容C的第一极为透明导电层,第二极为第一数据线层或栅线层,本公开的实施例对此不作限制。例如,在另一示例中,第三晶体管T3的第一极配置为通过第四连接导电部4和第一信号线输入端CLK1连接以接收第一信号。例如,在其他各个晶体管的连接关系中,当一个晶体管的第一或第二极和另一个晶体管的栅极连接时,都可以采用第二连接导电部的不同部分(需要注意的是,这些不同部分根据需要彼此独立或彼此电连接)进行连接,例如,图10B中所示的第六晶体管T6的第二极和第四晶体管T4的栅极以及第六晶体管T6的第二极和第八晶体管T8的栅极可以采用第二连接导电部2连接。

[0063] 图4A为沿着图3中的A1-A2剖取的该移位寄存器单元所在的阵列基板的一个示例的剖面结构示意图。如图4A所示,沿着图3中的A1-A2线方向,第一晶体管T1包括第一极101、第二极102、栅极103、有源层111等结构。第二晶体管T2包括第一极201、第二极202、栅极203、有源层111等结构。

[0064] 例如,第一晶体管T1的第一极101和第二晶体管T2的第一极201通过第一连接导电部1连接。例如,第一连接导电部1的起始端为第一晶体管T1的第一极(例如漏极)对应的区域,第一连接导电部1的终点端为第二晶体管T2的第一极(例如源极)对应的区域。如图4A所示,第一连接导电部1包括第一晶体管T1的第一极101(例如漏极)和第二晶体管T2的第一极201(例如源极),即第一连接导电部1与第一晶体管T1的第一极101和第二晶体管T2的第一极201彼此一体形成。需要注意的是,第一晶体管T1的第一极101(例如漏极)和第二晶体管T2的第一极201(例如源极)也可以单独形成,然后分别与第一连接导电部1通过过孔、搭接、或一体形成等方式电连接,本公开的实施例对此不作限制。第一极101与第一晶体管T1的有源层例如彼此搭接而建立电连接;类似地,第一极201与第二晶体管T2的有源层例如彼此搭

接而建立电连接。可选的,第一连接导电部1包括第一晶体管T1和第二晶体管T2之间的有源层导体化部分。

[0065] 如图4A所示,沿着图3中的A1-A2线方向,还包括与第一连接导电部1连接的第二连接导电部2。如图4A所示,第一连接导电部1与第二连接导电部2异层设置。如图4A所示,第一连接导电部1与第一晶体管T1和第二晶体管T2的有源层11同层,第二连接导电部2形成在第二钝化层1132上且通过第二钝化层1132、第一钝化层1131以及栅绝缘层112中的过孔电连接到第一连接导电部1上。例如,该第一连接导电部1位于图4D中所示的第一导电层11,第二连接导电部2位于图4D中所示的第四导电层14,栅绝缘层112对应于图4D中的第一绝缘层21,第一钝化层1131对应于图4D中的第二绝缘层22,第二钝化层1132对应于图4D中的第三绝缘层23。例如,如图4A所示,该第二连接导电部2的一端(例如起始端)形成在第一晶体管T1和第二晶体管T2的栅极之间。例如,第二连接导电部2与第三晶体管T3(图中未示出)的栅极电连接或彼此一体形成,本公开的实施例对此不作限制。

[0066] 图4B为沿着图3中的C1-C2线剖取的阵列基板的剖面结构示意图。如图4B所示,沿着图3中的C1-C2线方向,第三晶体管T3包括第一极301、第二极302、栅极303、有源层111等结构。例如,第三晶体管的栅极303和第一晶体管的栅极103以及第二晶体管的栅极203异层设置,例如,第三晶体管的栅极303形成在第一钝化层1131上。如图4B所示,第三晶体管T3的第一极301和第二极302为单独形成的电极,例如,第三晶体管T3的第一极301和第二极302形成在第二钝化层1132上,且通过第二钝化层1132、第一钝化层1131以及栅绝缘层112上的过孔与有源层连接。例如,第一晶体管T1的宽长比小于第三晶体管T3,例如:第三晶体管T3的宽长比为第一晶体管T1的宽长的3-50倍,可选的,第一晶体管T1的宽长比为0.6-1.2,第三晶体管T3的宽长比为3-30。例如,第三晶体管T3的第一极(例如漏极)与第二连接导电部2(如图2中所示)设置在同一层。

[0067] 如图4B所示,还包括第三连接导电部3。例如,第三晶体管T3的第一极301与该第三连接导电部3电连接,且通过该第三连接导电部3与第一输出端OUT1连接。需要注意的是,第三晶体管T3的第一极301与该第三连接导电部3也可以一体形成,由此二者可以形成为同一层,本公开的实施例对此不作限制。

[0068] 例如,如图4B所示,第三连接导电部3形成在第三钝化层1133上,且通过过孔与第三晶体管T3的第一极301连接。由于,第三晶体管T3的第一极(例如漏极)与第二连接导电部2设置在同一层,所以,第三连接导电部3与第二连接导电部2异层设置,同时与第一连接导电部1异层,从而可以避免连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。需要注意的是,只要满足第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置即可,本公开的实施例对此不作限制。

[0069] 如图4B所示,在一个示例中,还可以包括第四连接导电部4。例如,该第四连接导电部4形成在第三钝化层1133上,且通过过孔与第三晶体管T3的第二极302连接,且通过该第四连接导电部4与第一信号线输入端CLK1连接以接收第一信号。需要注意的是,第三晶体管T3的第二极302与该第四连接导电部4也可以一体形成,本公开的实施例对此不作限制。例如,在该示例中,第三连接导电部3与第四连接导电部4设置在同一层,且和第一连接导电部1以及第二连接导电部2异层设置。需要注意的是,该第四连接导电部4只要满足与第一连接

导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置即可,本公开的实施例对此不作限制。可以理解的是,第二连接导电部2与第一晶体管的栅极103之间也可以包括一层钝化层,例如,仅包括第一钝化层1131或第二钝化层1132。

[0070] 图4C为沿着图3中的D1-D2线剖取的阵列基板的剖面结构示意图。如图4C所示,沿着图3中的D1-D2线方向,第二连接导电部2和第三连接导电部3构成存储电容C。如图4C所示,在第二连接导电部2上形成第三钝化层1133,在第三钝化层1133上形成第三连接导电部3。例如,用于该第一钝化层1131、第二钝化层1132以及第三钝化层1133的材料示例包括例如 SiN_x 、 SiO_x 、 SiN_xO_y 等无机绝缘材料、例如有机树脂等有机绝缘材料或其它适合的材料,本公开的实施例对此不作限定。

[0071] 需要注意的是,以下各实施例中晶体管和连接导电部在阵列基板上的剖面图与图4A-图4C中所示的晶体管和连接导电部类似,在此不再赘述。

[0072] 例如,如图4D所示,该衬底基板从下往上依次包括多个层结构,包括但不限于是:第一导电层11、第一绝缘层21、第二导电层12、第二绝缘层22、第三导电层13、第三绝缘层23、第四导电层14、第四绝缘层24、第五导电层15、第五绝缘层25、第六导电层26……。例如,第一导电层与有源层材质相同,第二导电层与第一栅线层材质相同,第三导电层与第二栅线层材质相同,第四导电层与第一数据线层材质相同,第五导电层与第二数据线层材质相同,第六导电层与像素电极的材质相同。例如,位于不同层但又相互连接的导电层之间通过过孔(图中未示出)电连接。当然,第一导电层下方也还可以包括其他结构。导电层包括至少部分导电结构即可。

[0073] 参考图4A、图4B、图4C和图4D所示,第一连接导电部1位于第一导电层11,例如:第一连接导电部1与第一晶体管的半导体层采用相同材料。可选的,将该半导体层的部分结构进行导体化后形成第一连接导电部1。例如,该半导体层可以为有源层的导体化部分。第一晶体管T1的栅极103和第二晶体管T2的栅极203位于第二导电层12或第三导电层13,第三晶体管T3的栅极303位于第三导电层13或第二导电层12,该第二连接导电部2位于第四导电层14,第三连接导电部3位于第五导电层15,第四连接导电部4也位于第五导电层15。需要注意的是,不限于此,只要满足第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个不在同一层导电层,以及还例如第四连接导电部4与第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个设置在不同的导电层即可,本公开的实施例对此不作限制。例如,第一导电层11至第六导电层16的材料可以包括铝、铝合金、铜、铜合金或其他任意适合的材料,本公开的实施例对此不作限定。需要注意的是,导电层和绝缘层的层数可以视具体情况而定,本公开的实施例对此不作限定。

[0074] 参考图4A、图4B、图4C和图4D所示,栅绝缘层112位于第一绝缘层21,第一钝化层1131位于第二绝缘层22,第二钝化层1132位于第三绝缘层23,第三钝化层1133位于第四绝缘层24。

[0075] 例如,该第一导电层11可以包括导体化的有源层,第二导电层12可以为各晶体管的栅极所在的层,第三导电层13可以为第一透明导电层(例如,包括存储电容C的第一极或第三晶体管的栅极),第四导电层14为第一数据线层,第五导电层为第二数据线层,第六导电层为第二透明导电层。例如,第一数据线层(例如第四导电层)和第二数据线层(例如第五导电层)可以包括与信号线输入端连接的连接导电部,本公开的实施例对此不作限制。例

如,第一透明导电层和第二透明导电层的材料可以是包括铟锡氧化物(ITO)或铟锌氧化物(IZO)等透明金属氧化物的材料,透明导电层可以与像素电极同层;例如,导体化的有源层包括掺杂导电杂质的多晶硅、氧化物半导体(例如IGZO)等。需要注意的是,各个导电层的材料视具体情况而定,本公开的实施例对此不作限制。

[0076] 例如,如图4A和图4B所示,第一晶体管T1、第二晶体管T2和第三晶体管T3包括的有源层111的材料可以包括氧化物半导体、有机半导体或多晶硅半导体等,例如,氧化物半导体包括金属氧化物半导体(例如氧化铟镓锌(IGZO)),多晶硅半导体包括低温多晶硅半导体或者高温多晶硅半导体等,本公开的实施例对此不作限定。

[0077] 例如,用于第一晶体管T1的第一极101、第二极102和栅极103以及第二晶体管T2的第一极201、第二极202和栅极203的材料可以包括铝、铝合金、铜、铜合金或其他任意适合的材料,本公开的实施例对此不作限定。

[0078] 例如,如图4A和图4B所示,衬底基板110以及层叠在衬底基板110上的栅绝缘层112,第一连接导电部1至第四连接导电部4形成在衬底基板110上的不同层中,从而可以根据晶体管之间的延伸距离灵活地选取连接导电部的位置,避免连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。

[0079] 衬底基板110的材质可以是玻璃基板、石英基板、塑料基板或其他适合材料的基板。例如,该栅绝缘层112的材料可以包括例如SiNx、SiOx等无机绝缘材料、例如有机树脂等有机绝缘材料或其它适合的材料,本公开的实施例对此不作限定。

[0080] 需要注意的是,上述实施例是以顶栅结构的晶体管为例进行说明的,不限于此,其他任意结构(例如底栅结构)的晶体管也可以适用,本公开的实施例对此不作限制。以下实施例与此相同,不再赘述。

[0081] 图5为图2中所示的移位寄存器单元的一种具体实现示例的电路示意图。如图5所示,在图3所示的示例的基础上,该移位寄存器单元100还包括第四晶体管。

[0082] 例如,输出降噪电路140可以实现为第四晶体管T4。第四晶体管T4的栅极和下拉节点PD连接,第四晶体管T4的第一极通过第五连接导电部5和第一输出端OUT1连接,第四晶体管T4的第二极和第一电压端VGL连接以接收第一电压。第四晶体管T4在下拉节点PD处于有效电平时导通,将第一输出端OUT1和第一电压端VGL电连接,从而可以对第一输出端OUT1降噪。

[0083] 图6为本公开一实施例提供的一种移位寄存器单元的又一个示例的示意图。如图6所示,在图2所示的示例的基础上,该移位寄存器单元100还可以包括下拉电路150、第二信号线输入端CLK2以及第六连接导电部6。例如,第六连接导电部6配置为连接下拉电路150和第二信号线输入端CLK2,且与第四连接导电部4异层设置。例如,若第四连接导电部4设置在图4D中所示的第五导电层15,那么第六连接导电部6可以设置在第一数据线层(第四导电层)或者在除第五导电层15(即第四连接导电部4)所在层之外的其他各层,从而可以避免连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性,本公开的实施例对此不作限制。

[0084] 该下拉电路150配置为在上拉节点PU的电平和第二信号的控制下,对下拉节点PD的电平进行控制,从而实现对输出降噪电路140的控制。例如,该下拉电路150可以分别连接第一电压端VGL、第二电压端VGH、上拉节点PU、下拉节点PD,以在上拉节点PU和第二信号的

电平的控制下,使下拉节点PD和第二电压端VGH电连接,从而对下拉节点PD进行充电,使其处于高电位。

[0085] 图7为图6中所示的移位寄存器单元的一种具体实现示例的电路示意图。如图7所示,在图5所示的示例的基础上,该移位寄存器单元还可以包括第五晶体管T5和第六晶体管T6。

[0086] 例如,该下拉电路150可以实现为第五晶体管T5和第六晶体管T6。例如,第五晶体管T5的栅极配置为和上拉节点PU连接,第一极配置为和第二电压端VGH连接以接收第二电压,第二极配置为通过第一连接导电部1和第六晶体管T6的第一极连接。第六晶体管T6的栅极配置为通过第六连接导电部6和第二信号线输入端CLK2连接以接收第二信号,第二极配置为和下拉节点PD连接。

[0087] 图8为图6中所示的移位寄存器单元的另一种具体实现示例的电路示意图。如图7所示,在图5所示的示例的基础上,该移位寄存器单元还可以包括第五晶体管T5和第六晶体管T6。

[0088] 例如,该下拉电路150可以实现为第五晶体管T5和第六晶体管T6。例如,第五晶体管T5的栅极配置为通过第六连接导电部6和第二信号线输入端CLK2连接以接收第二信号,第一极配置为和第二电压端VGH连接以接收第二电压,第二极配置为通过第一连接导电部1和第六晶体管T6的第一极连接。第六晶体管T6的栅极配置为和上拉节点PU连接,第二极配置为和下拉节点PD连接,从而可以控制输出降噪电路140对第一输出端OUT1进行降噪。

[0089] 需要注意的是,下拉单元150还可以是其他方式的实现方式,本公开的实施例对此不作限制。

[0090] 需要说明的是,本公开的实施例中的第一电压端VGL例如保持输入直流低电平信号,将该直流低电平称为第一电压;第二电压端VGH例如保持输入直流高电平信号,将该直流高电平称为第二电压。以下各实施例与此相同,不再赘述。

[0091] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管、场效应晶体管或其他特性相同的开关器件,本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。

[0092] 另外,在本公开的实施例中的晶体管均以N型晶体管为例进行说明,此时,晶体管的第一极可以是漏极,第二极可以是源极,本公开的实施例对此不作限制。需要说明的是,本公开包括但不限于此。例如,本公开的实施例提供的移位寄存器单元100中的一个或多个晶体管也可以采用P型晶体管,此时,晶体管第一极可以是源极,第二极可以是漏极,只需将选定类型的晶体管的各极参照本公开的实施例中的相应晶体管的各极相应连接即可。例如,相应晶体管的开启电平变为低电平。需要注意的是,不限于此,也可以混合采用P型晶体管和N型晶体管,只需同时将选定类型的晶体管的各端的极性按照本公开的实施例中的相应晶体管的端口极性相应连接即可。

[0093] 本公开实施例中提供的移位寄存器单元可以根据晶体管之间的延伸距离灵活地选取连接导电部的位置,避免了连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。

[0094] 本公开一实施例还提供一种电路结构。该电路结构例如为移位寄存器单元或移位寄存器单元的部分组成结构,如图3所示,其包括衬底基板(图中未示出)和设置在衬底基板上的第一晶体管T1、第二晶体管T2、第三晶体管T3和存储电容C、第一输出端OUT1、第一连接导电部1、第二连接导电部2以及第三连接导电部3。例如,第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置。

[0095] 该第一连接导电部1配置为连接第一晶体管T1的第一极和第二晶体管T2的第一极。

[0096] 该第二连接导电部2配置为连接第二晶体管T2的第一极和第三晶体管T3的栅极以及所述存储电容的第一极。

[0097] 该第三连接导电部3配置为连接第一输出端OUT1和第三晶体管T3的第一极。

[0098] 例如,该示例中各个晶体管之间的连接关系与图3中所示的移位寄存器单元的各个晶体管的连接关系类似,在此不再赘述。

[0099] 在另一个示例中,在图3所示的示例的基础上,该电路结构还可以包括第四晶体管T4、第一信号线输入端CLK1、第四连接导电部4和第五连接导电部5。

[0100] 该第四连接导电部4配置为连接第三晶体管T3的第二极和第一信号线输入端CLK1,且与第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置。当然,第一信号线输入端还可以为第二电压VGH或第一电压VGL。

[0101] 该第五连接导电部5配置为连接第三晶体管T3的第一极和第四晶体管T4的第一极,且与第一连接导电部1、第二连接导电部2以及第三连接导电部3中的任意两个或三个异层设置。

[0102] 例如,该示例中各个晶体管之间的连接关系与图5中所示的移位寄存器单元的各个晶体管的连接关系类似,在此不再赘述。

[0103] 在又一个示例中,例如,在图5所示的示例的基础上,该电路结构还包括五晶体管T5、第六晶体管T6、第二信号线输入端CLK2和第六连接导电部6。该第六连接导电部6配置为连接第六晶体管T6的栅极和第二信号线输入端CLK2,且与第四连接导电部4异层设置。

[0104] 例如,第五晶体管T5的第一极通过第一连接导电部1与第六晶体管T6的第一极连接。

[0105] 例如,该示例中各个晶体管之间的连接关系与图7中所示的移位寄存器单元的各个晶体管的连接关系类似,在此不再赘述。

[0106] 例如,如图10B所示,在图7所示的电路结构的基础上,该电路结构还可以包括第七晶体管、第三信号线输入端和第七连接导电部7。例如,第七晶体管T7的栅极配置为与第一输出端OUT1连接以接收第一输出端的输出信号,第一极配置为通过第七连接导电部7与第三信号线输入端CLK3连接以接收第三信号,第二极配置为与第二输出端OUT2连接。例如,在电路结构包括第四连接导电部4的情况下,第七连接导电部7配置为与第四连接导电部4异层设置。

[0107] 例如,在另一个示例中,该电路结构还可以进一步包括第八晶体管T8。例如,第八晶体管T8的栅极配置为通过第二连接导电部2与电路结构中的下拉节点PD连接,第一极配置为与第二输出端OUT2连接,第二极配置为与第一电压端VGL连接以接收第一电压。

[0108] 可以理解的是,本公开实施例中提及的第一信号、第二信号、第三信号均可以为时

钟信号、电压信号或电流信号中的至少之一,其视具体情况而定,本公开的实施例对此不作限制。例如,该时钟信号可以是第一时钟信号,该电压信号可以是第一电压(例如,低电压),也可以是第二电压(例如,高电压,例如,该第一电压低于第二电压),或者其他参考电压。可选的,第一信号为电压信号、第二信号和第三信号为时钟信号。

[0109] 本公开实施例中提供的电路结构可以根据晶体管之间的延伸距离灵活地选取连接导电部的位置,避免了连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性。

[0110] 图9A为本公开一实施例提供的一种栅极驱动电路的示意图。如图9A所示,该栅极驱动电路10包括多个级联的移位寄存器单元100、第一信号线CLKA和第二信号线CLKB。例如,每个移位寄存器单元100可以采用本公开一实施例中提供的如图7所示电路结构。需要注意的是,该栅极驱动电路10还可以包括四条、六条或八条时钟信号线,时钟信号线的条数视具体情况而定,本公开的实施例在此不作限定。

[0111] 例如,如图9A所示,该移位寄存器单元的每个还包括第一信号线输入端CLK1和第二信号线输入端CLK2,且配置为和第一信号线CLKA或第二信号线CLKB连接以接收第一信号或第二信号。第一信号线CLKA和第 $2m-1$ (m 为大于0的整数)级移位寄存器单元的第一信号线输入端CLK1连接,第二信号线CLKB和第 $2m-1$ 级移位寄存器单元的第二信号线输入端CLK2连接,第二信号线CLKB和第 $2m$ 级移位寄存器单元的第一信号线输入端CLK1连接,第一信号线CLKA和第 $2m$ (m 为大于0的整数)级移位寄存器单元的第二信号线输入端CLK2连接,本公开的实施例包括但不限于此。

[0112] 需要说明的是,图9A中所示的OUT1_m表示第 m 级移位寄存器单元的第一输出端,OUT1_{m+1}表示第 $m+1$ 级移位寄存器单元的第一输出端,OUT1_{m+2}表示第 $m+2$ 级移位寄存器单元的第一输出端……。以下各实施例中的附图标记与此类似,不再赘述。

[0113] 例如,如图9A所示,除最后一级移位寄存器单元外,其余各级移位寄存器单元的复位端RST和下一级移位寄存器单元的第一输出端OUT1连接。除第一级移位寄存器单元100外,其余各级移位寄存器单元的输入端INPUT和上一级移位寄存器单元的第一输出端OUT1连接。

[0114] 例如,第一级移位寄存器单元的输入端INPUT可以被配置为接收触发信号STV,最后一级移位寄存器单元的复位端RST可以被配置为接收复位信号RESET,触发信号STV和复位信号RESET在图9A中未示出。

[0115] 例如,如图9A所示,该栅极驱动电路10还可以包括时序控制器300。例如,该时序控制器300可以被配置为和第一信号线CLKA以及第二信号线CLKB连接,以向各移位寄存器单元提供第一信号或第二信号。例如,时序控制器300还可以被配置为提供触发信号STV以及复位信号RESET。

[0116] 例如,第一时钟信号线CLKA和第二时钟信号线CLKB上提供的信号时序可以采用图11A中所示的信号时序,以实现栅极驱动电路10逐行输出栅极扫描信号的功能。

[0117] 需要说明的是,在本公开的实施例中,一个移位寄存器单元B是另一个移位寄存器单元A的下级移位寄存器单元表示:移位寄存器单元B输出的栅极扫描信号在时序上晚于移位寄存器单元A输出的栅极扫描信号。相应地,一个移位寄存器单元B是另一个移位寄存器单元A的上级移位寄存器单元表示:移位寄存器单元B输出的栅极扫描信号在时序上早于移

位寄存器单元A输出的栅极扫描信号。以下各实施例与此相同,不再赘述。

[0118] 本公开一实施例还提供一种栅极驱动电路10。如图9B所示,在图9A所示的示例的基础上,该栅极驱动电路10还包括第二输出电路200、第三信号线输入端CLK3和第七连接导电部(图中未示出)。例如,移位寄存器单元100与第二输出电路200的连接框图如图10A所示。例如,该第三信号线输入端CLK3可以提供第三时钟信号或第一电压VGL或第二电压VGH。

[0119] 如图10A所示,第二输出电路200配置为在第一输出端OUT1输出的电平的控制下,将第三信号输出至第二输出端OUT2。例如,第二输出电路200与第一输出端OUT1、第二输出端OUT2以及第三信号线输入端CLK3连接,以在第一输出端OUT1输出的有效电平的控制下,在第二输出端OUT2输出第三信号。例如,在移位寄存器单元100包括第四连接导电部4的情况下,第七连接导电部7连接第三信号线输入端CLK3和第二输出电路200,且配置为与第四连接导电部4异层设置。例如,若第四连接导电部4设置在图4D中所示的第五导电层15,那么第七连接导电部7可以设置在第一数据线层(第四导电层14)或者除第五导电层15所在层之外的其他各层,从而可以避免连接各晶体管的连接导电部均设置在同一层而造成的显示面板的走线设计复杂,提高信号传输的准确性,本公开的实施例对此不作限制。

[0120] 例如,在另一个示例中,第二输出电路200还可以通过第二连接导电部2与移位寄存器单元100的下拉节点连接。

[0121] 图10B示出了图10A中所示的栅极驱动电路的一个具体示例的电路结构图。如图10B所示,在一个示例中,在图7所示的移位寄存器单元的电路结构的基础上,该栅极驱动电路10还包括:第七晶体管、第三信号线输入端和第七连接导电部7。

[0122] 该第二输出电路200可以实现为第七晶体管T7。例如,第七晶体管T7的栅极配置为与第一输出端OUT1连接以接收移位寄存器单元100的输出信号,第一极配置为通过第七连接导电部7与第三信号线输入端CLK3连接以接收第三信号,第二极配置为与第二输出端OUT2连接。

[0123] 例如,在另一个示例中,该第二输出电路200还可以进一步包括第八晶体管T8。例如,第八晶体管T8的栅极配置为通过第二连接导电部2与移位寄存器单元100中的下拉节点PD(即第六晶体管T6的第二极)连接,第一极配置为与第二输出端OUT2连接,第二极配置为与第一电压端VGL连接以接收第一电压。

[0124] 需要注意的是,不限于图9B中所示的级联方式,该栅极驱动电路还可以通过第二输出电路的第二输出端OUT2进行上下级之间的级联,以下实施例与此相同,不再赘述。

[0125] 需要注意的是,该第二输出电路200还可以包括栅线、数据线或与该栅极驱动电路连接的像素电路等其他电路以实现不同的功能,且该其他电路结构也可以采用本公开实施例提供的连接方式,本公开的实施例对此不作限制。

[0126] 例如,如图9B所示,该栅极驱动电路还包括第三信号线CLKC。例如,该第三信号线CLKC与第二输出电路200的第三信号线输入端CLK3连接。

[0127] 例如,如图9B所示,该栅极驱动电路10的时序控制器300还可以被配置为和第三信号线CLKC连接,以向第二输出电路200提供第三信号。例如,在该示例中,第一信号线CLKA、第二信号线CLKB以及第三信号线CLKC提供的信号可以采用如图11A所示的时序,以实现栅极驱动电路10逐行输出栅极扫描信号的功能。

[0128] 例如,图9B中所示的OUT2_m表示第m级输出控制电路的第二输出端,OUT2_m+1表示

第 $m+1$ 级输出控制电路的第二输出端,OUT2_ $m+2$ 表示第 $m+2$ 级输出控制电路的第二输出端……。

[0129] 本公开一实施例还提供一种栅极驱动电路10。如图9C所示,该栅极驱动电路10与图9B中所示的栅极驱动电路类似,区别在于:第一信号线CLKA提供的第一信号为直流高电平(例如第二电压端提供的第二电压)。

[0130] 例如,如图9C所示,各级移位寄存器单元100的第一信号线输入端CLK1与第一信号线CLKA连接。例如,第二信号线CLKB和第 $2m-1$ (m 为大于0的整数)级移位寄存器单元的第二信号线输入端CLK2连接,第三信号线CLKC和第 $2m-1$ 级移位寄存器单元的第三信号线输入端CLKC连接,第二信号线CLKB和第 $2m$ 级移位寄存器单元的第三信号线输入端CLKC连接,第三信号线CLKC和第 $2m$ (m 为大于0的整数)级移位寄存器单元的第二信号线输入端CLK2连接,本公开的实施例包括但不限于此。

[0131] 例如,在该示例中,第一信号线CLKA、第二信号线CLKB以及第三信号线CLKC提供的信号可以采用如图11B所示的时序,以实现栅极驱动电路10逐行输出栅极扫描信号的功能。

[0132] 下面结合图11A所示的信号时序图,对图9B中所示的栅极驱动电路10的工作原理进行说明,在图11A中,有效输出电平为高电平,而无效输出电平为低电平;且第一信号CLKA和第二信号CLKB彼此互补,第三信号CLKC与第一信号CLKA相同。在图11A所示的第一阶段1至第二阶段2中,该栅极驱动电路10可以分别进行如下操作。当然,CLKA和第二信号CLKB也可以在时序上略有重叠。

[0133] 在第一阶段1,第一信号线CLKA提供高电平信号,第三信号线CLKC提供高电平信号,由于第 m 级移位寄存器单元100的第一信号线输入端CLK1和第一信号线CLKA连接,所以在此阶段第 m 级移位寄存器单元100的第一信号线输入端CLK1输入高电平信号;又由于第 m 级移位寄存器单元100的上拉节点PU_ m 为高电平,所以在上拉节点PU_ m 高电平的控制下,第一信号线输入端CLK1输入的高电平输出至第 m 级移位寄存器单元100的第一输出端OUT1_ m 。同时,第二输出电路200在第一输出端OUT1_ m 提供的高电平的控制下导通,从而,第二输出端OUT2_ m 输出第三信号线CLKC提供的高电平。在此阶段,由于需要说明的是,图11A中所示的信号时序图的高低仅是示意性的,不代表真实电位值或相对比例,对应于上述示例,高电平信号对应于N型晶体管的开启信号,而低电平信号对应于N型晶体管为截止信号。

[0134] 在第二阶段2,第二信号线CLKB提供高电平信号,第三信号线CLKC提供高电平信号,由于第 $m+1$ 级移位寄存器单元100的第一信号线输入端CLK1和第二信号线CLKB连接,所以在此阶段第 $m+1$ 级移位寄存器单元100的第一信号线输入端CLK1输入高电平信号;又由于第 $m+1$ 级移位寄存器单元100的上拉节点PU_ $m+1$ 为高电平,所以在上拉节点PU_ $m+1$ 高电平的控制下,第一信号线输入端CLK1输入的高电平输出至第 $m+1$ 级移位寄存器单元100的第一输出端OUT1_ $m+1$ 。同时,第二输出电路200在第一输出端OUT1_ $m+1$ 提供的高电平的控制下导通,从而,第二输出端OUT2_ $m+2$ 输出第三信号线CLKC提供的高电平。

[0135] 图9C中所示的栅极驱动电路10的工作原理图9B中所示的栅极驱动电路10的工作原理类似,在此不再赘述。

[0136] 本公开另一实施例还提供一种驱动电路。本公开实施例包括多个级联的电路结构,该电路结构的连接关系如图7或图10B所示。

[0137] 例如,如图10B所示,在图7所示的电路结构的基础上,该电路结构还可以包括第七

晶体管、第三信号线输入端和第七连接导电部7。例如，第七晶体管T7的栅极配置为与第一输出端OUT1连接以接收第一输出端的输出信号，第一极配置为通过第七连接导电部7与第三信号线输入端CLK3连接以接收第三信号，第二极配置为与第二输出端OUT2连接。例如，在电路结构包括第四连接导电部4的情况下，第七连接导电部7配置为与第四连接导电部4异层设置。

[0138] 例如，在另一个示例中，该电路结构还可以进一步包括第八晶体管T8。例如，第八晶体管T8的栅极配置为通过第二连接导电部2与电路结构中的下拉节点PD连接，第一极配置为与第二输出端OUT2连接，第二极配置为与第一电压端VGL连接以接收第一电压。

[0139] 例如，在图7所示的电路结构的基础上，该驱动电路通过第一输出端进行上下级之间的级联；在图10B所示的示例中，该驱动电路可以通过第二输出端OUT2进行上下级之间的级联。

[0140] 需要注意的是，该驱动电路不局限于驱动移位寄存器单元，还可以驱动移位寄存器单元以外的局部区域电路，还可以不局限对栅线提供电压，例如该驱动电路可以驱动例如OLED像素电路中的第一发光控制线和第二发光控制线的至少之一，以用于提供第一发光控制信号和/或第二发光控制信号等。该像素电路例如为8T2C的像素电路。

[0141] 例如，该驱动电路还可以通过第二输出端OUT2对相邻两行像素提供发光控制信号。

[0142] 本公开的实施例提供的驱动电路的技术效果可以参考上述实施例中关于移位寄存器单元100的相应描述，这里不再赘述。

[0143] 本公开的实施例还提供一种显示装置1，如图12所示，该显示装置1包括本公开实施例提供的栅极驱动电路10或驱动电路。该显示装置1包括由多个像素单元30构成的像素阵列。例如，该显示装置1还可以包括数据驱动电路20。数据驱动电路20用于提供数据信号给像素阵列；栅极驱动电路10用于提供栅极扫描信号给像素阵列。数据驱动电路20通过数据线21与像素单元30电连接，栅极驱动电路10例如具体实现为GOA，直接制备在该显示装置的阵列基板上，且通过栅线11与像素单元30电连接。

[0144] 可选的，该显示装置1包括本公开实施例提供的栅极驱动电路10或驱动电路可以自由灵活的设置在阵列基板上，例如，设置在柔性阵列基板上的至少一个侧边，例如，两侧边，或四个侧边。

[0145] 需要说明的是，本实施例中的显示装置1可以为：液晶面板、液晶电视、显示器、OLED面板、OLED电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。该显示装置1还可以包括显示面板等其他常规部件，本公开的实施例对此不作限定。

[0146] 本公开的实施例提供的显示装置1的技术效果可以参考上述实施例中关于栅极驱动电路10的相应描述，这里不再赘述。

[0147] 需要说明的是，为表示清楚、简洁，并没有给出该显示装置1的全部结构。为实现显示装置的必要功能，本领域技术人员可以根据具体应用场景进行设置其他未示出的结构，本发明的实施例对此不做限制。

[0148] 以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

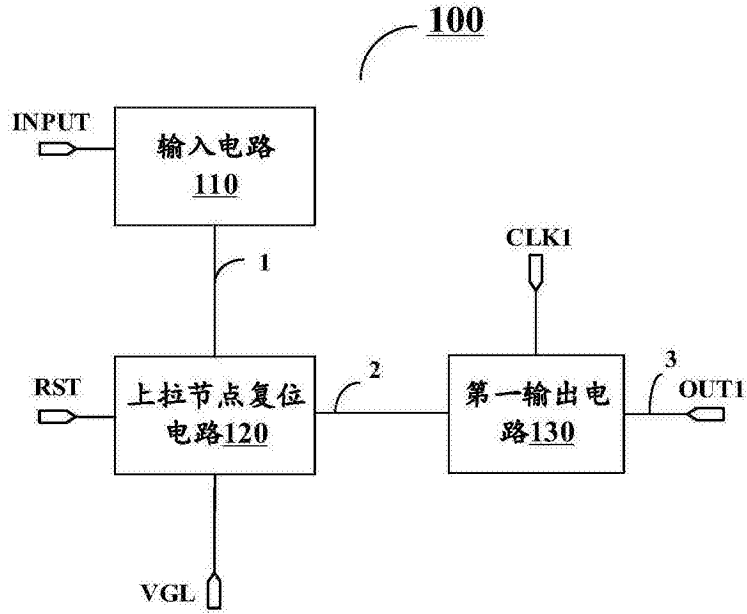


图1

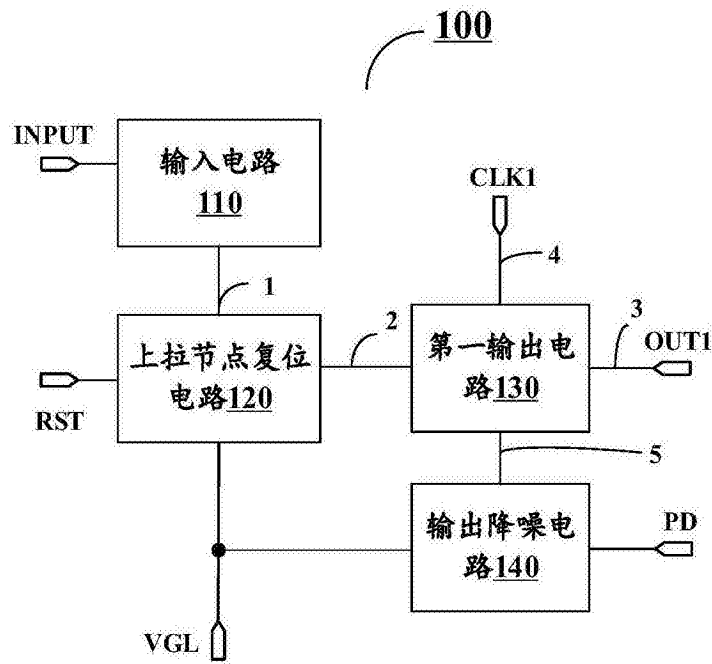


图2

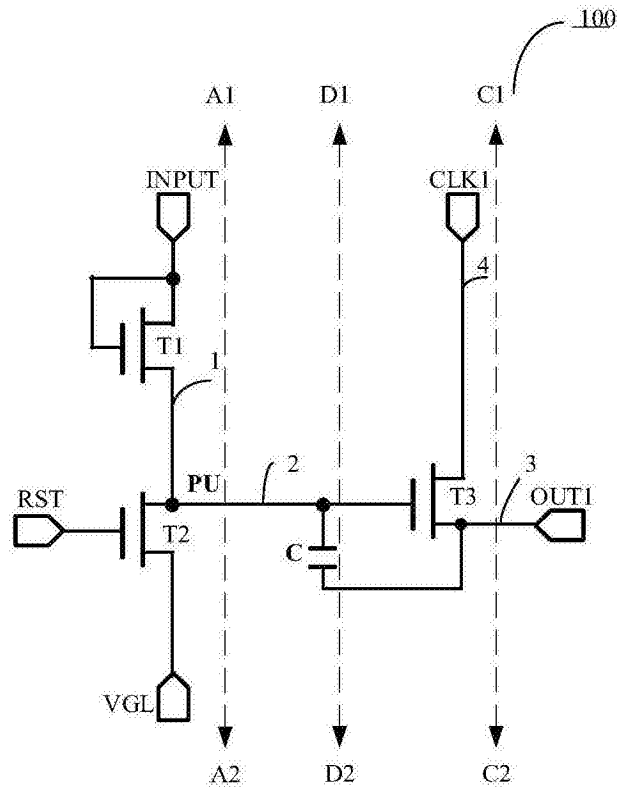


图3

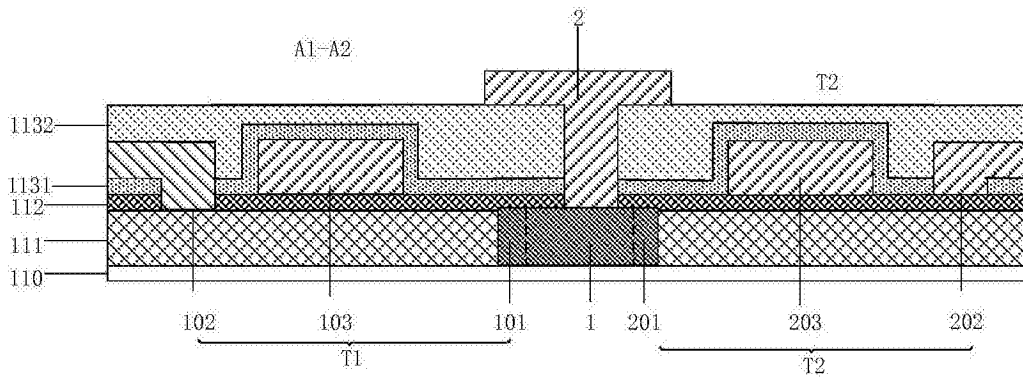


图4A

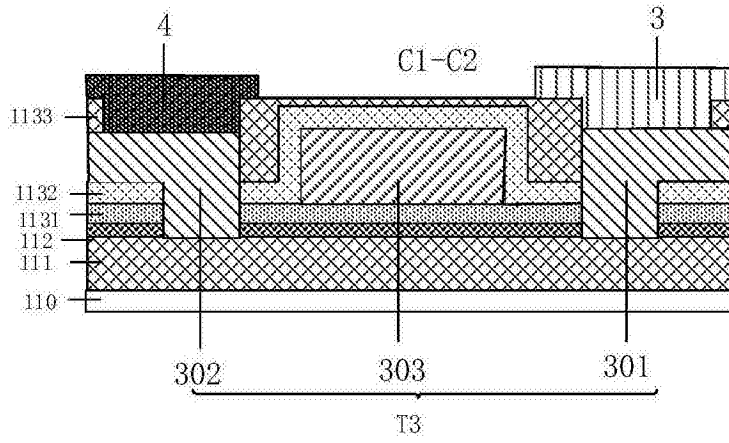


图4B

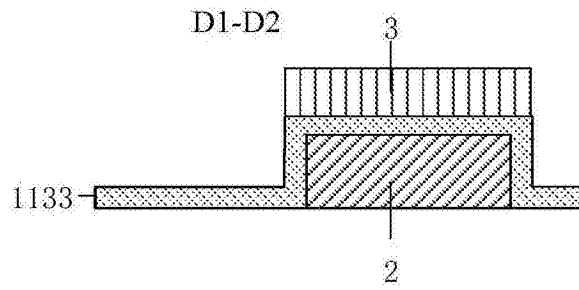


图4C

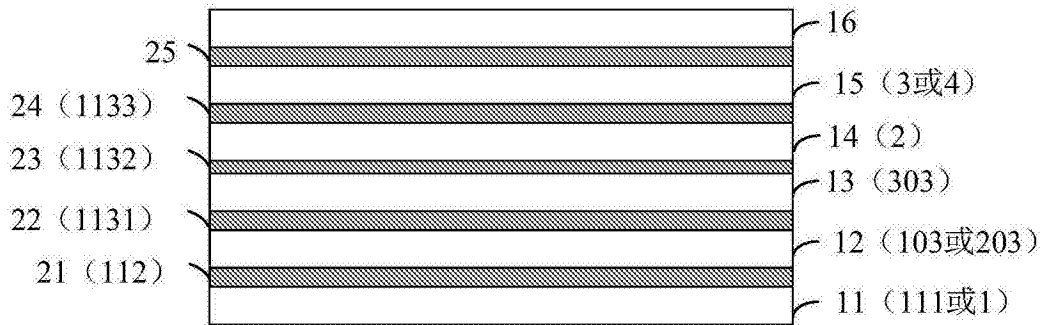


图4D

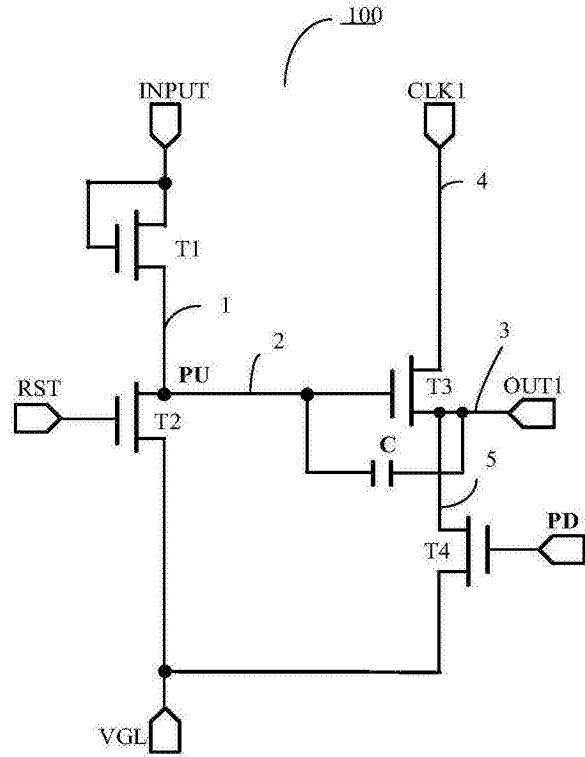


图5

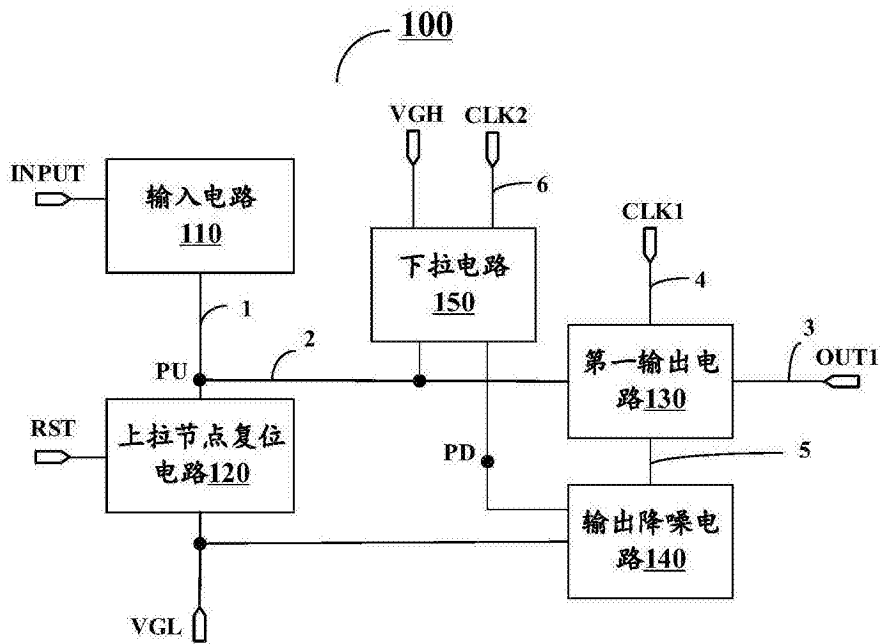


图6

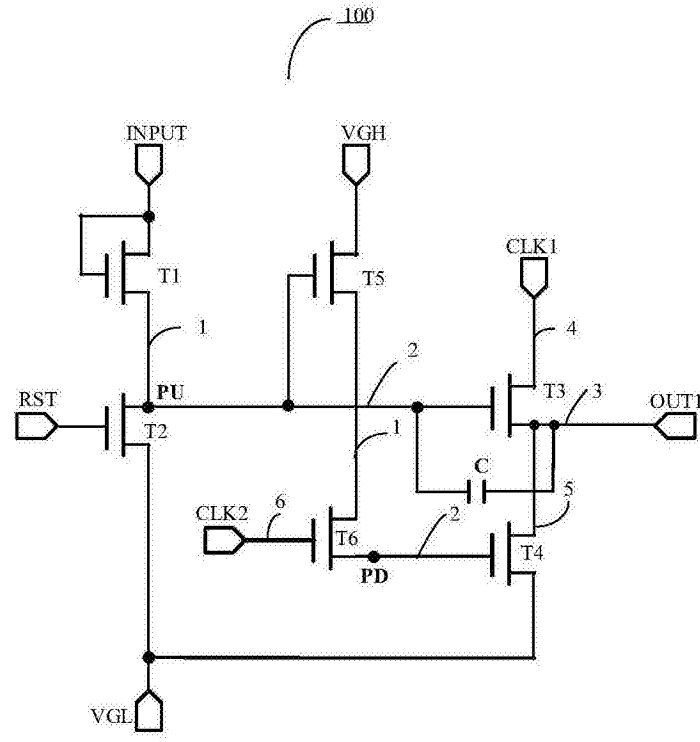


图7

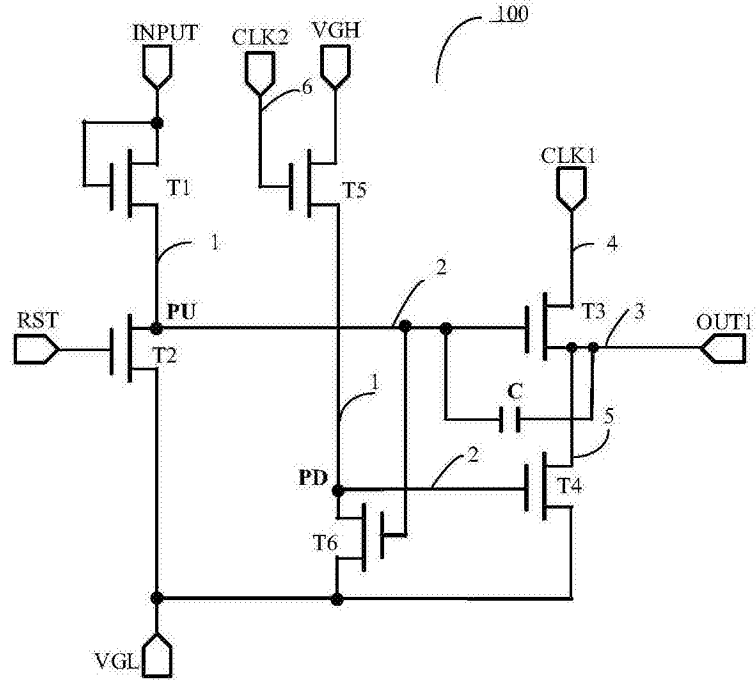


图8

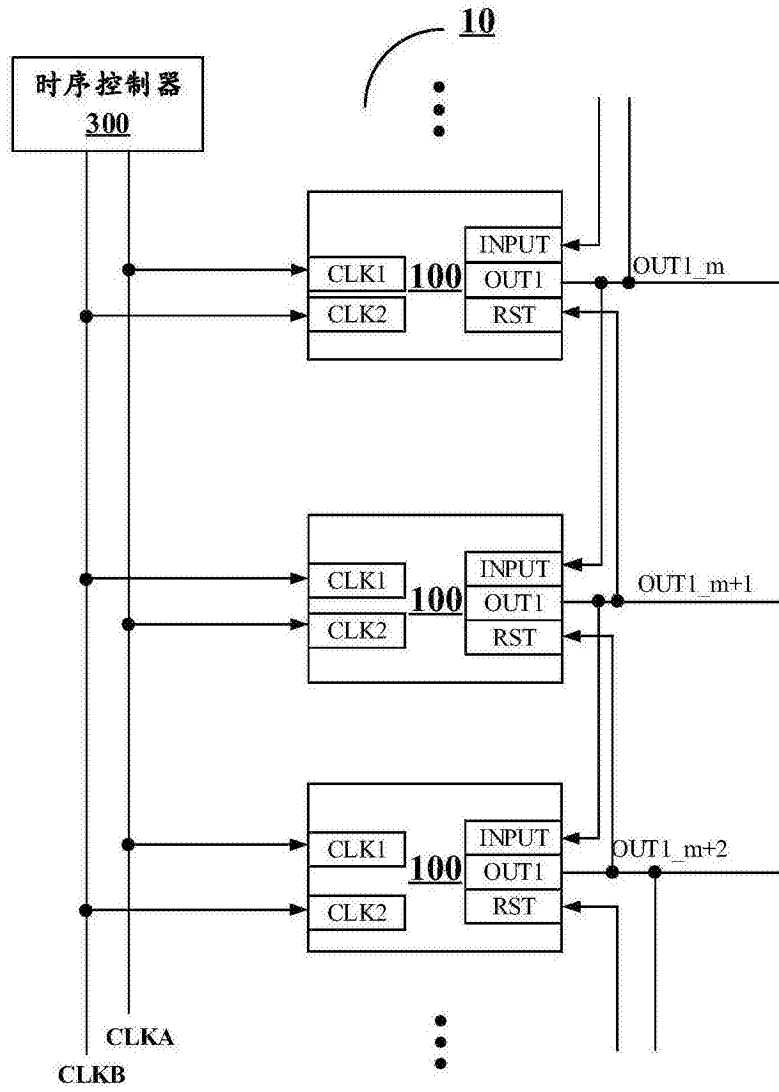


图9A

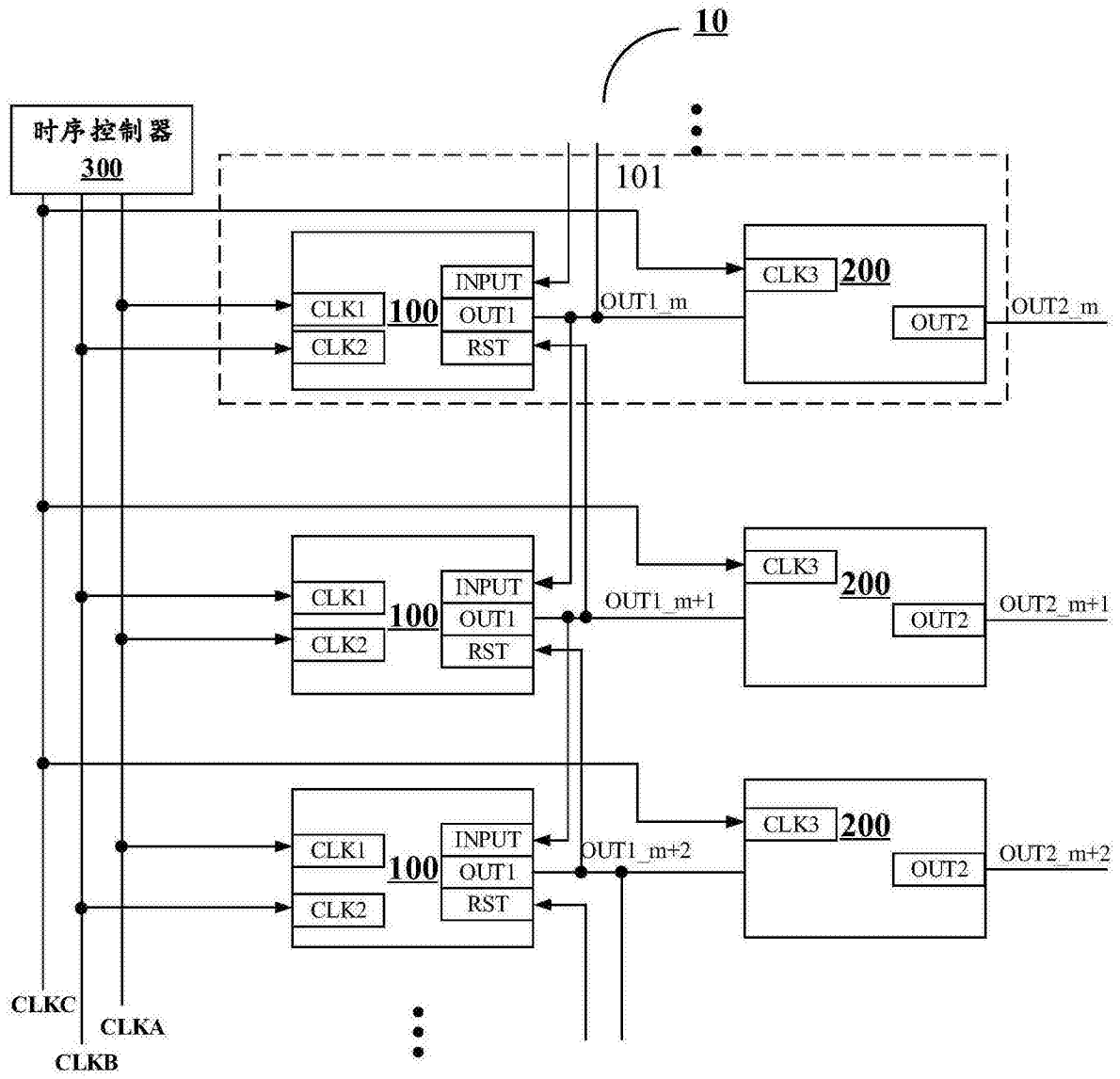


图9B

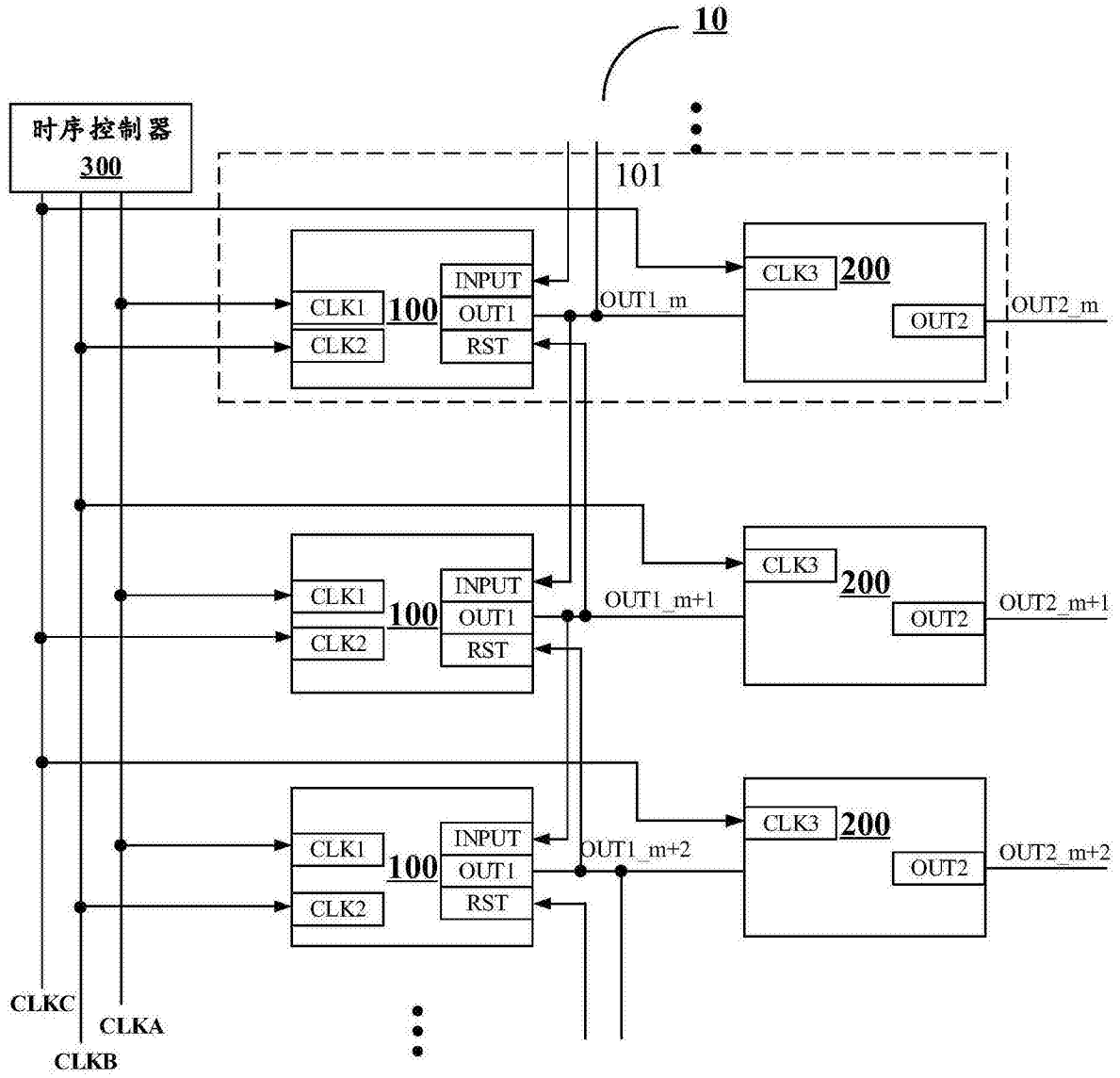


图9C

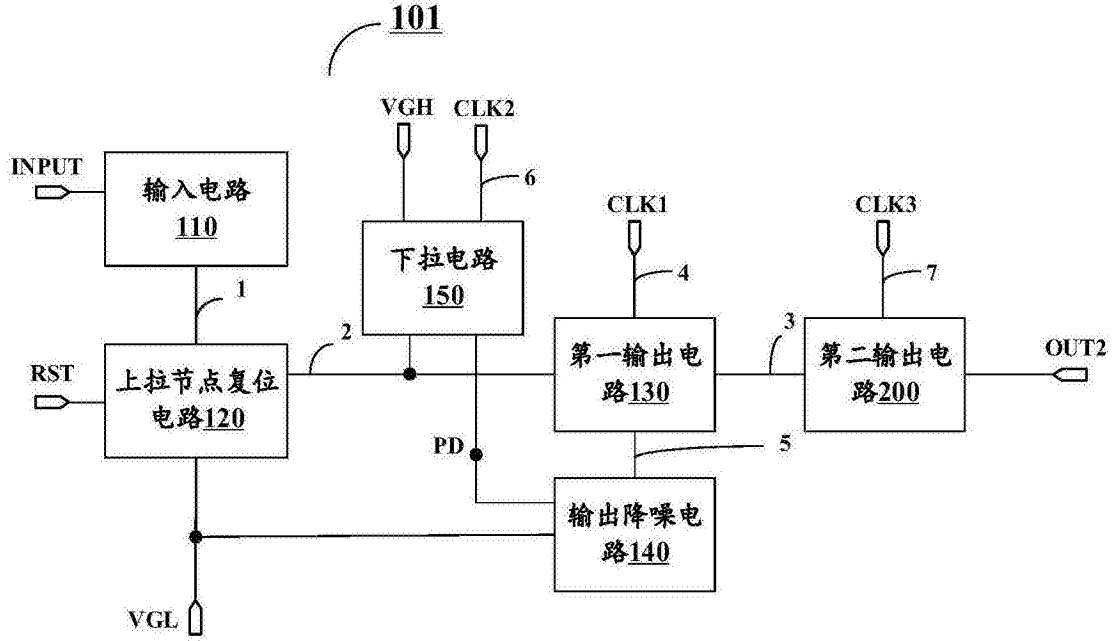


图10A

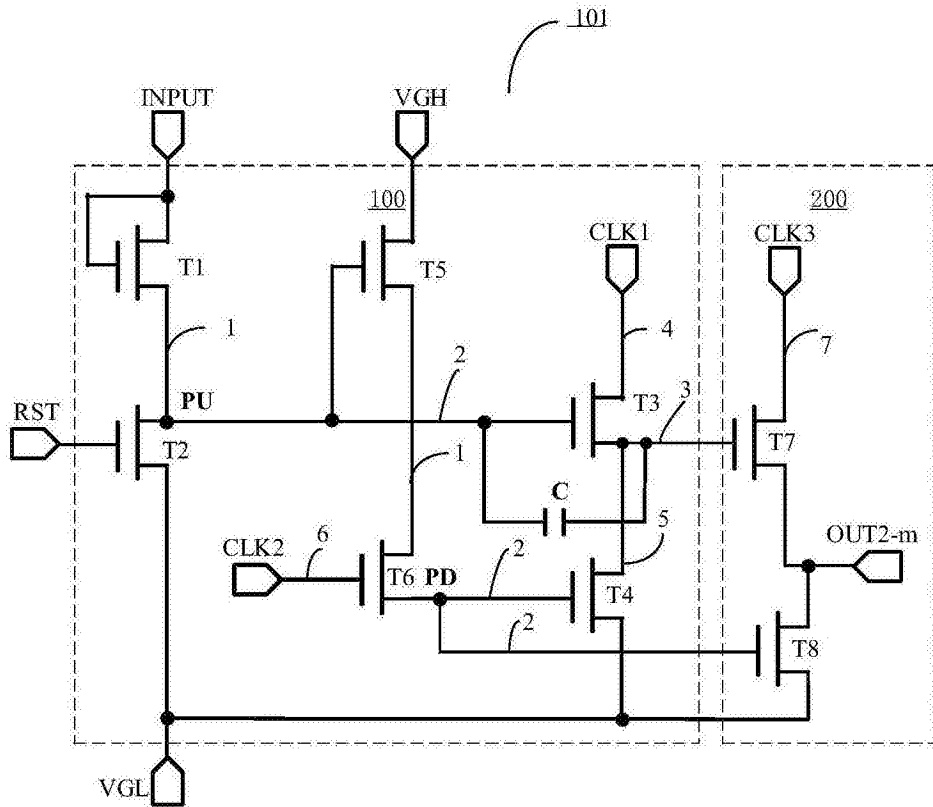


图10B

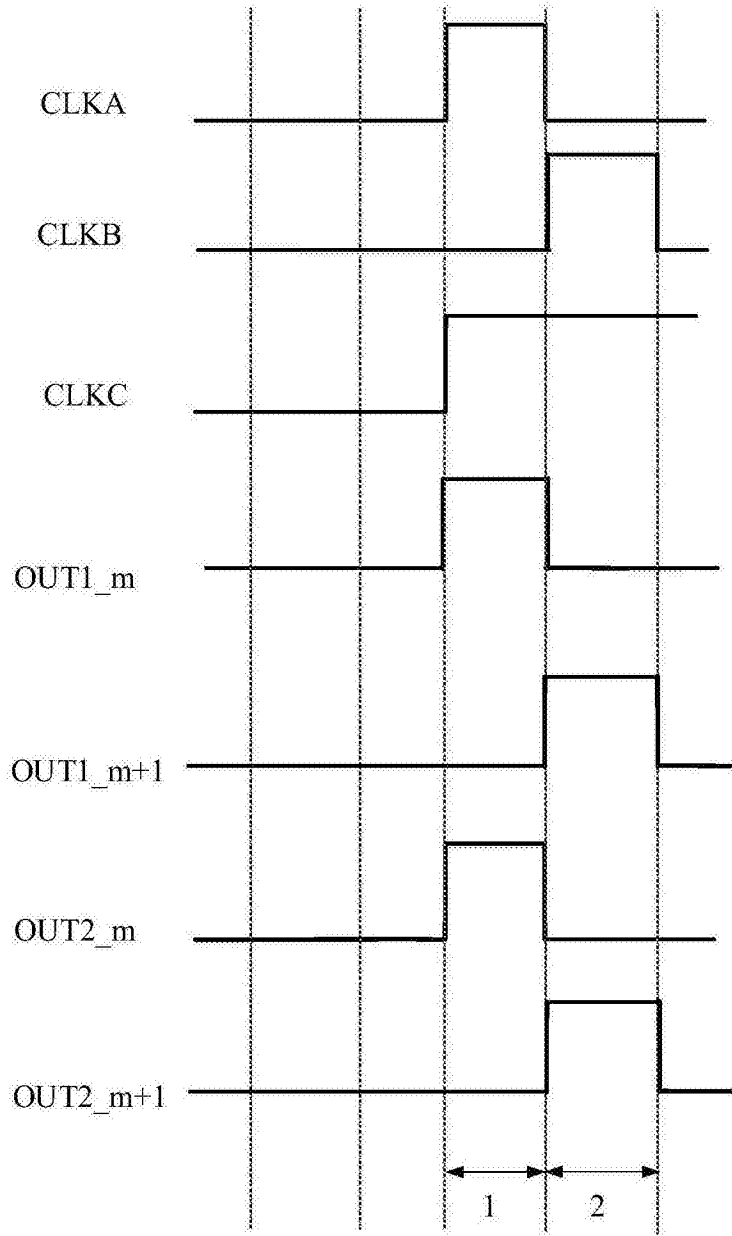


图11A

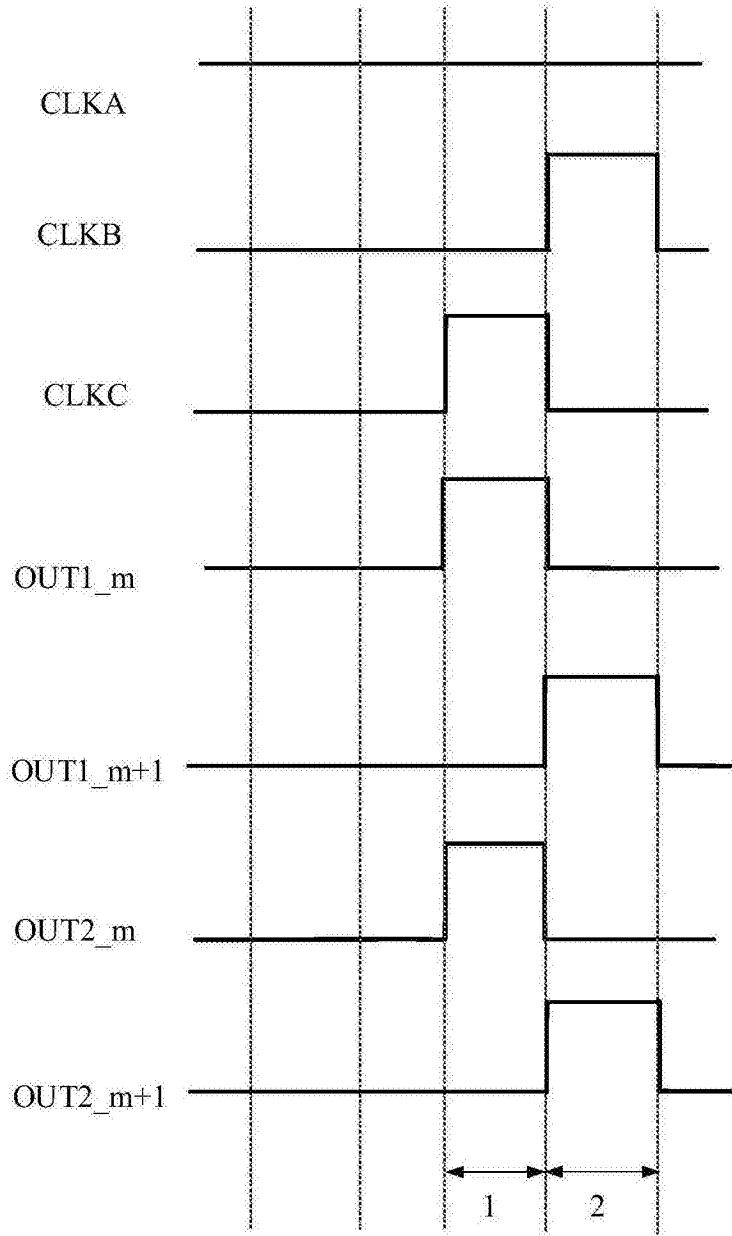


图11B

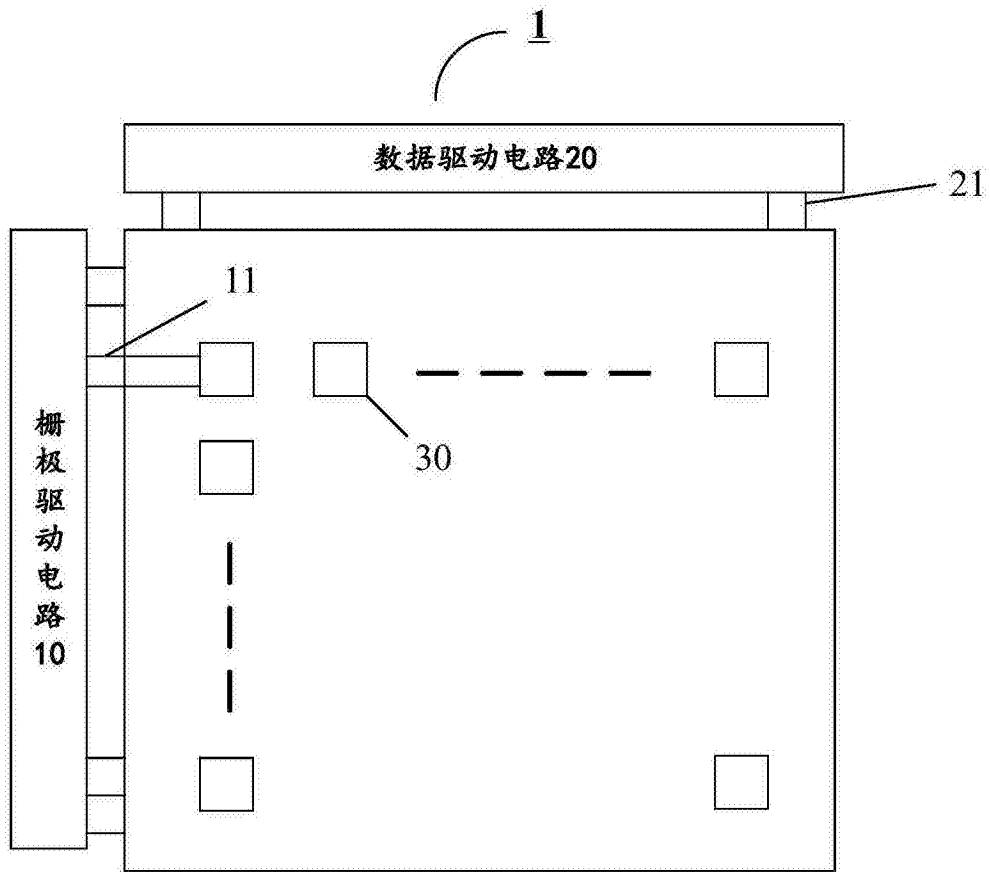


图12