

發明專利說明書 200529353

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： P 3 135068

※ 申請日期： P 3. 11. 16 ※IPC 分類： H01L 21/90.

一、發明名稱：(中文/英文)

嵌入式半導體產品及其製造方法

Embedded Semiconductor Product With Dual Depth Isolation Regions

二、申請人：(共1人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共1人)

姓 名：(中文/英文)

1. 涂國基/Kuo-Chi Tu

國 籍：(中文/英文)

1. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2004/02/26、10/789,527

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係有關於邏輯(logic)以及記憶(memory)之嵌入式(embedded)半導體產品，且特別有關於在邏輯以及記憶嵌入式半導體產品中之嵌入式電容(capacitor)隔離結構。

【先前技術】

有關嵌入式半導體產品之設計與製造係常見於半導體產品之技術領域中，嵌入式半導體產品乃包含個別族群的電晶體，其分別用於執行邏輯功能或記憶功能。由於嵌入式半導體產品可在單一半導體晶粒上形成系統單晶片(system on a chip；SoC)，其係成為當前一較佳之半導體設計的選擇。

然而，使用嵌入式半導體產品並非沒有問題存在，當半導體元件尺寸愈趨減小，欲形成有足夠電容之嵌入式半導體產品的記憶體部份則愈加困難，而電容不足將引發資料儲存的能力不足。

有鑑於此，本發明係針對形成具有較大記憶體電容的嵌入式半導體產品。

【發明內容】

本發明提供一種嵌入式半導體產品及其製造方法，而該嵌入式半導體產品的記憶體部份乃具有較大之儲存電容。本發明乃於嵌入式半導體產品之記憶單元(memory cell)區域中形成一深度較深的儲存溝槽以藉此實現上述目的，而該深度乃相對於該嵌入式半導體產品之邏輯單元(logic cell)區域中的深度而言。藉由在記憶單元區域中形成深度較深的儲存溝槽，可形成一加大尺寸之儲存電容嵌入至隔離溝槽內之隔離區域中，而藉由此方法所形成之儲存電容亦可具有較大電容之特性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較

佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明提供一種嵌入式半導體產品及其製造方法，而該嵌入式半導體產品的記憶體部份乃具有較大之儲存電容。本發明乃於嵌入式半導體產品之記憶單元(memory cell)區域中形成一深度較深的儲存溝槽以藉此實現上述目的，而該深度乃相對於該嵌入式半導體產品之邏輯單元(logic cell)區域中的深度而言。藉由在記憶單元區域中形成深度較深的儲存溝槽，可形成一加大尺寸之儲存電容嵌入至隔離溝槽內之隔離區域中，而藉由此方法所形成之儲存電容亦可具有較大電容之特性。

第1圖至第7圖係闡述依照本發明所製造之嵌入式半導體產品於不同階段下之一系列剖面側視概略圖，而第1圖乃顯示半導體產品於製造過程之初期階段的剖面側視概略圖。

第1圖係顯示一半導體基底10，一系列於基底10上所形成之已圖案化的墊介電層(pad dielectric layer)12，以及一系列與上述已圖案化的墊介電層12對準排列之圖案化氮化矽層(silicon nitride layer)14。圖案化之墊介電層12以及氮化矽層14係用以界定半導體基底10內部之一系列隔離溝槽11的位置。

半導體基底10可為任何組成、或包含數種摻雜物(dopant)之濃度以及數種晶向(crystallographic orientation)。可舉例之組成乃包含有矽半導體基底、鍺(germanium)半導體基底、矽-鍺合金半導體基底、包含上述組成之混合物、以及任何前述材料之位於絕緣層上(on insulator)的半導體基底，例如絕緣層上有矽(silicon on insulator；SOI)之半導體基底，然本發明乃不受限於上述中所舉例之半導體基底組成。通常半導體基底10乃為一矽半導體基底。

上述已圖案化之墊介電層12一般乃由氧化矽介電材料所形成，而當半導體基底10為矽所組成時，其可藉由將此半導體基底10施以一熱氧化

(thermal oxidation)製程而形成。上述墊介電層 12 亦可使用其他之墊介電材料。一般而言，每一系列之墊介電層 12 之一厚度約介於 10-50 埃之間。

上述之圖案化氮化矽層 14 乃通常藉由施以一化學氣相沉積(chemical vapor deposition; CVD)而形成，且一般而言，每一系列之氮化矽層 14 的厚度約介於 200-1000 埃之間。

上述之隔離溝槽 11 係通常於半導體基底 10 內部中形成一深度介於約 2500-5000 埃之間，且具有一線寬(linewidth)介於大抵 0.1-1.0 微米(micron)之間。

如第 1 圖中所示，半導體基底 10 乃分為兩區域：一第一區域為一邏輯區域 RL，一第二區域為一記憶區域 RM。

第 2 圖首先係顯示利用一第一圖案化之光阻層 16 以遮蔽邏輯區域 RL 中隔離溝槽 11 之結果圖式。上述第一圖案化之光阻層 16 可為一正光阻材料或負光阻材料而形成；一般而言，第一圖案化之光阻層 16 的厚度約介於 10000-15000 埃之間。

第 2 圖亦顯示進一步蝕刻位於記憶區域 RM 中成對之隔離溝槽 11 以形成一對加深的隔離溝槽 11'之結果。上述加深的隔離溝槽 11'乃蝕刻至一深度介於約 4000-9000 埃之間，從而提供相對於成對之隔離溝槽 11 有一增加的深度介於約 1500-4000 埃之間。

第 3 圖乃顯示自半導體基底 10 剝除第一圖案化之光阻層 16、一系列已圖案化之氮化矽層 14 以及一系列圖案化墊介電層 12 後的結果。上述之層別均可藉由半導體產品製程中所習知的方法以及工具而去除。一般而言，第一圖案化光阻層可利用一適當的光阻剝除工具(例如乾式電漿、濕式化學蝕刻或其混合)而去除；已圖案化之氮化矽層可利用一般磷酸(phosphoric acid)剝除液而去除；而圖案化之墊介電層則通常可藉由一包含氫氟酸水溶液的蝕刻劑(etchant)予以去除。

第 3 圖亦顯示以下結果：(1)於半導體基底 10 中形成一位於邏輯區域

RL 之隔離溝槽 11 內部的隔離區域 18；以及形成半導體基底 10 中於該記憶區域 RM 之該對隔離溝槽 11' 內部的一對加深的隔離區域 18'。

隔離區域 18 與該對加深的隔離區域 18' 一般係藉由施以一毯覆式絕緣層 (blanket isolation layer) 沉積以及化學機械研磨 (chemical mechanical polish; CMP) 平坦法而形成。而此方法一般乃利用上述已圖案化之氮化矽層 14 作為一平坦化的停止層 (stop layer)，因此，通常直到形成隔離區域 18 與該對加深的隔離區域 18' 後，上述之已圖案化的氮化矽層 14 以及墊介電層 12 才會去除。

第 4 圖首先顯示一系列第二圖案化之光阻層 20 的形成：(1) 其完全地覆蓋於半導體基底 10 以及位於半導體基底 10 之邏輯區域 RL 中的隔離區域 18；以及 (2) 部份覆蓋於半導體基底 10 之記憶區域 RM 中的主動區域與以及該加深的隔離區域。所形成之第二圖案化光阻層 20 的光阻材料以及厚度係與第一圖案化之光阻層 16 的材料與厚度類似、相等或完全相同。

第 4 圖亦顯示蝕刻該對加深的隔離區域 18' 之裸露部份以形成一對已經蝕刻之加深的隔離區域 18'' 之結果。該對已經蝕刻之加深的隔離區域 18'' 係留下該加深的隔離溝槽之裸露的側壁部份。

第 5 圖乃顯示離子植入位於記憶區域 RM 之半導體基底 10 主動區上裸露之邊角部份的結果，以形成一系列之邊角摻雜區域 22。上述所施行之離子植入乃使用一適於半導體基底 10 的摻雜物極性 (dopant polarity)。一般而言，邊角部份之摻雜的區域乃具有一摻雜物濃度介於約每立方公分含有 $1E18$ 至 $1E20$ 摻雜物原子的範圍，其並可於接下來進一步處理第 5 圖所示之半導體產品而形成之一系列的儲存電容中作為電容節點層 (capacitor node layer)。

第 6 圖首先係顯示自第 5 圖所示之半導體產品上移除第二圖案化光阻層 20 的結果。此第二圖案化光阻層 20 可藉由如第 3 圖中所闡述之第一圖案化光阻層 16 所使用之方法及工具而去除。

第 6 圖亦顯示一系列之閘極與電容介電層 24 形成於半導體基底 10 之邏輯區域 RL 以及記憶區域 RM 內之裸露的主動區上，以及位於半導體基底 10 之記憶區域 RM 中加深的隔離溝槽之裸露側壁上。

此一系列之閘極與電容介電層 24 可藉由伴隨著施行一熱氧化法而於形成氧化層，亦即一般之氧化矽層；亦或藉由施以一例如化學氣相沉積法沉積一介電層而形成。所沉積之介電層一般而言可具有較高的介電係數，例如約大於 10。較高介電係數的介電材料可包含但不受限於過渡金屬氧化物 (transition metal oxide)、鈦鋯酸鉛 (lead zirconate titanate) 以及鋇銦鈦酸鹽 (barium strontium titanate) 之介電材料。一般而言，此一系列之閘極與電容介電層 24 所形成之厚度約介於 10-200 埃之間。

第 7 圖首先顯示於半導體基底之邏輯區域 RL 以及記憶區域 RM 內之此一系列閘極與電容介電層 24 上形成一系列之閘電極 26 的結果。第 7 圖更顯示於該記憶單元區域 RM 之閘極與電容介電層 24 以及該系列之邊角摻雜區域 22 上形成一系列電容板層 26'，以形成一系列之儲存電容。而第 7 圖最後則顯示於半導體基底 10 記憶區域 RM 中已經蝕刻而加深的隔離區域 18'' 上形成一內連線層 (interconnect layer) 26''。

一般而言，該系列之閘電極 26、電容板層 26' 以及內連線層 26'' 乃隨著將一單一沉積層圖案化而成，而該單一沉積層係可為一多晶矽 (polysilicon) 或複晶金屬矽化疊層 (polycide laminate layer)，且上述之沉積層亦可為數層金屬以及金屬氮化物所構成之複合層。一般而言，上述之沉積層的厚度乃介於約 1500-3500 埃之間。

第 7 圖亦顯示形成一系列之間隔層 (spacer layer) 28 鄰接於閘電極 26、電容板層 26' 以及內連線層 26''。該間隔層 28 可藉由習知之沉積以及非等向性 (anisotropic) 蝕刻法而形成。一般而言，上述之間隔層 28 乃由一介電材料所形成。

第 7 圖最後係顯示一系列之源極/汲極區 30 形成於邏輯區域 RL 以及記

憶區域 RM 兩者之半導體基底 10 的主動區內部中。上述之源極/汲極區 30 乃藉由一兩步驟離子植入法而形成，於形成間隔物之前後施以個別的離子植入步驟。而相對應之源極/汲極區 30、閘極與電容介電層 24、以及閘電極 26 則於半導體基底之邏輯區域 RL 以及記憶區域 RM 中用以提供一系列之場效電晶體(field effect transistor；FET)元件。

第 7 圖係顯示依照本發明一較佳實施例之一半導體產品的剖面側視概略圖，而該半導體產品乃為一嵌入式之記憶以及邏輯半導體產品，且藉由在記憶區域形成較邏輯區域深度為深之隔離溝槽與隔離區域，以提供較大的儲存單元電容。較深的隔離溝槽與隔離區域係可允許在半導體基底中形成較深的電容節點區域，以及在該較深的電容節點上形成較大的電容板層。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖至第 7 圖係闡述依照本發明所製造之嵌入式半導體產品於不同階段下之一系列剖面側視概略圖。

【主要元件符號說明】

- | | |
|--------------------------|---------------|
| 10~基底； | 11~隔離溝槽； |
| 11'~加深的隔離溝槽； | 12~墊介電層； |
| 14~氮化矽層； | 16~第一圖案化之光阻層； |
| 18~邏輯區域中隔離溝槽內部之隔離區域； | |
| 18'~記憶區域中加深的隔離溝槽內部之隔離區域； | |
| 18''~已經蝕刻之加深的隔離區域； | 20~第二圖案化之光阻層； |
| 22~邊角摻雜區域； | 24~閘極與電容之介電層； |

26~閘電極；

26''~內連線層；

30~源極/汲極區；

RL~邏輯區域。

26'~電容板層；

28~間隔層；

RM~記憶區域；

五、中文發明摘要：

一種嵌入式半導體產品，其具有一第一隔離溝槽以及形成於該第一隔離溝槽中之一第一隔離區域毗鄰於一半導體基底之邏輯單元主動區，並具有一第二隔離溝槽以及形成於該第二隔離溝槽之一第二隔離區域毗鄰於該半導體基底之記憶單元主動區。該第二隔離溝槽之深度係較該第一隔離溝槽為深，因此埋置於至少部份該第二隔離區域中之儲存電容的電容板將可具有較大之電容。

六、英文發明摘要：

An embedded semiconductor product employs a first isolation trench and first isolation region formed therein adjoining a logic cell active region of a semiconductor substrate. The embedded semiconductor product also employs a second isolation trench and second isolation region therein adjoining a memory cell active region of the semiconductor substrate. The second isolation trench is deeper than the first isolation trench such that a storage capacitor whose capacitor plate is embedded at least in part within the second isolation region may be formed with enhanced capacitance.

十、申請專利範圍：

1. 一種嵌入式半導體產品，其包含：
 - 一半導體基底；
 - 一第一隔離溝槽，毗鄰於該半導體基底之一邏輯單元主動區；以及
 - 一第二隔離溝槽，毗鄰於該半導體基底之一記憶單元主動區；其中該第二隔離溝槽較該第一隔離溝槽為深。
2. 如申請專利範圍第 1 項所述之嵌入式半導體產品，其中該第一隔離溝槽具有一大體介於 2500-5000 埃之深度。
3. 如申請專利範圍第 1 項所述之嵌入式半導體產品，其中該第二隔離溝槽具有一大體介於 4000-9000 埃之深度。
4. 如申請專利範圍第 1 項所述之嵌入式半導體產品，其更包括一第一隔離區域形成於該第一隔離溝槽中，以及一第二隔離區域於形成該第二隔離溝槽中。
5. 如申請專利範圍第 4 項所述之嵌入式半導體產品，其更包含有一儲存電容，其具有一儲存電容板層至少部份深入至該第二隔離區域中。
6. 如申請專利範圍第 5 項所述之嵌入式半導體產品，其中該儲存電容乃包含該第二隔離溝槽之一側壁，一電容介電層形成於該側壁上，且該儲存電容板形成於該電容介電層上。
7. 一種製造嵌入式半導體產品的方法，其包括：
 - 提供一半導體基底；
 - 形成一第一隔離溝槽，毗鄰於該半導體基底之一邏輯單元主動區；以及
 - 形成一第二隔離溝槽，毗鄰於該半導體基底之一記憶單元主動區；其中該第二隔離溝槽較該第一隔離溝槽為深。
8. 如申請專利範圍第 7 項所述之製造嵌入式半導體產品的方法，其中該半導體基底乃包含矽半導體基底。
9. 如申請專利範圍第 7 項所述之製造嵌入式半導體產品的方法，其中該

第一隔離溝槽乃形成至一大體介於 2500-5000 埃之深度。

10. 如申請專利範圍第 7 項所述之製造嵌入式半導體產品的方法，其中該第二隔離溝槽係形成一大體介於 4000-9000 埃之深度。

11. 如申請專利範圍第 7 項所述之製造嵌入式半導體產品的方法，其更包括於該第一隔離溝槽中形成一第一隔離區域，以及於該第二隔離溝槽中形成一第二隔離區域。

12. 如申請專利範圍第 11 項所述之製造嵌入式半導體產品的方法，其更包括形成一儲存電容，其具有一儲存電容板層至少部份深入至該第二隔離區域中。

13. 如申請專利範圍第 12 項所述之製造嵌入式半導體產品的方法，其中該儲存電容乃包括該第二隔離溝槽之一側壁，一電容介電層形成於該側壁上，且該儲存電容板形成於該電容介電層上。

14. 一種製造嵌入式半導體產品的方法，其包括：

提供一半導體基底；

同時形成一第一隔離溝槽與一第二隔離溝槽，其中該第一隔離溝槽乃毗鄰於該半導體基底之一邏輯單元主動區，而該第二隔離溝槽則毗鄰於該半導體基底之一記憶單元主動區；以及

進一步蝕刻該第二隔離溝槽，而不蝕刻該第一隔離溝槽，因此該第二隔離溝槽較該第一隔離溝槽為深。

15. 如申請專利範圍第 14 項所述之製造嵌入式半導體產品的方法，其中該半導體基底係包含矽半導體基底。

16. 如申請專利範圍第 14 項所述之製造嵌入式半導體產品的方法，其中該第一隔離溝槽係形成一大體介於 2500-5000 埃之深度。

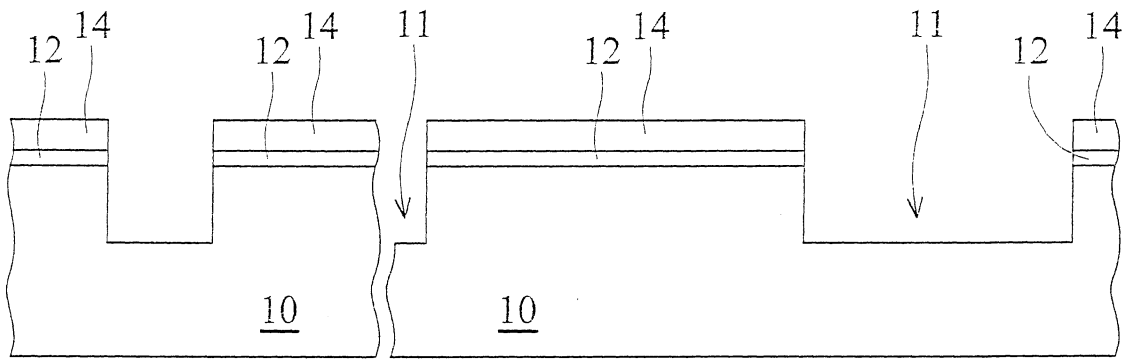
17. 如申請專利範圍第 14 項所述之製造嵌入式半導體產品的方法，其中該第二隔離溝槽係形成一大體介於 4000-9000 埃之深度。

18. 如申請專利範圍第 14 項所述之製造嵌入式半導體產品的方法，其更

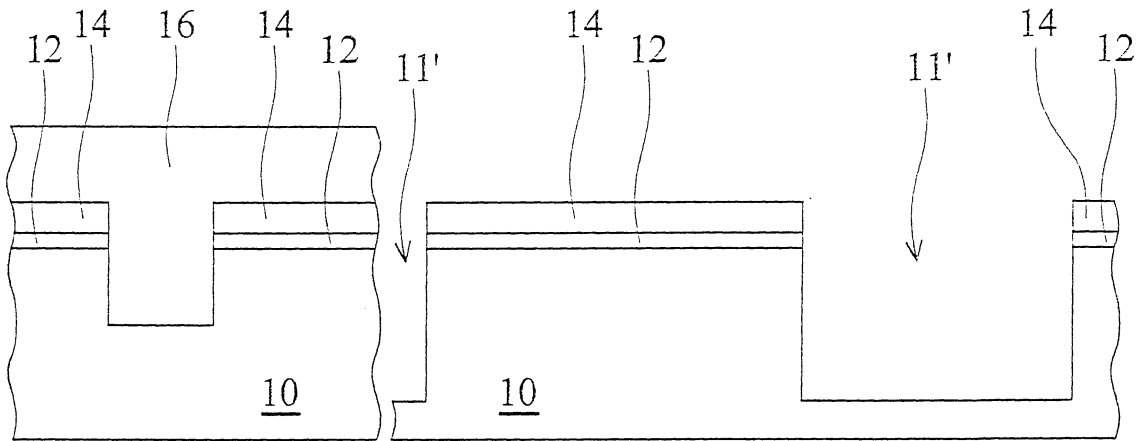
包括於該第一隔離溝槽中形成一第一隔離區域，以及於該第二隔離溝槽中形成一第二隔離區域。

19. 如申請專利範圍第 18 項所述之製造嵌入式半導體產品的方法，其更包括形成一儲存電容，其具有一儲存電容板層至少部份深入至該第二隔離區域中。

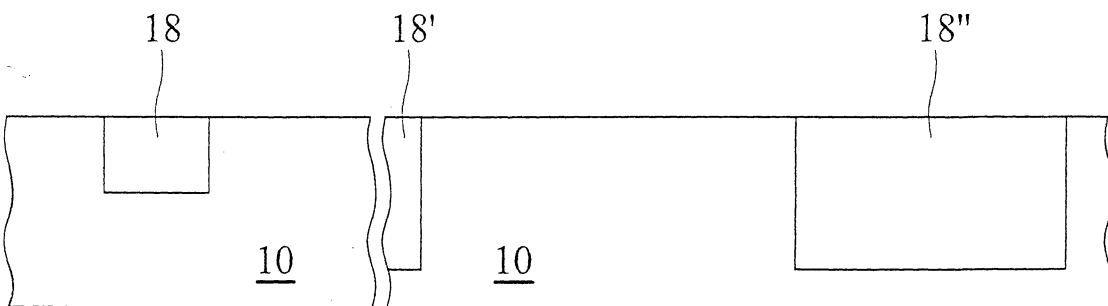
20. 如申請專利範圍第 19 項所述之製造嵌入式半導體產品的方法，其中該儲存電容乃包括該第二隔離溝槽之一側壁，一電容介電層形成於該側壁上，且該儲存電容板形成於該電容介電層上。



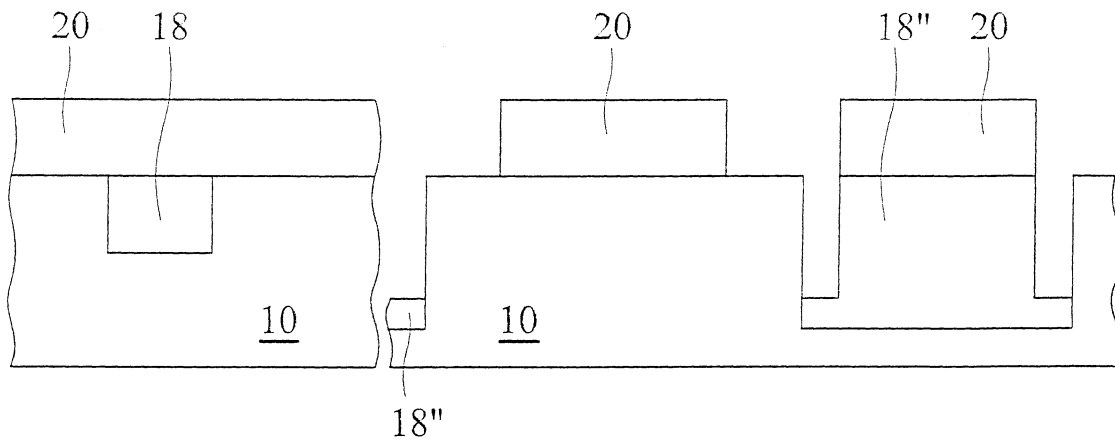
第 1 圖



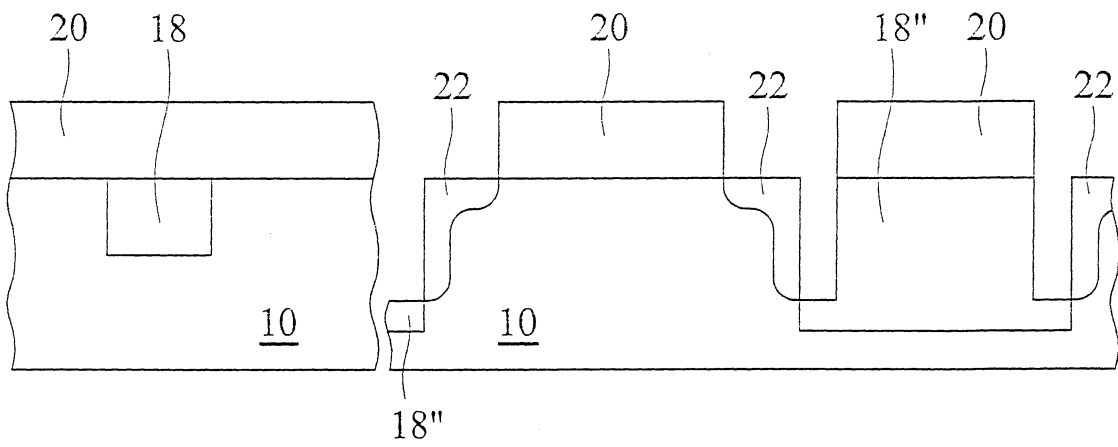
第 2 圖



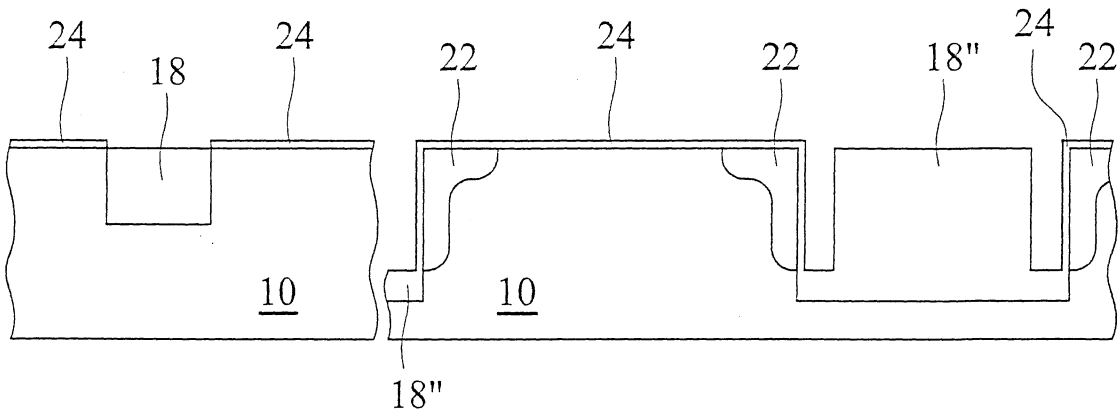
第 3 圖



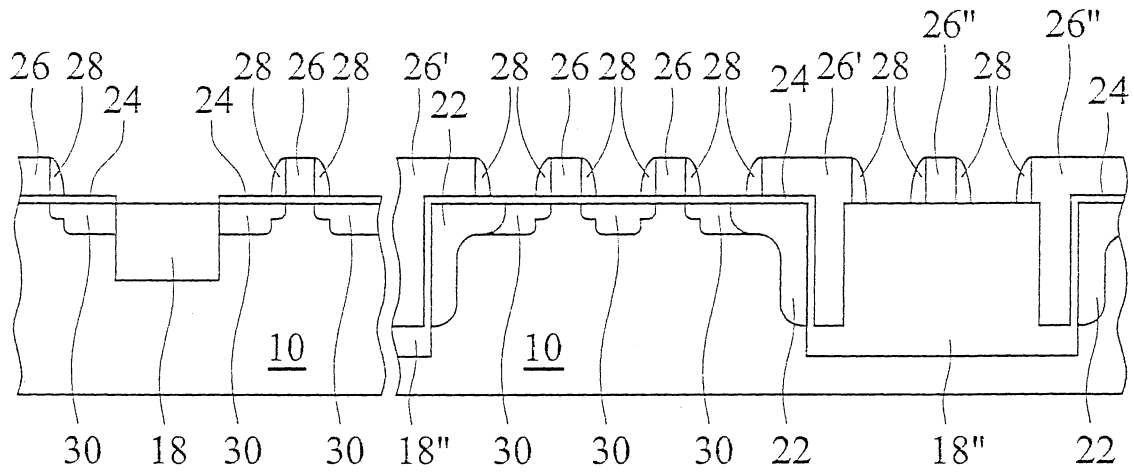
第 4 圖



第 5 圖



第 6 圖



第 7 圖

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|--------------------|----------------------|
| 10~基底； | 18~邏輯區域中隔離溝槽內部之隔離區域； |
| 18''~已經蝕刻之加深的隔離區域； | |
| 22~邊角摻雜區域； | 24~閘極與電容之介電層； |
| 26~閘電極； | 26'~電容板層； |
| 26''~內連線層； | 28~間隔層； |
| 30~源極/汲極區。 | |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：