

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 13 日(13.03.2014)



(10) 国際公開番号
WO 2014/038310 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01) *H01L 21/683* (2006.01)
- (21) 国際出願番号: PCT/JP2013/070519
- (22) 国際出願日: 2013 年 7 月 29 日(29.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-197949 2012 年 9 月 7 日(07.09.2012) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 爲則 啓(TAMENORI, Akira); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

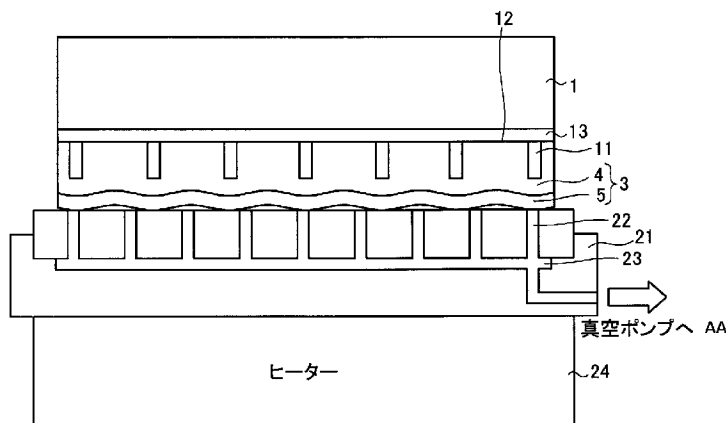
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシヤ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR ELEMENT PRODUCING METHOD

(54) 発明の名称: 半導体素子の製造方法



24 Heater
AA To vacuum pump

(57) Abstract: The purpose of the present invention is to mitigate protrusions and recesses that occur on a surface protection tape for back grinding due to protrusions and recesses of a polyimide protection film on a wafer top surface, so as to improve wafer thickness accuracy of grinding processing with respect to a wafer back surface, thereby to reduce variation in a chip thickness. A surface protection tape (3) including a base material layer (5) and an adhesive layer (including an intermediate layer) (4) is caused to adhere to a top surface that has protrusions and recesses due to a polyimide protection film (11) of a wafer (1). Next, the wafer (1) is mounted on a stage (21) in such a manner that a surface protection tape (3) side thereof comes on a stage (21) side, and thereafter, heating is carried out while the surface protection tape (3) is being sucked toward the stage (21) side so that the surface of the surface protection tape (3) is flattened. Next, after the back surface of the wafer (1) is ground so that the wafer becomes thinner, a back surface element structure is formed on the back surface of the wafer (1), and dicing is performed so that the wafer is cut into chips.

(57) 要約:

[続葉有]

WO 2014/038310 A1

ウェハおもて面のポリイミド保護膜による凹凸によってバックグラインド用の表面保護テープに生じた凹凸を緩和し、ウェハ裏面の研削加工によるウェハの厚さ精度を向上させ、チップ厚さのばらつきを低減すること。ウェハ（１）のポリイミド保護膜（１１）による凹凸を有するおもて面に、基材層（５）と粘着剤層（中間層を含む）（４）を備えた表面保護テープ（３）を貼り付ける。次に、表面保護テープ（３）側をステージ（２１）側にしてウェハ（１）をステージ（２１）に載置した後、表面保護テープ（３）をステージ（２１）側へ吸引しながら加熱することによって表面保護テープ（３）の表面を平坦化する。次に、ウェハ（１）裏面を研削加工して薄ウェハにした後、ウェハ（１）裏面に裏面素子構造を形成し、ダイシングをおこなってチップに切断する。

明 細 書

発明の名称：半導体素子の製造方法

技術分野

[0001] この発明は、半導体素子の製造方法に関する。

背景技術

[0002] 従来、コンピュータや通信機器の主要部分には、多数のトランジスタや抵抗等を、電気回路を構成するようにむすびつけて、１チップ上に集積した集積回路（ＩＣ）が多用されている。また、上記ＩＣよりも高電圧・大電流のスイッチングに用いる半導体素子として電力用半導体素子がある。電力用半導体素子には、たとえば絶縁ゲート型バイポーラトランジスタ（以下、ＩＧＢＴとする）やダイオードがある。

[0003] ここで、従来のＩＧＢＴの製造プロセスについて説明する。まず、ウェハのおもて面側に、ベース領域、エミッタ領域、ゲート酸化膜、ゲート電極、層間絶縁膜、エミッタ電極および絶縁保護膜よりなる表面素子構造部を形成する。エミッタ電極は、例えばアルミ・シリコン膜でできている。絶縁保護膜は、例えばポリイミド膜でできている。次に、ウェハおもて面にポリイミド保護膜を形成する。

[0004] 次に、ポリイミド保護膜が形成されたウェハおもて面に表面保護テープを貼り付けてからウェハの裏面を研削し、ウェハを所望の厚さとする。次に、ウェハ裏面側にコレクタ層などを形成する。その後、ウェハの裏面、すなわちコレクタ層の表面に、アルミニウム、チタン、ニッケルおよび金などの複数の金属を蒸着し、コレクタ電極を形成する。最後に、コレクタ電極側にダイシングテープを貼り付けてダイシングをおこない、ウェハを複数のチップに切断することにより、ＩＧＢＴが完成する。

[0005] 一般に、従来より用いられている表面保護テープは、基材層と粘着剤層（中間層を含む）とを組み合わせた構成のものであり、例えば１５０μmの厚さを有する。また、表面保護テープとして、融点１０５℃以下のホットメル

ト層を少なくとも有し、半導体ウェハ表面に加熱して貼り付けられるホットメルトシートが公知である（例えば、下記特許文献 1 参照。）。

[0006] また、上述したようにウェハおもて面に表面保護テープを貼り付ける方法として、半導体ウェハのポリイミド保護膜による凹凸を有する表面に、基材層と粘着剤層を備えた表面保護テープを貼り付けた後に加熱し、基材層および粘着剤層を変形させて、基材層の表面をほぼ平坦にする方法が提案されている（例えば、下記特許文献 2 参照。）。

[0007] また、別の方法として、次の方法が提案されている。半導体ウェハ表面の上方に保護テープを供給し、貼付けローラで押圧しながら転動移動させて半導体ウェハの表面に当該保護テープを貼付け、貼付けられた保護テープを半導体ウェハの外周に沿って切断する。その後に加圧部材で保護テープを表面から加圧し、その表面を扁平化する（例えば、下記特許文献 3 参照。）。

[0008] また、別の方法として、基材と少なくとも一層以上の中間層と粘着剤層をこの順番で積層してなる半導体ウェハ保護用粘着シートを半導体ウェハの表面に貼り合わせる方法であって、粘着シートと半導体ウェハの貼り合わせ温度が $50^{\circ}\text{C} \sim 100^{\circ}\text{C}$ であり、粘着剤層と接する側の中間層の貼り合わせ温度における損失正接 ($\tan \delta$) が 0.5 以上である方法が提案されている（例えば、下記特許文献 4 参照。）。

[0009] また、別の方法として、ワークを載置する載置手段を加熱手段で加熱する加熱工程と、載置手段にワークを載置した状態で、載置手段およびワークを内在させかつ内部を密封状態で閉塞可能な圧力室を、吸引手段を用いて真空吸引をおこなう吸引工程と、真空度に到達したことを検出した後に、テープ部材に対してワークを近付けて、ワークをテープ部材に接着させる接着工程と、接着工程における接着を予め設定された時間だけ実行した後に、加圧手段を作動させて圧力室の内部に空気を加圧状態で導入する加圧工程と、を含む方法が提案されている（例えば、下記特許文献 5 参照。）。

先行技術文献

特許文献

[0010] 特許文献1：特開2000-038556号公報

特許文献2：特開2005-317570号公報

特許文献3：特開2010-045189号公報

特許文献4：特開2010-258426号公報

特許文献5：特開2006-114598号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、上述した製造プロセスのように、ウェハ裏面を研削する前にウェハおもて面にポリイミド保護膜を形成する場合、次のような種々の不具合が生じる。図21は、従来の表面保護テープをウェハおもて面に貼り付けた状態を模式的に示す断面図である。例えば、表面素子構造部を保護するポリイミド保護膜102は、ウェハ101に作製された複数のチップの素子形成領域を囲むように各チップの外周に沿って形成される。

[0012] すなわち、図21に示すように、ウェハ101のおもて面には、ポリイミド保護膜102が形成されている。ポリイミド保護膜102はウェハ101のおもて面に凸状に形成される。このポリイミド保護膜102は、ダイシングラインによって格子状に区画された領域の内側で、ダイシングラインに沿って設けられている。そして、ポリイミド保護膜102によって凸状となる部分（以下、凸状部とする）と、この凸状部に囲まれた凹部が形成されるため、ウェハ101のおもて面には、凹凸が複数形成されている。この凹凸による段差の高さは、 $10\mu\text{m}$ ～ $20\mu\text{m}$ 程度であり、凹部の大きさは、数mm～20mm角程度である。一方、従来の表面保護テープ103は、 $150\mu\text{m}$ 程度と厚さが薄く、数 μm 程度の高さの段差に対する緩和性能しか有していない。

[0013] 従って、ウェハ101のおもて面に従来の表面保護テープ103を貼り付けても、ポリイミド保護膜102による凹凸に沿って貼り付いてしまい、ウェハ101のおもて面には、ポリイミド保護膜102によりウェハ101おもて面に生じた段差の約95%程度の高さの段差が残ってしまう。そのため

、ウェハ１０１裏面の研削加工中に、ウェハ１０１おもて面のポリイミド保護膜１０２よりなる格子状の凸状部に囲まれる凹部に形成される表面素子構造部（主にエミッタ電極を構成するアルミ・シリコン膜）が研削砥石によってウェハ１０１裏面側から押され変形した状態で研削加工が進行することになる。

[0014] 従って、ポリイミド保護膜１０２による凹凸が大きい場合、ウェハ１０１おもて面の凹部に大きな応力がかかり、ウェハ１０１裏面の研削加工をおこなっただけでもウェハ１０１が破損することがある。また、ウェハ１０１が破損しなかったとしても、ウェハ１０１おもて面の凹部に応力がかかった状態でウェハ１０１裏面の研削加工がおこなわれることで、凹部が設けられている部分のウェハ１０１の厚さがポリイミド保護膜１０２よりなる凸状部が設けられている部分のウェハ１０１の厚さよりも厚くなってしまう。

[0015] 例えば、ダイシングラインによって区画された矩形状の各チップの外周に沿って $100\mu\text{m}$ ～ $500\mu\text{m}$ 程度の幅でポリイミド保護膜１０２を形成する。このとき、ポリイミド保護膜１０２よりなる凸状部が設けられている部分のウェハ１０１の厚さが $100\mu\text{m}$ になるまでウェハ１０１裏面の研削加工をおこなった場合、ポリイミド保護膜１０２による凸状部に囲まれた凹部のウェハ１０１の厚さ、すなわちチップ中央部の厚さは $110\mu\text{m}$ 程度になってしまう。この場合、 $100\mu\text{m}$ のウェハ厚さで設計したチップの耐圧は得られるが、ウェハ１０１中央部の厚さが $110\mu\text{m}$ となっている分だけ電氣的損失が生じる。逆に、凹部のウェハ１０１の厚さが $100\mu\text{m}$ になるまでウェハ１０１裏面の研削加工をおこなった場合、ポリイミド保護膜１０２によって凸状となるチップ外周部の厚さが過剰に薄くなり、通電時に素子破壊が起こる虞がある。

[0016] このような問題を解決する方法として、次のような方法が提案されているが、それぞれ技術的課題が多い。例えば、接着剤や厚さの厚い両面テープなどにより高剛性基板とウェハとを貼り合わせる方法が提案されている。しかし、高剛性基板を再利用するためにかかる材料費などが高額となり、さらに

高剛性基板をウェハに貼り合わせるための周辺装置が多数必要となるなどコスト的な問題が生じる。また、ウェハ裏面の研削加工をおこなうときのウェハの厚さ精度を向上させるための張り合わせ技術が必要となる。

[0017] また、表面保護テープ自体を厚くしてウェハおもて面の凹凸を埋め込むことで、ウェハおもて面の凹凸に対する緩和性能を高めた各種テープ（主に半田バンプによる凹凸を対象とした保護テープ）が開発されている。しかし、テープの厚さが500 μ m程度と厚いため、半田バンプのように点在する凸部よりなる凹凸を埋め込む作用はあるが、チップ外周のライン上に存在する格子状の高い凹凸に対する埋め込み性能はあまり高くない。このため、ウェハ裏面の研削加工後のウェハの厚さ精度も数倍悪くなってしまう。

[0018] また、ポリイミド保護膜よりなる格子状の凸状部に囲まれる凹部を狭くすることにより、ウェハおもて面のポリイミド保護膜による凹凸自体をなくする方法が提案されている。しかし、ポリイミド保護膜によるウェハへの応力が大きくなりすぎるため、ウェハを薄くしたときにウェハの反りが非常に大きくなり、運搬が困難になるという問題がある、また、エミッタ電極の露出面積が小さくなるため、装置を組み立てる上での制約が増えてしまう。さらに、エミッタ電極の露出面積が少なくなることで、めっきにより成膜される配線とエミッタ電極との実質的な接合面積が小さくなり、放熱性が低下する。

[0019] また、上記特許文献1に開示されたホットメルトシートは、ウェハおもて面の凹凸によく追従して、ウェハと保護保持用シートとが隙間なく接着され、ウェハ裏面の研削加工時における、ウェハパターン面への研削水や異物の浸入、加工ミス、ディンプルの発生、ウェハ割れなどを防ぐためのものである。

[0020] また、上記特許文献1には、バンプが点在するウェハに対してホットメルトシートを貼り付けた実施例が開示されているが、ダイシングラインによって格子状に区画された領域の内側でダイシングラインに沿って設けられたポリイミド保護膜よりなる凸状部と数mm～20mm角程度の凹部とからなる凹凸による段差を緩和することについては、何ら記載されていない。従って

、このような大きな凹部と高い凸部を有するウェハおもて面に上記特許文献 1 のホットメルトシートを貼り付けても、平坦なシート表面が得られるか否かは不明である。

[0021] また、上記特許文献 2 には、 $200\mu\text{m}$ 以上の厚さの特殊な表面保護テープをウェハおもて面に貼り付けた後、炉内で表面保護テープを加熱しポリイミド保護膜による凹凸を緩和させる実施例が開示されている。しかし、上記特許文献 2 では、ポリイミド保護膜による凹凸の緩和性能が足りず、ウェハの平坦性が悪くなる虞がある。図 22～24 は、従来の表面保護テープをウェハおもて面に貼り付けた別の一例の状態を模式的に示す断面図である。図 22、23 は、上記特許文献 2 の図 11、1 である。

[0022] 具体的には、図 22 に示すように、ウェハ 101 のポリイミド保護膜 102 による凹凸を有するおもて面に表面保護テープ 113 を貼り合せた状態では、表面保護テープ 113 がポリイミド保護膜 102 による凹凸に沿って波板状になり、ポリイミド保護膜 102 による凹凸を十分に吸収することができない。このときの表面保護テープ 113 の凹凸は、ポリイミド保護膜 102 による凹凸の 80%以上である。図 22 において、符号 114 および符号 115 は、それぞれ表面保護テープ 113 の粘着剤層（中間層を含む）および基材層である（図 23、24 においても同様）。

[0023] その後、図 23 に示すように、炉内で表面保護テープ 113 を加熱してポリイミド保護膜 102 による凹凸を緩和させたとしても、表面保護テープ 113 の凹凸はポリイミド保護膜 102 による凹凸の 40%～60%程度にしか緩和されない。この状態でウェハ 101 裏面の研削加工をおこなった場合、図 24 に示すように、ウェハ 101 の研削精度に悪影響を及ぼし、表面保護テープ 113 の凹凸をそのまま反映した凹凸がウェハ 101 裏面に生じるため、チップの厚さ精度が低下するという問題が生じる。

[0024] また、上記特許文献 3～5 のようにウェハのおもて面に貼り付けた表面保護テープを加圧および加熱することで平坦化する方法では、表面デバイスの表面素子構造部による複数の凸部に対する緩和性能は有しているが、ポリイ

ミド保護膜よりなる格子状の凸状部に対して十分な緩和性能を発揮することができない。従って、上記特許文献３～５においても、ウェハ裏面の研削加工をおこなったときに、表面保護テープの凹凸に対応した凹凸がウェハ１０１裏面に生じるため、チップの厚さ精度が低下するという問題が生じる。

- [0025] この発明は、上述した従来技術による問題点を解消するため、おもて面デバイス側にポリイミド保護膜による凹凸形状を有するウェハの裏面を研削してデバイス厚の薄いＩＧＢＴ等の半導体素子を製造するにあたって、ウェハおもて面にバックグラインド用の表面保護テープを貼り付けてウェハおもて面の凹凸形状を緩和することによってウェハ厚さ精度を向上させることができる半導体素子の製造方法を提供することを目的とする。

課題を解決するための手段

- [0026] 上述した課題を解決し、目的を達成するため、この発明にかかる半導体素子の製造方法は、次の特徴を有する。まず、半導体ウェハの凹凸を有するおもて面に、基材層と粘着剤層を備えたテープを、前記粘着剤層が前記半導体ウェハのおもて面に接するように貼り付ける貼り付け工程をおこなう。次に、前記半導体ウェハの凹凸に沿って波板状になった前記テープを前記半導体ウェハのおもて面から離れる方向に吸引しながら加熱することによって前記粘着剤層を変形させ、波板状の前記基材層の表面をほぼ平坦にする吸引加熱工程をおこなう。
- [0027] また、この発明にかかる半導体素子の製造方法は、上述した発明において、前記半導体ウェハのおもて面には、後に分割される個々のチップの素子形成領域が凹部となるように各チップの外周に沿う格子状の凸状部が設けられており、前記吸引加熱工程では、前記粘着剤層を、格子状の前記凸状部と前記素子形成領域の前記凹部との段差を吸収するように変形させることを特徴とする。
- [0028] また、この発明にかかる半導体素子の製造方法は、上述した発明において、前記吸引加熱工程後に、前記テープを貼り付けた状態のまま、前記半導体ウェハの裏面を研削加工して薄ウェハにする薄板加工工程をさらに含むこと

を特徴とする。

[0029] また、この発明にかかる半導体素子の製造方法は、上述した発明において、前記粘着剤層における中間層の厚さが $100\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であることを特徴とする。

[0030] 上述した発明によれば、ウェハ（半導体ウェハ）のおもて面に貼り付けたバックグラインド用のテープをウェハのおもて面から離れる方向に吸引しながら加熱することによって、ウェハおもて面にテープを貼り付けたときにテープの粘着剤層とウェハおもて面との間に残った余分な空気が小さな気泡となってウェハおもて面の凹部内に発生し、この気泡によって変形した粘着剤層によってウェハおもて面の凹部が埋められる。これにより、ウェハおもて面の凹凸が緩和され、テープの表面を従来よりも平坦化することができる。このため、ウェハ裏面の研削加工後におけるウェハ厚さのばらつきを小さくすることができる。

発明の効果

[0031] 本発明にかかる半導体素子の製造方法によれば、おもて面デバイス側にポリイミド保護膜による凹凸形状を有するウェハの裏面を研削してデバイス厚の薄いIGBT等の半導体素子を製造するにあたって、ウェハおもて面に貼り付けたバックグラインド用の表面保護テープ表面の凹凸を緩和し、ウェハ厚さ精度を向上させることができるという効果を奏する。

図面の簡単な説明

[0032] [図1]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図2]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図3]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図4]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図5]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図6]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図7]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図8]本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。

[図9]ウェハおもて面にポリイミド保護膜が形成された様子を模式的に示す平面図である。

[図10]図9の切断線A-Aにおける構成を模式的に示す断面図である。

[図11]ウェハおもて面に表面保護テープを貼り付けた状態を模式的に示す断面図である。

[図12]ウェハおもて面に貼り付けた表面保護テープの吸引加熱開始時の様子を模式的に示す断面図である。

[図13]ウェハおもて面に貼り付けた表面保護テープの吸引加熱処理後の様子を模式的に示す断面図である。

[図14]ウェハ裏面の研削加工後の状態を模式的に示す断面図である。

[図15]第1実施例の研削加工直前における表面保護テープ表面の凹凸を示す特性図である。

[図16]第1実施例の研削加工後におけるウェハ厚さを示す特性図である。

[図17]第2実施例の研削加工後におけるウェハ厚さを示す特性図である。

[図18]第1実施例の加熱処理前におけるウェハおもて面の気泡の状態を模式的に示す概念図である。

[図19]第1実施例の吸引加熱処理後のウェハおもて面の気泡の状態を模式的に示す概念図である。

[図20]第2従来例の加熱処理後のウェハおもて面の気泡の状態を模式的に示す概念図である。

[図21]従来の表面保護テープをウェハおもて面に貼り付けた状態を模式的に示す断面図である。

[図22]従来の表面保護テープをウェハおもて面に貼り付けた別の一例の状態を模式的に示す断面図である。

[図23]従来の表面保護テープをウェハおもて面に貼り付けた別の一例の状態を模式的に示す断面図である。

[図24]従来の表面保護テープをウェハおもて面に貼り付けた別の一例の状態を模式的に示す断面図である。

[図25]図9に示すウェハおもて面の一部を拡大して示す平面図である。

発明を実施するための形態

[0033] 以下に添付図面を参照して、この発明にかかる半導体素子の製造方法の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0034] (実施の形態)

図1～8は、本発明の実施の形態にかかる半導体素子の製造方法を説明するための断面図である。特に限定しないが、ここでは、 n 型のウェハ（半導体ウェハ）を用いてフィールドストップ（FS）構造の n チャネル型IGBTを作製（製造）する場合を例にして説明する。ウェハの、表面素子構造部が形成される側の面をウェハおもて面とし、その反対側の面をウェハ裏面とする。なお、図1～8においては、表面素子構造部の詳細な構成の図示を省略する。

[0035] ウェハ1のおもて面の製造プロセスの一例を説明する。まず、ウェハ1のおもて面に SiO_2 等のゲート酸化膜とポリシリコン等からなるゲート電極を堆積し、これらを加工する。そして、その表面にBPSG等の層間絶縁膜を堆積し、これを加工することによって、絶縁ゲート構造を作製する。次に、ウェハ1おもて面の表面層に p^+ ベース層を選択的に形成し、 p^+ ベース層の内部に n^+ エミッタ層を選択的に形成する。

[0036] 次に、 p^+ ベース層および n^+ エミッタ層に接するようにアルミ・シリコン膜等からなる表面電極、すなわちエミッタ電極を形成する。そして、格子状のダイシングラインに囲まれた領域のダイシングラインに沿った領域、すなわち、半導体チップとなる領域の外周の領域にポリイミド等の絶縁保護膜を積層する。ここまでで、ウェハ1 おもて面に表面素子構造部2 ができあがる（図1）。このときの表面素子構造部2 を含めたウェハ1 全体の厚さは、例えば $500\mu m$ である。なお、図1では、絶縁保護膜とエミッタ電極との段差の図示は省略している。

[0037] ここで、ウェハ1 おもて面にポリイミド保護膜が形成された様子を図9，10に模式的に示す。図9は、ウェハおもて面にポリイミド保護膜が形成された様子を模式的に示す平面図である。図10は、図9の切断線A-Aにおける構成を模式的に示す断面図である。図9において、ウェハ1内の格子状の太い実線がポリイミド保護膜11であり、縦横に伸びるポリイミド保護膜11により囲まれる複数の矩形領域は、個々のチップの素子形成領域12である。

[0038] このチップの素子形成領域12付近を拡大した様子を図25に一例として示す。図25は、図9に示すウェハおもて面の一部を拡大して示す平面図である。図25（a）に示すように、個々のチップの素子形成領域は、ダイシングライン51によって区画されており、チップの素子形成領域の外周部分にポリイミド保護膜52が形成されている。また、チップの素子形成領域にゲートランナーが形成されている場合は、ゲートランナー上にもポリイミド等の絶縁保護膜53が形成される場合もある。

[0039] 図25（b），25（c）は、それぞれ図25（a）の切断線A-A、切断線B-Bにおける構成を模式的に示す断面図である。図25に示すように、この例では、ダイシングライン51上にはポリイミド保護膜は形成されていない。ダイシングライン51の幅 w_{11} は、例えば $80\mu m$ 程度であり、ダイシングライン51を挟んでポリイミド保護膜52が近接して形成されることになる。図10に示すポリイミド保護膜11は、図25（b），25（

c) に示すように近接して形成されたポリイミド保護膜 5 2 を模式的に示したものである。なお、図 1 0 において、ゲートランナー上に形成された絶縁保護膜 5 3 については図示を省略している。

[0040] ポリイミド保護膜 5 2 の幅 w_{12} は、素子耐圧が高くなるほど広くなり、例えば、耐圧 1 2 0 0 V で 6 0 0 μm 程度である。また、ポリイミド保護膜 5 2 の幅 w_{12} は、例えば、6 0 0 V 以下の低耐圧で 1 0 0 μm 程度であり、耐圧 6 0 0 V で 3 0 0 μm 程度であり、耐圧 1 2 0 0 V の逆阻止 (Reverse Blocking) デバイスで 1 3 0 0 μm 程度である。ダイシングライン 5 1 を挟んで隣り合うポリイミド保護膜 5 2 を 1 つの凸状部と見なす場合、この凸状部の幅 w_{10} (すなわち図 1 0 に示すポリイミド保護膜 1 1 による凸状部の幅 w_{10}) は、ポリイミド保護膜 5 2 の幅 w_{12} の 2 倍程度の寸法となり、例えば、耐圧 1 2 0 0 V で 1 2 0 0 μm 程度となる。

[0041] 図 1 0 に示すように、各素子形成領域 1 2 の大きさは、例えば数 mm ~ 2 0 mm 角程度である。また、ポリイミド保護膜 1 1 は、ウェハ 1 おもて面のアルミ・シリコン膜 1 3 から例えば 1 0 μm ~ 2 0 μm 程度の高さで突出している。すなわち、ポリイミド保護膜 1 1 よりなる格子状の凸状部に囲まれる複数の凹部となるように素子形成領域 1 2 が設けられている。そして、ウェハ 1 おもて面には、ポリイミド保護膜 1 1 よりなる格子状の凸状部と、この凸状部に囲まれる複数の凹部とからなる凹凸が形成されている。

[0042] 表面素子構造部 2 の完成後、図 2 に示すように、例えば一般的なテープ貼り付け装置を用いて、表面素子構造部 2 の表面に、バックグラインド時に表面素子構造部 2 を保護するための表面保護テープ 3 を貼り付ける。表面保護テープ 3 は、例えば PET (ポリエチレンテレフタレート) などの硬い樹脂材料からなる基材層と、ウェハ 1 おもて面に粘着される粘着剤層 (中間層を含む) とで構成されている。

[0043] 図 1 1 は、ウェハ おもて面に表面保護テープを貼り付けた状態を模式的に示す断面図である。図 1 1 に示すように、ポリイミド保護膜 1 1 による凸状

部の幅 $w10$ が広い場合、表面保護テープ 3 を貼り付けただけでは、その凹凸を十分に吸収しているとはいえない。このため、表面保護テープ 3 の表面は、ポリイミド保護膜 11 による凹凸に沿って波板状になる。表面保護テープ 3 の表面の凹凸は、ポリイミド保護膜 11 による凸状部の幅 $w10$ が広くなるほど顕著にあらわれる。なお、符号 4 および符号 5 は、それぞれ表面保護テープ 3 の粘着剤層（中間層を含む）および基材層である。粘着剤層 4 は、ウェハに粘着される粘着層と、基材層 5 と粘着層との間に設けられる中間層とからなる。中間層は、加熱することにより膨張する材質からなり、加熱することにより流動性をもつ。

[0044] そこで、半導体ウェハの凹凸に沿って波板状になっている表面保護テープ 3 をウェハ 1 おもて面から離れる方向に吸引しながら加熱する。図 12 は、ウェハおもて面に貼り付けた表面保護テープの吸引加熱開始時の様子を模式的に示す断面図である。図 13 は、ウェハおもて面に貼り付けた表面保護テープの吸引加熱処理後の様子を模式的に示す断面図である。図 12 に示すように、ウェハ 1 が載置される平板状のステージ 21 は、ウェハ 1 が載置される側の面（以下、上面とする）に真空吸引用の複数の通気孔 22 を所定の間隔で備える。すべての通気孔 22 は、ステージ 21 の内部に設けられた配管 23 で連結され、図示省略するバルブを介して真空ポンプ（真空装置）などの吸引手段（不図示）につながれている。吸引手段によって真空吸引することによって、ステージ 21 の上面側の空気が吸引される。また、ステージ 21 は、ステージ 21 を加熱するヒーターなどの加熱手段 24 を備える。

[0045] このようなステージ 21 上に、表面保護テープ 3 側をステージ 21 側にしてウェハ 1 を載置する。表面保護テープ 3 は、ポリイミド保護膜 11 による凹凸に沿って波板状になっているため、ポリイミド保護膜 11 による凸部に沿って突出した状態になっている部分がステージ 21 に接触した状態となる。この状態で吸引手段によって真空吸引し、通気孔 22 および配管 23 を介して表面保護テープ 3 をステージ 21 側に吸引する。さらに、表面保護テープ 3 をステージ 21 側に吸引すると同時に、加熱手段 24 によって加熱され

たステージ 2 1 によって表面保護テープ 3 を加熱する。

[0046] 表面保護テープ 3 をステージ 2 1 側に吸引しながら加熱することにより、表面保護テープ 3 の通気孔 2 2 に接している部分が通気孔 2 2 内に吸引され凸状に変形する虞があるが、通気孔 2 2 の開口幅を狭くする、ポラスチャックを備えたステージ 2 1 を用いる、表面保護テープ 3 への吸引力を低くするなどによる対策が可能である。

[0047] 表面保護テープ 3 を加熱することによって、粘着剤層 4 における中間層が流動性を持つので、このように表面保護テープ 3 をステージ 2 1 側に吸引しながら加熱することによって、加熱前の表面保護テープ 3 の粘着剤層 4 とウェハ 1 おもて面の凹凸との間に存在していた気泡が複数の小さな気泡となって表面保護テープ 3 の中間層内に発生して素子形成領域 1 2 面内に均等に散在され、ウェハ 1 おもて面の凹部が埋められる。従って、図 1 3 に示すように、表面保護テープ 3 の基材層 5 の表面の凹凸は徐々に小さくなり、最終的には、ウェハ 1 おもて面の凹凸の高さの例えば 2 0 % 以下の高さとなる。すなわち、粘着剤層 4 における中間層が流動性を有するので、中間層内に複数の小さな気泡が散在して発生することによって、表面保護テープ 3 が平坦化される。

[0048] 以上のようにして表面保護テープ 3 の表面を平坦化した後、図 3 に示すように、ウェハ 1 を反転させて、バックグラインド装置によりウェハ 1 裏面の研削加工をおこない、表面素子構造部 2 を含むウェハ 1 全体の厚さが所望の厚さ、例えば $100\ \mu\text{m}$ の厚さで残るようにする。図 1 4 は、ウェハ裏面の研削加工後の状態を模式的に示す断面図である。ポリイミド保護膜 1 1 による凹凸の高さが例えば $10\ \mu\text{m}$ である場合、上述したように表面保護テープ 3 を吸引しながら加熱することにより、表面保護テープ 3 表面の凹凸の高さを素子形成領域 1 2 面内（チップ面内）で $2\ \mu\text{m}$ 以下（ $=10\ \mu\text{m} \times 20\%$ 以下）程度にすることができる。その結果、図 1 4 に示すように、ウェハ 1 裏面の研削加工時にウェハ 1 裏面に反映されてしまう凹凸の高さを $2\ \mu\text{m}$ 以下程度に抑えることができるため、チップ面内でのシリコン厚さのばらつき

を従来よりも少ない $2\mu\text{m}$ 以下程度に抑えることができる。従って、チップの厚さ精度が向上する。

[0049] ウェハ1を研削加工した後、図4に示すように、例えば一般的なテープ剥離装置を用いて、表面素子構造部2の表面から表面保護テープ3を剥離させて、表面保護テープ3を取り除く。そして、ウェハ1の研削面に対してスピネッチャーやディップ方式のエッチングをおこない、研削面に生じた破砕層を除去する。これにより、表面素子構造部2を含むウェハ1全体の厚さは、例えば $80\mu\text{m}$ の厚さになる。

[0050] 次に、図5に示すように、ウェハ1の裏面から、例えばp型不純物であるボロン等をイオン注入する。その後、ウェハ1裏面にレーザ照射などによってアニールをおこない、コレクタ層となる p^+ 層6を形成する。次に、図6に示すように、ウェハ1裏面に、例えばアルミニウム、チタン、ニッケルおよび金などの複数の金属を蒸着し、コレクタ電極となる裏面電極7を形成する。

[0051] 次に、図7に示すように、ウェハ1裏面に一般的なダイシングテープ8を貼り付けて、ウェハ1を反転させる。その後、図8に示すように、ウェハ1を複数のチップ9に切断することにより、実施の形態にかかる半導体素子が完成する。図示を省略するが、各チップ9は、裏面電極7を介して配線基板等の固定部材に半田付けされる。そして、各チップ9のおもて面側の電極には、アルミワイヤ電極が超音波ワイヤボンディング装置により固着される。

[0052] 次に、本発明者が厚さ $265\mu\text{m}$ の一般的な表面保護テープを用いてウェハの研削加工をおこなったときのチップの厚さ精度について検証した結果を示す。図15は、第1実施例の研削加工直前における表面保護テープ表面の凹凸を示す特性図である。図16は、第1実施例の研削加工後におけるウェハ厚さ（チップ厚さ）を示す特性図である。図16において、ウェハ厚さは透過赤外線レーザを用いて測定した（図17においても同様）。測定長とは、1つの素子形成領域を矩形状に囲むポリイミド保護膜による凸状部の対辺を横切る切断線の長さであり、図15、16ともにウェハの同一箇所を測定

している。

[0053] 第1実施例は、実施の形態にかかる半導体素子の製造方法に従い、ウェハ1のおもて面に貼り付けた表面保護テープ3を吸引しながら加熱することによって表面保護テープ3の表面を平坦化した後に、ウェハ1裏面の研削加工をおこなっている。厚さ $265\mu\text{m}$ の表面保護テープ3において粘着剤層（中間層を含む）4および基材層5の厚さは、それぞれ $215\mu\text{m}$ （粘着層： $20\mu\text{m}$ 、中間層 $195\mu\text{m}$ ）および $50\mu\text{m}$ である。

[0054] また、チップサイズを $9.7\text{mm}\times 9.7\text{mm}$ とし、1つの素子形成領域12内に形成されるポリイミド保護膜52の幅 w_{12} を耐圧 1200V のIGBTに対応する厚さである $600\mu\text{m}$ とした。すなわち、隣接する素子形成領域12間にダイシングライン51を挟んで隣り合うポリイミド保護膜52を1つの凸状部と見なす場合、ダイシングライン51を挟んで隣り合うポリイミド保護膜52による凸状部の幅 w_{10} は $1200\mu\text{m}$ 程度である。

[0055] また、図15、16には、第1実施例とともに、比較として第1、2従来例について示す。第1従来例は、ウェハのおもて面に表面保護テープを貼り付けた後に、ウェハ裏面の研削加工をおこなっている。第2従来例は、ウェハのおもて面に表面保護テープを貼り付けてから、炉内で加熱処理をおこなうことによって表面保護テープの表面を平坦化した後に、ウェハ裏面の研削加工をおこなっている。第1、2従来例の、表面保護テープの貼り付けからウェハ裏面の研削加工までの工程以外の条件は、第1実施例と同様である。

[0056] 図15に示す結果より、第1従来例のようにウェハおもて面に表面保護テープを貼り付けただけでは、素子形成領域を囲む $10\mu\text{m}$ 程度の厚さのポリイミド保護膜による凸状部（測定長 3mm および 13mm 付近）に沿って表面保護テープが波板状になってしまうことが確認された。また、第1従来例では、素子形成領域に設けられたゲートランナーを保護するポリイミド等の $10\mu\text{m}$ 程度の厚さの絶縁保護膜による凸状部（測定長 6mm および 9mm 付近）によっても、表面保護テープが波板状になってしまうことが確認された。すなわち、第1従来例では、ポリイミド保護膜およびゲートランナーを

保護する絶縁保護膜による凹凸に対する緩和性能がともに低いことが確認された。

[0057] 第2従来例のように表面保護テープを炉内で加熱する場合、ポリイミド保護膜による凹凸に対する緩和性能を第1従来例よりも改善することができるが、第1従来例と同様にゲートランナーを保護する絶縁保護膜による凹凸に対する緩和性能が低いことが確認された。一方、第1実施例は、ポリイミド保護膜およびゲートランナーを保護する絶縁保護膜53による凹凸に対する緩和性能とともに第1従来例よりも高く、表面保護テープ3の表面の凹凸をチップ面内で2 μ m程度と最も平坦化することができることが確認された。

[0058] また、第1実施例および第1, 2従来例では、ウェハおもて面の凹凸の緩和性能が異なるが、ともにポリイミド保護膜による凹凸に対する緩和性能よりもゲートランナーを保護する絶縁保護膜による凹凸に対する緩和性能のほうが高いことが確認された。これは、ポリイミド保護膜およびゲートランナーを保護する絶縁保護膜ともに10 μ m程度の厚さで形成されているため、ゲートランナーを保護する絶縁保護膜による凸状部の幅がポリイミド保護膜による凸状部の幅よりも狭いことに起因する。このため、ウェハおもて面にポリイミドによって生じる凸状部の幅が広いほど、表面保護テープの表面の凹凸の緩和性能が低くなることが確認された。

[0059] そして、図16に示す結果より、図15に示す第1実施例および第1, 2従来例ともに、表面保護テープ表面の凸部に対応する箇所でチップ厚さが薄くなり、表面保護テープ表面の凹部に対応する箇所でチップ厚さが厚くなっているが、表面保護テープ表面の凹凸の高さが低くなるほどチップ厚さのばらつきが低くなることが確認された。従って、ウェハ1裏面の研削加工直前に、表面保護テープ表面が最も平坦な第1実施例において、ウェハ1裏面の研削加工後のチップ9の厚さのばらつきが最も小さく、チップ9面内で2 μ m程度に抑えることができることが確認された。

[0060] 次に、本発明者が厚さ165 μ mの表面保護テープを用いてウェハの研削加工をおこなったときのチップの厚さ精度について検証した結果を示す。図

17は、第2実施例の研削加工後におけるウェハ厚さ（チップ厚さ）を示す特性図である。図17に示す第2実施例および第3，4従来例は、厚さ165 μm の薄い表面保護テープを用いた以外はそれぞれ第1実施例および第1，2従来例と同様の方法で作製している。厚さ165 μm の表面保護テープにおいて粘着剤層（中間層を含む）および基材層の厚さは、それぞれ140 μm （粘着層：20 μm 、中間層120 μm ）および25 μm である。

[0061] 表面保護テープの基材層の厚さが薄いため、表面保護テープを貼り付けた後に何もおこなわない第3従来例だけでなく、表面保護テープを炉内で加熱した第4従来例においても表面保護テープの表面はほぼ平坦化されず、図17に示すようにウェハ裏面の研削加工後のチップの厚さのばらつきも改善されなかった。一方、第2実施例においては、厚さ265 μm の表面保護テープ3を用いた第1実施例には及ばないまでも、ウェハ1裏面の研削加工後のチップ9の厚さのばらつきが低減されることが確認された。

[0062] 次に、本発明者が第1実施例および第2従来例において表面保護テープの粘着剤層とウェハおもて面の凹凸との間に生じる気泡について観察した結果について示す。図18は、第1実施例の加熱処理前におけるウェハおもて面の気泡の状態を模式的に示す概念図である。図19は、第1実施例の吸引加熱処理後のウェハおもて面の気泡の状態を模式的に示す概念図である。図20は、第2従来例の加熱処理後のウェハおもて面の気泡の状態を模式的に示す概念図である。図19，20においてウェハを切断する矢印C1，C2は、それぞれ、第1実施例および第2従来例において、図15に示す表面保護テープの凹凸を測定した際の測定線である。

[0063] 図18に示すように、加熱前、ウェハ1おもて面に貼り付けられた表面保護テープ3とウェハ1おもて面との間にはポリイミド保護膜11による凸状部付近に気泡（ハッチングで示す部分）31が多く残る。その後、ウェハ1おもて面に貼り付けた表面保護テープ3を吸引しながら加熱することで、図19に示すように、加熱前の表面保護テープ3の粘着剤層4とウェハ1おもて面との間に存在していた気泡31が複数の小さな気泡32となって素子形

成領域 1 2 面内に均等に散在されることが確認された。

[0064] この小さな気泡 3 2 によってポリイミド保護膜 1 1（ポリイミド保護膜 5 2）およびゲートランナーを保護する絶縁保護膜 5 3 による凹凸によって生じる段差が吸収され、表面保護テープ 3 の表面の凹凸が緩和されることが確認された。また、ウェハ 1 おもて面にゲートランナーが形成されている半導体素子では、ゲートランナー上に形成されたポリイミド等の絶縁保護膜 5 3 による段差についても、表面保護テープ 3 の表面の凹凸が緩和されることが確認された。

[0065] 一方、第 2 従来例では、加熱処理前におけるウェハおもて面の気泡の状態は第 1 実施例と同様（図 1 8 の気泡 3 1）であり、当該気泡が炉内での加熱処理後に小さな気泡となる点は第 1 実施例と同様であった。図 2 0 に示すように、第 2 従来例では、加熱処理後に発生した小さな気泡 3 3 がポリイミド保護膜 4 1 付近に散在されることによって、ポリイミド保護膜 4 1 による凸状部付近における表面保護テープの表面の凹凸が緩和されることが確認された。しかし、第 2 従来例では、加熱処理後に発生した小さな気泡 3 3 が素子形成領域 4 2 面内には散在されないため、素子形成領域 4 2 面内における表面保護テープの表面の凹凸は緩和されないことが確認された。図 2 0 において、符号 4 3，4 4 は、それぞれゲートランナーおよびダイシングラインである。

[0066] また、図 1 8 に示すように、気泡が 1 か所または数か所に集中して、大きな気泡 3 1 が形成された状態であると、ウェハ 1 の機械強度が低下する。このため、気泡は 1 か所または数か所に集中させないほうが好ましい。つまり、図 1 8 に示した大きな気泡 3 1 を、図 1 9 および図 2 0 に示した複数の小さな気泡 3 2 および 3 3 のように、小さくして素子形成領域 1 2 面内に均等に散在させたほうがよい。当該気泡が小さいことによって、気泡によるウェハ 1 の機械強度の低下を気泡の周囲にある中間層がカバー（緩和）することができるので、ウェハ 1 の機械強度の低下が抑制される。

[0067] また、上述したとおり、粘着剤層 4 における中間層が流動性を有し、複数

の小さな気泡 32 が中間層内に発生することによって、表面保護テープ 3 が平坦化される。表面保護テープ 3 を効果的に平坦化させるためには、粘着剤層 4 における中間層の厚さは $100\ \mu\text{m}$ 以上が好ましい。しかしながら、中間層の厚さが $300\ \mu\text{m}$ よりも厚くなってしまうと、ウェハ 1 を切断する際にゴミが発生する原因となるため好ましくない。したがって、粘着剤層 4 における中間層の厚さは、 $100\ \mu\text{m}$ 以上であって $300\ \mu\text{m}$ 以下であることがより好ましい。中間層の厚さを $100\ \mu\text{m}$ 以上 $300\ \mu\text{m}$ 以下とすることにより、ウェハ 1 の切断に際してのゴミの発生を抑制した上で、表面保護テープ 3 を効果的に平坦化することができる。

[0068] 以上説明したように、実施の形態によれば、ウェハおもて面に貼り付けた表面保護テープを吸引しながら加熱することで、ウェハおもて面に表面保護テープを貼り付けたときに表面保護テープの粘着剤層とウェハおもて面との間に残った余分な空気が小さな気泡となってウェハおもて面の凹部内に発生し、この気泡によって変形した粘着剤層によってウェハおもて面の凹部が埋められる。これにより、素子形成領域間や素子形成領域面内におけるポリイミド保護膜や絶縁保護膜による凸状部間の間隔が広い場合でも、ウェハおもて面のポリイミド保護膜による凹凸が緩和され、表面保護テープの表面を従来よりも平坦化することができる。このため、ウェハ裏面の研削加工後におけるウェハ厚さのばらつきを小さくすることができる。従って、チップの厚さ精度を向上させることができ、所望の耐圧を得るために最低限必要なチップ厚さで半導体素子を作製することができるため、チップ厚さのばらつきによって生じる電氣的損失を低減することができる。

[0069] また、実施の形態によれば、ウェハおもて面に貼り付けた表面保護テープを吸引しながら加熱することで、厚さの薄い表面保護テープ（中間層の厚さが薄い表面保護テープ）を用いた場合であってもチップの厚さ精度を向上させることができる。従って、表面保護テープ自体のコストを低減することができる。

[0070] 以上において、本発明は、上述した実施の形態に限らず、種々変更可能で

ある。例えば、本発明の製造プロセスにより、パンチスルー（PT）型、ノンパンチスルー（NPT）型、フィールドストップ（FS）型のIGBTや、FWD（Free Wheeling Diode）などのダイオードを作製することもできる。また、IGBTの表面素子構造部はプレーナ型でもトレンチ型でもよい。

[0071] また、上述した実施の形態では、ウェハの研削加工後に表面保護テープを剥離してから以降の工程をおこなっているが、表面保護テープが高い耐酸性を有していたり、高真空においてカーボンなどの不純物の発生が微量である場合には、ウェハの研削加工後に表面保護テープを剥離せずに以降の工程をおこなってもよい。また、上述した実施の形態では、ヒーターによって加熱されるステージ21の上にウェハ1が載置されているが、ウェハ1とステージ21との上下の位置関係を逆にして、ウェハ1の上方にステージ21が位置してもよい。この場合、ウェハおもて面に貼り付けた表面保護テープ3を、ウェハ1の上方から吸引しながら加熱する。これによって、ステージ21の上にゴミが堆積しなくなるため、ゴミを起因とした良品率の低下を抑制することができる。また、本発明は、研削加工後のウェハの厚さ（表面素子構造部の厚さを含む）が100 μ mであるIGBTに限らず、ウェハ裏面を研削しウェハ厚さを100 μ m以下にする工程を有する例えば電力用の半導体素子の製造方法にも適用できる。

産業上の利用可能性

[0072] 以上のように、本発明にかかる半導体素子の製造方法は、デバイス厚の薄い半導体素子を製造するのに有用であり、特に、汎用インバータ、ACサーボ、無停電電源（UPS）またはスイッチング電源などの産業分野や、電子レンジ、炊飯器またはストロボなどの民生機器分野に用いられるIGBT等の電力用半導体素子の製造に適している。

符号の説明

- [0073] 1 半導体ウェハ
 3 表面保護テープ

- 4 粘着剤層（中間層を含む）
- 5 基材層
- 7 裏面電極
- 9 チップ
- 1 1 ポリイミド保護膜
- 1 2 素子形成領域
- 1 3 アルミ・シリコン膜
- 2 1 ステージ
- 2 2 真空吸引用の通気孔
- 2 3 配管
- 2 4 加熱手段

請求の範囲

- [請求項1] 半導体ウェハの凹凸を有するおもて面に、基材層と粘着剤層を備えたテープを、前記粘着剤層が前記半導体ウェハのおもて面に接するように貼り付ける貼り付け工程と、
- 前記半導体ウェハの凹凸に沿って波板状になった前記テープを前記半導体ウェハのおもて面から離れる方向に吸引しながら加熱することによって前記粘着剤層を変形させ、波板状の前記基材層の表面をほぼ平坦にする吸引加熱工程と、
- を含むことを特徴とする半導体素子の製造方法。
- [請求項2] 前記半導体ウェハのおもて面には、後に分割される個々のチップの素子形成領域が凹部となるように各チップの外周に沿う格子状の凸状部が設けられており、前記吸引加熱工程では、前記粘着剤層を、格子状の前記凸状部と前記素子形成領域の前記凹部との段差を吸収するように変形させることを特徴とする請求項1に記載の半導体素子の製造方法。
- [請求項3] 前記吸引加熱工程後に、前記テープを貼り付けた状態のまま、前記半導体ウェハの裏面を研削加工して薄ウェハにする薄板加工工程をさらに含むことを特徴とする請求項1または2に記載の半導体素子の製造方法。
- [請求項4] 前記粘着剤層における中間層の厚さは $100\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体素子の製造方法。

補正された請求の範囲
[2013年12月25日(25.12.2013)国際事務局受理]

〔請求項1〕（補正後） 半導体ウェハの凹凸を有するおもて面に、基材層と粘着剤層を備えたテープを、前記粘着剤層が前記半導体ウェハのおもて面に前記粘着剤層と前記半導体ウェハとの間に気泡を残した状態で貼り付ける貼り付け工程と、

前記半導体ウェハの凹凸に沿って波板状になった前記テープを前記半導体ウェハのおもて面から離れる方向に吸引しながら加熱して、前記気泡を複数の小さな気泡に分散させて前記粘着剤層に散在させることにより、波板状の前記基材層の表面をほぼ平坦にする吸引加熱工程と、

を含むことを特徴とする半導体素子の製造方法。

〔請求項2〕 前記半導体ウェハのおもて面には、後に分割される個々のチップの素子形成領域が凹部となるように各チップの外周に沿う格子状の凸状部が設けられており、前記吸引加熱工程では、前記粘着剤層を、格子状の前記凸状部と前記素子形成領域の前記凹部との段差を吸収するように変形させることを特徴とする請求項1に記載の半導体素子の製造方法。

〔請求項3〕 前記吸引加熱工程後に、前記テープを貼り付けた状態のまま、前記半導体ウェハの裏面を研削加工して薄ウェハにする薄板加工工程をさらに含むことを特徴とする請求項1または2に記載の半導体素子の製造方法。

〔請求項4〕 前記粘着剤層における中間層の厚さは $100\mu\text{m}$ 以上 $300\mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体素子の製造方法。

〔請求項5〕（追加） 前記吸引加熱工程において、前記半導体ウェハは前記テープを吸引しながら加熱する機能をもったステージの上に設置されることを特徴とする請求項1に記載の半導体素子の製造方法。

条約第19条(1)に基づく説明書

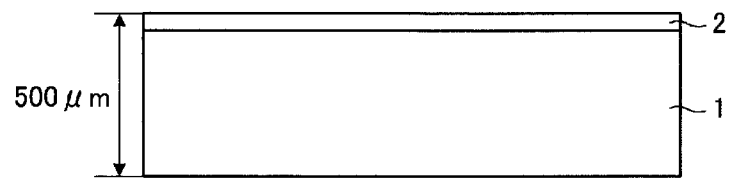
請求の範囲第1項は、出願時の請求の範囲第1項、明細書の段落0047、0062～0066の記載に基づくものです。

また、請求の範囲第2～4項は、出願時の請求の範囲第2～4項です。

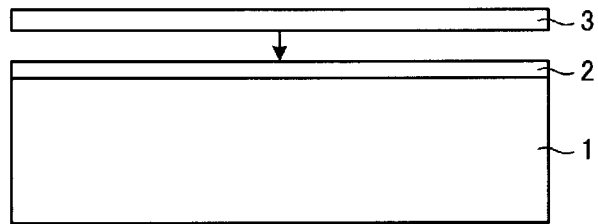
また、請求の範囲第5項を追加しました。

また、請求の範囲第5項は、出願時の明細書の段落0044～0046の記載に基づくものです。

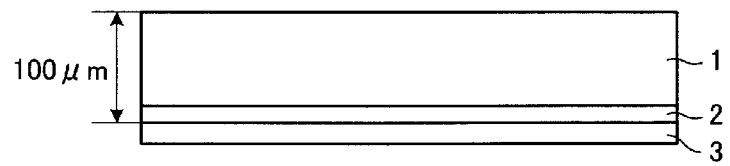
[図1]



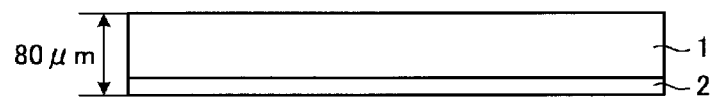
[図2]



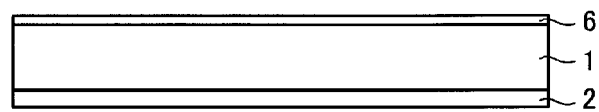
[図3]



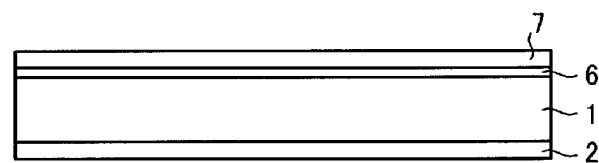
[図4]



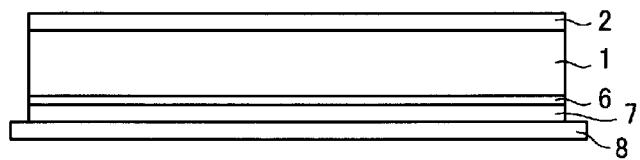
[図5]



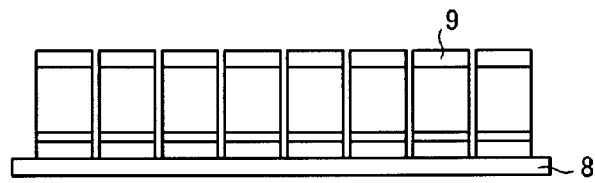
[図6]



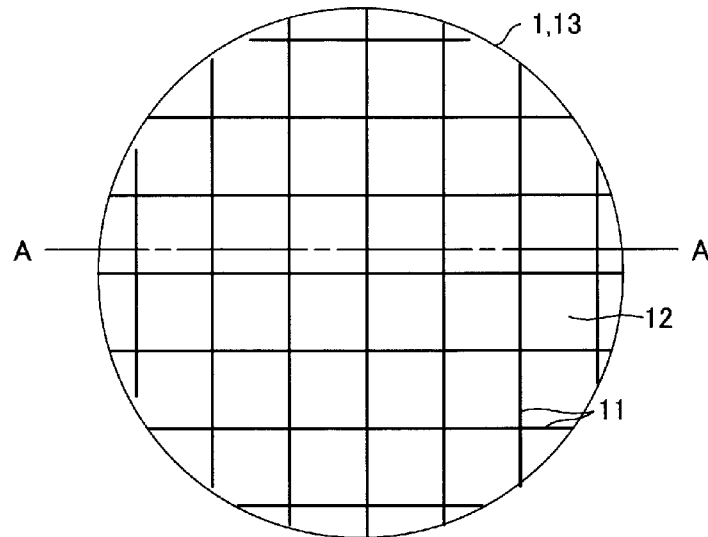
[図7]



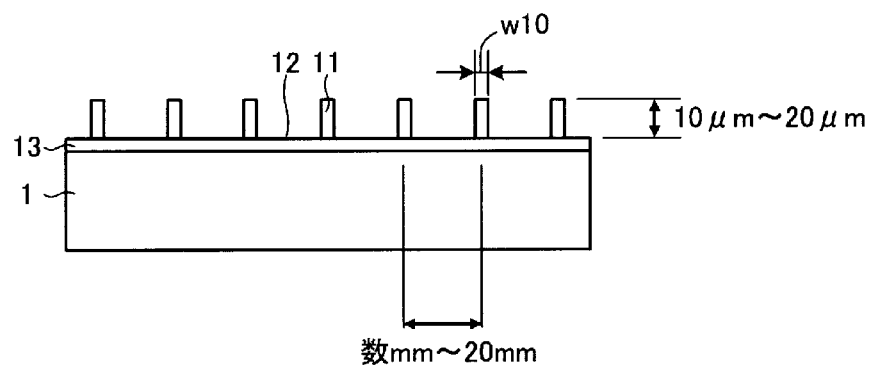
[図8]



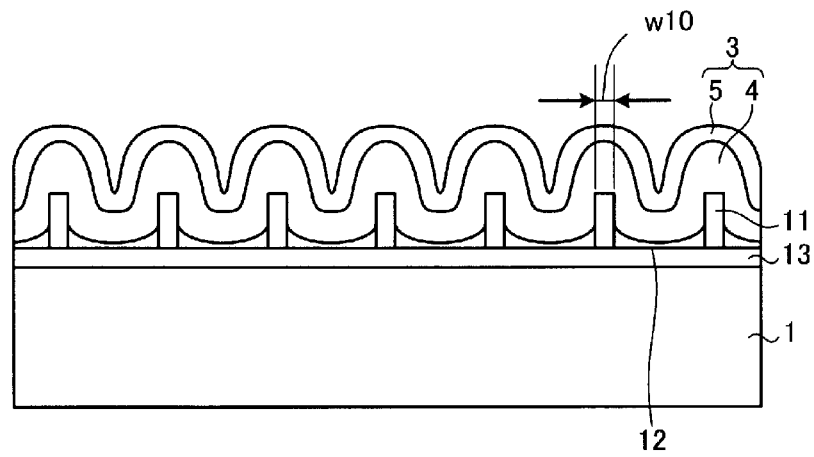
[図9]



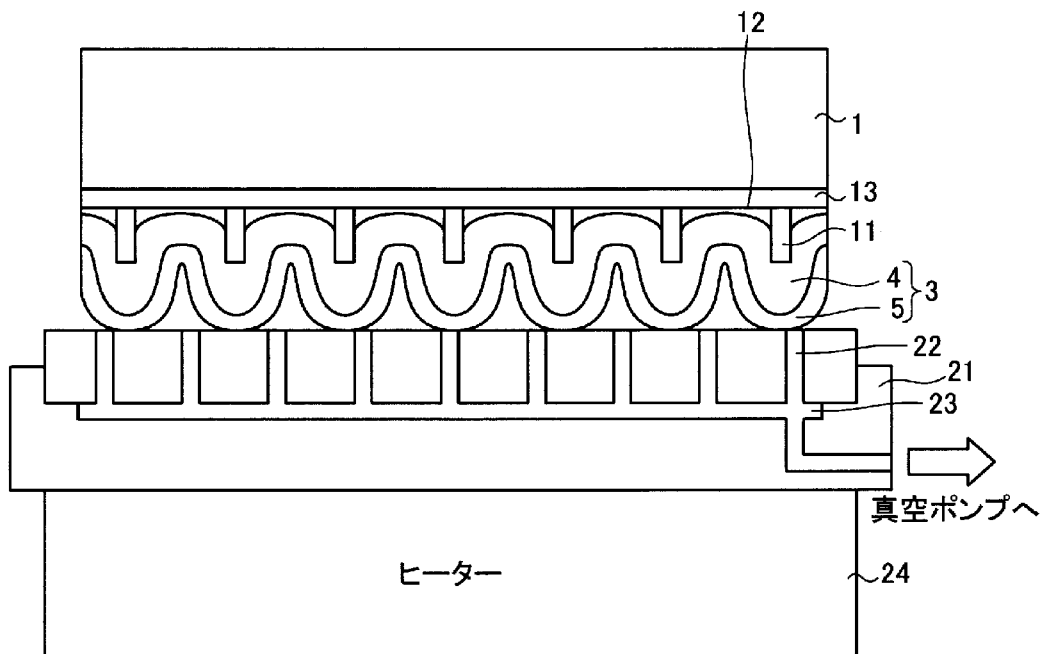
[図10]



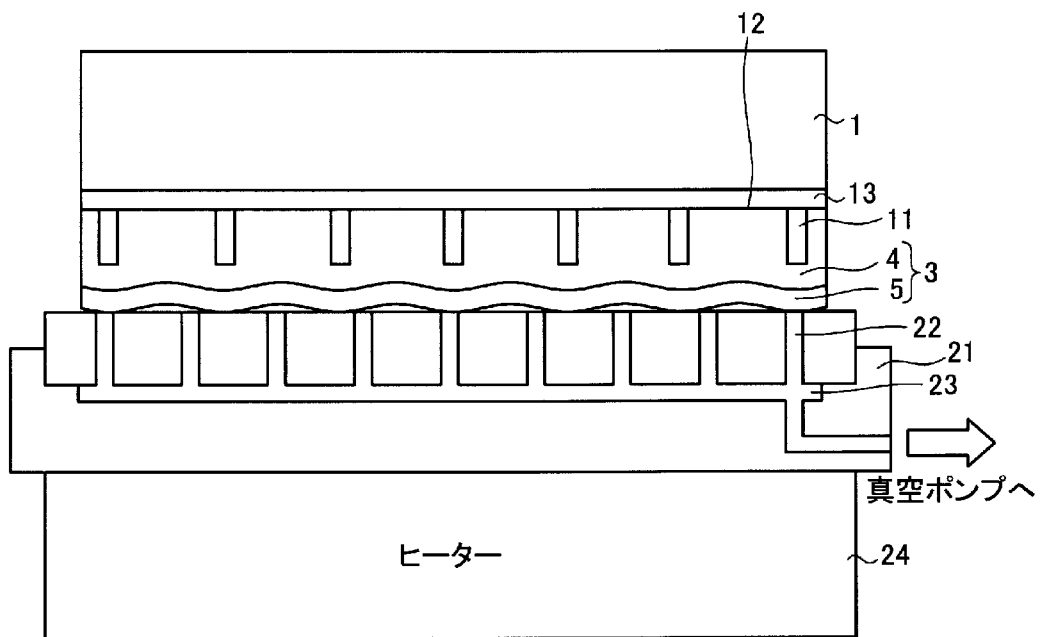
[図11]



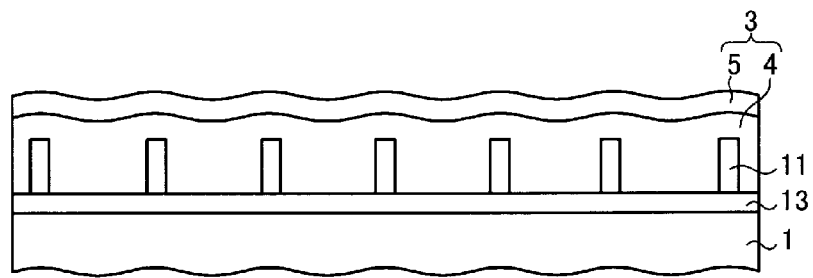
[図12]



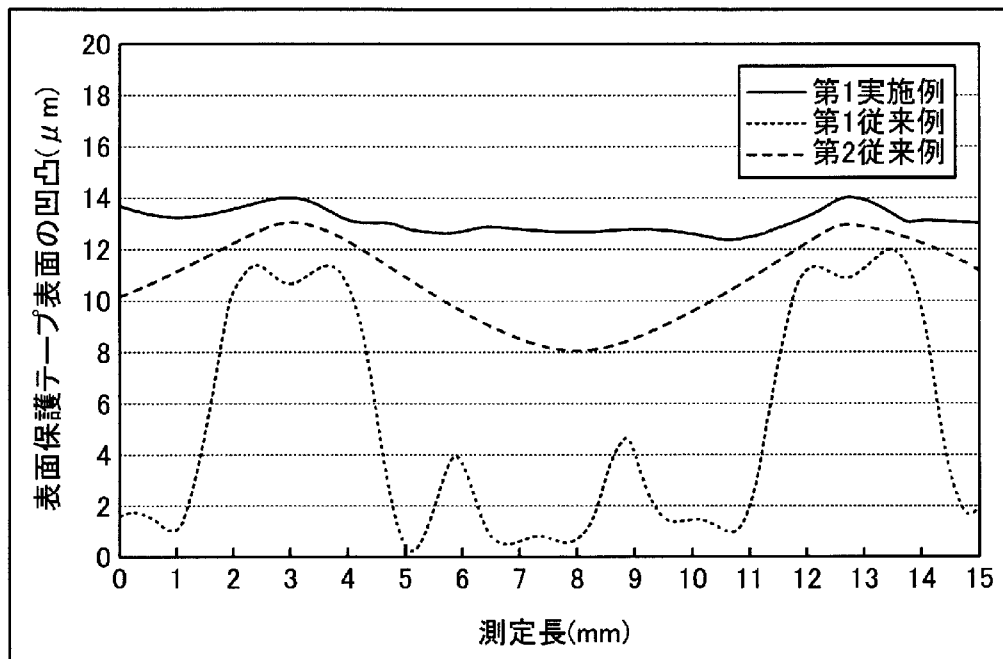
[図13]



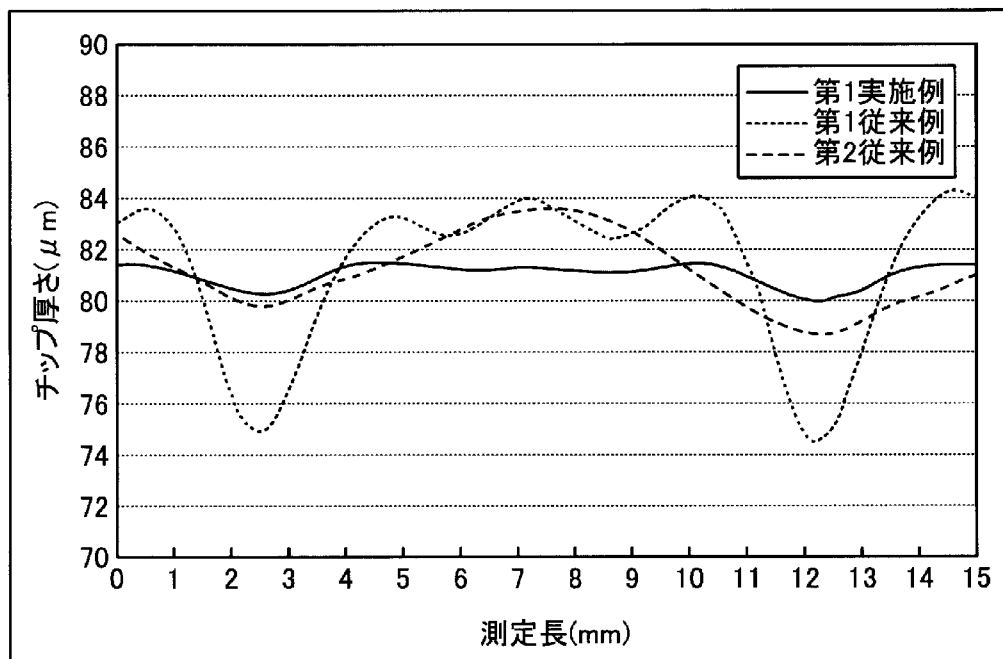
[図14]



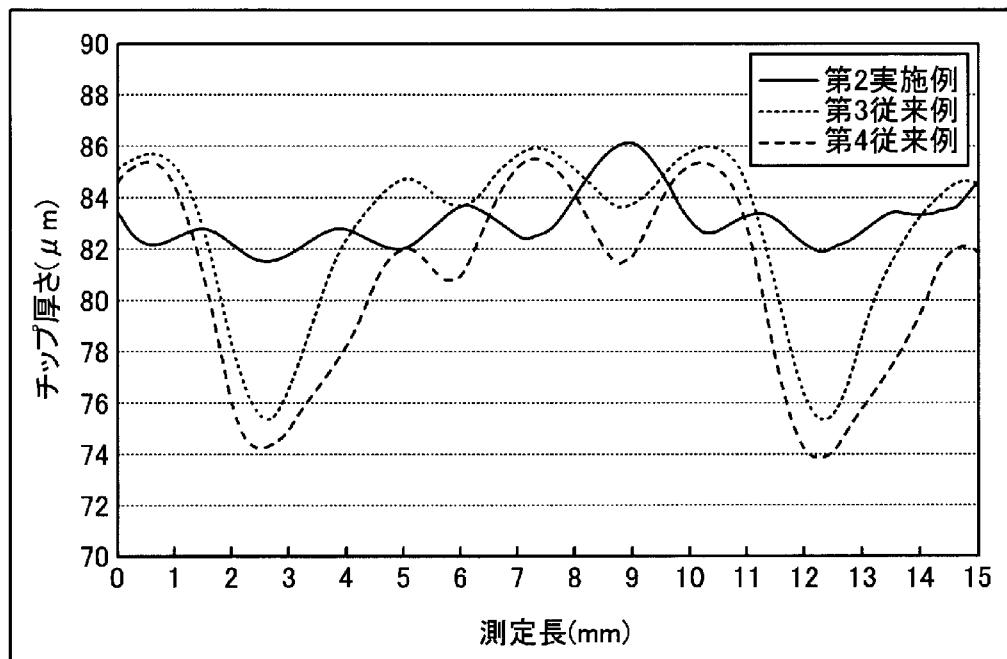
[図15]



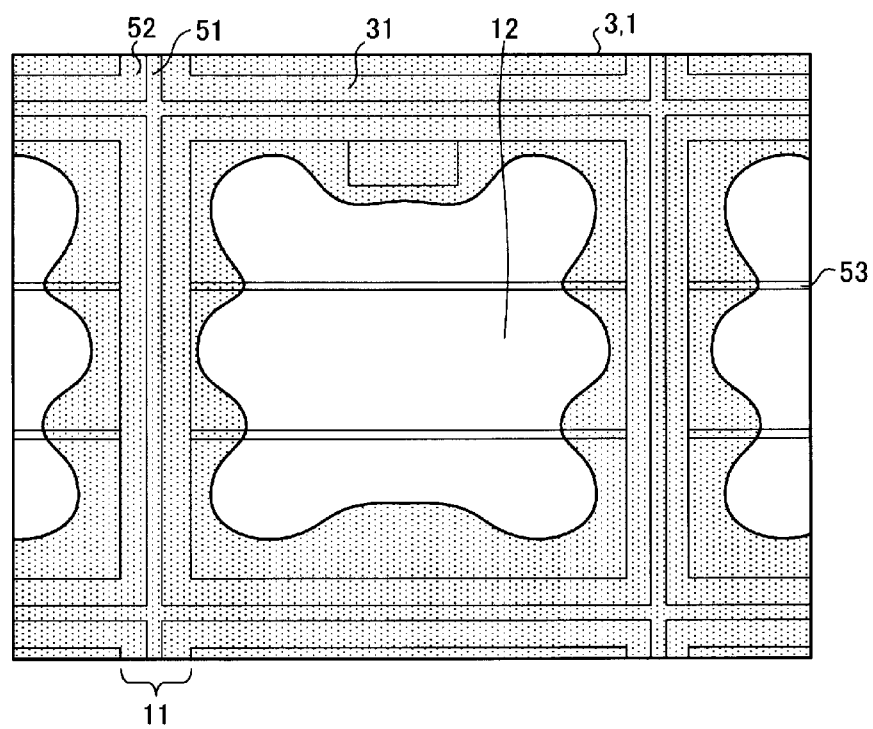
[図16]



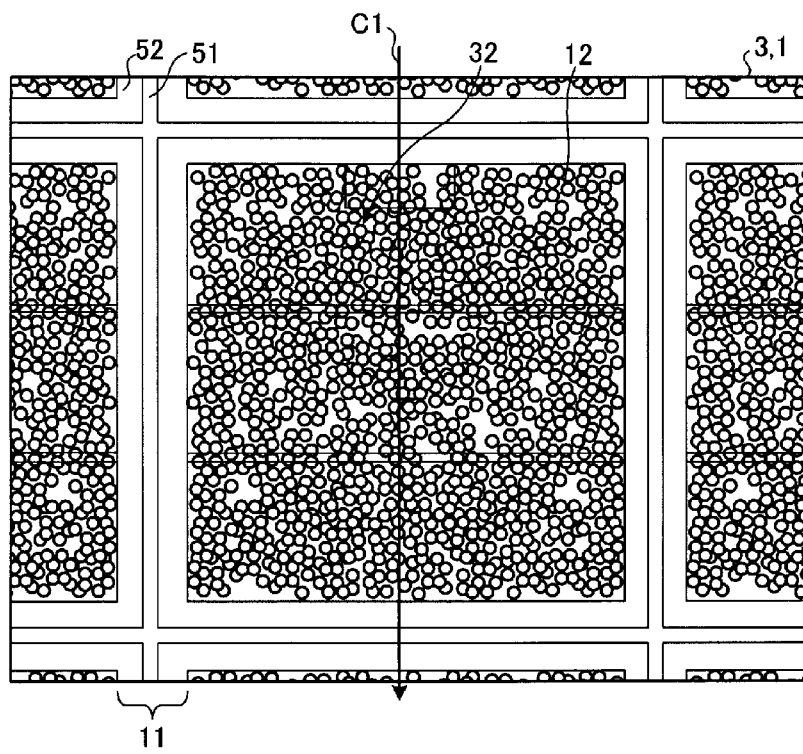
[図17]



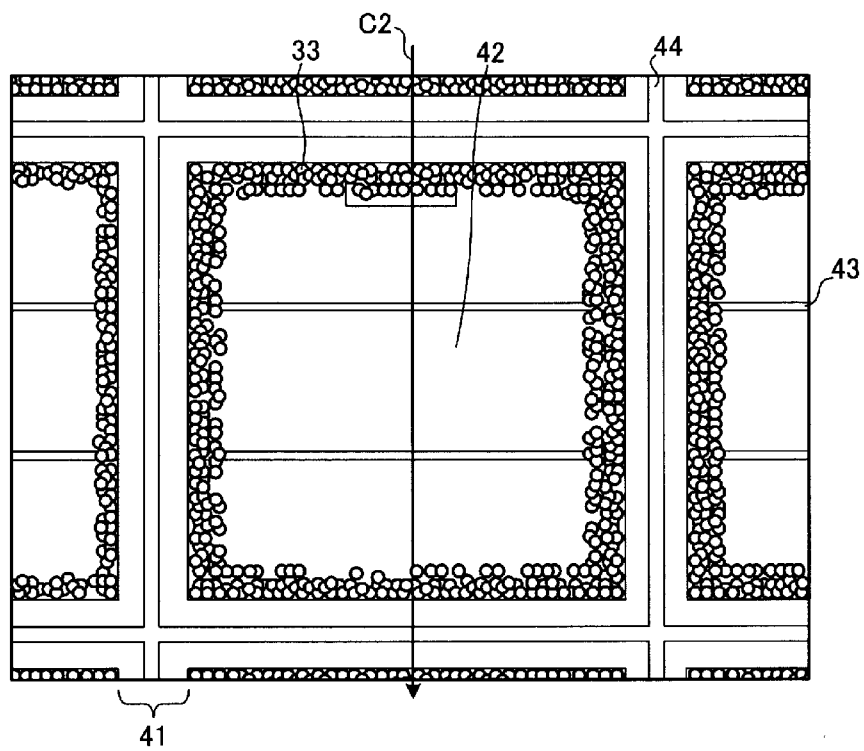
[図18]



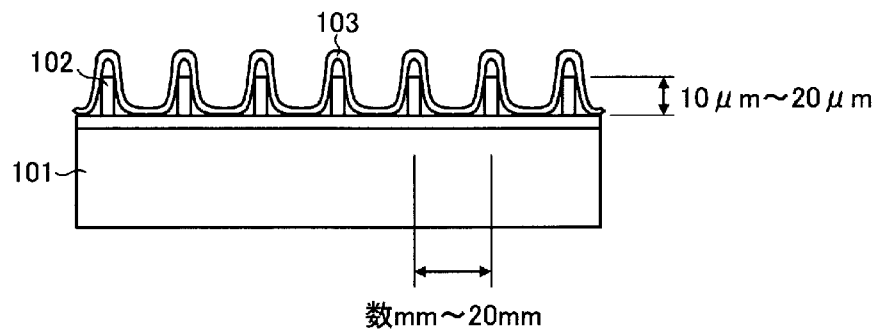
[図19]



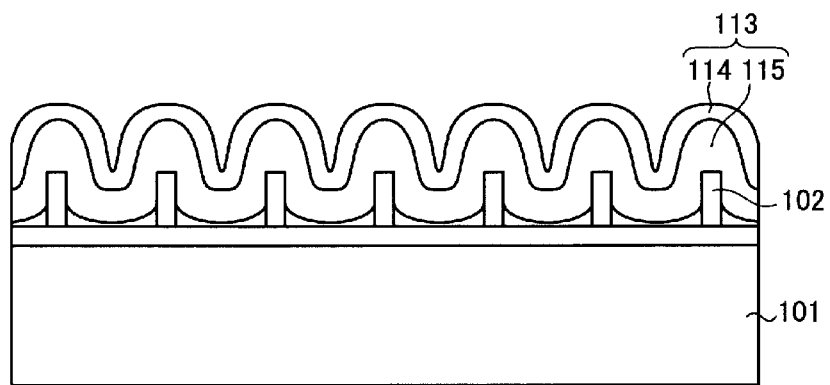
[図20]



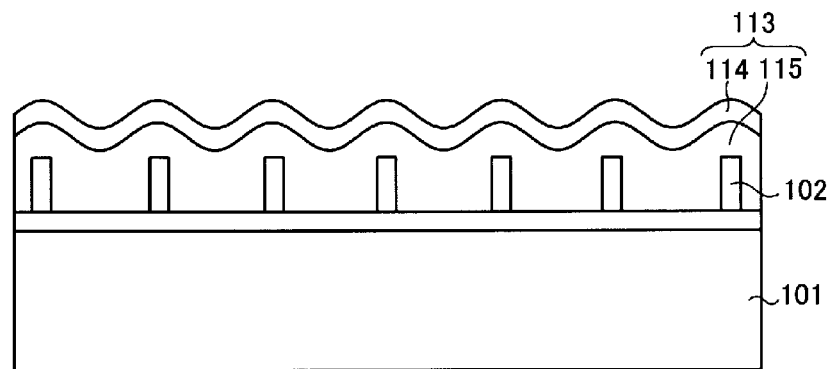
[図21]



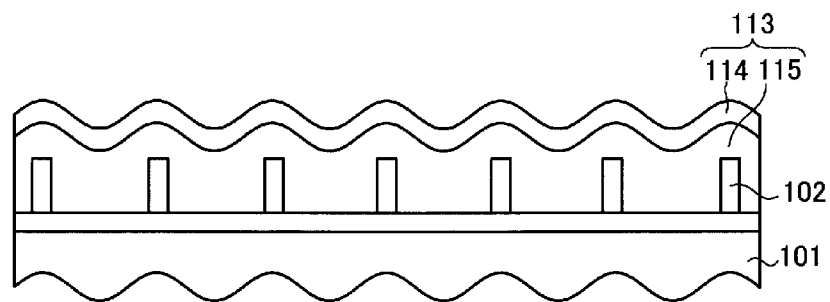
[図22]



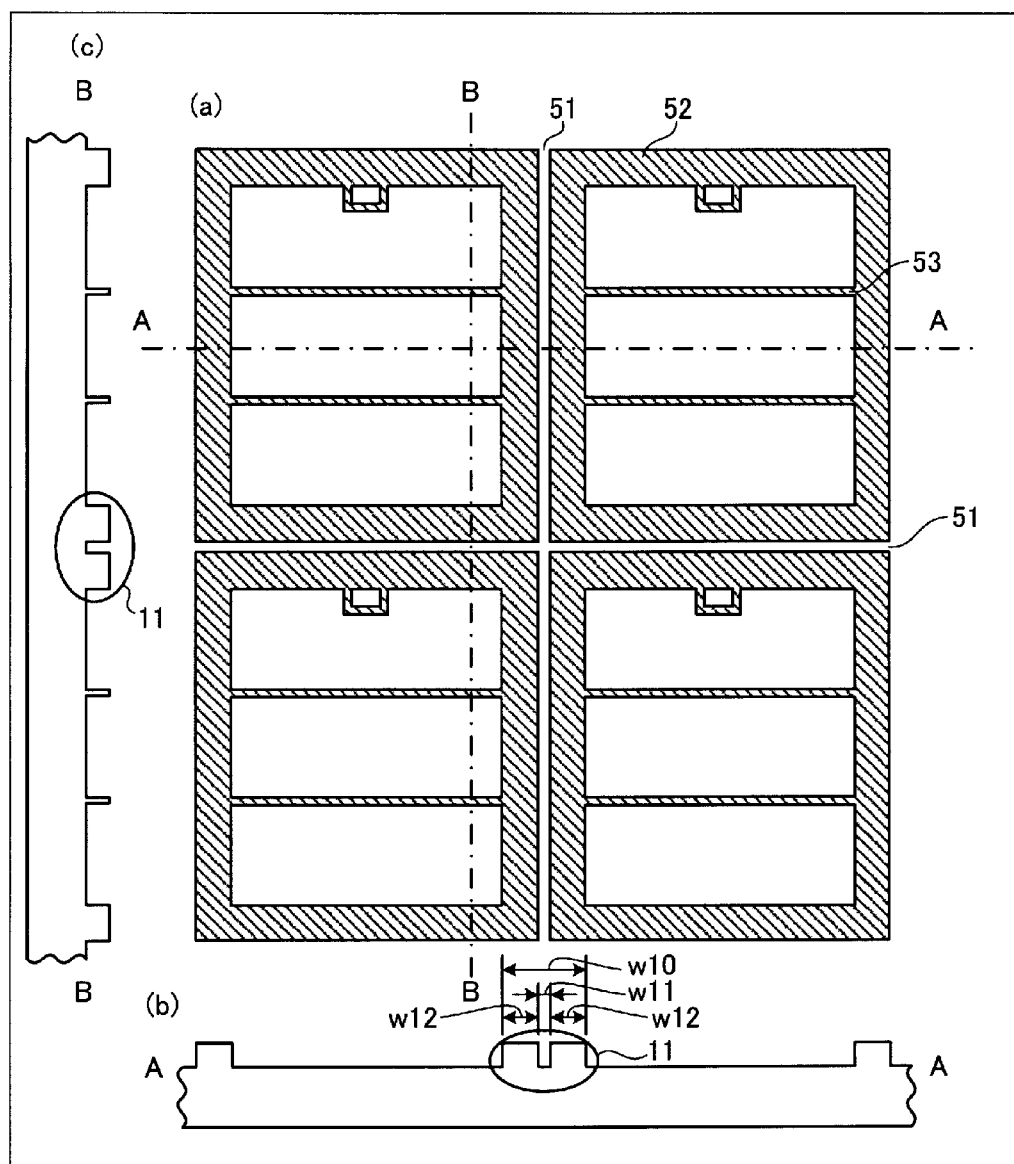
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070519

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/304(2006.01)i, H01L21/683(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/304, H01L21/683, H01L21/301

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2009/081880 A1 (Tateyama Machine Co., Ltd.), 02 July 2009 (02.07.2009), paragraphs [0006], [0027] to [0038], [0059]; fig. 1 to 4 & CN 101809718 A & KR 10-2010-0118558 A	1, 3 2, 4
Y	JP 2006-196710 A (Fuji Electric Device Technology Co., Ltd.), 27 July 2006 (27.07.2006), paragraphs [0024] to [0025], [0047], [0054]; fig. 12 (Family: none)	2, 4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 October, 2013 (16.10.13)

Date of mailing of the international search report
29 October, 2013 (29.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/304(2006.01)i, H01L21/683(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/304, H01L21/683, H01L21/301

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2009/081880 A1（立山マシン株式会社）2009.07.02, 【0006】, 【0027】－【0038】, 【0059】, 【図1】－【図4】 & CN 101809718 A & KR 10-2010-0118558 A	1, 3 2, 4
Y	JP 2006-196710 A（富士電機デバイステクノロジー株式会社） 2006.07.27, 【0024】－【0025】, 【0047】, 【0054】, 【図12】（ファミリーなし）	2, 4

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 1 0 . 2 0 1 3

国際調査報告の発送日

2 9 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

八木 敬太

電話番号 03-3581-1101 内線 3364

3 P

4 6 5 2