

(12) 实用新型专利

(10) 授权公告号 CN 202649916 U

(45) 授权公告日 2013. 01. 02

(21) 申请号 201220174905. 7

(22) 申请日 2012. 04. 23

(73) 专利权人 上海华北科技有限公司  
地址 200233 上海市徐汇区钦州北路 1066 号 73 幢 5 层

(72) 发明人 周济 王维

(74) 专利代理机构 上海伯瑞杰知识产权代理有限公司 31227

代理人 吴泽群

(51) Int. Cl.  
G06F 1/26 (2006. 01)

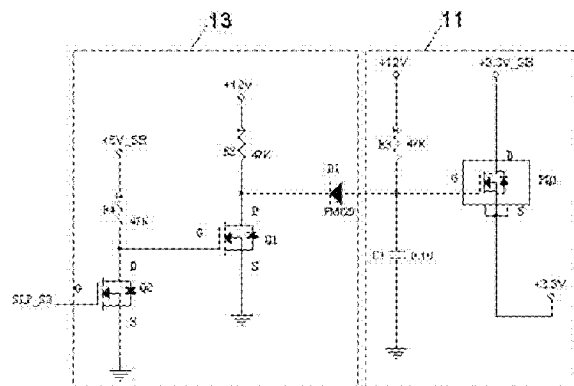
权利要求书 1 页 说明书 3 页 附图 2 页

(54) 实用新型名称

用于计算机主板 +3. 3V 以及 +5V 的时序控制电路

(57) 摘要

本实用新型公开了一种用于计算机主板 +3. 3V 以及 +5V 的时序控制电路, 包括主板、设于主板上的电源转换芯片以及南桥芯片上的时序控制模块, 电源转换芯片的输入端与 +12V 直流电源相连, 电源转换芯片的 +3. 3VSB 待机电源输出端与 +3. 3V 发生电路相连, 电源转换芯片的 +5VSB 待机电源输出端与 +5V 发生电路相连, 还包括放电控制电路, 放电控制电路的输入端与南桥芯片上的时序控制模块相连, 放电控制电路的输出端与 +3. 3V 发生电路的输入端相连; 放电控制电路还分别与 +5VSB 待机电源以及 +12V 直流电源相连。通过放电控制电路可以很好的保证上电时 +5V 系统主电源早于 +3. 3V 系统主电源有效, 在掉电时则需 +3. 3V 系统主电源早于 +5V 系统主电源失效, 从而保证导芯片组正常工作, 更保证计算机主板的稳定性。



1. 一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路,包括主板、设于主板上的电源转换芯片以及南桥芯片上的时序控制模块,所述电源转换芯片的输入端与 +12V 直流电源相连,电源转换芯片的 +3.3VSB 待机电源输出端与 +3.3V 发生电路相连,电源转换芯片的 +5VSB 待机电源输出端与 +5V 发生电路相连,其特征在于:

还包括放电控制电路,所述放电控制电路的输入端与南桥芯片上的时序控制模块相连,放电控制电路的输出端与 +3.3V 发生电路的输入端相连;放电控制电路还分别与 +5VSB 待机电源以及 +12V 直流电源相连。

2. 根据权利要求 1 所述的时序控制电路,其特征在于:

所述放电控制电路包括第二电阻、第四电阻、二极管、第一场效应管以及第二场效应管,所述第四电阻的一端与 +5VSB 待机电源相连,另一端与第二场效应管的 D 极相连;所述第二场效应管的 G 极与南桥芯片上的时序控制模块的 SLP\_S3 控制脚相连,第二场效应管的 S 极接地;所述第二电阻的一端与 +12V 直流电源相连,另一端与第一场效应管的 D 极相连;所述第一场效应管的 G 极与第二场效应管的 D 极相连,第一场效应管的 S 极接地;所述二极管的正极与 +3.3V 发生电路相连,二极管的负极与第一场效应管的 D 极相连。

3. 根据权利要求 1 所述的时序控制电路,其特征在于:

所述 +3.3V 发生电路包括第三电阻、第一电容以及第一大功率场效应管,所述第三电阻的一端与 +12V 直流电源相连,另一端与第一大功率场效应管的 G 极相连;所述第一电容的一端与第一大功率场效应管的 G 极相连,另一端接地;所述第一大功率场效应管的 D 极与 +3.3VSB 待机电源相连,第一大功率场效应管的 S 极产生 +3.3V 系统主电源。

4. 根据权利要求 1 所述的时序控制电路,其特征在于:

所述 +5V 发生电路包括第一电阻、第二电容以及第二大功率场效应管,所述第一电阻的一端与 +12V 直流电源相连,另一端与第二大功率场效应管的 G 极相连;所述第二电容的一端与第二大功率场效应管的 G 极相连,另一端接地;所述第二大功率场效应管的 D 极与 +5VSB 待机电源相连,第二大功率场效应管的 S 极产生 +5V 系统主电源。

## 用于计算机主板 +3.3V 以及 +5V 的时序控制电路

### 技术领域

[0001] 本实用新型涉及计算机主板的时序控制技术,更具体地说,是涉及一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路。

### 背景技术

[0002] 在计算机的使用过程中,很多计算机主板上通常会使用直流 +12V 或 +19V 的单电源模块供电,因此,在计算机主板的电源设计上需要针对系统电源 +3.3V/+5V 做专门的设计,请参见图 1 所示,其中直流 +12V 电源经过电源转换芯片转换为 +3.3VSB 以及 +5VSB 的待机所需电源后,分别通过与其相对应的电阻以及电容的充放电特性控制 N 沟道场效应管的开启时间,最终产生 +3.3V 以及 +5V 的系统主电源。而 +3.3V/+5V 作为芯片组上重要逻辑电路的电源,往往对它们的开机和关机时序会有严格的要求,以芯片组厂商英特尔产品为例计算机芯片组对于 +3.3V 和 +5V 的时序要求在上电时 +5V 早于 +3.3V 有效,在掉电时则需 +3.3V 早于 +5V 失效。由此可知,如果时序控制电路设计不当,则很容易导致芯片组工作异常,大大影响计算机主板的稳定性,对产品质量会造成不良影响。

### 实用新型内容

[0003] 针对现有技术中存在的缺陷,本实用新型的目的是提供一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路,能够很好的控制 +3.3V 和 +5V 的时序。

[0004] 为达到上述目的,本实用新型采用如下的技术方案:

[0005] 一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路,包括主板、设于主板上的电源转换芯片以及南桥芯片上的时序控制模块,所述电源转换芯片的输入端与 +12V 直流电源相连,电源转换芯片的 +3.3VSB 待机电源输出端与 +3.3V 发生电路相连,电源转换芯片的 +5VSB 待机电源输出端与 +5V 发生电路相连,还包括放电控制电路,所述放电控制电路的输入端与南桥芯片上的时序控制模块相连,放电控制电路的输出端与 +3.3V 发生电路的输入端相连;放电控制电路还分别与 +5VSB 待机电源以及 +12V 直流电源相连。

[0006] 所述放电控制电路包括第二电阻、第四电阻、二极管、第一场效应管以及第二场效应管,所述第四电阻的一端与 +5VSB 待机电源相连,另一端与第二场效应管的 D 极相连;所述第二场效应管的 G 极与南桥芯片上的时序控制模块的 SLP S3 控制脚相连,第二场效应管的 S 极接地;所述第二电阻的一端与 +12V 直流电源相连,另一端与第一场效应管的 D 极相连;所述第一场效应管的 G 极与第二场效应管的 D 极相连,第一场效应管的 S 极接地;所述二极管的正极与 +3.3V 发生电路相连,二极管的负极与第一场效应管的 D 极相连。

[0007] 所述 +3.3V 发生电路包括第三电阻、第一电容以及第一大功率场效应管,所述第三电阻的一端与 +12V 直流电源相连,另一端与第一大功率场效应管的 G 极相连;所述第一电容的一端与第一大功率场效应管的 G 极相连,另一端接地;所述第一大功率场效应管的 D 极与 +3.3VSB 待机电源相连,第一大功率场效应管的 S 极产生 +3.3V 系统主电源。

[0008] 所述 +5V 发生电路包括第一电阻、第二电容以及第二大功率场效应管,所述第一

电阻的一端与 +12V 直流电源相连,另一端与第二大功率场效应管的 G 极相连;所述第二电容的一端与第二大功率场效应管的 G 极相连,另一端接地;所述第二大功率场效应管的 D 极与 +5V<sub>SB</sub> 待机电源相连,第二大功率场效应管的 S 极产生 +5V 系统主电源。

[0009] 与现有技术相比,采用本实用新型的一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路,包括主板、设于主板上的电源转换芯片以及南桥芯片上的时序控制模块,所述电源转换芯片的输入端与 +12V 直流电源相连,电源转换芯片的 +3.3V<sub>SB</sub> 待机电源输出端与 +3.3V 发生电路相连,电源转换芯片的 +5V<sub>SB</sub> 待机电源输出端与 +5V 发生电路相连,还包括放电控制电路,所述放电控制电路的输入端与南桥芯片上的时序控制模块相连,放电控制电路的输出端与 +3.3V 发生电路的输入端相连;放电控制电路还分别与 +5V<sub>SB</sub> 待机电源以及 +12V 直流电源相连。通过放电控制电路可以很好的保证上电时 +5V 系统主电源早于 +3.3V 系统主电源有效,在掉电时则需 +3.3V 系统主电源早于 +5V 系统主电源失效,从而保证导芯片组正常工作,更保证计算机主板的稳定性。

### 附图说明

[0010] 图 1 为现有计算机主板的 +3.3V 以及 +5V 系统主电源的原理示意图;

[0011] 图 2 为本实用新型的 +3.3V 发生电路与放电控制电路的电路示意图;

[0012] 图 3 为本实用新型的 +5V 发生电路的电路示意图。

### 具体实施方式

[0013] 下面结合附图和实施例进一步说明本实用新型的技术方案。

[0014] 请参阅图 2 所示的一种用于计算机主板 +3.3V 以及 +5V 的时序控制电路包括主板(图中未示出)、设于主板上的电源转换芯片(图中未示出)以及南桥芯片上的时序控制模块(图中未示出),电源转换芯片的输入端与 +12V 直流电源相连,电源转换芯片的 +3.3V<sub>SB</sub> 待机电源输出端与 +3.3V 发生电路 11 相连,电源转换芯片的 +5V<sub>SB</sub> 待机电源输出端与 +5V 发生电路 12 相连,还包括放电控制电路 13,放电控制电路 13 的输入端与南桥芯片上的时序控制模块相连,放电控制电路 13 的输出端与 +3.3V 发生电路 11 的输入端相连;放电控制电路 13 还分别与 +5V<sub>SB</sub> 待机电源以及 +12V 直流电源相连。

[0015] 放电控制电路 13 包括第二电阻 R<sub>2</sub>、第四电阻 R<sub>4</sub>、二极管 D<sub>1</sub>、第一场效应管 Q<sub>1</sub> 以及第二场效应管 Q<sub>2</sub>,第四电阻 R<sub>4</sub> 的一端与 +5V<sub>SB</sub> 待机电源相连,另一端与第二场效应管 Q<sub>2</sub> 的 D 极相连;第二场效应管 Q<sub>2</sub> 的 G 极与南桥芯片上的时序控制模块的 SLP<sub>S3</sub> 控制脚相连,第二场效应管 Q<sub>2</sub> 的 S 极接地;第二电阻 R<sub>2</sub> 的一端与 +12V 直流电源相连,另一端与第一场效应管 Q<sub>1</sub> 的 D 极相连;第一场效应管 Q<sub>1</sub> 的 G 极与第二场效应管 Q<sub>2</sub> 的 D 极相连,第一场效应管 Q<sub>1</sub> 的 S 极接地;二极管 D<sub>1</sub> 的正极与 +3.3V 发生电路相连,二极管 D<sub>1</sub> 的负极与第一场效应管 Q<sub>1</sub> 的 D 极相连。

[0016] +3.3V 发生电路 11 包括第三电阻 R<sub>3</sub>、第一电容 C<sub>1</sub> 以及第一大功率场效应管 PQ<sub>1</sub>,第三电阻 R<sub>3</sub> 的一端与 +12V 直流电源相连,另一端与第一大功率场效应管 PQ<sub>1</sub> 的 G 极相连;第一电容 C<sub>1</sub> 的一端与第一大功率场效应管 PQ<sub>1</sub> 的 G 极相连,另一端接地;第一大功率场效应管 PQ<sub>1</sub> 的 D 极与 +3.3V<sub>SB</sub> 待机电源相连,第一大功率场效应管 PQ<sub>1</sub> 的 S 极产生 +3.3V 系统主电源。

[0017] +5V 发生电路 12 包括第一电阻 R1、第二电容 C2 以及第二大功率场效应管 PQ2，第一电阻 R1 的一端与 +12V 直流电源相连，另一端与第二大功率场效应管 PQ2 的 G 极相连；第二电容 C2 的一端与第二大功率场效应管 PQ2 的 G 极相连，另一端接地；第二大功率场效应管 PQ2 的 D 极与 +5V<sub>SB</sub> 待机电源相连，第二大功率场效应管 PQ2 的 S 极产生 +5V 系统主电源。

[0018] 本实用新型的工作原理如下：

[0019] 1) 在开机上电时：

[0020] 当接入直流 +12V 电源后，此时系统为 after-G3 状态，南桥芯片上的时序控制模块的 SLP S3 控制脚为低电平，而 +5V<sub>SB</sub> 已经有效，将第一场效应管 Q1 打开，第一场效应管 Q1 的 D 极与 S 极（接地端）导通，二极管 D1 的负极被拉低，二极管 D1 导通，从而使它的正极也被拉低，第一大功率场效应管 PQ1 的 G 极零电压，第一大功率场效应管 PQ1 此时被关闭，+3.3V 无电压输出，当按下开机键后，南桥芯片上的时序控制模块的 SLP S3 控制脚随即变为高电平，第二场效应管 Q2 打开，第二场效应管 Q2 的 D 极与 S 极导通，导致第一场效应管 Q1 的 G 端被拉为低电平，第一场效应管 Q1 截止，由于二极管 D1 的两端均为 +12V，二极管 D1 不导通，此时放电控制电路 13 相当于被断开，第一大功率场效应管 PQ1 的 G 极的电压根据第三电阻 R3 和第一电容 C1 的时间常数缓慢升高，第一大功率场效应管 PQ1 逐步导通，+3.3V 有效；同理第二大功率场效应管 PQ2 的 G 极也根据第一电阻 R1 和第二电容 C2 的时间常数被逐步打开，+5V 有效。而我們也可以通过调节第一电阻 R1，第三电阻 R3 和第一电容 C1，第二电容 C2 的值就可以控制 +3.3V 和 +5V 的上升时序了。

[0021] 2) 在关机掉电时：

[0022] 第二大功率场效应管 PQ2 的 G 极由于有第二电容 C2 的存在，放电缓慢，导致第二大功率场效应管 PQ2 的 D 极以及 S 极的关断时间被延迟，+5V 下降缓慢，而放电控制电路 13 中，由于南桥芯片上的时序控制模块首先将它的 SLP S3 控制脚快速拉低，使第二场效应管 Q2 也会很快截止，第一场效应管 Q1 导通，二极管 D1 的负极被拉低，从而将第一大功率场效应管 PQ1 的 G 极也被拉低，第一大功率场效应管 PQ1 截止，+3.3V 迅速下降，因此也可以满足 +3.3V 在 +5V 之前失效的时序要求。

[0023] 本实用新型中，第一电阻 R1 的阻值为 10K $\Omega$ ，第二电阻 R2、第三电阻 R3 以及第四电阻 R4 的阻值均为 47K $\Omega$ ，第一电容 C1、第二电容 C2 均为 0.1 $\mu$ F，二极管 D1 的型号为 FM120，第一场效应管 Q1 以及第二场效应管 Q2 的型号均为 2N7002，第一大功率场效应管 PQ1 以及第二大功率场效应管 PQ2 的型号均为 I RFH7914。

[0024] 本实用新型的设计优点如下：

[0025] 1) 电路简单，使用分立元件实现，成本低。

[0026] 2) 时序控制灵活，便于调试，可有效解决主板单电源供电时由于此处时序设计不当所引起的种种问题。

[0027] 本技术领域中的普通技术人员应当认识到，以上的实施例仅是用来说明本实用新型的目的，而并非用作对本实用新型的限定，只要在本实用新型的实质范围内，对以上所述实施例的变化、变型都将落在本实用新型的权利要求的范围内。

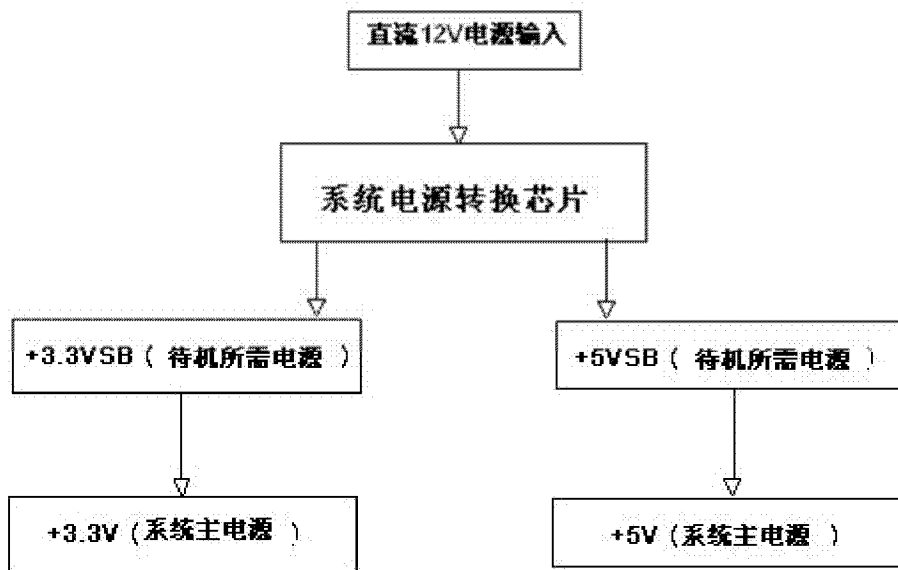


图 1

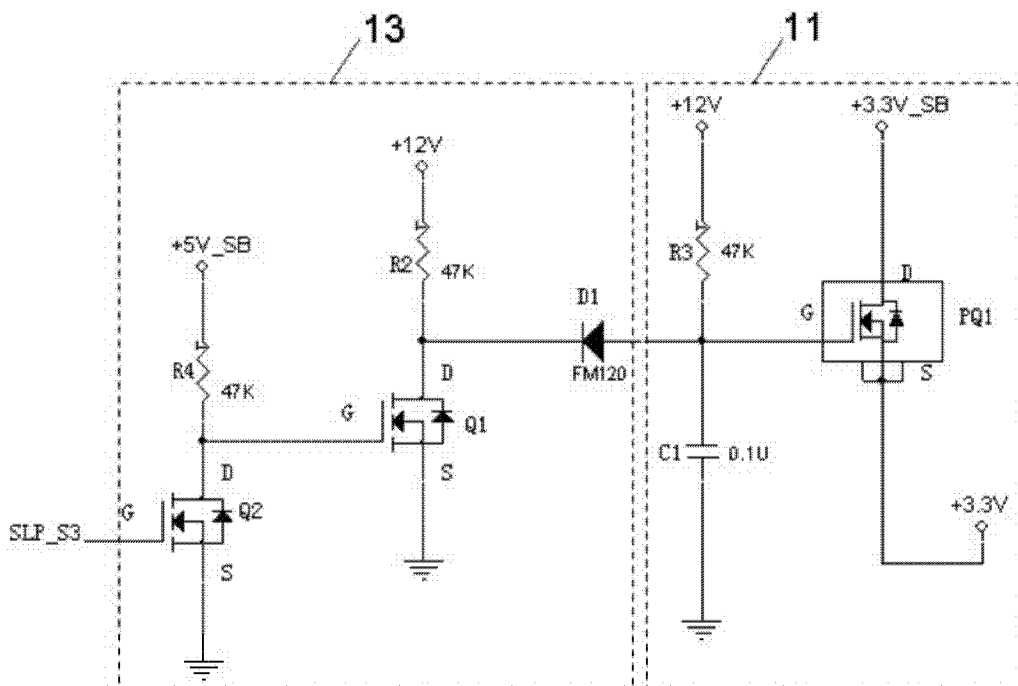
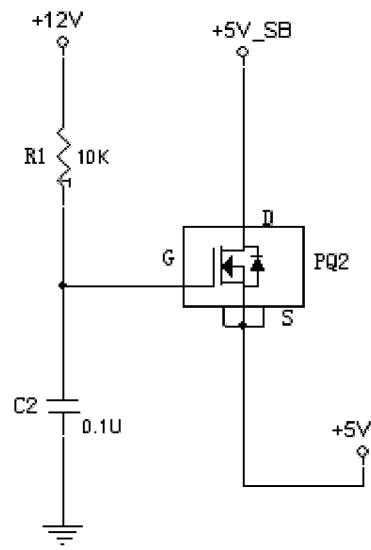


图 2



12

图 3