告本

申請日期	88.1.20
案號	88100802
類別	H03K 19/00

（以上各欄由本局填註）

A4
C4

445712

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	具有內嵌預設/清除邏輯之閘反向器回授結構之正反器
	英文	"FLIP-FLOP HAVING GATED INVERTER FEEDBACK STRUCTURE WITH EMBEDDED PRESET/CLEAR LOGIC"
二、發明 ~~創作~~ 人	姓名	格蘭 艾德華 歐佛
	國籍	美國
	住、居所	美國賓州麥肯吉市南脊街8305號
三、申請人	姓名（名稱）	美商朗訊科技公司
	國籍	美國
	住、居所（事務所）	美國新澤西州摩里山丘市山脈大道600號
	代表人姓名	麥克・R・格林

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：
大　　類：
ＩＰＣ分類：

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
美國	1999年1月28日	09/238,793	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（1 ）

發明範疇

本發明係關於電路，且尤其係關於邊緣觸發正反器如主從正反器，及位準感測正反器常稱爲閂。

先前技藝說明

電氣裝置中的主從正反器暫時儲存資料，其中在時脈信號邊緣上將資料傳入裝置，此一正反器的主控級在雙相時脈的一相中將輸入埠D收到的資料儲存，在雙相時脈的另一相，從屬級將接收自主控級的資料儲存，且將該儲存資料顯示在主從正反器的輸出埠Q。

圖1是習用靜態主從正反器100的示意圖，其依靠切換回授技術以得到資料，正反器100包括4個開關S1-S4及4個驅動器D1-D4（分別使用反向器INV1-INV4而實施）配置成可操作以特別方式移動資料通過正反器100。正反器100具有主控級（由開關S1，S2及反向器INV1，INV2組成）及從屬級（由開關S3，S4及反向器INV3，INV4組成）。

正反器100的主控級及從屬級各提供記憶體，藉由從各級的輸出將信號回授到其輸入而達成此目的，以保持輸出在其目前值。若各級中的驅動器正在反相，則各級中的回授路徑也必須反相以提供此記憶體特性。

由雙相時脈的位準控制開關S1-S4，以便當開關S2，S3關閉時開關S1，S4即打開，反之亦然。當開關S1，S4關閉而開關S2，S3打開時，主控級即從輸入節點D接收資料信號。當開關S1，S4打開而開關S2，S3關閉時，儲存

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2 ）

在主控級的資料即送入從屬級及輸出Q。當開關S1，S4又關閉而開關S2，S3又打開時，從屬級從主控級接收的資料即儲存在從屬級而維持在輸出Q，同時主控級在輸入D接收新資料。依此，主從正反器100暫時儲存從輸入資料串接收的資料。

如上所述，開關S2關閉而開關S1打開時，正反器100的主控級的功能即爲記憶體元件，開關S1，S2通常是傳送閘，典型CMOS傳送閘是由N型電晶體及P型電晶體組成，其中這兩個裝置的源極接在一起，而這些裝置的汲極也接在一起。當P及N裝置都導通時，即達成源極到汲極的低電阻路徑，或者若P及N裝置都關閉時，開即視爲打開，此一傳送閘是非反相結構。

正反器如圖1的正反器100有一些缺點，尤其是，最基本的設計要求4個開關及4個反向器，其利用大量的佈局面積及功率。

圖2顯示一靜態主從正反器200的習用實例，其依靠弱的回授技術以得到資料，在正反器200中，反向器INV2，INV4是弱反向器其設計成具有極小的驅動。因此，當開關S1關閉時能容易的過度驅動反向器INV2；而當開關S3關閉時能容易的過度驅動反向器INV4，但是反向器在備用期間(開關S1，S3分別打開時)反向器INV2，INV4會提供足夠的正回授以取得正反器200中的資訊。因爲反向器INV2，INV4具有極小驅動，所以能在無主控級及從屬級的回授路徑中的開關下(如圖1的開關S2，S4)

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（3 ）

設計出，因爲輸入信號是分別從節點D，I2的節點I1，I3接收，且大到足以控制反向器INV1，INV3的狀態，不論是否分別從弱反向器INV2，INV4接收信號。

正反器200優於圖1的正反器100，首先，正反器200的開關比正反器100少兩個，此外正反器200以正反器100的兩個強力反向器取代兩個弱反向器。因此，可以用較小佈局面積實施正反器200。

設計正反器的另一期望目標(除了小面積以外)是維持設定時間及時脈至Q傳播時間儘可能的短。設定時間是指充電正反器的主控級所需的時間。類似的，時脈至Q傳播時間是指充電正反器的從屬級所需的時間。參考圖1，2，設定時間是極小，而輸入值D不必在主控傳送閘S1打開之前送入主控級，且仍具有主控級以得到正確的輸入值。時脈至Q傳播時間是時脈邊緣(即關閉從屬傳送閘S3)與到達輸出Q的正確資料值之間的時間。

常期望以預設及/或清除功能來實施正反器，一預設條件配置正反器以具有1的輸出值Q，而一清除條件配置正反器以具有0的輸出值Q。圖3到5顯示靜態主從正反器的3個不同習用實例，該正反器具有增加的邏輯以支援預設及清除功能。

圖3A顯示在主控及從屬回授迴路中含傳送閘開關的靜態回授正反器300，類似圖1的正反器100。在正反器300，驅動器D1及D4都是使用含OR及NAND閘功能的閘結構來實施，而預設信號PD及清除信號CDN則送入這些

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（4 ）

驅動器以達成期望的正反器預設及清除功能。圖3B及圖3C分別顯示如何從輸入時脈信號CKN及輸入預設信號PD產生時脈信號CK及預設信號PDN。

再參考圖3A，正反器300的設定時間與節點i1的電容成正比，類似的，正反器300的時脈至Q傳播時間與節點i3的電容成正比。通常節點i1及i3的電容越低，設定時間及時脈至Q傳播時間則分別越低。正反器300的設計缺點之一是驅動器D1實施成含預設及清除信號的較複雜閘結構，因而大幅增加在驅動器D1的已知驅動能力下節點i1的有效電容(與使用反向器的驅動器D1相比)，因而大幅增正反器300的設定時間。此外，驅動器D1，D4使用閘結構的結果是增加正反器300的佈局面積(與使用簡單反向器製造成供驅動器用的正反器相比)。

圖4A顯示靜態弱維持器回授正反器400，類似圖2的正反器200。關於正反器200，在正反器400的回授路徑中使用弱維持器即不需要回授開關(如圖1的開關S2及S4)，且允許使用反向器實施所有4個反向器，(與圖3的正反器300相比)可減少正反器400的布局面積。圖4B顯示如何從輸入時脈信號CK，輸入預設信號PDN，及輸入清除信號CDN產生時脈信號CKX及CKY。類似的，圖4C及圖4D定分別顯示如何從輸入清除信號CDN及輸入預設信號PDN產生清除信號CD及預設信號PD。

在正反器400，從屬級中的回授迴路實施成與驅動器D3分開，以限制回授競爭時間及保護正反器狀態不受Q

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5 ）

的外部變化影響。回授競爭是指未閘通的回授迴路抵抗信號位準改變的傾向(即使回授驅動器是弱的維持器如同在正反器400之中的)，這是指信號擴散通過回授路徑所需的時間，因而增加在回授迴路輸入節點(如節點i3)改變信號位準的時間。

可惜，在未閘通主控回授迴路中存在的回授競爭不會劣化正反器400的設定時間。此外，預設及清除裝置與正反器400中的節點i1及i3直接接在一起更增加節點i1及i3的電容，因而增加設定時間及時脈至Q傳播時間。此外，在圖4B的時脈設計中應用預設及清除信號更增加正反器400的時脈至Q傳播時間。

圖5A顯示靜態回授正反器500，它是圖3，4正反器的混合，圖5B顯示如何從輸入時脈信號CK產生時脈信號CKN，CKA，而圖5C顯示如何從輸入預設信號PDN產生預設信號PD。至於混合者，正反器500具有：一主控級(類似圖3的正反器300)其含有閘通回授及複雜的閘傳送驅動器，其又具有預設及清除輸入，及一從屬級(類似圖4的正反器400)其含有預設及清除裝置直接接到節點i3，及一回授迴路與輸出傳送驅動器分開。因此，正反器500具有的電容問題(在節點i1)類似正反器300的主控級之中的，及在節點i3類似正反器400的從屬級之中的，因而分別增加設定時間及時脈至Q傳播時間。正反器500的主控級中的回授競爭也會劣化設定時間。

在正反器500的主控級中，回授路徑具有反向器(如圖1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(6)

的D2)與開關(如圖1的S2)合併在閘反向器配置中。在正反器500，閘反向器結構包括P型裝置MP1，MP2及N型裝置MN1，MN2，其中MP1及MN1裝置提供反向器功能，而MP2及MN2裝置提供閘功能，當時脈信號CKA是1而時脈信號CKN是0時，閘即打開而節點i1與驅動器輸出隔離(即節點i2)。

在正反器500的主控級的閘反向器結構中，執行閘功能的裝置源極未互相連接，而這些裝置的汲極也未互相連接，如同參考圖1的正反器100先前所述的典型傳送閘。注意反向器及閘功能可以相反，以便MP1及MN1提供閘功能而MP2及MN2提供反向器功能。在此例中，形成閘功能的裝置源極會互相連接，或者這些裝置的汲極會互相連接，但並非源極及汲極都如此。

發明總結

本發明是指邊緣觸發正反器(如主從正反器)及位準感測正反器(常稱爲閂)，其配置成支援預設功能或清除功能，或二者都有。在本發明的典型實例中，預設及/或清除邏輯的增加對於回授迴路輸入節點的電容增加極少或是無，因而限制設定時間及時脈至Q傳播時間的不利影響或者甚至消除，其通常導因於將預設/清除功能加入靜態正反器中。

根據本發明，本發明是一種具有正反器之積體電路，正反器包括：至少一級，至少一級具有一傳送閘接至一驅動器之輸入，及一回授路徑將驅動器之輸出接至驅動器之輸

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

(請先閱讀背面之注意事項再填寫本頁) 裝 訂 線

五、發明說明（7 ）

入。回授路徑包括一閘反向器具有內嵌預設邏輯及/或內嵌清除邏輯或二者皆有。閘反向器包括至少兩個裝置以執行一閘功能，而執行閘功能之裝置未互相連接在其源極及其汲極。

例如正反器是主從正反器，包括：(a)一主控級，具有一主控傳送閘連接至含一主控回授路徑之主控驅動器；及(b)一從屬級，連接至主控級，從屬級具有一從屬傳送閘連接至含一從屬回授路徑之從屬驅動器，其中主控回授路徑或從屬回授路徑或二者，具有含內嵌預設邏輯或內嵌清除邏輯或二者都有之閘反向器結構。

圖示簡單說明

本發明的其他特點，特徵，及優點可由以下詳細說明，申請專利範圍，及附圖而更加瞭解，其中：

圖1是習用靜態主從正反器實例的示意圖，該正反器依靠切換回授技術以得到資料；

圖2是習用靜態主從正反器實例的示意圖，該正反器依靠弱回授技術以得到資料；

圖3A顯示一靜態回授正反器在主控及從屬回授迴路中具有傳送閘開關，類似圖1的正反器，設計成支援預設及清除功能；

圖3B，圖3C分別顯示如何從輸入時脈信號CK及輸入預設信號PDN產生時脈信號CKN及預設信號PD，供圖3A的正反器用；

圖4A顯示一靜態弱維持器回授正反器，類似圖2的正反

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8 ）

器，設計成支援預設及清除功能；

圖4B顯示如何從輸入時脈信號CK，輸入預設信號PDN，及輸入清除信號CDN產生時脈信號CKX及CKY以供圖4A的正反器用；

圖4C，圖4D定分別顯示如何從輸入清除信號CDN及輸入預設信號PDN產生清除信號CD及預設信號PD，供圖4A的正反器用；

圖5A顯示一靜態回授正反器，其係圖3及圖4正反器的混合；

圖5B顯示如何從輸入時脈信號CK產生時脈信號CKN及CKA，而圖5C顯示如何從輸入預設信號PDN產生預設信號PD，供圖5A的正反器用；

圖6A顯示根據本發明實施例的靜態正反器；

圖6B顯示如何從輸入時脈信號CK產生時脈信號CKN，CKA及CKB，供圖6A的正反器用；及

圖6C，圖6D分別顯示如何從輸入預設信號PDN及輸入清除信號CDN產生預設信號PD及清除信號CD，供圖6A的正反器用。

詳細說明

圖6A顯示根據本發明實施例的靜態正反器600，正反器600是資料輸入型(即D型)非同步預設及清除正反器，正反器600的操作由外部產生的時脈信號CK，內部產生的時脈信號CKN，CKA，CKB，外部產生的預設信號PDN，內部產生的預設信號PD，外部產生的清除信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（9 ）

CDN，及內部產生的清除信號CD等控制。圖6B顯示如何從輸入時脈信號CK，輸入預設信號PDN，及輸入清除信號CDN產生時脈信號CKN，CKA及CKB。類似的，圖6C，圖6D分別顯示如何從輸入預設信號PDN及輸入清除信號CDN產生預設信號PD及清除信號CD。

再參考圖6A，正反器600包括主控傳送閘MXG，主控驅動器MG1，從屬傳送閘SXG，及從屬傳送驅動器SG1，其中驅動器MG1及SG1是使用簡單的反向器製造。此外，正反器600的主控級及從屬級各具有回授路徑，具有含內嵌預設及清除邏輯之閘反向器結構，配置成提供預設及清除功能給正反器。本文所謂的內嵌是指預設及/或清除邏輯是閘反向器回授路徑的一部分，它不必指預設及/或清除邏輯是相同積體電路的一部分如同對應的閘反向器結構，雖然在本發明的某些實例中這是眞實的。

在主控級中，主控回授路徑中的閘反向器結構包括：(a)以裝置MP2及MN2製造的反向器功能，及(b)以裝置MP1及MN1製造的時脈回授閘功能，其中MP1的源極及汲極都分別未接到MN1的源極及汲極。內嵌在主控回授路徑中的是預設裝置MP3，MN4及清除裝置MP4，MN3。類似的，在從屬級中，從屬回授路徑中的閘反向器結構包括：(a)以裝置SP2及SN2製造的反向器功能，及(b)以裝置SP1及SN1製造的時脈回授閘功能，其中SP1的源極及汲極都分別未接到SN1的源極及汲極。內嵌在從屬回授路徑中的是預設裝置SP4，SN3及清除裝置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（10）

SP3，SN4。

裝置MP1-MP4，MN1-MN4，SP1-SP4，SN1-SN4最好是使用極小尺寸的P及N型電晶體製造，其具有用特別技術製造的極小電容，雖然其他適當類型的裝置也是可能的，如雙極設計。

在此特別實施例中，已將預設及清除功能正反器的閘反向器回授結構，依此與典型習用技術相比(如圖3至5)即不會顯示資料傳播路徑的顯著額外負載。此極小負載配置允許在設定時間及時脈至Q傳播時間的最佳速度性能，此外，因爲預設及清除功能都不影響重要資料路徑的電容，所以能在不影響時序性能之下在設計中交換不同的預設/清除型正反器。這表示可以根據正反器600的一般配置用至少一正反器來設計電路，且不必考慮是否用預設及/或清除功能來製造任何特別正反器。

使用時脈信號CKN，CKA以控制正反器600的主控級，而時脈信號CK，CKB則控制從屬級，其中時脈信號CKB與預設及清除信號無關(圖6B)。正反器600的此時脈設計可以將從屬級從主控級的(供預設/清除的)閘時脈中釋放出。這允許時脈至Q傳播時間的額外減少，另一優點是當預設或清除正反器時可以減少甚至避免回授競爭。本發明能在主控級及從屬級的完全非同步回授路徑中使用極小大小的裝置，因而可達成較小的設計且減少任何的競爭雜訊。

如上所述，速度性能的重要特點是使節點i1，i2，i3的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（11）

電容增加減到極小，這是因爲回授及預設/清除功能，藉由將預設及清除邏輯(由裝置MP3,4，MN3,4，SP3,4，SN3,4組成)在閘反向器回授路徑(由主控級的MN1,2及MP1,2與從屬級的SN1,2及SP1,2組成)，預設/清除功能即不額外速度路徑，回授部分中的所有裝置最好是極小，這是考慮性能及佈局後所期望的。

設定時間是如何能令快速節點i1接在輸入D之後，正反器600的主控傳送閘MXG(作爲其負載)具有反向器MG1，而裝置MP1，MN1都是極小裝置。圖5的反向器500使用無內嵌預設/清除的閘反向器回授路徑，且需要複雜的閘結構供主控傳送驅動器用。爲了達成相等的時脈至Q性能，正反器500的閘結構必須大於正反器600的反向器MG1，而向節點i1顯示大的負載，因而不利於設定時間。類似的，將預設及清除裝置直接接到節點i1(如圖4的正反器400)，則會增加電容且一般需要大於極小裝置的尺寸，因而又導致設定時間的增加。

時脈至Q傳播時間是驅動器MG1，SG1，閘SXG，及節點i2,，i3電容，及Q的函數。在正反器600中，驅動器MG1是反向器，其在已知i1負載中具有比正反器500的閘結構更好的驅動。節點i2的回授負載由兩個極小裝置組成，以提供極小電容負載。此外，驅動器MG1在節點i3驅動的電容比正反器500少，其具有來自4個額外電晶體的負載，這是因爲接在一起的反向器閂及預設/清除功能。此外，在正反器400，500的從屬級中的接在一起反

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（12）

向器具有某些回授競爭以抵抗任何時脈至Q變化直到狀態改變。

正反器600不必從屬級的閘時脈，閘SXG及裝置SP1，SN1是由時脈信號CK，CKB控制，其係一反向器快於使用時脈信號CKN及CKA（如同正反器500），且顯著快於在正反器400使用的CKX及電路最。在回授路徑中使用預設及/或清除一般適用於時脈狀態，其不必在預設或清除之前迫使閘SXG關閉。通常在本發明中，若閘SXG導通（裝置SP1，SN1是關閉），會從主控正反器邏輯產生預設/清除功能。若閘SXG關閉（而從屬回授導通），則從從屬回授邏輯中產生預設/清除，類的這些都可減少正反器600的時脈至Q傳播時間。

正反器600的設計提供額外優點，本發明使用的低電容裝置一般具有較小尺寸，因而減少佈局面積。此外，驅動器中僅使用反向器，而不是正反器500中的閘結構，則表示具有較小佈局面積的快速正反器及更對稱的驅動能力。

在圖6的主從正反器600中，裝置，其在主控回授路徑中實施閘反向器結構的閘功能（即MP1及MN1），則接在節點i1之間，而裝置則實施該閘反向器結構的反向器功能（即MP2及MN2）。類似的，裝置，其在從屬回授路徑中實施閘反向器結構的閘功能（即SP1及SN1），則接在節點i3之間，而裝置則實施該閘反向器結構的反向器功能（即SP2及SN2）。在本發明的替代實施例中，任一回授路徑或兩個回授路徑中的閘反向器可以相反，以便反向器裝置

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

接在對應節點及閘裝置之間。在任何情況下，在本發明的這些不同實施例的每一者中，一閘裝置的源極及汲極未分別接到相同回授中另一閘裝置的源極及汲極。

在主從正反器600中，預設及清除邏輯是各主控級及從屬級的回授路徑中閘反向器結構的一部分，在本發明的所有實施例中這並非完全成立，尤其是，本發明函蓋主從正反器，其中只有主控級或從屬級具有回授路徑，其中預設及/或清除邏輯是回授路徑中閘反向器結構的一部分，而另一級未受此限制。通常另一級可具有(或不具有)回授路徑，它在回授路徑中可具有(或不具有)閘反向器結構，而且它可具有(或不具有)預設及/或清除邏輯，其可以爲回授路徑的一部分，但是不論如何，另一級不具有預設及/或清除邏輯，其係回授路徑中閘反向器結構的一部分。

雖然已用主從正反器來說明本發明，其係邊緣觸發型正反器，熟於此技術者可瞭解本發明也可以用位準感測正反器來實施，其通稱爲閂。根據本發明的典型閂具有單一級對應圖6A中節點i2左側的每一者，其中節點i2成爲閂輸出節點Q，其他實施例也包括類似閂其支援預設而不是清除功能，以及類似閂其支援清除而不是預設功能。

更可瞭解，熟於此技術者可以在不違反如以下申請專利範圍所述的本發明範圍之下對於已說明及敘述的細節，材料，及配置等作各種變化，其目的在解釋本發明的特徵。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：具有內嵌預設/清除邏輯之閘反向器回授結構之正反器）

一種具有至少一級(如一主從正反器中之主控級及從屬級，或一閂中之單一級)，至少一級具有一驅動器接至其輸入及輸出至含閘反向器之回授路徑，該反向器具有內嵌預設及/或清除邏輯。藉由在回授路徑中內嵌預設/清除邏輯，使用一簡單反向器即能實施驅動器。此外，可以能不劣化正反器之設定時間或時脈至Q傳播時間下增加預設及/或清除功能。

英文發明摘要（發明之名稱："FLIP-FLOP HAVING GATED INVERTER FEEDBACK STRUCTURE WITH EMBEDDED PRESET/CLEAR LOGIC"）

A flip-flop having one or more stages (e.g., a master stage and a slave stage in a master-slave flip-flop, or a single stage as in a latch), at least one stage having a driver coupled at its input and output to a feedback path with a gated inverter having embedded preset and/or clear logic. By embedding the preset/clear logic in the feedback path, the driver can be implemented using a simple inverter. Moreover, the preset and/or clear functionality can be added without adversely affecting either the setup time or the clock-to-Q propagation time of the flip-flop.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS)A4 規格（210 × 297 公釐）

六、申請專利範圍

1. 一種具有一正反器之積體電路，正反器包括：至少一級，至少一級具有一傳送閘接至一驅動器輸入，及一回授路徑連接驅動器之輸出至驅動器輸入，其中：

   回授路徑包括一閘反向器具有內嵌預設邏輯或內嵌清除邏輯或二者皆有；

   閘反向器包括至少兩個裝置以執行一閘功能；及

   執行閘功能之裝置未在其源極及其汲極互相連接

2. 如申請專利範圍第1項之積體電路，其中使用極小尺寸裝置以實施邏輯。

3. 如申請專利範圍第2項之積體電路，其中回授路徑中之所有裝置皆係極小尺寸裝置。

4. 如申請專利範圍第3項之積體電路，其中：

   驅動器係一反向器；

   預設或清除邏輯加入級不影響設定時間或時脈至Q傳播時間；及

   執行閘功能之裝置接在驅動器輸入與在閘反向器中執行一反向器功能之裝置之間。

5. 如申請專利範圍第1項之積體電路，其中驅動器係一反向器。

6. 如申請專利範圍第1項之積體電路，其中預設或清除邏輯加入級不影響設定時間或時脈至Q傳播時間。

7. 如申請專利範圍第1項之積體電路，其中執行閘功能之裝置接在驅動器輸入與在閘反向器中執行一反向器功能之裝置之間。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

8. 如申請專利範圍第1項之積體電路，其中正反器係一主從正反器，包括：

(a) 一主控級，具有一主控傳送閘連接至含一主控回授路徑之主控驅動器；及

(b) 一從屬級，連接至主控級，從屬級具有一從屬傳送閘連接至含一從屬回授路徑之從屬驅動器，其中主控回授路徑或從屬回授路徑或二者，包括具有內嵌預設邏輯或內嵌清除邏輯或二者都有之閘反向器。

9. 如申請專利範圍第8項之積體電路，其中各主控及從屬回授路徑包括具有內嵌預設邏輯或內嵌清除邏輯或二者都有之閘反向器。

10. 如申請專利範圍第9項之積體電路，其中各主控及從屬閘反向器具有內嵌預設及清除邏輯。

11. 如申請專利範圍第8項之積體電路，其中使用極小尺寸裝置以實施邏輯。

12. 如申請專利範圍第11項之積體電路，其中主控及從屬回授路徑中之所有裝置皆係極小尺寸裝置。

13. 如申請專利範圍第7項之積體電路，其中主控驅動器或從屬驅動器或二者皆係反向器。

14. 如申請專利範圍第13項之積體電路，其中主控及從屬驅動器皆係反向器。

15. 如申請專利範圍第8項之積體電路，其中：

內嵌預設或清除邏輯加入主控級不影響設定時間；及

內嵌預設或清除邏輯加入從屬級不影響時脈至Q傳播

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

時間。

16. 如申請專利範圍第8項之積體電路，其中使用時脈信號以控制從屬部分與任何預設或清除信號無關。

17. 如申請專利範圍第16項之積體電路，其中使用時脈信號以控制主控部分與一預設或一清除信號或二者皆無關。

18. 如申請專利範圍第17項之積體電路，其中：

各主控及從屬回授路徑包括具有內嵌預設邏輯或內嵌清除邏輯或二者之閘反向器；

使用極小尺寸裝置以實施邏輯；

主控及從屬回授路徑中之所有裝置皆係極小尺寸裝置；

主控或從屬驅動器皆係反向器；

內嵌預設或清除邏輯加入主控級不影響設定時間；及

內嵌預設或清除邏輯加入從屬級不影響時脈至Q傳播時間。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

圖 1
(先前技藝)

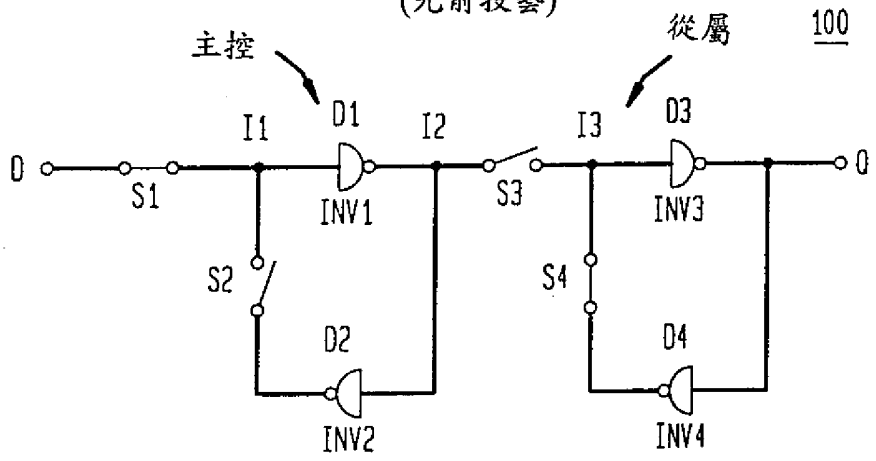

圖 2
(先前技藝)

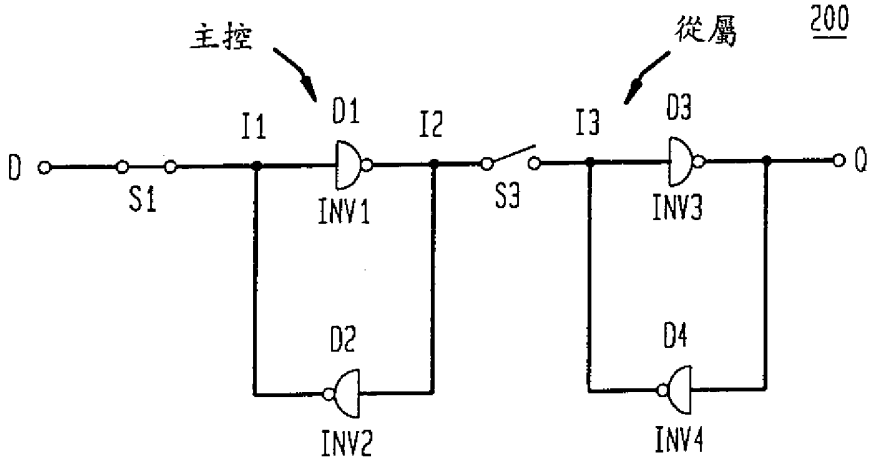

圖 3A
(先前技藝)

300

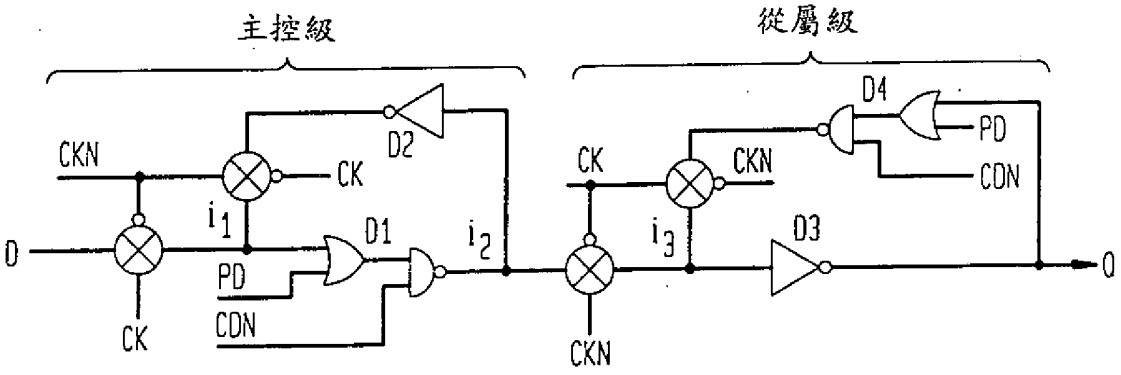

圖 3B
(先前技藝)

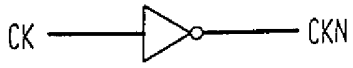

圖 3C
(先前技藝)

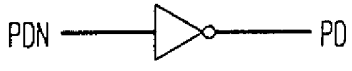

圖 4A
(先前技藝)

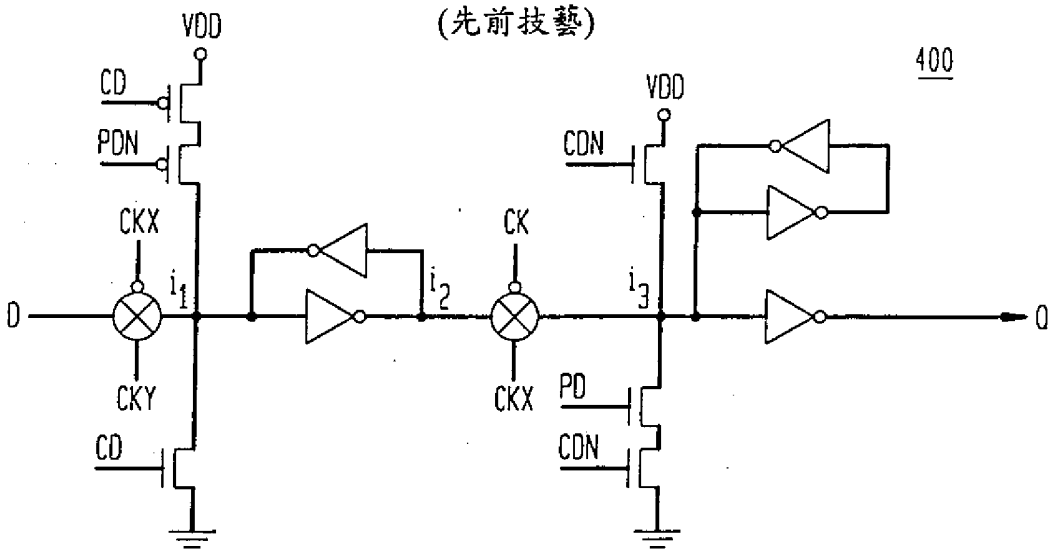

圖 4B
(先前技藝)

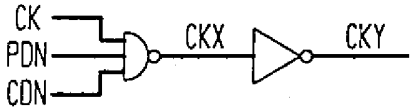

圖 4C
(先前技藝)

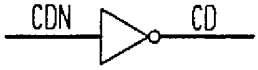

圖 4D
(先前技藝)

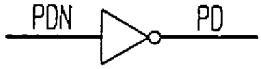

圖 5A
(先前技藝)

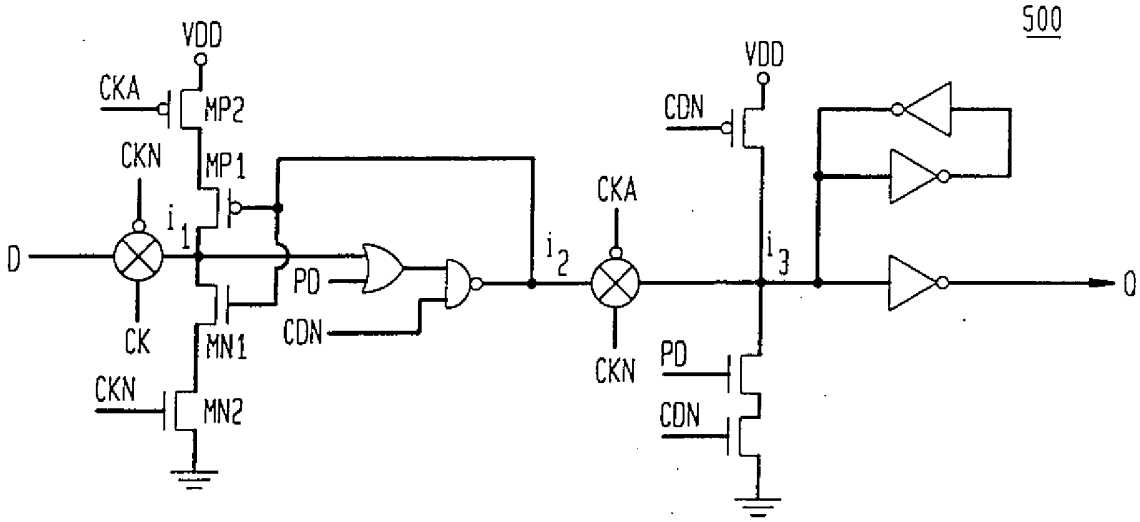

圖 5B
(先前技藝)

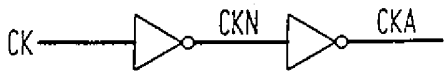

圖 5C
(先前技藝)

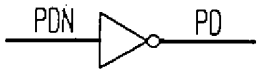

圖 6A

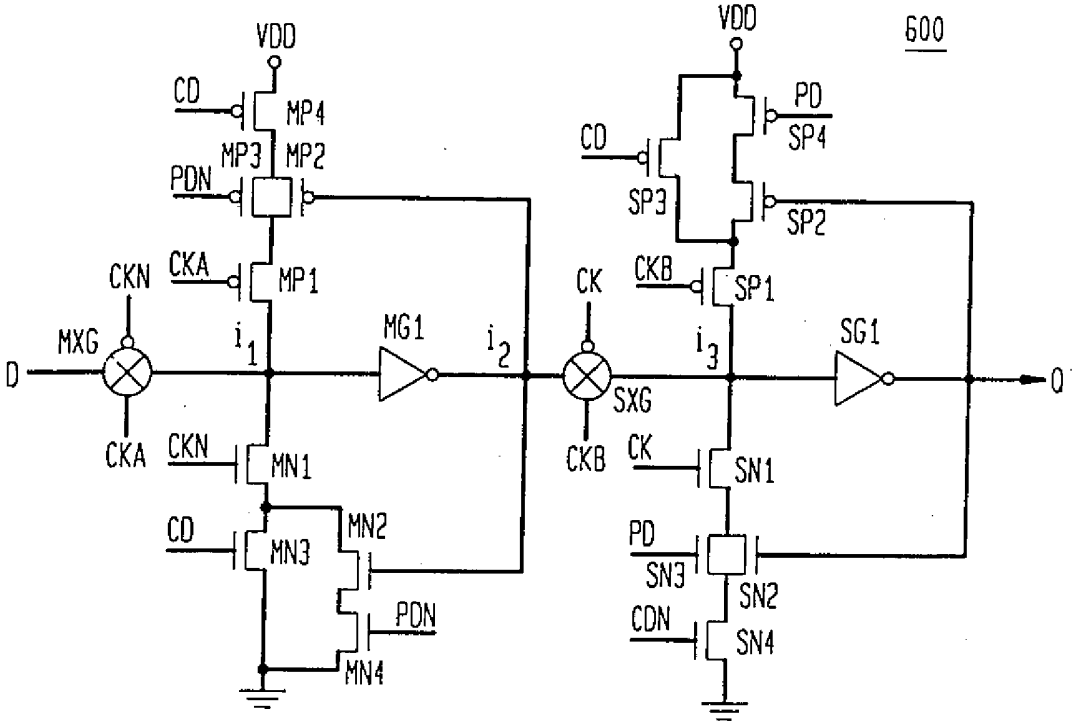

圖 6B

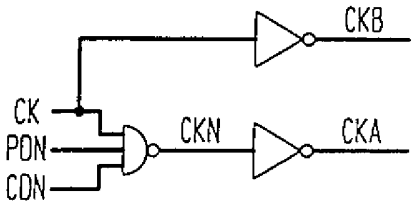

圖 6C

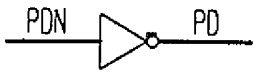

圖 6D

