



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0046832
(43) 공개일자 2024년04월09일

(51) 국제특허분류(Int. Cl.)
H01G 13/00 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/232 (2006.01)
H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 13/00 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2024-7011033
(22) 출원일자(국제) 2022년11월15일
심사청구일자 2024년04월02일
(85) 번역문제출일자 2024년04월02일
(86) 국제출원번호 PCT/JP2022/042357
(87) 국제공개번호 WO 2023/090312
국제공개일자 2023년05월25일
(30) 우선권주장
JP-P-2021-188969 2021년11월19일 일본(JP)

(71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10번 1고
(72) 발명자
오타니 신지
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
타나카 히데히코
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

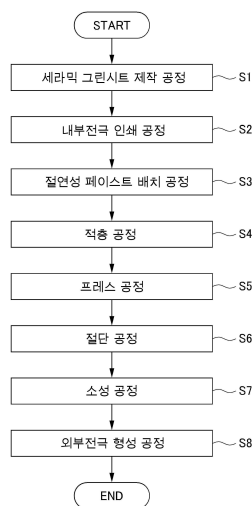
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 적층 시트의 제조 방법, 적층 전자부품의 제조 방법, 및 적층 시트

(57) 요약

두께의 불균일성을 용이하게 저감 가능한 적층 시트의 제조 방법을 제공한다. 본 발명의 적층 시트(20)의 제조 방법은 세라믹 분말을 포함하는 슬러리를 시트 형상으로 성형하여 세라믹 그린시트(21)를 제작하는 세라믹 그린시트 제작 공정(S1)과, 세라믹 그린시트(21)에 내부전극(12)을 인쇄하는 내부전극 인쇄 공정(S2)과, 세라믹 그린시트(21)에서의 내부전극(12)이 인쇄되어 있는 면과 동일 면의, 내부전극(12) 되어 있지 않은 영역에, 80℃이 고주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하인 절연성 페이스트(14b)를 배치하는 절연성 페이스트 배치 공정(S3)과, 내부전극(12)이 인쇄 및 절연성 페이스트(14b)가 배치된 세라믹 그린시트(21)를 적층하는 적층 공정(S4)과, 적층된 세라믹 그린시트(21)를 프레스하여 적층 시트(20)를 제작하는 프레스 공정(S5)을 포함한다.

대표도 - 도4



(52) CPC특허분류

H01G 4/1209 (2013.01)

H01G 4/232 (2013.01)

H01G 4/30 (2013.01)

Y02E 60/13 (2020.08)

명세서

청구범위

청구항 1

세라믹 분말을 포함하는 슬러리를 시트 형상으로 성형하여 세라믹 그린시트를 제작하는 세라믹 그린시트 제작 공정과,

상기 세라믹 그린시트에 내부전극을 인쇄하는 내부전극 인쇄 공정과,

상기 세라믹 그린시트에서의 상기 내부전극이 인쇄된 면과 동일 면의, 상기 내부전극이 인쇄되지 않은 영역에, 80℃이고 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하인 절연성 페이스트를 배치하는 절연성 페이스트 배치 공정과,

상기 내부전극이 인쇄 및 상기 절연성 페이스트가 배치된 상기 세라믹 그린시트를 적층하는 적층 공정과,

적층된 상기 세라믹 그린시트를 프레스하여 적층 시트를 제작하는 프레스 공정을 포함하는, 적층 시트의 제조 방법.

청구항 2

제1항에 있어서,

상기 절연성 페이스트는 상기 내부전극으로부터 이간되어 배치되는, 는 적층 시트의 제조 방법.

청구항 3

제1항에 있어서,

상기 절연성 페이스트는 상기 내부전극과 일부와 겹쳐서 배치되는, 적층 시트의 제조 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 절연성 페이스트는 상기 내부전극의 전체 둘레를 둘러싸서 배치되는, 적층 시트의 제조 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 절연성 페이스트는 상기 내부전극 주위의 일부를 둘러싸서 배치되는, 적층 시트의 제조 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 기재된 적층 시트의 제조 방법에 의해 제조된 적층 시트를 절단하여 적층체 칩을 제작하는 절단 공정과,

상기 적층체 칩을 소성하는 소성 공정과,

소성된 상기 적층체 칩의 양 단면(端面)에 외부전극을 형성하는 외부전극 형성 공정을 포함하는 적층 전자부품의 제조 방법.

청구항 7

제6항에 있어서,

상기 적층 전자부품은 적층 세라믹 콘덴서인, 적층 전자부품의 제조 방법.

청구항 8

내부전극과, 상기 내부전극이 인쇄되지 않은 영역에, 80℃이고 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하인 절연성 페이스트가 배치된 세라믹 그린시트가 복수개 적층된, 적층 시트.

발명의 설명

기술 분야

[0001] 본 발명은 적층 시트의 제조 방법, 적층 전자부품의 제조 방법 및 적층 시트에 관한 것이다.

배경 기술

[0002] 적층 세라믹 콘덴서 등의 적층 전자부품은 내부전극이 인쇄된 세라믹 그린시트가 적층된 적층체의 양단에 외부전극이 배치된 구조를 가진다. 그러나, 내부전극이 인쇄된 세라믹 그린시트에는 내부전극이 인쇄되어 있는 부분과 인쇄되어 있지 않은 부분 사이에 단차가 있다. 이 세라믹 그린시트가 적층되면, 단차가 누적되어 적층체의 적층방향에서 두께에 불균일성이 생기고, 소성 단계에서 불균일한 두께 부분에 균열이 생기는 경우가 있다.

[0003] 이 때문에, 세라믹 그린시트 상의 내부전극이 형성되어 있지 않은 영역에 세라믹 그린시트와 동일한 재료로 제조된, 내부전극과 동일한 두께의 시트를 배치하고, 이로써 세라믹 그린시트 상의 단차를 없애는 것이 제안되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 특개소56-94719호

발명의 내용

해결하려는 과제

[0005] 그러나, 세라믹 그린시트와 동일한 재료로 제조된, 내부전극과 동일한 두께이면서 내부전극의 극간의 치수와 동일한 시트를 그 극간에 배치하고자 하면, 높은 정밀도인 두께 관리나 위치 맞춤이 필요해진다. 본 발명은 보다 용이하게 두께의 불균일성을 저감 가능한 적층 시트의 제조 방법, 적층 전자부품의 제조 방법, 및 적층 시트를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위해, 본 발명은 세라믹 분말을 포함하는 슬러리를 시트 형상으로 성형하여 세라믹 그린시트를 제작하는 세라믹 그린시트 제작 공정과, 상기 세라믹 그린시트에 내부전극을 인쇄하는 내부전극 인쇄 공정과, 상기 세라믹 그린시트에서의 상기 내부전극이 인쇄되어 있는 면과 동일 면의, 상기 내부전극되어 있지 않은 영역에, 80℃이고 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하인 절연성 페이스트를 배치하는 절연성 페이스트 배치 공정과, 상기 내부전극이 인쇄 및 상기 절연성 페이스트가 배치된 상기 세라믹 그린시트를 적층하는 적층 공정과, 적층된 상기 세라믹 그린시트를 프레스하여 적층 시트를 제작하는 프레스 공정을 포함하는 적층 시트의 제조 방법을 제공한다.

[0007] 또한, 상기 과제를 해결하기 위해, 본 발명은 상기 적층 시트의 제조 방법에 의해 제조된 적층 시트를 절단하여 적층체 칩을 제작하는 절단 공정과, 상기 적층체 칩을 소성하는 소성 공정과, 소성된 상기 적층체 칩의 양 단면(端面)에 외부전극을 형성하는 외부전극 형성 공정을 포함하는 적층 전자부품의 제조 방법을 제공한다.

[0008] 또한, 본 발명은 내부전극과, 상기 내부전극이 인쇄되어 있지 않은 영역에, 80℃이고 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하인 절연성 페이스트가 배치된 세라믹 그린시트가 복수개 적층된 적층 시트를 제공한다.

발명의 효과

[0009] 본 발명에 따르면, 두께의 불균일성을 용이하게 저감 가능한 적층 시트의 제조 방법, 적층 전자부품의 제조 방

법, 및 적층 시트를 제공하는 제공할 수 있다.

도면의 간단한 설명

[0010] 도 1은 적층 세라믹 콘덴서(1)의 개략 사시도 이다.

도 2는 도 1에 나타내는 적층 세라믹 콘덴서(1)의 II-II선을 따른 단면도이다.

도 3은 도 1에 나타내는 적층 세라믹 콘덴서(1)의 III-III선을 따른 단면도이다.

도 4는 적층 시트(20)의 제조 방법을 포함하는, 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 플로우 차트이다.

도 5는 베이스 시트(23)에서의 절연성 페이스트(14b)의 배치 상태를 설명하는 사시도이며, (a)는 실시예 1, (b)는 실시예 2, (c)는 실시예 3, (d)는 실시예 4, (e)는 실시예 5이다.

도 6은 베이스 시트(23)에서의 절연성 페이스트(14b)의 배치 상태를 설명하는 단면도이며, (a)는 실시예 1, (b)는 실시예 2, (c)는 실시예 3이다.

도 7은 적층 시트(20)의 프레스 공정(S5) 후의 상태를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명의 실시형태에 따른 적층 시트(20)의 제조 방법, 적층 시트(20)를 이용한 적층 전자부품으로서의 적층 세라믹 콘덴서(1)의 제조 방법, 및 적층 시트(20)에 대해 설명한다. 도 1은 적층 시트(20)를 이용한 적층 세라믹 콘덴서(1)의 개략 사시도이다. 도 2는 도 1에 나타내는 적층 세라믹 콘덴서(1)의 II-II선을 따른 단면도이다. 도 3은 도 1에 나타내는 적층 세라믹 콘덴서(1)의 III-III선을 따른 단면도이다.

[0012] (적층 세라믹 콘덴서(1))

[0013] 적층 세라믹 콘덴서(1)는 대략 직방체 형상이고, 적층체(2)와, 적층체(2)의 양단에 마련된 한 쌍의 외부전극(3)을 포함한다. 적층체(2)는 복수개의 유전체층(11)과 복수개의 내부전극(12)이 적층된 내층부(10)를 포함한다.

[0014] 이하의 설명에서, 적층 세라믹 콘덴서(1)의 방향을 나타내는 용어로서, 적층 세라믹 콘덴서(1)에서 한 쌍의 외부전극(3)이 마련되어 있는 방향을 길이방향(L)으로 한다. 유전체층(11)과 내부전극(12)이 적층되어 있는 방향을 적층방향(T)으로 한다. 길이방향(L) 및 적층방향(T) 중 어느 것에도 교차하는 방향을 폭방향(W)으로 한다. 한편, 실시형태에서는 폭방향(W)은 길이방향(L) 및 적층방향(T) 중 어느 것에도 직교하고 있다.

[0015] 또한, 이하의 설명에서 적층체(2)에 6개의 외주면(外周面) 중, 적층방향(T)으로 마주보는 한 쌍의 외주면을 주면(主面)(A)으로 하고, 폭방향(W)으로 마주보는 한 쌍의 외주면을 측면(B)으로 하며, 길이방향(L)으로 마주보는 한 쌍의 외표면을 제1 단면(Ca)과 제2 단면(Cb)으로 하고, 제1 단면(Ca)과 제2 단면(Cb)을 특별히 구별하여 설명할 필요가 없는 경우, 합쳐서 단면(C)으로 하여 설명한다.

[0016] (적층체(2))

[0017] 적층체(2)는 내층부(10)와, 내층부(10)의 양쪽 주면(A) 측에 배치되는 외층부(7)를 포함한다.

[0018] (내층부(10))

[0019] 내층부(10)는 복수개의 유전체층(11)과, 복수개의 유전체층(11) 사이에 배치된 내부전극(12)과, 복수개의 유전체층(11) 사이에서의 내부전극(12)이 배치되어 있지 않은 부분을 충전하는 절연체(14a)를 포함한다.

[0020] (유전체층(11))

[0021] 유전체층(11)은 예를 들면, BaTiO₃인 세라믹 분말과, 유리 성분과, 필요에 따라 소결 조제를 첨가하여 혼합한 혼합물에 바인더와, 가소제나 분산제 등의 첨가제와, 유기 용제를 첨가한 슬러리를 시트 형상으로 성형하여 얻어진 세라믹 그린시트(21)가 소결된 것이다. 소결 전의 세라믹 그린시트(21)의 80℃, 1Hz에서의 저장 탄성률(E')은 일반적으로는 0.5GPa 이상 1.0GPa 이하의 범위에 있는 것이 많다. 한편, 저장 탄성률(E')이란 물체에 외력과 일그러짐에 의해 발생한 에너지 중 물체의 내부에 보존하는 성분이다.

[0022] (내부전극(12))

- [0023] 내부전극(12)은 예를 들면 Ni인 금속 분말과, 바인더와, 가소제나 분산제 등의 첨가제와, 유기 용제 등을 포함하는 내부전극 페이스트가 소결된 것이다. 내부전극(12)은 복수개의 제1 내부전극(12A)과 복수개의 제2 내부전극(12B)을 포함한다. 제1 내부전극(12A)과 제2 내부전극(12B)은 교대로 배치되어 있다.
- [0024] (제1 내부전극(12A))
- [0025] 제1 내부전극(12A)은 길이방향(L)에, 제2 내부전극(12B)과 대향하는 제1 대향 전극(12Aa)과, 제1 대향 전극(12Aa)으로부터 제1 단면(Ca) 측으로 인출된 제1 인출 전극(12Ab)을 포함한다. 제1 인출 전극(12Ab)의 단부(端部)는 제1 단면(Ca)에 노출되고, 후술할 제1 외부전극(3A)에 전기적으로 접속되어 있다.
- [0026] (제2 내부전극(12B))
- [0027] 제2 내부전극(12B)은 길이방향(L)에, 제1 내부전극(12A)과 대향하는 제2 대향 전극(12Ba)과, 제2 대향 전극(12Ba)으로부터 제2 단면(Cb) 측으로 인출된 제2 인출 전극(12Bb)을 포함한다. 제2 인출 전극(12Bb)의 단부는 제2 단면(Cb)에 노출되고, 후술할 제2 외부전극(3B)에 전기적으로 접속되어 있다.
- [0028] 이하, 제1 내부전극(12A)과 제2 내부전극(12B)을 특별히 구별하여 설명할 필요가 없는 경우, 합쳐서 내부전극(12)으로 하여 설명한다. 제1 대향 전극(12Aa)과 제2 대향 전극(12Ba)을 구별하여 설명할 필요가 없는 경우, 합쳐서 대향 전극(12a)으로 하여 설명한다. 제1 인출 전극(12Ab)과 제2 인출 전극(12Bb)을 구별하여 설명할 필요가 없는 경우, 합쳐서 인출 전극(12b)으로 하여 설명한다.
- [0029] (절연체(14a))
- [0030] 절연체(14a)는 세라믹 그린시트(21)와 마찬가지로, 예를 들면, BaTiO₃로 이루어지는 세라믹 분말과, 필요에 따라 소결 조제와, 바인더와, 가소제나 분산제 등의 첨가제와, 유기 용제 등을 포함하는 절연성 페이스트가 소결된 것이다.
- [0031] 소결 전의 절연성 페이스트의 건조 도막(14b)의 80℃, 1Hz에서의 저장 탄성률(E')은 1.0MPa 이상 100MPa 이하이다.
- [0032] 도 2에 나타내는 바와 같이, 제1 대향 전극(12Aa)의 제1 인출 전극(12Ab)이 인출되어 있지 않은 제2 단면(Cb) 측의 단부는 제2 단면(Cb)으로부터 이간되고, 제1 대향 전극(12Aa)과 제2 단면(Cb) 사이에는 절연체(14a)가 충전되어 있다. 또한, 제2 대향 전극(12Ba)의 제2 인출 전극(12Bb)이 인출되어 있지 않은 제1 단면(Ca) 측의 단부는 제1 단면(Ca) 측으로부터 이간되고, 제2 대향 전극(12Ba)과 제1 단면(Ca) 사이에는 절연체(14a)가 충전되어 있다.
- [0033] 도 3에 나타내는 바와 같이, 제1 내부전극(12A)의 폭방향(W)의 양측은 각각 측면(B)으로부터 이간되어 있고, 제1 내부전극(12A)과 측면(B) 사이에는 절연체(14a)가 충전되어 있다. 또한, 제2 내부전극(12B)의 폭방향(W)의 양측은 각각 측면(B)으로부터 이간되어 있고, 제2 내부전극(12B)과 측면(B) 사이에는 절연체(14a)가 충전되어 있다.
- [0034] (적층 시트(20) 및 적층 시트(20)를 이용한 적층 세라믹 콘덴서(1)의 제조 방법)
- [0035] 다음으로, 적층 시트(20)의 제조 방법 및 적층 시트(20)를 이용한 적층 세라믹 콘덴서(1)의 제조 방법에 대해 설명한다. 도 4는 적층 시트(20)의 제조 방법을 포함하는, 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 플로우 차트이다.
- [0036] (세라믹 그린시트 제작 공정(S1))
- [0037] 우선, 세라믹 분말과, 유리 성분과, 필요에 따라 소결 조제를 첨가하여 혼합한 혼합물에 바인더, 가소제나 분산제 등의 첨가제와, 유기 용제를 첨가하여 슬러리가 조제된다. 이어서, 슬러리가 캐리어 필름 상에 배치되고, 닥터 블레이드에 의해 시트 형상으로 스퀴징된 후, 건조되어서 세라믹 그린시트(21)가 제작된다. 세라믹 그린시트(21)의 80℃, 1Hz에서의 저장 탄성률(E')은 일반적으로는 0.5GPa 이상 1.0GPa 이하의 범위에 있는 것이 많다.
- [0038] (내부전극 인쇄 공정(S2))
- [0039] 계속해서, 제작된 세라믹 그린시트(21)에 금속 분말, 바인더, 가소제나 분산제 등의 첨가제, 유기 용제 등을 포함하는 내부전극 페이스트가, 띠 형상의 패턴을 가지도록 스크린 인쇄, 잉크젯 인쇄, 그라비아 인쇄 등에 의해 원하는 형상, 두께로 인쇄되어서 건조되고, 패턴 형상의 내부전극(12)이 형성된다.

- [0040] (절연성 페이스트 배치 공정(S3))
- [0041] 내부전극(12)이 형성된 세라믹 그린시트(21) 상의, 내부전극(12)이 인쇄되어 있지 않은 영역에 절연성 페이스트(14b)를 배치하여 베이스 시트(23)를 제작한다.
- [0042] 절연성 페이스트(14b)는 예를 들면, BaTiO_3 로 이루어지는 세라믹 분말과, 필요에 따라 소결 조제와, 바인더와, 가소제나 분산제 등의 첨가제와, 유기 용제 등을 포함하지만, 80℃, 주파수 1Hz에서의 저장 탄성률(E')이 다르다. 세라믹 그린시트(21)의 80℃, 1Hz에서의 저장 탄성률(E')은 일반적으로는 0.5GPa 이상 1.0GPa 이하의 범위에 있는 것이 많지만, 절연성 페이스트(14b)는 그보다도 상당히 낮고, 80℃, 주파수 1Hz에서의 저장 탄성률(E')은 1.0MPa 이상 100MPa 이하이다. 이 절연성 페이스트(14b)의 저장 탄성률(E')은 예를 들면 PVB 등의 유연한 바인더와 가소제를 조정함으로써 1.0MPa 이상 100MPa 이하로 조정할 수 있다.
- [0043] 한편, 절연성 페이스트(14b)는 세라믹 그린시트(21) 상에 인쇄에 의해 배치해도 되고, 또한 반고형 상태의 절연성 페이스트(14b)를 세라믹 그린시트(21) 상에 배치해도 된다.
- [0044] 도 5는 베이스 시트(23)에서의 절연성 페이스트(14b)의 배치 상태를 설명하는 사시도이며, (a)는 실시예 1, (b)는 실시예 2, (c)는 실시예 3, (d)는 실시예 4, (e)는 실시예 5이다. 도 6은 베이스 시트(23)에서의 절연성 페이스트(14b)의 배치 상태를 설명하는 단면도이며, (a)는 실시예 1, (b)는 실시예 2, (c)는 실시예 3이다.
- [0045] (실시예 1)
- [0046] 도 5(a)는 세라믹 그린시트(21) 상에서 절연성 페이스트(14b)가 내부전극(12)의 전체 둘레에 내부전극(12)과의 사이에 극간 없이 배치된 실시예 1이며, 도 6(a)는 도 5(a)의 X-X선을 따른 단면도이다.
- [0047] 실시예 1에서 절연성 페이스트(14b)는 도 5(a)에 나타내는 바와 같이, 내부전극(12) 사이의 길이방향(L) 및 폭방향(W)으로 연장되는 극간을 매우도록, 또한 도 6(a)에 나타내는 바와 같이, 적층방향(T)의 높이가 내부전극(12)과 대략 동일해지도록 배치되어 있다. 즉, 베이스 시트(23)에서의 내부전극(12) 사이의 극간의 체적과, 절연성 페이스트(14b)의 체적은 대략 동일하다.
- [0048] 단, 절연성 페이스트(14b)의 길이방향(L) 및 폭방향(W)의 치수는 내부전극(12) 사이의 극간의 길이방향(L) 및 폭방향(W)의 치수와 엄밀하게 일치하고 있지 않아도 된다. 또한, 절연성 페이스트(14b)의 적층방향(T)의 치수는 내부전극(12)의 적층방향(T)의 치수와 엄밀하게 일치하고 있지 않아도 된다.
- [0049] (실시예 2)
- [0050] 도 5(b)는 세라믹 그린시트(21) 상에서 절연성 페이스트(14b)가 내부전극(12)의 전체 둘레에 배치되어 있지만, 내부전극(12)과의 사이에 극간이 있는 실시예 2이며, 도 6(b)는 도 5(b)의 Y-Y선을 따른 단면도이다.
- [0051] 실시예 2에서 절연성 페이스트(14b)는 도 5(b)에 나타내는 바와 같이, 내부전극(12) 사이의 길이방향(L) 및 폭방향(W)으로 연장되는 극간에, 내부전극(12)으로부터 이간되고, 또한, 도 6(a)에 나타내는 바와 같이, 적층방향(T)의 높이가 내부전극(12)보다 높아지도록 배치되어 있다.
- [0052] 이 절연성 페이스트(14b)의 길이방향(L), 폭방향(W) 및 적층방향(T)의 치수는 베이스 시트(23)에서의 내부전극(12) 사이의 극간 전체의 체적이 절연성 페이스트(14b)의 전체의 체적과 대략 동일해지도록 설정되는 것이 바람직하지만, 엄밀하게 일치하고 있지 않아도 된다.
- [0053] (실시예 3)
- [0054] 도 5(c)는 세라믹 그린시트(21) 상에서 절연성 페이스트(14b)가 내부전극(12)의 전체 둘레에 배치되고, 또한 내부전극(12)과 겹치며 내부전극(12)의 바깥 둘레 부분의 윗면을 덮고 있는 실시예 3이며, 도 6(c)는 도 5(c)의 Z-Z선을 따른 단면도이다.
- [0055] 실시예 3에서도 내부전극(12) 사이에 배치되어 있는 절연성 페이스트(14b)의 체적과 내부전극(12)의 바깥둘레 부분의 윗면을 덮고 있는 절연성 페이스트(14b)의 체적을 합친 체적이 베이스 시트(23)에서의 내부전극(12) 사이의 극간의 체적과 대략 동일해지도록 설정되는 것이 바람직하지만, 엄밀하게 일치하고 있지 않아도 된다.
- [0056] (실시예 4)
- [0057] 도 5(d)는 절연성 페이스트(14b)가 내부전극(12)의 주위의 일부에 배치되고, 내부전극(12)과의 사이에 극간이 있으며, 폭방향(W)에 서로 인접하는 내부전극(12) 사이의 극간에 내부전극(12)의 길이방향(L)을 따라 배치되어

있는 실시예 4이다.

- [0058] 실시예 4에서도, 절연성 페이스트(14b)의 길이방향(L), 폭방향(W) 및 적층방향(T)의 치수는 절연성 페이스트(14b) 전체의 체적이 베이스 시트(23)에서의 내부전극(12) 사이의 극간 전체의 체적과 대략 동일해지도록 설정되는 것이 바람직하지만, 엄밀하게 일치하고 있지 않아도 된다.
- [0059] (실시예 5)
- [0060] 도 5(e)는 절연성 페이스트(14b)가 내부전극(12)의 주위의 일부에 배치되고, 내부전극(12)과의 사이에 극간이 있으며, 도 5(d)와 달리 내부전극(12) 사이의 폭방향(W) 또는 길이방향(L)의 극간에 랜덤으로 배치되어 있는 실시예 5이다.
- [0061] 실시예 5에서도 절연성 페이스트(14b)의 길이방향(L), 폭방향(W) 및 적층방향(T)의 치수는 절연성 페이스트(14b) 전체의 체적이 베이스 시트(23)에서의 내부전극(12) 사이의 극간 전체의 체적과 대략 동일해지도록 설정되는 것이 바람직하지만, 엄밀하게 일치하고 있지 않아도 된다.
- [0062] 이와 같이, 내부전극(12)이 형성된 세라믹 그린시트(21) 상의, 내부전극(12)이 인쇄되어 있지 않은 영역에 배치된 절연성 페이스트(14b)는 30℃ 이상 70℃ 이하의 온도에서 건조되는 것이 바람직하다. 이 건조에 의해, 절연성 페이스트(14b)는 일정한 유동성은 가지긴 하지만, 흘러 내리거나 할 정도는 아니고, 세라믹 그린시트(21) 상에서 일정한 형상을 유지하는 상태가 된다. 한편, 본 실시형태에서는 절연성 페이스트(14b)를 40℃와 60℃의 온도에서 건조시켰다. 단, 건조시키지 않고, 다음 적층 공정(S4)으로 진행해도 된다.
- [0063] (적층 공정(S4))
- [0064] 이어서, 적층기를 이용하여, 베이스 시트(23)를 복수층 적층하고, 내층부(10)가 되는 부분을 제작하며, 추가로 내층부(10)가 되는 부분의 적층방향(T)의 상하에 외층부용 세라믹 그린시트를 적층하여 적층 시트(20)를 제작한다. 외층부용 세라믹 그린시트는 유전체층(11)을 형성하는 세라믹 그린시트(21)와 동일한 재료로 제조되어 있다.
- [0065] 도 7은 적층 공정(S4)에서 제작된 적층 시트(20)의, 다음으로 연장될 수 있는 프레스 공정(S5) 후의 상태를 나타낸 도면이다. 도 7에 나타내는 바와 같이, 복수개의 베이스 시트(23)는 내부전극(12)이 적층방향(T)의 동일방향을 향하면서 그 내부전극(12)이 이웃하는 베이스 시트(23) 사이에서 길이방향(L)에서 반 피치씩 어긋나고, 폭방향(W)에서 겹치는 상태가 되도록 배치된다.
- [0066] 이 때, 내부전극(12)에서의 대향 전극(12a)이 되는 부분은 적층방향(T)으로 연속적으로 적층된다. 한편, 내부전극(12)에서의 인출 전극(12b)이 되는 부분은 베이스 시트(23)의 내부전극(12)이 존재하는 부분과, 베이스 시트(23)의 내부전극(12)이 존재하지 않는 부분이 교대로 적층된다. 따라서, 적층 시트(20)에서 인출 전극(12b)이 되는 부분의 적층방향(T)에서의 내부전극(12)의 적층 매수는 대향 전극(12a)이 되는 부분의 적층방향(T)에서의 내부전극(12)의 적층 매수의 절반이 된다. 또한, 폭방향(W)에서는 내부전극(12)이 존재하는 부분의 양측은 베이스 시트(23)의 내부전극(12)이 존재하지 않는다.
- [0067] 그러나, 실시형태에서는 이들 베이스 시트(23)에서의 내부전극(12)이 존재하지 않는 영역에 절연성 페이스트(14b)가 배치되어 있다.
- [0068] (프레스 공정(S5))
- [0069] 다음으로, 적층 시트(20)를 프레스한다. 프레스의 압력은 30MPa~150MPa이다. 실제로 실시한 압력은 50MPa와 98MPa이다. 적층 시트(20)는 금형에 넣어지고, 진공 라미네이트 되며, 80℃의 온수조에 침지되어 10분 가열된다. 그 후, 승압되어 약 50MPa로 750s 유지되고, 정수압 프레스로 가압된다.
- [0070] 이 때, 절연성 페이스트(14b)는 80℃, 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하이며, 세라믹 그린시트(21)에 비해 상당히 유연한 부재이다.
- [0071] 따라서, 프레스 공정(S5)에서 프레스되면, 실시예 2, 3, 4, 5에서 절연성 페이스트(14b)는 변형되어 유동되고, 내부전극(12) 사이의 극간을 메울 수 있다. 이 때, 실시예 4, 5 등에서는 절연성 페이스트(14b)가 배치되어 있지 않은 내부전극(12) 사이의 극간도 존재한다. 그러나, 절연성 페이스트(14b)의 높은 유동성에 의해, 이들 극간에도 절연성 페이스트(14b)가 유입되고, 내부전극(12) 사이의 모든 극간을 충전할 수 있다.
- [0072] 한편, 실시예 1의 경우는 이미 내부전극(12) 사이의 극간을 매우도록 배치되어 있지만, 절연성 페이스트(14b)가

가압되므로, 배치 시에 생겨 있던 약간의 극간 등을 메울 수 있다.

[0073] 이상과 같이, 실시형태에 따르면, 단차가 적은 적층 시트(20)를 제조할 수 있다.

[0074] 한편, 절연성 페이스트(14b)의 유동은 프레스 공정(S5)뿐만 아니라, 적층 공정(S4)에서 발생해도 된다.

[0075] (절단 공정(S6))

[0076] 적층 시트(20)는 도 7에 나타내는 길이방향(L)으로 일정한 간격을 두고 폭방향(W)으로 연장되는 절단선(P)과, 폭방향(W)으로 일정한 간격을 두고 길이방향(L)으로 연장되는 절단선을 따라 절단된다. 도 7에서는 길이방향(L)으로 일정한 간격을 두고 폭방향(W)으로 연장되는 절단선(P)만 나타낸다. 이로써, 복수개의 적층체(2)가 제조된다.

[0077] (소결 공정(S7))

[0078] 이어서, 각각의 적층체(2)는 원하는 온도 프로파일(240℃ 정도)에서 탈지되어 바인더가 제거되고, 그 후, 소정의 온도 프로파일(1200℃ 정도)에서 소결된다. 이 때, 절연성 페이스트(14b)는 소결되어 절연체(14a)가 된다.

[0079] (외부전극 형성 공정(S8))

[0080] 그리고 소결된 적층체(2)의 단면(C)에, 금속 분말, 바인더, 첨가제(가소제나 분산제 등), 유기 용제 등으로 이루어지는, 예를 들면 Cu를 주성분으로서 포함하는 외부전극 페이스트가 침지 도포된 후, 건조되며, 그 후, 벨트 화로를 이용하여 외부전극 페이스트가 소결되어서 외부전극(3)이 형성된다.

[0081] 추가로, 습식전해 배럴법 등을 이용하여, 외부전극(3)의 외측에 제1 도금막으로서 Ni, 제2 도금막으로서 Sn이 형성되고, 적층 세라믹 콘덴서(1)가 제조된다.

[0082] 이상, 실시형태에서는 이하의 효과를 가진다.

[0083] 복수개의 베이스 시트(23)가 적층된 적층 시트(20)는 내부전극(12)의 매수가 다르므로써, 내부전극(12)과 유전체층(11)을 합계한 적층방향(T)의 두께가 다른 부분이 있다.

[0084] 그러나, 실시형태에서는 내부전극(12)이 존재하지 않는 부분 또는 내부전극(12)과의 매수가 적은 부분에 절연성 페이스트(14)가 배치되어 있다. 따라서, 적층 시트(20)의 적층방향(T)의 두께를 균일하게 할 수 있다.

[0085] 그리고 절연성 페이스트(14)는 80℃이고 주파수 1Hz에서의 저장 탄성률(E')이 1.0MPa 이상 100MPa 이하이므로 유동되기 쉽다. 따라서, 세라믹 그린시트(21)에서의 내부전극(12)이 존재하지 않는 부분에 절연성 페이스트(14)를 배치할 때에, 그 내부전극(12)이 존재하지 않는 부분의 길이방향(L) 및 폭방향(W)의 치수나, 내부전극(12)의 적층방향(T)의 치수와 엄밀하게 일치시킬 필요가 없다. 절연성 페이스트(14)는 내부전극(12)의 적층방향(T)의 치수와 엄밀하게 일치하고 있지 않아도, 프레스 공정(S5) 등에서 프레스 될 때에 유동되어, 내부전극(12)이 존재하지 않는 부분을 충전할 수 있다.

[0086] 따라서, 절연성 페이스트(14)를 세라믹 그린시트(21) 상에 배치할 때의 높은 정밀도인 두께 관리나 위치 맞춤이 불필요하며, 두께가 균일한 적층 시트(20)를 용이하게 제조할 수 있다.

[0087] 적층 시트(20)가 절단된 적층체(2)에서도 적층방향(T)의 두께가 균일해지므로, 소결 공정에서도 균열이 생길 가능성이 저감된다.

[0088] 또한, 최종적으로 적층 세라믹 콘덴서(1)로서 제조되었을 때에도 균열이 없으므로, 신뢰성이 높은 적층 세라믹 콘덴서(1)를 제공할 수 있다.

[0089] 또한, 절연성 페이스트(14b)는 80℃ 1Hz에서의 저장 탄성률(E')이 실시형태의 1.0MPa 이상 100MPa 이하이므로, 소결 후의 폭방향(W)의 단부에서의 보이드의 발생이 없다. 또한, 전기 특성에서도 양호한 성능을 얻을 수 있다.

[0090] 이상, 본 발명의 적합한 실시형태에 대해 설명했는데, 본 발명은 이에 한정되지 않는다. 예를 들면, 실시형태에서 외층부(7)를 제조할 때, 유전체층(11)을 형성하는 세라믹 그린시트(21)와 동일한 재료로 제조된 외층부용 세라믹 그린시트를 이용했지만, 이에 한정되지 않고, 외층부(7)를 절연성 페이스트(14b)와 동일한 재료로 제조해도 된다.

[0091] 이 경우, 적층 시트(21)의 양 주면(A)의 표면을 보다 평활하게 할 수 있다. 즉, 적층 시트(21)가 절단되어 적층체(2)가 되었을 때에 적층체(2)에서 바깥둘레 측 적층방향(T)의 치수가 작아져서 북 형상이 되는 것을 방지할 수 있다. 적층체(2)가 북 형상이 되지 않음으로써, 외부전극(3)을 도포할 때의 접합이 형성되기 쉽다.

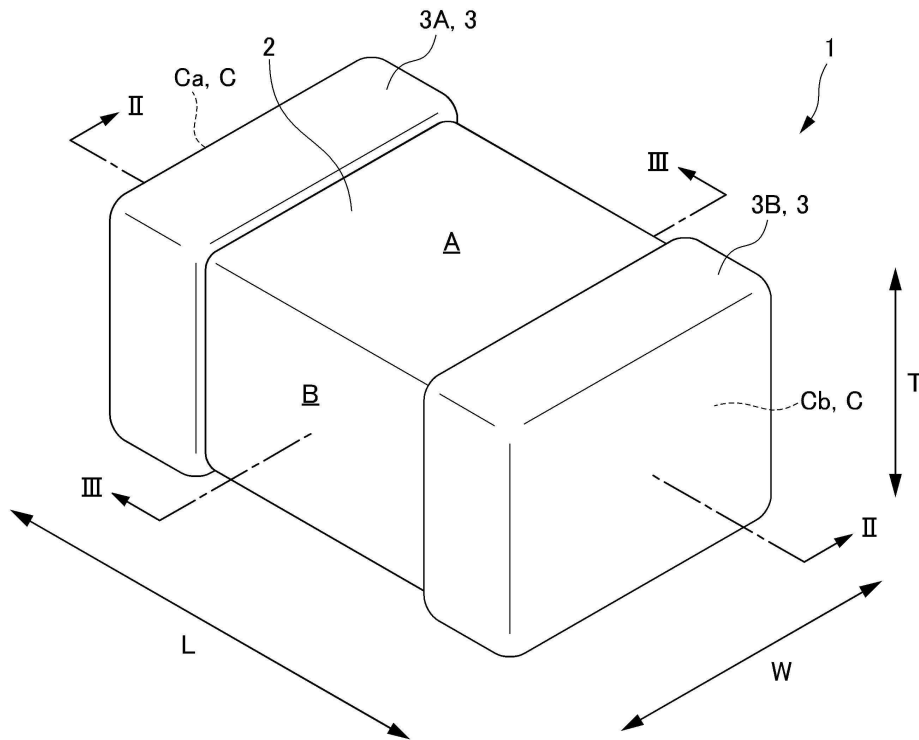
부호의 설명

[0092]

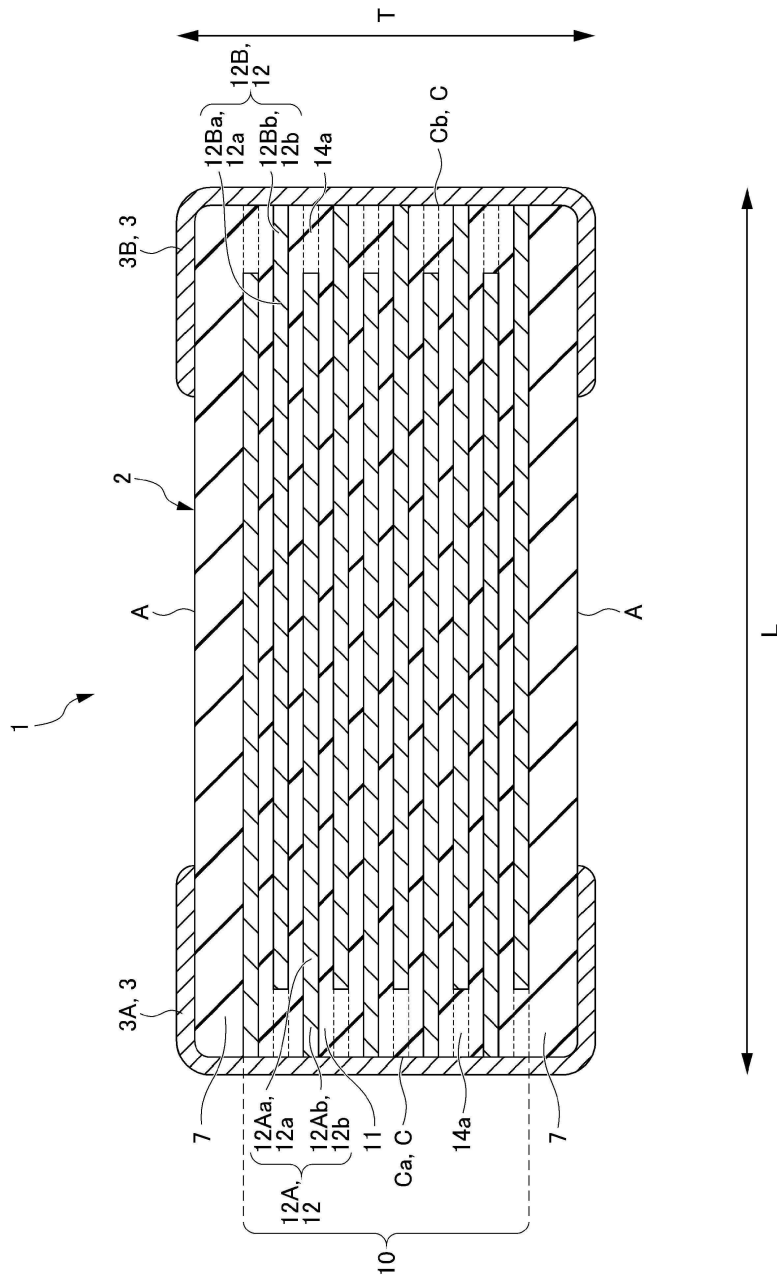
1: 적층 세라믹 콘덴서	2: 적층체
3: 외부전극	7: 외층부
10: 내층부	11: 유전체층
12: 내부전극	12a: 대향 전극
12b: 인출 전극	14a: 절연체
14b: 절연성 페이스트	20: 적층 시트
21: 세라믹 그린시트	23: 베이스 시트

도면

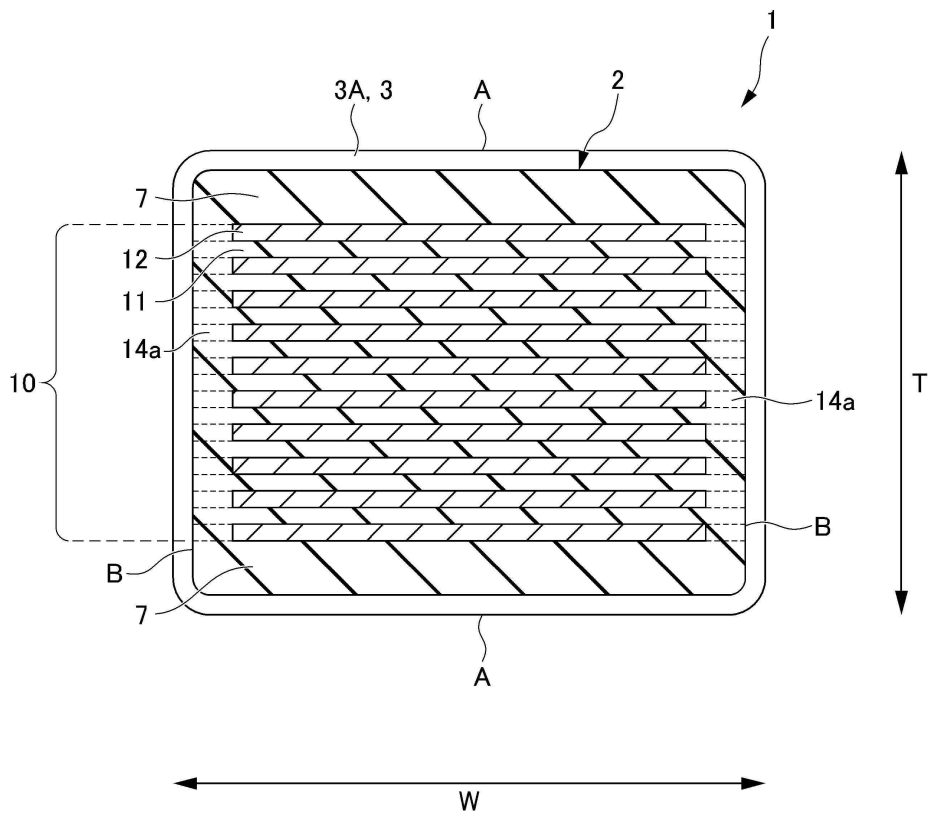
도면1



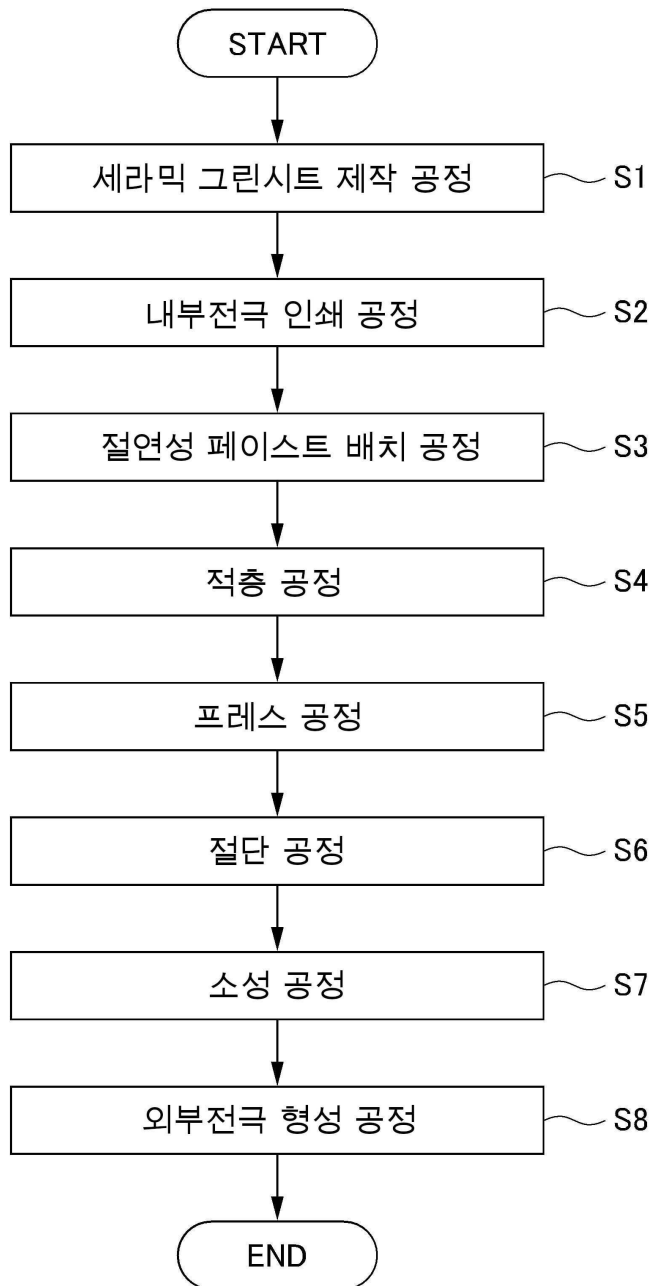
도면2



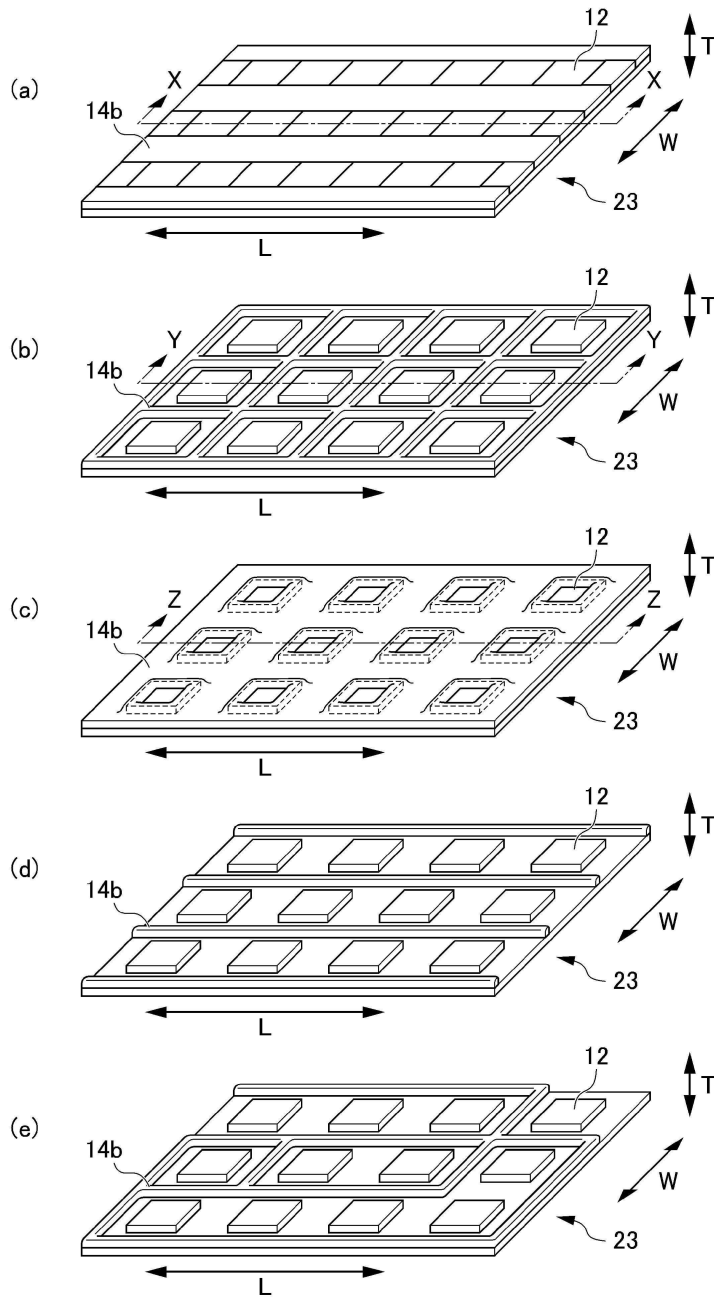
도면3



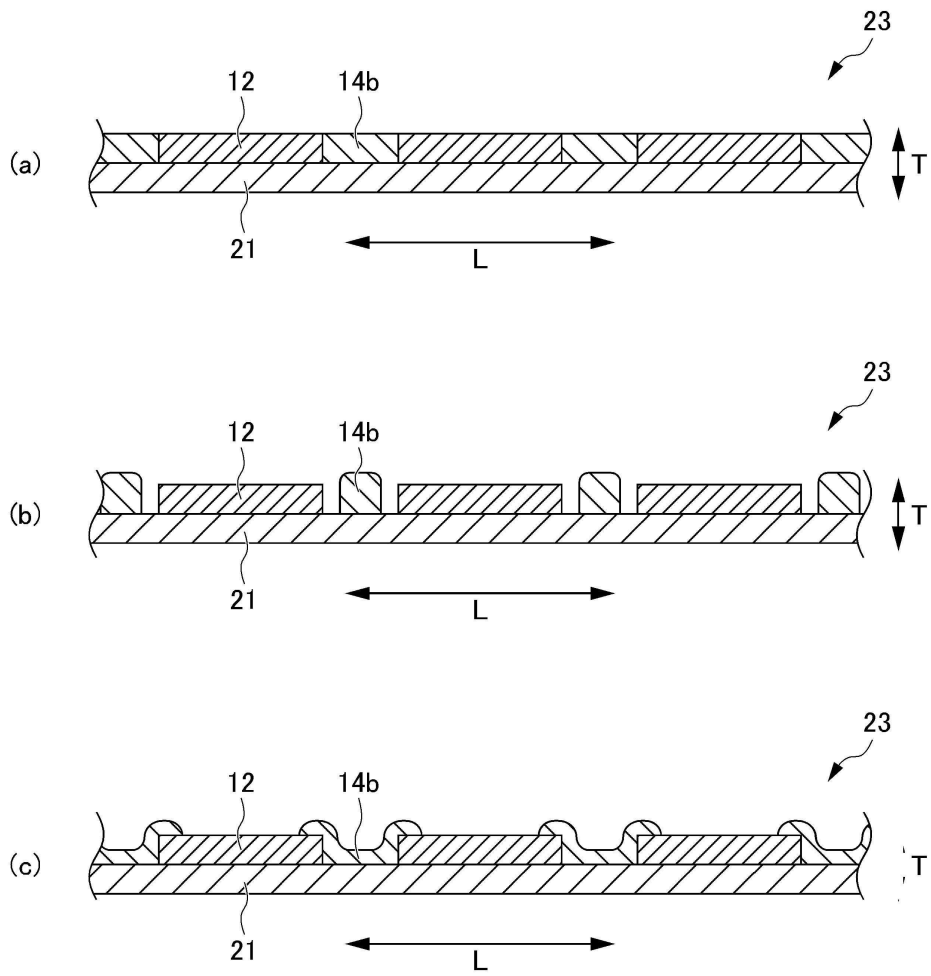
도면4



도면5



도면6



도면7

