



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0038031  
(43) 공개일자 2016년04월06일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/8234* (2006.01) *H01L 21/02* (2006.01)  
*H01L 21/8258* (2006.01) *H01L 21/84* (2006.01)  
*H01L 27/12* (2006.01) *H01L 29/10* (2006.01)  
*H01L 29/78* (2006.01)
- (52) CPC특허분류  
*H01L 21/823431* (2013.01)  
*H01L 21/02365* (2013.01)
- (21) 출원번호 10-2016-7005361
- (22) 출원일자(국제) 2014년07월25일  
 심사청구일자 없음
- (85) 번역문제출일자 2016년02월26일
- (86) 국제출원번호 PCT/US2014/048270
- (87) 국제공개번호 WO 2015/017283  
 국제공개일자 2015년02월05일
- (30) 우선권주장  
 13/956,398 2013년08월01일 미국(US)
- (71) 출원인  
 웰컴 인코포레이티드  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
 송, 스텐리 승철  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
 왕, 총재  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
 엠, 초 페이  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
 특허법인 남앤드남

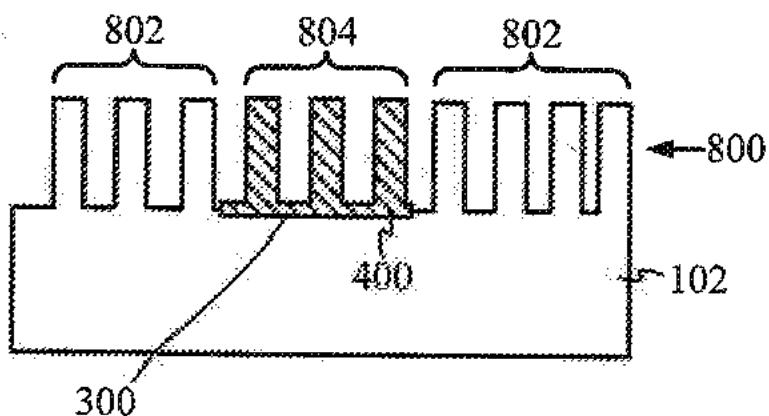
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 기판 상의 상이한 재료들로부터 핀들을 형성하는 방법

### (57) 요 약

상이한 재료들로 이루어진 핀들을 형성하는 방법은 상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하는 단계, 기판의 제 2 부분을 노출시킨 상태로 마스크를 형성시키기 위해 기판의 제 1 부분을 마스킹하는 단계, 제 2 부분에 제 1 개구를 예칭하는 단계, 제 1 재료의 층의 상부 표면의 레벨까지 제 1 개구에 제 2 재료의 바디를 형성하는 단계, 마스크를 제거하는 단계 및 제 1 부분에 제 1 재료의 핀들을 형성하고 제 2 부분에 제 2 재료의 핀들을 형성하는 단계를 포함한다. 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스가 또한 개시된다.

### 대 표 도



(52) CPC특허분류

*H01L 21/8258* (2013.01)  
*H01L 21/845* (2013.01)  
*H01L 27/1207* (2013.01)  
*H01L 27/1211* (2013.01)  
*H01L 29/1033* (2013.01)  
*H01L 29/785* (2013.01)  
*H01L 2924/13067* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

상이한 재료들로 이루어진 편들을 형성하는 방법으로서,

상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하는 단계;

상기 기판의 제 2 부분을 노출시킨 상태로 마스크를 형성시키기 위해 상기 기판의 제 1 부분을 마스킹하는 단계;

상기 제 2 부분에 제 1 개구를 에칭하는 단계;

상기 제 1 재료의 층의 상기 상부 표면의 레벨까지 상기 제 1 개구에 제 2 재료의 바디를 형성하는 단계;

상기 마스크를 제거하는 단계; 및

상기 제 1 부분에 상기 제 1 재료의 편들을 형성하고 상기 제 2 부분에 상기 제 2 재료의 편들을 형성하는 단계를 포함하는, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 재료는 실리콘인, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 재료는 III-V족 재료인, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제 2 재료는 게르마늄인, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 5

제 3 항에 있어서,

상기 제 2 재료는 실리콘 게르마늄인, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 6

제 3 항에 있어서,

상기 기판은 상기 제 2 재료의 층 및 상기 제 2 재료의 층 상의 제 1 산화물의 층을 포함하고, 상기 제 1 재료의 층은 상기 제 1 산화물의 층 상에 위치되고, 상기 제 2 부분에서 제 1 개구를 에칭하는 단계는 상기 제 1 재료의 층과 상기 제 1 산화물의 층을 통과하여 상기 제 2 재료의 층까지 제 1 개구를 에칭하는 단계를 포함하는, 상이한 재료들의 편들을 형성하는 방법.

#### 청구항 7

제 3 항에 있어서,

상기 기판은 제 3 재료의 층과 상기 제 3 재료의 층 상의 제 1 산화물의 층을 포함하고, 상기 제 1 재료의 층은 상기 제 1 산화물의 층 상에 위치되고, 상기 제 2 부분에서 제 1 개구를 에칭하는 단계는 상기 제 1 재료의 층과 상기 제 1 산화물의 층을 통과하여 상기 제 3 재료의 층까지 제 1 개구를 에칭하는 단계를 포함하는, 상이한

재료들의 펀들을 형성하는 방법.

### 청구항 8

제 7 항에 있어서,

상기 제 3 재료는 실리콘이고 상기 제 2 재료는 실리콘-게르마늄인, 상이한 재료들의 펀들을 형성하는 방법.

### 청구항 9

제 1 항에 있어서,

상기 기판은 제 3 재료의 층, 상기 제 3 재료의 층 상의 제 1 산화물 층, 상기 제 1 산화물 층 상의 제 2 재료의 층, 및 상기 제 2 재료의 층 상의 제 2 산화물 층을 포함하고, 상기 제 1 재료의 층은 상기 제 2 산화물 층 상에 위치되고, 상기 제 2 부분에서 제 1 개구를 예치하는 단계는 상기 제 1 재료의 층과 상기 제 2 산화물 층을 통과하여 상기 제 2 재료의 층까지 제 1 개구를 예치하는 단계를 포함하는, 상이한 재료들의 펀들을 형성하는 방법.

### 청구항 10

제 9 항에 있어서,

상기 기판의 제 3 부분에서 상기 제 1 재료의 층, 상기 제 2 산화물 층, 상기 제 2 재료의 층 및 상기 제 1 산화물 층을 통과하여 상기 제 3 재료의 층까지 제 2 개구를 예치하는 단계 및 상기 제 1 재료의 층의 상기 상부 표면의 레벨까지 상기 제 2 개구에 상기 제 3 재료의 바디를 형성하는 단계 및 상기 제 3 재료의 펀들을 상기 제 3 부분에 형성하는 단계를 포함하는, 상이한 재료들의 펀들을 형성하는 방법.

### 청구항 11

제 9 항에 있어서,

상기 기판의 제 1 부분을 마스킹하는 단계는 상기 기판의 제 3 부분을 노출된 상태로 두는 단계를 포함하고, 그리고 상기 제 1 재료의 층, 상기 제 2 산화물 층, 상기 제 2 재료의 층 및 상기 제 1 산화물 층을 통과하여 상기 제 3 재료의 층까지 상기 기판의 상기 제 3 부분에서 제 2 개구를 예치하는 단계 및 상기 제 1 재료의 층의 상기 상부 표면의 레벨까지 상기 제 2 개구에 상기 제 3 재료의 바디를 형성하는 단계 및 상기 제 3 재료의 펀들을 상기 제 3 부분에서 상기 제 3 재료의 펀들을 형성하는 단계를 포함하는, 상이한 재료들의 펀들을 형성하는 방법.

### 청구항 12

적어도 2개의 상이한 재료들로 형성된 펀들을 갖는 finFET 디바이스로서,

상부 표면을 갖는 제 1 층을 갖는 기판;

상기 제 1 층의 상부 표면 상의 제 1 산화물 층 –상기 제 1 산화물 층은 상부 표면을 갖고, 상기 제 1 산화물 층은 상기 제 1 층의 제 1 부분을 커버하고 상기 제 1 층의 제 2 부분은 커버하지 않음–;

상기 제 1 층의 상기 제 2 부분에 있는 재료의 제 1 바디 –상기 재료의 제 1 바디는 상기 제 1 산화물 층의 상기 상부 표면과 동일 평면에 있는 상부 표면을 가짐–;

상기 제 1 산화물 층 상의 제 1 재료로 형성된 펀들의 제 1 세트; 및

상기 재료의 제 1 바디 상에 제 2 재료로 형성된 펀들의 제 2 세트를 포함하는, 적어도 2개의 상이한 재료들로 형성된 펀들을 갖는 finFET 디바이스.

### 청구항 13

제 12 항에 있어서,

상기 제 1 층은 상기 제 2 재료를 포함하는, 적어도 2개의 상이한 재료들로 형성된 펀들을 갖는 finFET 디바이스.

### 청구항 14

제 12 항에 있어서,

상기 기판은 상기 제 1 재료 및 상기 제 2 재료와 상이한 제 3 재료를 포함하는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

### 청구항 15

제 14 항에 있어서,

상기 제 2 재료는 게르마늄을 포함하는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

### 청구항 16

제 14 항에 있어서,

상기 기판은 상기 제 2 층과 상기 제 2 층 상의 제 2 산화물 층을 포함하고, 상기 제 1 층은 상기 제 2 산화물 층 상에 위치되고, 그리고 상기 제 2 층으로부터 상기 제 2 산화물 층, 상기 제 1 층 및 제 1 산화물 층을 통과하여 확장되는 재료의 제 2 바디 – 상기 재료의 제 2 바디는 상기 제 1 산화물 층의 상기 상부 표면과 동일 평면에 있는 상부 표면을 갖고, 상기 재료의 제 2 바디와 상기 제 2 층은 제 3 재료로 형성됨 –, 및 상기 재료의 제 2 바디 상에 상기 제 3 재료로 형성되는 핀들의 제 3 세트를 포함하는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

### 청구항 17

제 16 항에 있어서,

상기 제 2 재료는 게르마늄을 포함하고 상기 제 3 재료는 실리콘을 포함하는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

### 청구항 18

제 12 항에 있어서,

적어도 하나의 반도체 다이에 통합되는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

### 청구항 19

제 12 항의 상기 finFET 디바이스가 통합되는, 셋톱 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛, 및 컴퓨터로 이루어진 그룹으로부터 선택된 디바이스.

### 청구항 20

상이한 재료들로 이루어진 핀들을 형성하는 방법으로서,

제 1 재료의 층, 상기 제 1 재료의 층 상의 제 1 산화물 층, 상기 제 1 산화물 층 상의 제 2 재료의 층, 상기 제 2 재료의 층 상의 제 2 산화물 층 및 상기 제 2 산화물 층 상의 제 3 재료의 층을 포함하는 기판을 제공하는 단계 – 상기 제 3 재료의 층은 상기 기판의 상부 표면을 형성하는 상부 표면을 가짐 –;

상기 제 3 재료의 층을 통과하고 상기 제 2 산화물 층을 통과하여 상기 제 2 재료의 층까지 상기 기판 상의 제 1 위치에서 제 1 개구를 에칭하는 단계;

상기 기판의 상기 상부 표면의 레벨까지 상기 제 1 개구에 상기 제 2 재료의 바디를 형성하는 단계;

상기 제 3 재료의 층, 상기 제 2 산화물 층, 상기 제 2 재료의 층 및 상기 제 1 산화물 층을 통과하여 상기 제 1 재료의 층까지 상기 기판 상의 제 2 위치에서 제 2 개구를 에칭하는 단계;

상기 기판의 상기 상부 표면의 레벨까지 상기 제 2 개구에 상기 제 1 재료의 바디를 형성하는 단계; 및

상기 제 1 위치에서 상기 제 2 재료를 포함하는 제 1 핀들을 형성하고, 상기 제 2 위치에서 상기 제 1 재료를 포함하는 제 2 핀들을 형성하고, 그리고 제 3 위치에서 상기 제 3 재료를 포함하는 제 3 핀들을 형성하는 단계를 포함하는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 21**

제 20 항에 있어서,

상기 제 1 핀들, 상기 제 2 핀들 및 상기 제 3 핀들은 상기 제 2 산화물 층의 상부 표면의 평면으로부터 확장되는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 22**

제 20 항에 있어서,

상기 제 1 핀들의 높이는 상기 제 2 핀들의 높이와 실질적으로 동일하고 상기 제 2 핀들의 높이는 상기 제 3 핀들의 높이와 실질적으로 동일한, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 23**

제 20 항에 있어서,

상기 제 1 재료는 실리콘을 포함하고, 상기 제 2 재료는 게르마늄을 포함하고 상기 제 3 재료는 III-V족 재료를 포함하는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 24**

상이한 재료들로 이루어진 핀들을 형성하는 방법으로서,

상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하기 위한 단계들;

상기 기판의 제 2 부분을 노출시킨 상태로 마스크를 형성시키기 위해 상기 기판의 제 1 부분을 마스킹하기 위한 단계들;

상기 제 2 부분에 제 1 개구를 에칭하기 위한 단계들;

상기 제 1 재료의 층의 상기 상부 표면의 레벨까지 상기 제 1 개구에 제 2 재료의 바디를 형성하기 위한 단계들;

상기 마스크를 제거하기 위한 단계들; 및

상기 제 1 부분에 상기 제 1 재료의 핀들을 형성하고 상기 제 2 부분에 상기 제 2 재료의 핀들을 형성하기 위한 단계들을 포함하는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 25**

제 24 항에 있어서,

상기 기판의 제 1 부분을 마스킹하기 위한 단계들은 상기 기판의 제 3 부분을 노출된 상태로 두기 위한 단계들을 포함하고, 그리고 상기 제 1 재료의 층, 상기 제 2 산화물 층, 상기 제 2 재료의 층 및 상기 제 1 산화물 층을 통과하여 상기 제 3 재료의 층까지 상기 기판의 상기 제 3 부분에서 제 2 개구를 에칭하기 위한 단계들, 상기 제 1 재료의 층의 상기 상부 표면의 레벨까지 상기 제 2 개구에 상기 제 3 재료의 바디를 형성하기 위한 단계들 및 상기 제 3 부분에서 상기 제 3 재료의 핀들을 형성하기 위한 단계들을 포함하는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

**청구항 26**

적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스로서,

상부 표면을 갖는 제 1 층을 갖는 기판;

상기 제 1 층의 상부 표면 상의 제 1 산화물 층 -상기 제 1 산화물 층은 상부 표면을 갖고, 상기 제 1 산화물 층은 상기 제 1 층의 제 1 부분을 커버하고 상기 제 1 층의 제 2 부분은 커버하지 않음-;

상기 제 1 층의 상기 제 2 부분에 있는 재료의 제 1 바디 -상기 재료의 제 1 바디는 상기 제 1 산화물 층의 상기 상부 표면과 동일 평면에 있는 상부 표면을 가짐-;

반도체 디바이스의 제 1 부분을 형성하기 위한 제 1 핀 수단; 및

반도체 디바이스의 제 2 부분을 형성하기 위한 제 2 핀 수단을 포함하는, 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스.

## 청구항 27

상이한 재료들로 이루어진 핀들을 형성하는 방법으로서,

제 1 재료의 층, 상기 제 1 재료의 층 상의 제 1 산화물 층, 상기 제 1 산화물 층 상의 제 2 재료의 층, 상기 제 2 재료의 층 상의 제 2 산화물 층 및 상기 제 2 산화물 층 상의 제 3 재료의 층을 포함하는 기판을 제공하기 위한 단계들 — 상기 제 3 재료의 층은 기판의 상부 표면을 형성하는 상부 표면을 가짐—;

상기 제 3 재료의 층을 통과하고 상기 제 2 산화물 층을 통과하여 상기 제 2 재료의 층까지 상기 기판 상의 제 1 위치에서 제 1 개구를 에칭하기 위한 단계들;

상기 기판의 상기 상부 표면의 레벨까지 상기 제 1 개구에 상기 제 2 재료의 바디를 형성하기 위한 단계들;

상기 제 3 재료의 층, 상기 제 2 산화물 층, 상기 제 2 재료의 층 및 상기 제 1 산화물 층을 통과하여 상기 제 1 재료의 층까지 상기 기판 상의 제 2 위치에서 제 2 개구를 에칭하기 위한 단계들;

상기 기판의 상기 상부 표면의 레벨까지 상기 제 2 개구에 상기 제 1 재료의 바디를 형성하기 위한 단계들; 및

상기 제 1 위치에서 상기 제 2 재료를 포함하는 제 1 핀들을 형성하기 위한 단계들, 상기 제 2 위치에서 상기 제 1 재료를 포함하는 제 2 핀들을 형성하기 위한 단계들, 및 제 3 위치에서 상기 제 3 재료를 포함하는 제 3 핀들을 형성하기 위한 단계들을 포함하는, 상이한 재료들로 이루어진 핀들을 형성하는 방법.

## 발명의 설명

### 기술 분야

[0001] 본 개시물은 기판 상의 상이한 재료들로부터 핀들을 형성하는 방법 및 상이한 재료들로부터 형성된 핀들을 구비한 기판에 관한 것이며, 보다 구체적으로, 다중 층 기판 상에 핀들을 형성하는 방법—핀들 중 일부는 기판의 제 1 층의 재료로 형성되고, 핀들 중 일부는 기판의 제 2 층의 재료로 형성됨—과, 이러한 핀들을 구비하는 기판에 관한 것이다.

### 배경 기술

[0002] finFET 디바이스들은 finFET 트랜지스터의 채널들을 형성하기 위해 사용될 수 있는 복수의 핀들을 포함한다. 때때로, 상이한 재료들로부터 핀들을 형성하는 것이 바람직하다. 예를 들어, III족-V족 재료(예를 들어, 인듐 비소화물 또는 인듐 갈륨 비소화물)로 이루어진 일부 핀들, 게르마늄으로 이루어진 핀들의 다른 그룹, 및 선택적으로, 실리콘 핀들의 제 3 그룹을 형성하는 것이 바람직할 수 있다. 따라서, 상이한 재료들로부터 핀들을 형성하기 위해서, 이전에는, 상부에 주어진 타입의 재료를 성장시킬 적합한 기판을 제공하기 위해 실리콘 층 상에 핀 재료의 특정 층을 위한 적절한 베퍼 층을 형성할 필요가 있었다. 이는, 핀들이 모두 동일한 재료로부터 형성되는 경우에 상대적으로 용이하다. 그러나, 2개 또는 3개의 상이한 재료들로부터 핀들을 형성하는 것은 2개 또는 3개의 베퍼 층들을 요구하고, 이는, 기판 제조 프로세스를 복잡하게 한다. 따라서, 효율적인 방식으로 상이한 재료들로부터 핀들을 제조하는 것을 바람직할 것이다.

### 발명의 내용

[0003] 예시적인 실시예는 상이한 재료들로 이루어진 핀들을 형성하는 방법을 포함한다. 방법은 상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하는 단계, 기판의 제 2 부분을 노출시킨 상태로 마스크를 형성시키기 위해 기판의 제 1 부분을 마스킹하는 단계 및 제 2 부분에 제 1 개구를 에칭하는 단계를 포함한다. 방법은 또한 제 1 재료의 층의 상부 표면의 레벨까지 제 1 개구에 제 2 재료의 바디를 형성하는 단계, 마스크를 제거하는 단계 및 제 1 부분에 제 1 재료의 핀들을 형성하고 제 2 부분에 제 2 재료의 핀들을 형성하는 단계를 포함한다.

- [0004] 다른 실시예는 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스를 포함한다. 디바이스는 상부 표면을 갖는 제 1 층 및 제 1 층의 상부 표면 상의 제 1 산화물 층을 갖는 기판을 포함한다. 제 1 산화물 층은 상부 표면을 갖고, 제 1 산화물 층은 제 1 층의 제 1 부분을 커버하고 제 1 층의 제 2 부분은 커버하지 않는다. 재료의 제 1 바디가 제 1 층의 제 2 부분에서 형성되고, 재료의 제 1 바디는 제 1 산화물 층의 상부 표면과 동일 평면에 있는 상부 표면을 갖는다. 핀들의 제 1 세트가 제 1 산화물 층 상의 제 1 재료로 형성되고, 제 2 재료로 형성된 핀들의 제 2 세트가 재료의 제 1 바디 상에 형성된다.
- [0005] 추가적인 실시예는 상이한 재료들로 이루어진 핀들을 형성하는 방법을 포함한다. 방법은 제 1 재료의 층, 제 1 재료의 층 상의 제 1 산화물 층, 제 1 산화물 층 상의 제 2 재료의 층, 제 2 재료의 층 상의 제 2 산화물 층 및 제 2 산화물 층 상의 제 3 재료의 층을 포함하는 기판을 제공하는 단계를 포함한다. 기판은 또한 제 2 산화물 층 상의 제 3 재료의 층을 포함하고, 제 3 재료의 층은 기판의 상부 표면을 형성하는 상부 표면을 갖는다. 방법은 또한, 제 3 재료의 층을 통과하고 제 2 산화물 층을 통과하여 제 2 재료의 층까지 기판 상의 제 1 위치에서 제 1 개구를 에칭하는 단계 및 기판의 상부 표면의 레벨까지 제 1 개구에 제 2 재료의 바디를 형성하는 단계를 포함한다. 방법은 또한 제 3 재료의 층, 제 2 산화물 층, 제 2 재료의 층 및 제 1 산화물 층을 통과하여 제 1 재료의 층까지 기판 상의 제 2 위치에서 제 2 개구를 에칭하는 단계 및 기판의 상부 표면의 레벨까지 제 2 개구에 제 1 재료의 바디를 형성하는 단계를 포함한다. 이외에도, 방법은 제 1 위치에서 제 2 재료를 포함하는 제 1 핀들을 형성하고, 제 2 위치에서 제 1 재료를 포함하는 제 2 핀들을 형성하고, 제 3 위치에서 제 3 재료를 포함하는 제 3 핀들을 형성하는 단계를 포함한다.
- [0006] 다른 실시예는 상이한 재료들로 이루어진 핀들을 형성하는 방법을 포함한다. 방법은 상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하기 위한 단계들, 기판의 제 2 부분을 노출시킨 상태로 마스크를 형성시키기 위해 기판의 제 1 부분을 마스킹하기 위한 단계들, 및 제 2 부분에 제 1 개구를 에칭하기 위한 단계들을 포함한다. 방법은 또한, 제 1 재료의 층의 상부 표면의 레벨까지 개구에 제 2 재료의 바디를 형성하기 위한 단계들, 마스크를 제거하기 위한 단계들, 및 제 1 부분에 제 1 재료의 핀들을 형성하고 제 2 부분에 제 2 재료의 핀들을 형성하기 위한 단계들을 포함한다.
- [0007] 추가적인 실시예는 적어도 2개의 상이한 재료들로 형성된 핀들을 갖는 finFET 디바이스를 포함한다. 디바이스는 상부 표면을 갖는 제 1 층을 갖는 기판 및 제 1 층의 상부 표면 상의 제 1 산화물 층을 포함하고, 제 1 산화물 층은 상부 표면을 갖는다. 제 1 산화물 층이 제 1 층의 제 1 부분을 커버하고 제 1 층의 제 2 부분은 커버하지 않는다. 재료의 제 1 바디가 제 1 층의 제 2 부분에서 형성되고, 재료의 제 1 바디는 제 1 산화물 층의 상부 표면과 동일 평면에 있는 상부 표면을 갖는다. 반도체 디바이스의 제 1 부분을 형성하기 위한 제 1 핀 수단이 제공되고, 반도체 디바이스의 제 2 부분을 형성하기 위한 제 2 핀 수단이 제공된다.
- [0008] 다른 실시예는 상이한 재료들로 이루어진 핀들을 형성하는 방법을 포함한다. 방법은 제 1 재료의 층, 제 1 재료의 층 상의 제 1 산화물 층, 제 1 산화물 층 상의 제 2 재료의 층, 제 2 재료의 층 상의 제 2 산화물 층 및 제 2 산화물 층 상의 제 3 재료의 층을 포함하는 기판을 제공하기 위한 단계들을 포함한다. 제 3 재료의 층은 기판의 상부 표면을 형성하는 상부 표면을 갖는다. 방법은 또한 제 3 재료의 층을 통과하고 제 2 산화물 층을 통과하여 제 2 재료의 층까지 기판 상의 제 1 위치에서 제 1 개구를 에칭하기 위한 단계들 및 기판의 상부 표면의 레벨까지 제 1 개구에 제 2 재료의 바디를 형성하기 위한 단계들을 포함한다. 방법은 또한 제 3 재료의 층, 제 2 산화물 층, 제 2 재료의 층 및 제 1 산화물 층을 통과하여 제 1 재료의 층까지 기판 상의 제 2 위치에서 제 2 개구를 에칭하기 위한 단계들 및 기판의 상부 표면의 레벨까지 제 2 개구에 제 1 재료의 바디를 형성하기 위한 단계들을 포함한다. 이외에도, 방법은 제 1 위치에서 제 2 재료를 포함하는 제 1 핀들을 형성하기 위한 단계들, 제 2 위치에서 제 1 재료를 포함하는 제 2 핀들을 형성하기 위한 단계들, 및 제 3 위치에서 제 3 재료를 포함하는 제 3 핀들을 형성하기 위한 단계들을 포함한다.
- [0009] 첨부된 도면들은 본 발명의 실시예들의 설명을 보조하기 위해 제공되고 실시예들을 예시하기 위해서 제공될 뿐 이를 제한하지 않는다.

### 도면의 간단한 설명

- [0010] 도 1 내지 도 8은 제 1 실시예에 따른 상이한 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도(elevational view)이다.
- [0011] 도 9 내지 도 15는 제 2 실시예에 따른 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도이다.

[0012]도 16 내지 도 23은 제 3 실시예에 따른 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도이다.

[0013]도 24 내지 도 31은 제 4 실시예에 따른 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도이다.

[0014]도 32 내지 도 45는 제 5 실시예에 따른 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도이다.

[0045]도 46 내지 도 52는 제 6 실시예에 따른 프로세싱 스테이지들 동안의 웨이퍼를 개략적으로 도시하는 입면도이다.

[0016]도 53은 일 실시예에 따른 방법을 도시하는 흐름도이다.

[0017]도 54는 다른 실시예에 따른 방법을 도시하는 흐름도이다.

[0018]도 55는 본 개시물의 실시예들이 사용될 수 있는 예시적인 무선 통신 시스템의 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

[0011]

[0019]본 발명의 양상들은 본 발명의 특정 실시예들과 관련된 다음 설명과 관련 도면들에 개시된다. 대안적인 실시예들은 본 발명의 범위로부터 벗어나지 않고 고안될 수 있다. 추가로, 본 발명의 잘 알려진 엘리먼트들은, 본 발명의 관련 상세들을 모호하게 하지 않도록 상세하게 설명되지 않거나 또는 생략될 것이다.

[0012]

[0020]단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는"을 의미하도록 본원에 이용된다. "예시적인"으로서 본원에 설명된 어떠한 구현도 반드시 다른 실시예들에 비해 선호되거나 또는 유리한 것으로서 해석되지 않는다. 유사하게, 용어 "본 발명의 실시예들"은, 본 발명의 모든 실시예들이 논의된 특징, 이점, 또는 동작 모드를 포함하는 것을 요구하지 않는다.

[0013]

[0021]본원에 사용된 용어는 특정 실시예들만을 설명하기 위한 것이고 본 발명의 실시예들을 제한하려는 것이 아니다. 본원에 사용된 바와 같이, 단수 표현들은, 문맥이 명시적으로 다르게 나타내지 않는다면 복수 형태들도 마찬가지로 포함하도록 의도된다. 용어들 "구비한다", "구비하는", "포함한다" 및/또는 "포함하는"은, 본원에서 사용될 경우, 언급된 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 지정하지만, 하나 이상의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들 및/또는 이들의 그룹들의 존재 또는 추가를 배제하지 않는다는 것을 추가로 이해할 것이다.

[0014]

[0022]추가로, 많은 실시예들이, 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관하여 설명되었다. 본원에 설명된 다양한 동작들은, 특정 회로들(예를 들어, ASIC(application specific integrated circuit)들)에 의해, 하나 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이 둘의 결합에 의해 수행될 수 있다는 것을 인식할 것이다. 추가적으로, 본원에 설명된 동작들의 이러한 시퀀스는, 실행 시 연관된 프로세서로 하여금 본원에 설명된 기능을 수행하게 하는 컴퓨터 명령들의 대응하는 세트를 내부에 저장하고 있는 임의의 형태의 컴퓨터 판독가능 저장 매체 내에서 전적으로 구현되는 것으로 간주될 수 있다. 이와 같이, 본 발명의 다양한 양상들이 다수의 상이한 형태들로 구현될 수 있고, 이를 모두는 청구된 주체물의 범위 내에 있는 것으로 여겨진다. 이외에도, 본원에 설명된 실시예들 각각에 대해서, 임의의 이러한 실시예들의 대응하는 형태는, 예를 들어, 설명된 동작을 수행"하도록 구성된 로직"으로서 본원에서 설명될 수 있다.

[0015]

[0023]도 1은 상부 표면(104)을 구비한 실리콘 층(102)을 포함하는 기판(100)이다. 도 2에서, 상부 표면(202)을 갖는 질화물 하드 마스크(200)가, 기판(100)의 제 2 부분(206)은 마스킹하지 않은 상태로 기판(100)의 제 1 부분(204)에 제공되었다. 도 3에서, 애칭 프로세스는 기판의 마스킹되지 않은 제 2 부분(206)에서 기판(100)의 개구(300)를 형성했다. 도 4는, 질화물 하드마스크(200)의 상부 표면(202) 위에 그리고 개구(300) 내에 기판(100) 상에서 성장되거나 그렇지 않으면 형성되는 실리콘-게르마늄("SiGe") 층(400)을 도시한다. 유리하게, SiGe는 별개의 벼퍼 층을 형성하지 않고 실리콘 상에 바로 성장될 수 있다. 도 5에서, SiGe층(400)이 질화물 하드마스크(200)의 상부 표면(202)의 레벨에 이르게 화학적으로 그리고/또는 기계적으로 제거되었다. SiGe를 산화시키는 것은 이것을 응축시키고, 다수의 산화물 프로세스들은 SiGe 층(400)의 높이를, SiGe 층(400)의 상부 표면(402)이 도 6에 도시된 바와 같이 실리콘 층(102)의 상부 표면(104)과 같은 평면이 될 때까지 감소시키고, 질화물 하드마스크(200)는 도 7에 도시된 바와 같이 제거된다. 이 결과는, 내부에 SiGe의 바디(400)가 포함되는 실리콘 층(102)을 포함하는 구조(700)이다. 복수의 펀들(800)이 도 8에 도시된 바와 같은 종래의 방식으로

구조(700)에 형성된다. 핀들의 제 1 서브셋(802)이 실리콘 층(102)으로 형성되고, 핀들의 제 2 서브셋(804)이 SiGe의 바디(400)로부터 형성된다. finFET 디바이스(미도시)가, 예를 들어, finFET 디바이스가 실리콘으로 형성된 일부 핀들과 게르마늄으로 형성된 다른 핀들을 구비하게 될 때 8의 디바이스로부터의 반도체 다이 상에 형성될 수 있다.

[0016] 제 2 실시예에 따른 프로세스가 도 9 내지 도 15에 도시된다. 도 9는, 상부 표면(904)을 갖는 실리콘 층(902), 실리콘 층(902)의 상부 표면(904) 상의 하부 산화물층(906) 및 III-V족 재료, 이를 테면, 기판(900)이 통상적으로 "절연체 상의 III-V족"으로 지칭될 수 있는 인듐 비소화물 또는 인듐 갈륨 비소화물로 형성된 상부 층(908)을 포함하는 기판(900)을 도시한다. 상부 층(908)은 상부 표면(910)을 갖는다. 도 10에서, 상부 표면(1002)을 갖는 질화물 하드마스크(1000)가, 상부 층(908)의 제 2 부분(1006)은 노출된 상태로, 상부 층(908)의 상부 표면(910)의 제 1 부분(1004)에 제공된다. 도 11에 도시된 바와 같이, 상부 층(908)과 하부 산화물 층(906)이 에칭되어 실리콘 층(902)의 상부 표면(904)의 레벨에 이르게 개구(1100)를 형성한다. 도 12에서, SiGe 층(1200)이, 질화물 하드마스크(1000)의 개구(1100)에 그리고 상부 표면(1002) 상에 성장되거나 그렇지 않으면 형성된다. 제 1 실시예에서와 같이, SiGe 층(1200)이 버퍼 층을 사용하지 않고 실리콘 층(902) 상에 직접 성장될 수 있다. SiGe 층(1200)은 개구(1100) 안에 또는 개구(1100) 위에 있지 않은 그 부분들을 제거하기 위해 기계적으로 그리고/또는 화학적으로 개질되고, SiGe 층(1200)이 이후 산화되어 그의 두께를, 도 13에 도시된 바와 같이 상부 층(908)의 상부 표면(910)의 레벨까지 감소시킨다. 기판(1400)이 상부 층(908)에 SiGe의 바디(1200)를 갖는 III-V족 재료의 상부 층(908)을 포함한 상태로 도 14에 도시된 바와 같이 질화물 하드마스크(1000)가 제거된다. 도 15에서, 핀들(1500)은, III-V족 재료로부터 형성된 핀들(1502)의 제 1 서브셋과 SiGe로부터 형성된 핀들(1504)의 제 2 서브셋을 포함하는 기판(1400)으로부터 형성된다. finFET 디바이스(미도시)가 도 15의 디바이스로부터 형성될 수 있으며, finFET 디바이스는 III-V족 재료로 형성된 일부 핀들과 SiGe로 형성된 다른 핀들을 가질 것이다.

[0017] 제 3 실시예에 따른 프로세스가 도 16 내지 도 23에 도시된다. 도 16에서, 상부 표면(1604)을 갖는 게르마늄 하부 층(1602)과 하부 층(1602)의 상부 표면(1604) 상의 산화물 층(1606)을 포함하는 기판(1600)이 제공된다. III-V족 상부 층(1608)은 산화물 층(1606) 상에 형성되며 상부 표면(1610)을 갖는다. 도 17에서, 제 2 부분(1706)은 노출된 상태로 상부 표면(1702)을 갖는 질화물 하드마스크(1700)가 상부 층(1608)의 제 1 부분(1704)에 제공된다. 도 18에서, 상부 층(1608)과 산화물 층(1606)이 게르마늄 하부 층(1602)의 상부 표면(1604)에 이르게 에칭되어 개구(1800)를 형성한다. 도 19는, 게르마늄의 바디(1900)가 질화물 하드마스크(1700)의 상부 표면(1702) 상에 그리고 개구(1800)에 비선택적으로 에피택셜 방식으로 증착되는 것을 도시한다. 하부 층(1602)과 바디(1900)가 둘 모두 게르마늄이기 때문에, SiGe를 사용할 필요가 없고, 대신에 바디(1900)의 게르마늄이 하부 층(1602)의 상부 표면(1604) 상에 직접 성장될 수 있다. 도 20은, 화학 기계적 연마 프로세스가 개구(1800) 외부에 있었던 게르마늄의 바디(1900)의 부분을 제거한 후의 기판(2000)을 도시하고, 도 21에서, 개구(1800)의 게르마늄의 바디(1900)가 산화되고 에칭되어 그 두께가 상부 층(1608)의 상부 표면(1610)의 레벨까지 감소한다. 질화물 하드마스크(1700)가 도 22에서 제거되어, 상부 층(1608)의 III-V족 재료로 둘러싸인 게르마늄의 바디(1900)를 갖는 기판(2200)이 생성된다. 이 기판(2200)이 프로세싱되어 도 23에서 핀들(2300)을 형성하고, 핀들 중 제 1 서브셋(2302)은 III-V족 재료로 형성되고 핀들 중 제 2 서브셋(2304)은 바디(1900)로부터의 게르마늄으로 형성된다. finFET 디바이스(미도시)는 도 23의 디바이스로부터 형성될 수 있고, finFET 디바이스는 III-V족 재료로 형성된 일부 핀들과 게르마늄으로 형성된 다른 핀들을 가질 것이다.

[0026] 제 4 실시예에 따른 프로세스가 도 24 내지 도 31에 도시된다. 도 24는, 상부 표면(2404)을 갖는 실리콘 층(2402), 제 1 산화물 층(2406), 제 1 산화물 층(2406) 상의 상부 표면(2410)을 갖는 게르마늄 층(2408), 상부 표면(2410) 상의 제 2 산화물 층(2412), 및 상부 표면(2416)을 갖는 III-V족 상부 계층(2414)을 갖는 기판(2400)을 도시한다. 도 25에서, 상부 층(2414)의 제 2 부분(2506)은 노출된 상태로 상부 표면(2502)을 갖는 질화물 하드마스크(2500)가 상부 층(2414)의 제 1 부분(2504)에 제공된다. 도 26에서, 상부 층(2414) 및 제 2 산화물 층(2412)이 제 2 부분(2506)에서 게르마늄 층(2408)의 상부 표면(2410)에 이르게 에칭되어 개구(2600)를 형성한다. 도 27에 도시된 바와 같이, 게르마늄의 바디(2700)가 개구(2600) 밖으로 그리고 질화물 하드마스크(2500)의 상부 표면(2502) 상으로 확장되도록 개구(2600)에서 성장된다. 게르마늄의 바디(2700)가 게르마늄 층(2408) 상에서 성장되기 때문에, 별개의 버퍼 층이 요구되지 않는다. 이후, 도 28에 도시된 바와 같이, 질화물 하드마스크(2500)의 상부 표면(2502) 상의 바디(2700)의 부분이 화학적으로 그리고/또는 기계적으로 제거되고, 도 29에서, 게르마늄의 바디(2700)가 산화되고 에칭되어 그의 두께가 상부 층(2414)의 상부 표면(2416)의 레벨까지 감소한다. 도 30에서, 질화물 하드마스크(2500)가 제거되고 기판(3000)은 내부에 게르마늄 바디(2700)를 갖는 III-V족 재료의 상부 층(2414)을 포함한다. 기판(3000)은 도 31에 도시된 핀들(3100)을 형성하는 종래의

방식으로 프로세싱되며, 핀들 중 제 1 서브셋(3102)은 III-V 족 재료로 형성되고 핀들 중 제 2 서브셋(3104)은 게르마늄의 바디(2700)로부터 게르마늄으로 형성된다. finFET 디바이스(미도시)는 도 31의 디바이스로부터 형성될 수 있고, finFET 디바이스는 III-V 족 재료로 형성된 일부 핀들과 게르마늄으로 형성된 다른 핀들을 가질 것이다.

[0019] [0027] 앞의 설명으로부터, 도 24 내지 도 31의 실시예는 도 16 내지 도 23의 실시예와 다소 유사하다는 것을 인식할 것이다. 그러나, 게르마늄 층(2408)을 실리콘 기판(2400)에 제공하는 것은, 기판으로 하여금, 상부에 게르마늄 바디(2700)를 성장시키는 게르마늄 층(2408)을 여전히 제공하면서 실리콘을 프로세싱하기 위한 종래의 장비로 다루어질 수 있게 한다. 도 16 내지 도 23의 기판(1600)은 도 24 내지 도 31의 방법과 유사한 방식으로 핀들을 형성하기 위해 사용될 수 있지만, 이것이 게르마늄 하부 층(1602)을 포함하기 때문에, 기판(1600)은, 재료가 통상적으로 실리콘보다 더 손상되기 쉽고 취급하기 더 곤란한 게르마늄을 취급하도록 특별히 구성된 장비에 의해 프로세싱되어야 한다.

[0020] [0028] 도 32 내지 도 45는 제 5 실시예에 따른 프로세스를 도시하며, 여기서 3개의 상이한 재료들의 핀들이 기판 상에 형성된다. 도 32는 상부 표면(3204)을 갖는 실리콘 층(3202), 제 1 산화물 층(3206), 제 1 산화물 층(3206) 상의 상부 표면(3210)을 갖는 게르마늄 층(3208), 상부 표면(3210) 상의 제 2 산화물 층(3212), 및 상부 표면(3216)을 갖는 III-V 족 상부 층(3214)을 갖는 기판(3200)을 도시한다. 도 33에서, 상부 층(3214)의 제 2 부분(3306)을 노출된 상태로 상부 표면(3302)을 갖는 질화물 하드마스크(3300)가 상부 층(3214)의 제 1 부분(3304)에 제공된다. 도 34에서, 상부 층(3214) 및 제 2 산화물 층(3212)이 제 2 부분(3306)에서 게르마늄 층(3208)의 상부 표면(3210)에 이르게 에칭되어 개구(3400)를 형성한다. 도 35는, 게르마늄의 바디(3500)가 개구(3400) 밖으로 그리고 질화물 하드마스크(3300)의 상부 표면(3302) 상으로 확장되도록 개구(3400)에서 성장되는 것을 도시한다. 게르마늄의 바디(3500)가 게르마늄 층(3208) 상에서 성장되기 때문에, 별개의 벼파 층이 요구되지 않는다. 이후, 도 36에 도시된 바와 같이, 질화물 하드마스크(3300)의 상부 표면(3302) 상의 바디(3500)의 부분이 화학적으로 그리고/또는 기계적으로 제거되고, 도 37에서, 게르마늄의 바디(3500)가 산화되고 에칭되어 그의 두께가 상부 층(3214)의 상부 표면(3216)의 레벨까지 감소한다. 도 38에서, 질화물 하드마스크(3300)가 제거되고 기판은 내부에 게르마늄 바디(3500)를 갖는 III-V 족 재료의 상부 층(3214)을 포함하며, 기판은 III-V 족 재료의 상부 층(3214)의 상부를 포함하는 상부 표면을 구비한다.

[0021] [0029] 이 점에서, 제 5 실시예의 프로세스가 제 4 실시예의 프로세스와 유사하다. 그러나, 내부에 게르마늄 바디(3500)를 갖는 기판이 형성된 후, 본 실시예에서, 도 39에 도시된 바와 같이, 상부 표면(3902)을 갖는 제 2 질화물 하드 마스크(3900)가 기판의 상부 표면(3802) 상에 형성되며, 제 2 부분(3306)로부터 이격되는 위치에 제 3 부분(3904)이 노출된 상태로 있다. 도 40에 도시된 바와 같이, 상부 층(3214), 제 2 산화물 층(3212), 게르마늄 층(3208) 및 제 1 산화물 층(3206)이 에칭되어, 실리콘 층(3202)의 상부 표면(3204)으로 확장되는 개구(4000)를 형성하고, 도 41에서, 실리콘의 바디(4100)가 실리콘 층(3202)의 상부 표면(3204) 상에 형성되어, 실리콘의 바디(4100)는, 이것이 상부 층(3214)의 상부 표면(3216)의 레벨이 될 때까지, 도 43에 도시된 바와 같이, 질화물 하드마스크의 상부 표면(3902)로부터 화학적으로 그리고/또는 기계적으로 제거되고 산화된다. 도 44에 도시된 바와 같이, 기판(4400)이 III-V 족 재료의 상부 층(3214)에 게르마늄의 제 1 지역(3500)과 실리콘의 제 2 지역(4100)을 갖는 상태로, 제 2 질화물 하드마스크(3900)가 제거된다. 이 기판(4400)이 도 45에 도시된 바와 같이 복수의 핀들(4500)을 형성하기 위해 종래의 방식으로 프로세싱된다. 핀들(4500)의 제 1 서브셋(4502)이 III-V 족 재료를 포함하고, 핀들(4500)의 제 2 서브셋(4504)이 게르마늄 바디(3500)로부터의 게르마늄을 포함하고, 핀들(4500)의 제 3 서브셋(4506)이 실리콘의 제 2 지역(4100)으로부터의 실리콘을 포함한다. 기존의 게르마늄 층(3208) 상에서 게르마늄을 성장시키는 것과 실리콘 층(3202) 상에서 실리콘을 성장시키는 것은, 상이한 재료들 각각을 위한 벼파 층을 형성할 필요 없이 finFET(미도시)에 사용하기 위한 3가지 상이한 타입의 핀들의 형성을 가능하게 한다.

[0022] [0030] 도 46 내지 도 51은 제 6 실시예에 따른 방법을 도시한다. 이 실시예에서, 도 46을 참고하면, 실리콘 기판(4600)은, 상부 표면(4604)을 갖는 실리콘 층(4602), 상부 표면(4604) 상의 제 1 산화물 층(4606), 제 1 산화물 층(4606) 상에 있고 상부 표면(4610)을 갖는 게르마늄 층(4608), 게르마늄 층(4608)의 상부 표면(4610) 상의 제 2 산화물 층(4612)을 갖는다. III-V 족 재료를 포함하고 상부 표면(4616)을 갖는 상부 층(4614)이 제 2 산화물 층(4612) 상에 형성된다. 상부 표면(4620)을 갖는 질화물 하드마스크(4618)가 상부 층(4614)의 상부 표면(4616) 상에 형성된다. 이 구조는 도 33의 구조와 전반적으로 유사하다. 그러나, 이전 실시예에서, 실리콘의 핀들을 형성하기 위한 위치가 게르마늄의 핀들을 형성하기 위한 위치와 무관하게 결정되었다. 본 실시예는,

핀들의 이러한 2개의 세트들의 상대적인 위치들의 보다 정확한 제어를 가능하게 한다. 이를 위해, 상부 마스크 층(4622)이 질화물 하드마스크(4618)의 상부 표면(4620)에 제공되는데, 게르마늄 핀들을 형성하기 위한 위치에 제 1 개구(4624)가 있고 실리콘 핀들을 형성하기 위한 위치에 제 2 개구(4626)가 있으며, 도 47에서 도시된 바와 같이, 제 1 개구(4700)가 제 1 개구(4624)에서 질화물 하드마스크(4618)에 에칭되고 제 2 개구(4702)가 제 2 개구(4626)에서 질화물 하드마스크(4618)에 에칭된다. 도 48에서, 제 1 개구가 재료(4800)의 쉴드 바디, BARC(bottom anti-reflective material), 또는 예를 들어, 스판 코팅 이후 리소그래픽 및 현상(development) 프로세스에 의해 형성될 수 있는 막을 포함하는 포토레지스터 또는 유기 탄소로 충진된다. 대안으로, 재료(4800)의 바디는 탄소-도핑 SiO<sub>x</sub>를 포함할 수 있고 PECVD(plasma enhanced chemical vapor deposition) 프로세스에 의해 증착된 다음 리소그래픽 프로세스를 거친 후 에칭된다. 제 2 개구(4626)에서, 기판(4600)이 상부 층(4614), 제 2 산화물 층(4612), 게르마늄 층(4608) 및 제 1 산화물 층(4606)을 통과하여 실리콘 층(4602)까지 에칭되어 개구(4802)를 형성한다. 도 49에서, 실리콘의 바디(4900)가 상부 마스크 층(4622)까지 개구(4802)에서 성장된다. 후속하여, 도 50에 도시된 바와 같이, 재료(4800)의 쉴드 바디가 제거되고, 개구(5002)가 상부 마스크 층(4622)의 제 1 개구(4624)에 형성된다. 이러한 추가 개구(5002)에서, 상부 층(4614)과 제 2 산화물 층(4612)이 게르마늄 층(4608)의 레벨까지 에칭되고, 도 51에 도시된 바와 같이, 게르마늄의 바디(5102)가 상부 마스크 층(4622)까지 개구(5002)에서 성장된다. 상부 마스크 층(4622) 및 질화물 하드마스크(4618)는 이후에, 기판(5200)이 III-V족 재료로 형성된 상부 계층(4614)에 의해 각각 둘러싸인 게르마늄 바디(5102)와 실리콘 바디(4900)를 갖는 상태가 되도록 제거되며, 여기서 기판은 도 45에 도시된 바와 같이 실질적으로 3개의 상이한 타입들의 핀들을 갖는 기판으로 형성될 수 있다.

[0023] [0031]일 실시예에 따른 방법이 도 53에 도시되며 상부 표면을 갖는 제 1 재료의 층을 포함하는 기판을 제공하는 블록(5300), 기판의 제 2 부분을 노출된 상태로 두고 기판의 제 1 부분을 마스킹하는 블록(5302), 제 2 부분에 제 1 개구를 에칭하는 블록(5304), 개구 내의 제 2 재료의 바디를 제 1 재료의 층의 상부 표면의 레벨까지 형성하는 블록(5306), 마스크를 제거하는 블록(5308) 및 제 1 부분에 제 1 재료의 핀들을 형성하고 제 2 부분에 제 2 재료의 핀들을 형성하는 블록(5310)을 포함한다.

[0024] 일 실시예에 따른 다른 방법이 도 54에 도시되며, 제 1 재료의 층, 제 1 재료의 층 상의 제 1 산화물 층, 제 1 산화물 층 상의 제 2 재료의 층, 제 2 재료의 층 상의 제 2 산화물 층 및 제 2 산화물 층 상의 제 3 재료의 층을 포함하는 기판을 제공하는 블록(5400)을 포함하고, 제 3 재료의 층은 기판의 상부 표면을 형성하는 상부 표면을 갖는다. 방법은 또한, 제 3 재료의 층을 통과하고 제 2 산화물 층을 통과하여 제 2 재료의 층까지 기판 상의 제 1 위치에서 제 1 개구를 에칭하는 블록(5402), 기판의 상부 표면의 레벨까지 제 1 개구에 제 2 재료의 바디를 형성하는 블록(5404), 제 3 재료의 층, 제 2 산화물 층, 제 2 재료의 층 및 제 1 산화물 층을 통과하여 제 1 재료의 층까지 기판 상의 제 2 위치에서 제 2 개구를 에칭하는 블록(5406), 기판의 상부 표면의 레벨까지 제 2 개구에 제 1 재료의 바디를 형성하는 블록(5408) 및 제 1 위치에 제 2 재료를 포함하는 제 1 핀들을 형성하고, 제 2 위치에 제 1 재료를 포함하는 제 2 핀들을 형성하고 제 3 위치에 제 3 재료를 포함하는 제 3 핀들을 형성하는 블록(5410)을 포함한다.

[0025] [0032]도 55는, 본 개시물의 하나 이상의 실시예들이 유리하게 채용될 수 있는 예시적인 무선 통신 시스템(5500)을 도시한다. 예시를 위해서, 도 55는 3개의 원격 유닛들(5520, 5530, 및 5550) 및 2개의 기지국들(5540)을 도시한다. 종래의 무선 통신 시스템들은 더 많은 원격 유닛들과 기지국들을 가질 수 있다는 것을 인식할 것이다. 원격 유닛들(5520, 5530 및 5550)은, 본 개시물의 실시예들 중에서 아래에 추가로 설명된 바와 같은 (본원에 개시된 바와 같은 상이한 재료들의 핀들을 갖는 finFET를 포함한) 다른 반도체 디바이스들(5525, 5535 및 5555) 또는 집적 회로를 포함한다. 도 55는 기지국들(5540)으로부터 원격 유닛들(5520, 5530 및 5550)으로의 순방향 링크 신호들(5580)과 원격 유닛들(5520, 5530 및 5550)로부터 기지국들(5540)로의 역방향 링크 신호들(5590)을 도시한다.

[0026] [0033]도 55에서, 원격 유닛(5520)은 모바일 전화기로 도시되고, 원격 유닛(5530)은 휴대용 컴퓨터로 도시되고, 원격 유닛(5550)은 무선 로컬 루프 시스템의 고정 위치 원격 유닛으로 도시된다. 예를 들어, 원격 유닛들은 모바일 전화, 휴대용 PCS(personal communication system) 유닛, 휴대용 데이터 유닛 이를 테면 PDA(personal data or digital assistant), 내비게이션 디바이스(이를 테면, 핸드에이블드 디바이스들), 셋톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 고정 위치 데이터 유닛 이를 테면 검침 장비, 또는 데이터 또는 컴퓨터 명령들, 또는 이들의 임의의 조합을 저장하거나 또는 리트리빙하는 임의의 다른 디바이스 중 어느 하나 또는 조합일 수 있다. 도 55가 본 개시물의 교시들에 따른 원격 유닛들을 도시하지만, 본 개시물을 이러한 예시적인 도시된 유닛들로 제한되지 않는다. 본 개시물의 실시예들은, 테스트 및 특징부여(characterization)를

위한 온-칩 회로소자 및 메모리를 포함하는 능동 집적 회로를 구비한 임의의 디바이스에서 적절하게 채용될 수 있다.

[0027] [0034] 당업자들은, 본원에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능성의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로 구현되는지 또는 소프트웨어/펌웨어로 구현되는지 여부는 특정 애플리케이션, 및 전체 시스템에 부과된 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수도 있지만, 그러한 구현 결정들이 본 발명의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

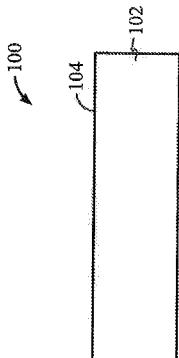
[0028] [0035] 본원에 개시된 실시예들과 관련하여 설명된 방법, 시퀀스들 및/또는 알고리즘들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수도 있다. 소프트웨어/펌웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다.

[0029] [0036] 그에 따라, 본 발명의 실시예는 상이한 재료들로 이루어진 핀들을 갖는 기판을 형성하기 위한 방법을 구현하는 컴퓨터 판독가능 매체를 포함할 수 있다. 그에 따라, 본 발명은 예시된 실시예들로 제한되지 않으며 본원에 설명된 기능을 수행하기 위한 임의의 수단이 본 발명의 실시예들에 포함된다.

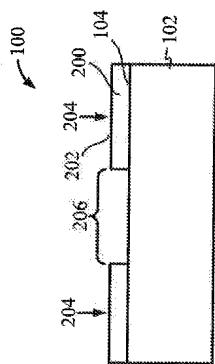
[0030] [0037] 앞의 개시물은 본 발명의 예시적인 실시예들을 나타내지만, 다양한 변경들 및 수정들이 첨부된 청구범위에 의해 정의된 바와 같이 본 발명의 범위로부터 벗어나지 않고 본원에서 이루어질 수 있다는 것을 주목해야 한다. 본원에 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 임의의 특정 순서로 수행될 필요가 없다. 또한, 본 발명의 엘리먼트들이 단수로 기술되거나 청구될 수 있지만, 단수로의 제한이 명시적으로 언급되지 않는다면 복수로 간주된다.

## 도면

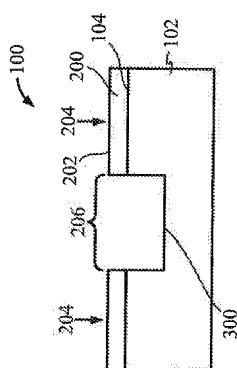
### 도면1



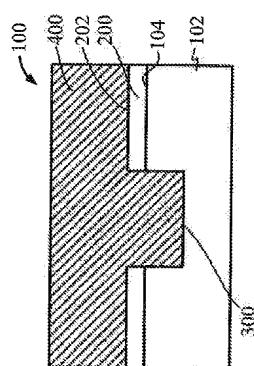
도면2



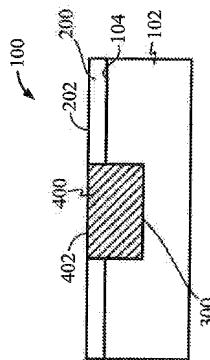
도면3



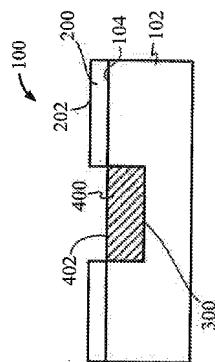
도면4



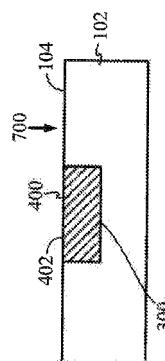
## 도면5



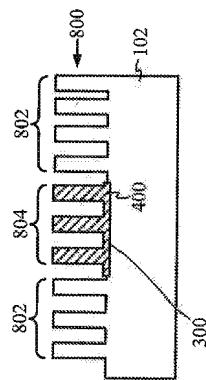
## 도면6



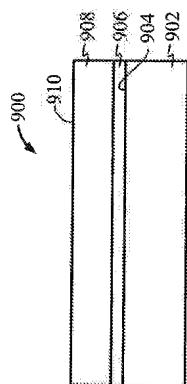
## 도면7



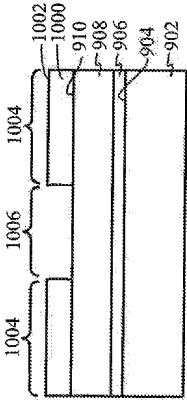
도면8



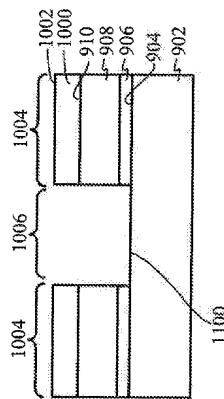
도면9



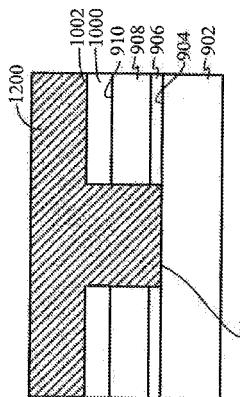
도면10



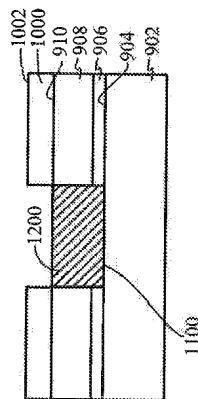
도면11



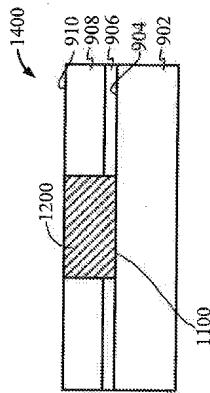
도면12



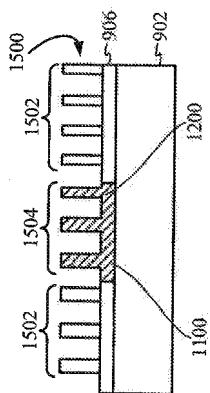
도면13



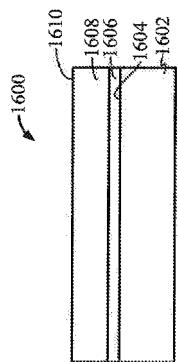
도면14



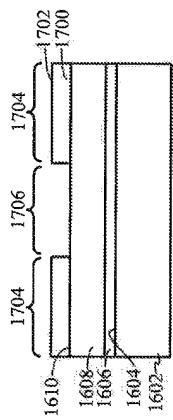
도면15



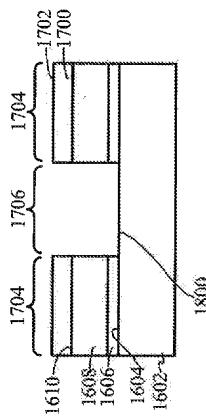
도면16



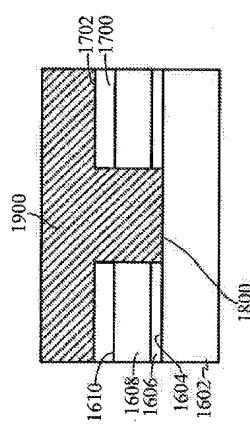
도면17



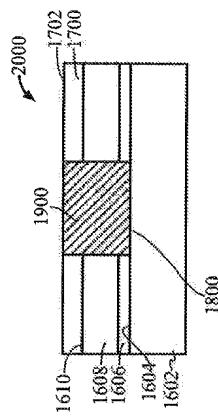
도면18



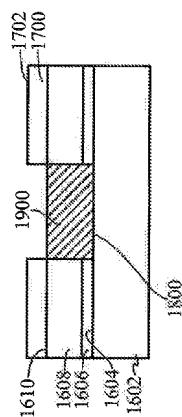
도면19



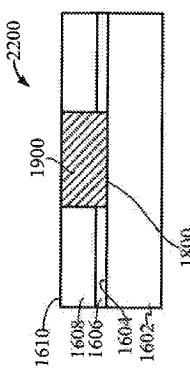
도면20



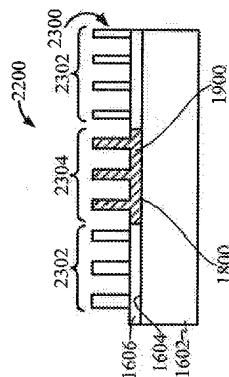
도면21



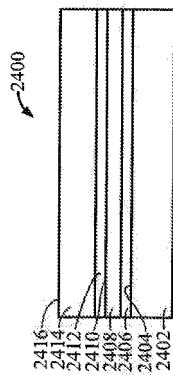
도면22



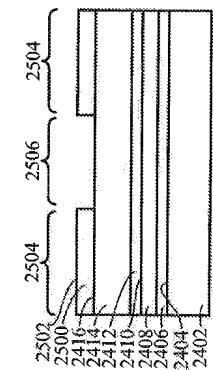
도면23



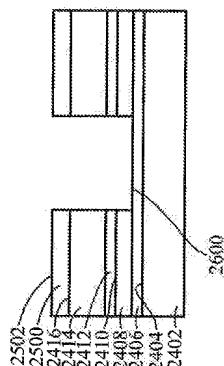
도면24



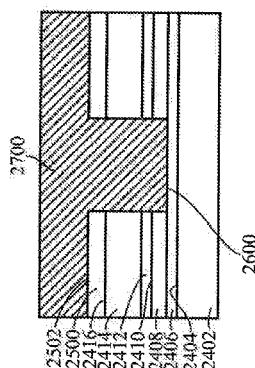
도면25



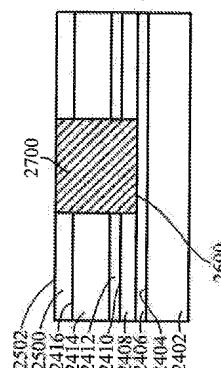
도면26



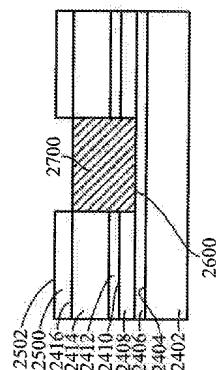
도면27



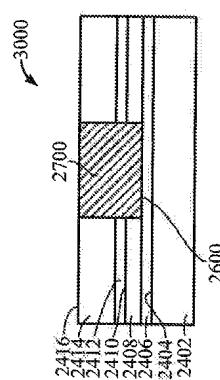
도면28



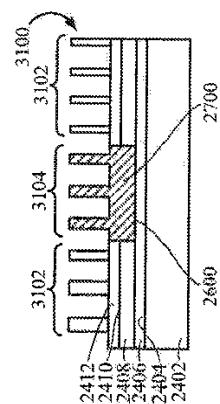
도면29



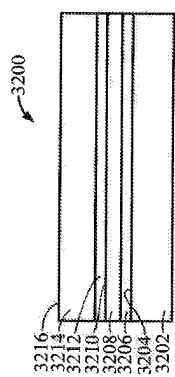
도면30



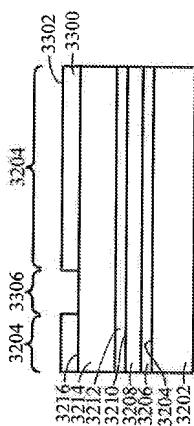
도면31



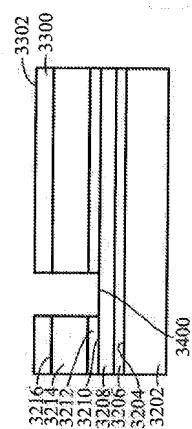
도면32



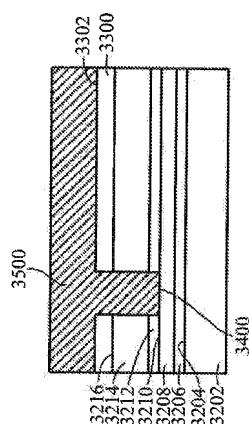
도면33



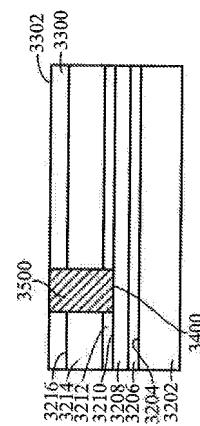
도면34



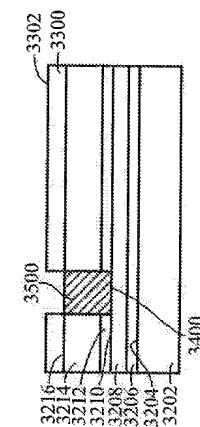
도면35



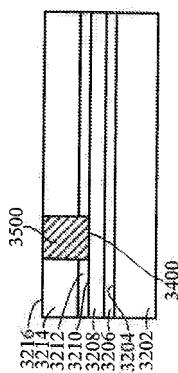
도면36



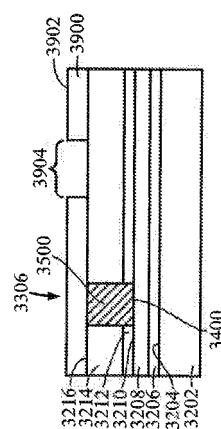
도면37



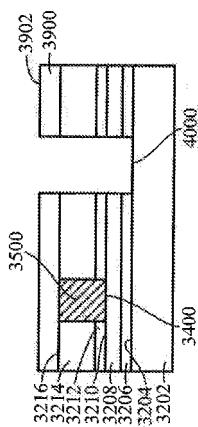
도면38



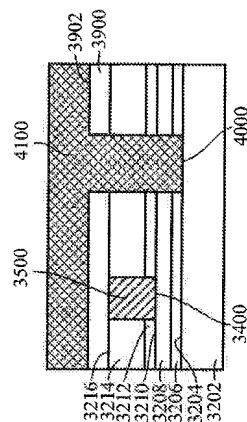
도면39



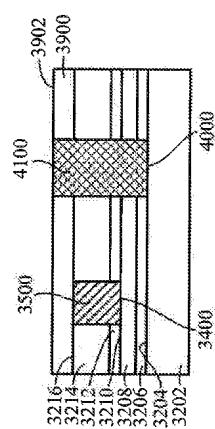
도면40



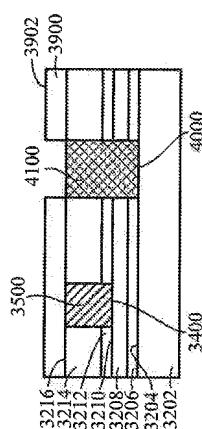
도면41



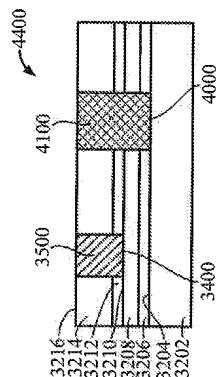
도면42



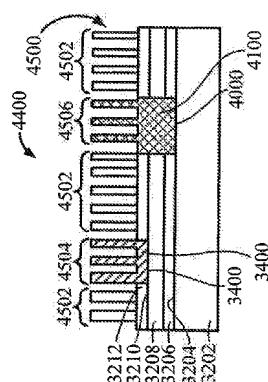
도면43



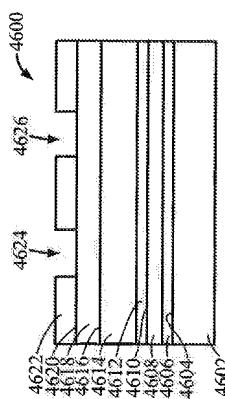
### 도면44



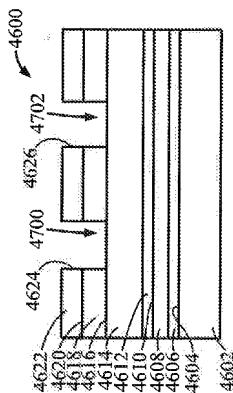
### 도면45



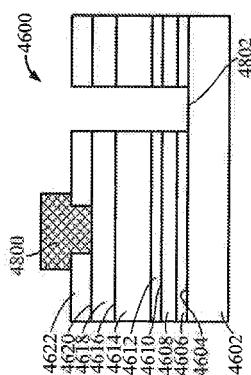
### 도면46



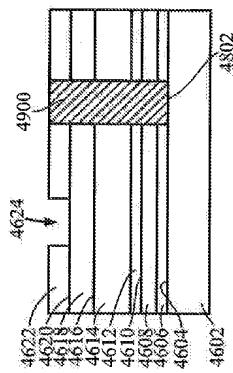
도면47



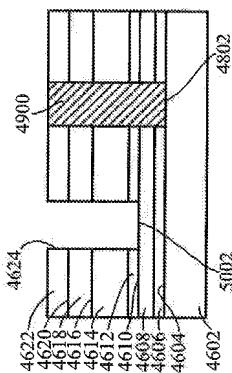
도면48



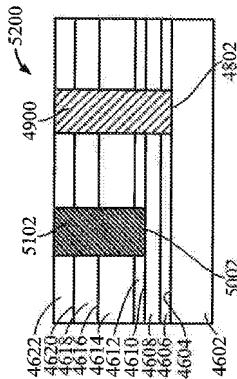
도면49



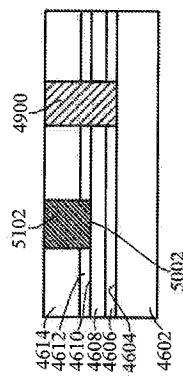
도면50



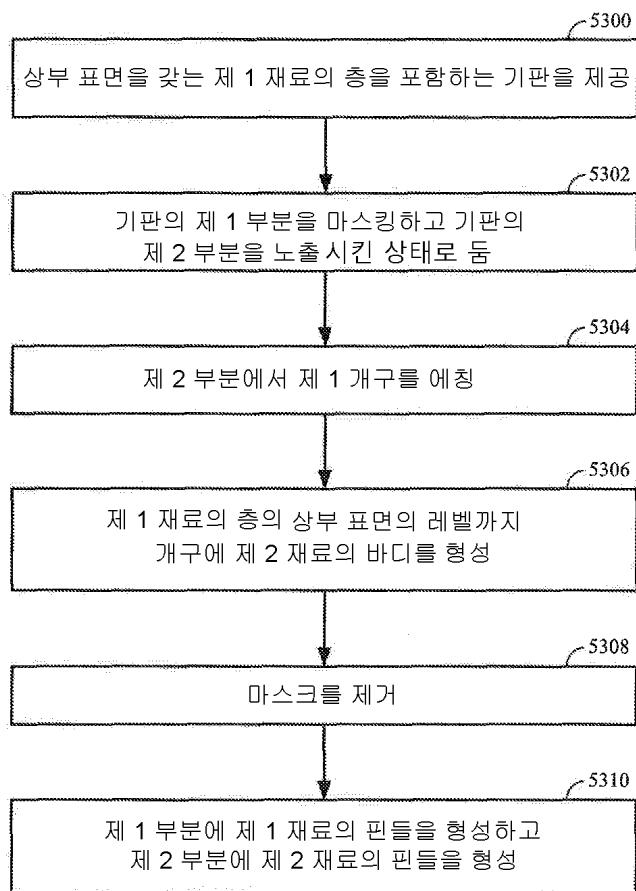
도면51



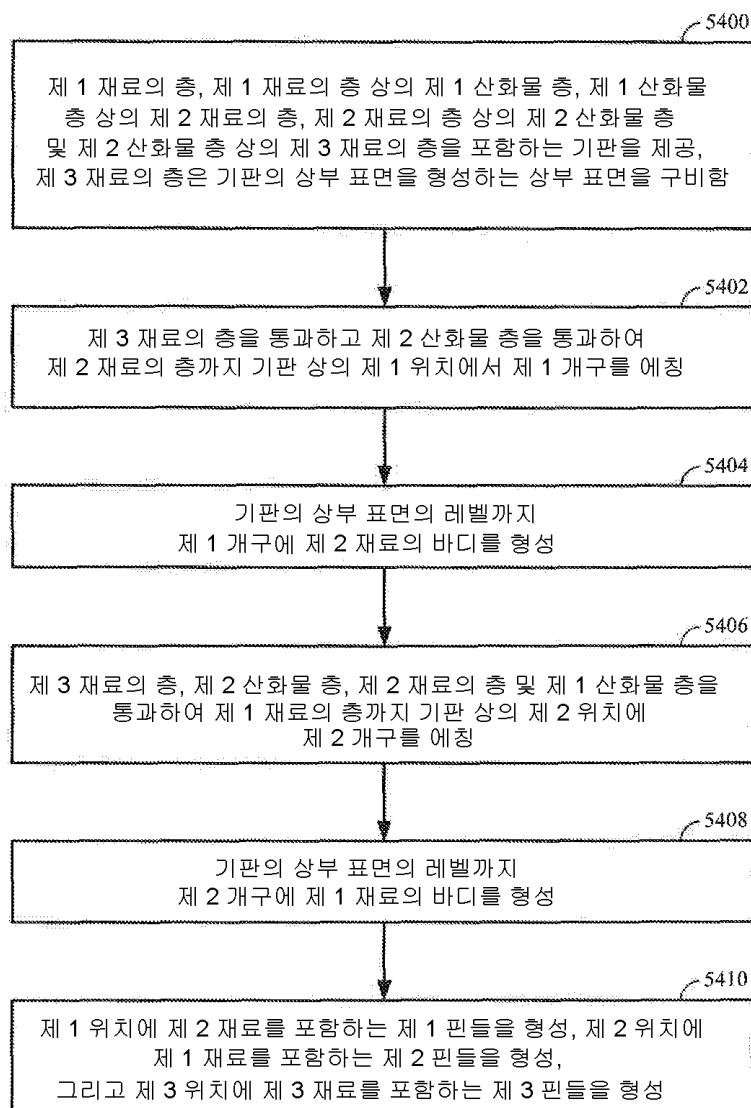
도면52



## 도면53



## 도면54



## 도면55

