

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207272
(P2004-207272A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/861	HO 1 L 29/91	5 FO 4 1
HO 1 L 29/16	HO 1 L 29/16	
HO 1 L 33/00	HO 1 L 33/00	A

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2002-370982 (P2002-370982)	(71) 出願人	000001199 株式会社神戸製鋼所 兵庫県神戸市中央区脇浜町二丁目10番26号
(22) 出願日	平成14年12月20日 (2002.12.20)	(74) 代理人	100090158 弁理士 藤巻 正憲
		(72) 発明者	林 和志 兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内
		(72) 発明者	橘 武史 兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内
		(72) 発明者	横田 嘉宏 兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内 最終頁に続く

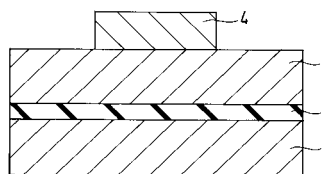
(54) 【発明の名称】 ダイヤモンド電子素子

(57) 【要約】

【課題】 順方向抵抗及び逆方向漏れ電流が小さく、実効効率が低い高性能なダイヤモンド電子素子を提供する。

【解決手段】 ドーパント濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上のn型半導体基板 1 上に、ドーパントをドーブせずにアンドープダイヤモンド層 2 を形成し、アンドープダイヤモンド層 2 の上にホウ素を $1 \times 10^{19} \text{ cm}^{-3}$ 以上ドーブして低抵抗のn型半導体にした高濃度ドーブダイヤモンド層 3 を形成し、更に、高濃度ドーブダイヤモンド層 3 の上には電極 4 を形成してダイヤモンド電子素子とする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

n型半導体基板と、前記基板上に前記基板に接して形成されたアンドープの第1のダイヤモンド層と、前記第1のダイヤモンド層上に形成されドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第2のダイヤモンド層と、を有することを特徴とするダイヤモンド電子素子。

【請求項 2】

前記基板は、ドーパント濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上のn型シリコン又はn型シリコンカーバイドであることを特徴とする請求項1に記載のダイヤモンド電子素子。

【請求項 3】

前記第1のダイヤモンド層の厚さが10乃至500nmであることを特徴とする請求項1又は2に記載のダイヤモンド電子素子。

【請求項 4】

前記第2のダイヤモンド層のドーパントがホウ素であることを特徴とする請求項1乃至3のいずれか1項に記載のダイヤモンド電子素子。

【請求項 5】

前記第1のダイヤモンド層と、前記第2のダイヤモンド層との間に、ドーパント濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下の第3のダイヤモンド層を有することを特徴とする請求項1乃至4のいずれか1項に記載のダイヤモンド電子素子。

【請求項 6】

前記第3のダイヤモンド層の厚さが0.1乃至1.5 μm であることを特徴とする請求項5に記載のダイヤモンド電子素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、整流及び発光ダイオード、光センサ又は発電素子等の各種電子デバイスに使用可能なダイヤモンド電子素子に関する。

【0002】

【従来の技術】

ダイヤモンドは物質中で最も硬く、耐熱性に優れ、バンドギャップが5.47eVと大きく、通常は絶縁体であるがドーパントをドーピングすることにより半導体化することができる。また、絶縁破壊電圧及び飽和ドリフト速度が大きく、誘電率が小さい等電気的特性にも優れている。更に、室温付近においては物質中で最も高い熱伝導性を示し、熱放散性も高い。このような特徴により、ダイヤモンドは、工具及び耐摩耗コーティング以外にも、高温、高周波又は高電界用の電子デバイス及びセンサ材料として期待されている。特に、ダイオード型の電子素子は、高耐圧又は高温動作の整流ダイオード（例えば、特許文献1及び非特許文献1参照）、紫外線又は可視光発光ダイオード（例えば、特許文献2参照）、紫外線等の光センサ、強力な紫外線にも耐えうる太陽電池等の光起電力素子、放射線センサ等への応用が期待されている。更に、ダイヤモンドは、酸及びアルカリに浸食されず、化学的に極めて安定であり、ホウ素をドーピングすることにより導電性が付与することができるため、化学反應用の電極としても有望とされている（例えば、特許文献3参照）。

【0003】

ダイヤモンド膜を合成する方法としては、マイクロ波CVD（Chemical Vapor Deposition：化学気相蒸着）法（例えば、特許文献4、5及び非特許文献2参照）、高周波プラズマCVD法、熱フィラメントCVD法、直流プラズマCVD法、プラズマジェット法、燃焼法及び熱CVD法等の気相合成法が知られている。

【0004】

また、ダイヤモンドは、ホウ素をドーピングすることによりp型半導体になり、リン等をドーピングすることによりn型半導体になる。しかしながら、現時点で報告されているn型半導体ダイヤモンドの抵抗率は、最も低いものでも $10 \times 10^5 \cdot \text{cm}$ 程度であるため、n型

10

20

30

40

50

半導体ダイヤモンドは p n 接合ダイオード等には不向きであるとされている。一方、p 型半導体ダイヤモンドは、アルミニウム等の金属と組み合わせることにより、ショットキー接合ダイオードを作製することができる（例えば、非特許文献 3 参照）。前記ショットキー接合ダイオードにおいて、オン抵抗を小さくし、ジュール損を少なくするためには、p 型半導体ダイヤモンドの抵抗を低くしなければならない。p 型半導体ダイヤモンドは、ホウ素等のアクセプタを高濃度にドーピングすることにより抵抗を低くすることができるが、ドーパント濃度が高くなると逆バイアス時に空乏層が薄くなるため、漏れ電流が増加し、整流比が小さくなるという問題がある。

【0005】

そこで、n 型半導体ダイヤモンドを使用せず、金属電極 / アンダー層 / p 型半導体ダイヤモンド積層構造とした整流ダイオード及び発光ダイオードが提案されている（例えば、非特許文献 1 参照）。非特許文献 1 においては、金属電極層と p 型半導体ダイヤモンド層との間に設けられているドーパントがドーピングされていないアンダー層が空乏層と同様の働きをするため、p 型半導体ダイヤモンドに高濃度のアクセプタをドーピングしても漏れ電流が増加するのを抑えることができ、 1×10^6 乃至 1×10^7 の整流比を得ることができる。

【0006】

また、ダイヤモンド以外の材料からなる n 型半導体との接合、所謂ヘテロ p n 接合ダイオードも検討されている。例えば、n 型の水素化アモルファスシリコンとの接合素子（例えば、非特許文献 4 参照）又は p 型高配向性ダイヤモンドとシリコンカーバイド又はシリコン薄膜との接合ダイオード（例えば、特許文献 6 参照）が提案されている。

【0007】

【特許文献 1】

特開平 04 - 312982 号公報（第 2 - 7 頁、第 2 図）

【特許文献 2】

特開平 03 - 222376 号公報（第 1 - 4 頁、第 1 図）

【特許文献 3】

特開平 09 - 13188 号公報（第 2 - 5 頁、第 1 図）

【特許文献 4】

特公昭 59 - 27754 号公報（第 1 - 3 頁、第 1 - 2 図）

【特許文献 5】

特公昭 61 - 3320 号公報（第 1 - 3 頁、第 1 図）

【特許文献 6】

特開平 07 - 94527 号公報（第 2 - 4 頁、第 2 図）

【非特許文献 1】

K. Miyata、他 2 名、「Metal-intrinsic semiconductor-semiconductor structures using polycrystalline diamond films」, "Applied Physics Letters", (米国), 1992 年 1 月 27 日, 第 60 巻, 第 4 号, p. 480 - 482

【非特許文献 2】

T. Tachibana、他 2 名、「Azimuthal rotation of diamond crystals epitaxially nucleated on silicon {001}」, "Applied Physics Letters", (米国), 1992 年 1 月 27 日, 第 60 巻, 第 4 号, p. 480 - 482

【非特許文献 3】

大槻 徹, 「ダイヤモンド半導体におけるショットキー電極の現状と問題点」, "あたりあ", 1994 年, 第 33 巻, 第 6 号, p. 744 - 749

【非特許文献 4】

H. Kiyota、他 6 名、「Polycrystalline Diamond/Hydrogenated Amorphous Silicon P-N Heterojunction」, "Japanese Applied Physics", 1992 年, 第 31 巻, Part 2, 第 4 A 号, p. L388 - L391

【0008】

【発明が解決しようとする課題】

非特許文献1で提案された金属電極/アンドープダイヤモンド/p型半導体ダイヤモンド積層構造は、アンドープダイヤモンド層により擬似的に空乏層を形成し、整流性を得るものである。しかしながら、例えば、紫外線等の高いエネルギーを有する光又は粒子を検知するダイオードセンサの場合、光照射により発生したキャリアを電極で補集するため、空乏層に発生した電位(拡散電位)を利用するが、拡散電位は電極直下でしか発生しないため、非特許文献1の構造を有する電子素子においても、電極直下以外の部分においては効率的にキャリアが捕獲できず、大きな出力を得ることができない。そこで、出力向上のために電極の面積を大きくすると、電極がダイヤモンド表面を覆う面積が増加し、ダイヤモンドへの実効照射面積が減少することになり、良好な特性は得られない。

10

【0009】

また、非特許文献4で提案されたヘテロ接合ダイオードの場合、ショットキー接合ダイオードと同様に、オン抵抗を小さくしてジュール損を少なくするにはp型半導体ダイヤモンドの低抵抗化が必要である。上述したように、p型ダイヤモンドは、アクセプタを高濃度にドーピングすることにより低抵抗化することはできるが、それにより、逆バイアス時に空乏層が薄くなるため、漏れ電流が増加し、整流比が小さくなる。そこで、整流性を得るためにn型半導体のドーパント濃度を低くすると、空乏層がバンドギャップの小さいn型半導体側に広がるため、ダイヤモンドのソーラブラインド性(可視光不感性)が阻害される。更に、接合界面に存在する界面準位のため、整流特性を得ることは困難である。

20

【0010】

本発明はかかる問題点を鑑みてなされたものであって、順方向の抵抗及び逆方向の漏れ電流が小さく、実効効率が高い高性能なダイヤモンド電子素子を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明に係るダイヤモンド電子素子は、n型半導体基板と、前記基板上に前記基板に接して形成されたアンドープの第1のダイヤモンド層と、前記第1のダイヤモンド層上に形成されドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上である第2のダイヤモンド層と、を有することを特徴とする。

【0012】

前記基板は、ドーパント濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上のn型シリコン又はn型シリコンカーバイドであることが好ましい。また、前記第1のダイヤモンド層の厚さは、10乃至500nmであることが好ましい。更に、前記第2のダイヤモンド層のドーパントはホウ素であることが好ましい。

30

【0013】

前記第1のダイヤモンド層と、前記第2のダイヤモンド層との間に、ドーパント濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下の第3のダイヤモンド層を設けてもよい。前記第3のダイヤモンド層の厚さは0.1乃至1.5 μm であることが好ましい。

【0014】

n型半導体基板とドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上の第2のダイヤモンド層との間に、ドーパントがドーピングされていない第1のダイヤモンド層を設けることにより、順方向の抵抗及び逆方向の漏れ電流が小さくなり、実効動作効率も高くすることができる。

40

【0015】

【発明の実施の形態】

以下、本発明の実施形態に係るダイヤモンド電子素子について、添付の図面を参照して詳細に説明する。図1は本発明の第1実施形態に係るダイヤモンド電子素子の断面図である。本発明の第1実施形態のダイヤモンド電子素子は、図1に示すように、n型半導体基板1の上に、この基板に接して第1のダイヤモンド層としてドーパントがドーピングされていないアンドープダイヤモンド層2が形成されている。そして、アンドープダイヤモンド層2の上には第2のダイヤモンド層としてドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃

50

度ドーパダイヤモンド層3が形成されている。また、高濃度ドーパダイヤモンド層3の上には電極4が形成されている。

【0016】

次に、上述の如く構成されたダイヤモンド電子素子の動作について説明する。p型半導体ダイヤモンドとダイヤモンド以外の材料からなるn型半導体を接合すると、所謂ヘテロ接合が形成され、界面付近に空乏層が生じるが、ダイヤモンドとn型半導体材料との格子定数の違い及び成膜時に形成される欠陥を多く含む炭化層等の影響でリーク電流が流れ、良好な整流特性が得られない。本実施形態のダイヤモンド電子素子は、n型シリコン基板1とp型半導体ダイヤモンドである高濃度ドーパダイヤモンド層3との間に形成したアンドーパダイヤモンド層2が空乏層として働くため、整流性を確保することができる。

10

【0017】

高濃度ドーパダイヤモンド層3のドーパント濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上とする。ドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ より少ないと、ドーパントの活性化率が低く、目的とする抵抗値が得られない。前記ドーパント濃度は、ドーパントの活性化率が100%となる $1 \times 10^{20} \text{ cm}^{-3}$ 以上とすることが好ましく、更に、ダイヤモンドのMott転位濃度($2 \times 10^{20} \text{ cm}^{-3}$ とされている)より高い $3 \times 10^{20} \text{ cm}^{-3}$ 以上とすることがより好ましい。

【0018】

本実施形態のn型半導体基板1としては、n型シリコン又は、n型シリコンカーバイドを使用することが好ましい。シリコン及びシリコンカーバイドは抵抗値が低く、結晶性に優れたn型基板を容易に入手することができる。更に、これらは、ダイヤモンド膜用基板としての実績もあり、ダイヤモンドとの密着性にも優れているため、本実施形態のダイヤモンド電子素子に使用するn型半導体基板として最適である。また、前記基板のドーパント濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましく、より好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。ドーパント濃度が $1 \times 10^{17} \text{ cm}^{-3}$ より少ないと、空乏層がn型半導体側に広がるため、キャリアの発生がバンドギャップの小さいn型半導体側でも起こり、特性が悪化する。

20

【0019】

また、アンドーパダイヤモンド層2の厚さは10乃至500nmであるのが望ましい。アンドーパダイヤモンド層2の厚さが500nmを越えると、直列抵抗が増加し、順方向の電流を大きくとることができない。一方、アンドーパダイヤモンド層2の厚さが10nmより薄いと、界面準位を通したキャリアのやりとりを防ぐことが不可能になり、その効果が失われる。

30

【0020】

アンドーパ層2はn型半導体基板1上に、例えば、CVD装置等を使用して形成される。従来、シリコン基板等の上にダイヤモンドを成膜する場合には、基板表面をダイヤモンドパウダー等で研磨(傷付け処理)をする必要があった。しかしながら、傷付け処理を行ってから成膜したダイヤモンド層は、粒子の密度が 10^8 cm^{-3} 程度であり、薄い連続膜を形成することは困難であった。本実施形態のダイヤモンド電子素子においては、アンドーパダイヤモンド層2形成する際に、非特許文献2に記載されているバイアス印加法を適用し、成膜条件を、例えば、反応ガスをメタン1体積%及び水素99体積%とし、基板温度を800として、基板に-200Vを印加しながら20分間プラズマにさらすことにより、核発生密度を飛躍的に高め、目的とする膜厚を再現よく形成することができる。

40

【0021】

なお、高濃度ドーパダイヤモンド層3のドーパントはホウ素であることが好ましい。ホウ素をドーパすることにより、より抵抗の低いp型半導体ダイヤモンドが得られる。

【0022】

次に、本発明の第2実施形態に係るダイヤモンド電子素子について説明する。図2は本発明の第2実施形態に係るダイヤモンド電子素子の断面図である。本実施形態のダイヤモンド電子素子は、図2に示すように、アンドーパダイヤモンド層2と高濃度ドーパダイヤモ

50

ンド層3との間に、ドーパント濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下の低濃度ドーパダイヤモンド層5が形成されている。

【0023】

本実施形態においては、低濃度ドーパダイヤモンド層5が形成されており、この低濃度ドーパダイヤモンド層5は、アンドーパダイヤモンド層2と高濃度ドーパダイヤモンド層3との間に存在するドーパントの濃度変化を緩やかにし、電界分布を徐々に変化させる効果がある。

【0024】

低濃度ドーパダイヤモンド層5におけるドーパント濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下とする。ドーパント濃度が $1 \times 10^{18} \text{ cm}^{-3}$ より高いと、逆方向電流が増大する。ドーパント濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下であれば、抵抗は下がらず、リーク電流を低く抑えることができる。但し、ドーパント濃度が低すぎると高濃度ドーパダイヤモンド層3からの電荷注入が起こりにくくなり、順方向電流が少なくなってしまう。本発明者等の実験によると、低濃度ドーパダイヤモンド層5におけるドーパント濃度の最適値は、 1×10^{17} 乃至 $8 \times 10^{17} \text{ cm}^{-3}$ である。

【0025】

なお、低濃度ドーパダイヤモンド層5の厚さは0.1乃至1.5 μm であることが好ましい。低濃度ドーパダイヤモンド層5の厚さが0.1 μm より薄いと低濃度ドーパダイヤモンド層を挿入する効果がなく、1.5 μm を越えると素子全体の抵抗値が高くなりすぎるため、素子の動作が悪化する。

【0026】

なお、本発明のダイヤモンド電子素子は、ダイヤモンド上にアモルファスシリコン等の電極を積層した構造を有する従来の電子素子とは異なり、ダイヤモンド側から高エネルギーの光又は粒子の入射が可能であり、高い耐久性が得られる。従来の電子素子でも裏面から光又は粒子を照射することは可能であるが、基板層が厚いため、光又は粒子が空乏層に達する前に消滅することが多く、非効率である。また、本発明のダイヤモンド電子素子は、高濃度ドーパダイヤモンド層3の厚さを制御することが容易で、高濃度ドーパダイヤモンド層3における吸収量を計算することで減衰フィルターの効果を持たせ、到達粒子のエネルギーを制御することができる。更に、本発明のダイヤモンド電子素子は、基板がn型半導体であるため、従来の電子素子のように薄膜形成、イオン注入及びアニール等の工程が不要であり、従来の電子素子に比べ製造コストを削減することができる。

【0027】

本発明のダイヤモンド電子素子は、整流ダイオード、発光ダイオード、紫外線センサ等の光センサ、太陽電池及びその他の各種電子素子に適用可能であり、それらの高性能化を実現することができる。

【0028】

【実施例】

以下、本発明の実施例について、本発明の範囲から外れる比較例と比較して具体的に説明する。

【0029】

第1実施例

本発明の第1実施例として、本発明の電子素子を使用してダイオードを作製した。図3に、本発明の実施例1に係るダイオードの断面図を示す。本実施例のダイオードは、n型シリコン基板6上に、非特許文献5に記載されている無機材研型マイクロ波プラズマCVD装置を使用し、バイアス印加法により核形成を行い、厚さが10乃至500 μm のアンドーパダイヤモンド層7を形成した。次に、反応ガスをメタン0.5体積%及び水素99.5体積%とし、シボランガスの添加量を変えることにより、ドーパント濃度を变化させた高濃度ドーパダイヤモンド層8を形成した。その際、比較例1として、n型シリコン基板6を、直径数10 μm のダイヤモンド粉末のエタノール混濁液中で超音波を印加することにより、核発生促進処理を行った。前記ダイヤモンド粒子を洗い流した後、実施例と同様

10

20

30

40

50

にアンドープダイヤモンド層7及び高濃度ドーパダイヤモンド層8を形成した。更に、比較例2として、アンドープダイヤモンド層8を設けないダイオードも作製した。高濃度ドーパダイヤモンド層8を形成後、2次イオン質量分析により本実施例の高濃度ドーパダイヤモンド層8中のホウ素濃度を測定したところ、 $1 \times 10^{19} \text{ cm}^{-3}$ (反応ガス中の炭素に対するホウ素の原子比: $B/C = 400 \text{ ppm}$ のとき)乃至 $3 \times 10^{20} \text{ cm}^{-3}$ ($B/C = 4000 \text{ ppm}$ のとき)であった。

【0030】

その後、200のクロム硫酸飽和溶液に浸漬し、引き続き100の王水中に浸漬することにより表面クリーニングを行い、更に、n型シリコン基板6の裏面の酸化膜をフッ酸で除去した後、そこに銀ペーストを塗布してオーミック結合9を形成した。次に、上部電極10として、高濃度ドーパダイヤモンド層8の表面にアルミニウムを直径100 μm 、厚さ200nm蒸着した。

10

【0031】

n型シリコン基板6の裏面のオーミック電極9を接地し、アルミニウム上部電極10に電圧を印加して、電圧-電流特性を測定した。その結果を図4に示す。図4に示すように、アンドープダイヤモンド層7を形成したダイオードにおいては、良好な整流特性が得られたが、アンドープダイヤモンド層8を形成していない比較例2のダイオードにおいては、リーク電流が多く、整流性は観察されなかった。また、ダイヤモンド粉末で核発生処理を行った比較例1のダイオードの特性は、アンドープダイヤモンド層7を形成していない比較例2のダイオードと同様であった。そこで、アンドープダイヤモンド層7を形成した後

20

【0032】

また、アンドープダイヤモンド層の厚さの影響を調査するため、厚さが10乃至1000nmのアンドープダイヤモンド層7を有するダイオードを作製し、その順方向特性を測定した。その結果を図5に示す。図5においては、マイナスを第1象限に表記している。図5に示すように、アンドープダイヤモンド層7の厚さが10nm以上で良好なダイオード動作が確認された。また、アンドープダイヤモンド層7の厚さが200nm以上では立ち上がり電圧の上昇が見られるものの、その厚さが500nmを越えるまでは実用的なダイオードとして動作した。一方、本発明の範囲から外れるアンドープダイヤモンド層7の厚さが500nmを越えるダイオードにおいては、-40Vまでの印加では明瞭な立ち上がりは見られなかった。

30

【0033】

第2実施例

本発明の第2実施例として、本発明のダイヤモンド素子を使用して、ダイオードを作製した。図6は本発明の第2実施例に係るダイオードの断面図である。本実施例のダイオードは、前記第1実施例と同様に、n型シリコン基板6上にアンドープダイヤモンド層7を形成後、低濃度ダイヤモンド層11を形成し、更にその上に、反応ガスにジボランを添加して高濃度ダイヤモンド層8を形成した。なお、本実施例のダイオードでは、n型シリコン基板6の表面に、個別素子として切り出すため、縦3mm、横3mmのピッチの溝を設けた。次に、前記第1実施例と同様に、n型シリコン基板6の裏面にオーミック電極9を形成し、高濃度ドーパダイヤモンド層8の表面に上部電極10を形成した。上部電極10は縦3mm、横3mmとし、素子毎に1個ずつ電極を設けた。

40

【0034】

前記工程により作製したダイオードの電圧-電流特性を測定したところ、従来のダイオードに比べ、順方向(上部電極にマイナス電圧印加)の電流が1桁程度減少したが、逆方向は3桁減少し、整流特性は大幅に向上した。また、本実施例のダイオードに低圧水銀ランプを高さ5cmの位置から照射したところ、照射しない場合と比べ、負電圧印加時に0乃至-5Vの範囲で2桁以上電流が増加し、更に、静電圧印加時は全ての領域で電流が2桁

50

以上増加した。一方、従来のMIS (Metal-intrinsicsemiconductor-Semiconductoer) ダイオードにおいては、電流の増加は最高でも1桁程度であることから、本実施例の電子素子は効率的に光電流の保守が行われている。

【0035】

【発明の効果】

以上詳述したように、本発明によれば、n型半導体基板とp型半導体であるドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上のダイヤモンド層との間に、ドーパントをドーブしていない絶縁性のダイヤモンド層を設けることにより、順方向抵抗及び逆方向漏れ電流が小さくし、更に実効動作効率を高くすることができる。

【図面の簡単な説明】

10

【図1】本発明の第1実施形態に係るダイヤモンド電子素子の断面図である。

【図2】本発明の第2実施形態に係るダイヤモンド電子素子の断面図である。

【図3】本発明の第1実施例に係るダイオードの断面図である。

【図4】本発明の第1実施例及び比較例のダイオードの電流 - 電圧特性を示すグラフ図である。

【図5】本発明の第1実施例及び比較例のダイオードの順方向特性を示すグラフ図である。

【図6】本発明の第2実施例に係るダイオードの断面図である。

【符号の説明】

20

1、6；n型半導体基板

2、7；アンドープダイヤモンド層

3、8；高濃度ドーブダイヤモンド層

4；電極

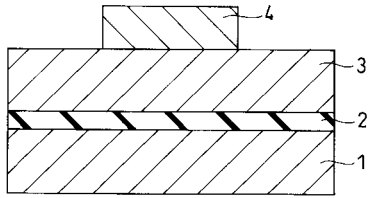
5、11；低濃度ドーブダイヤモンド層

6；n型シリコン基板

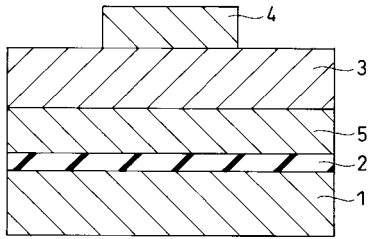
9；オーミック電極

10；上部電極

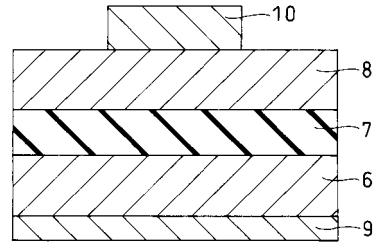
【図1】



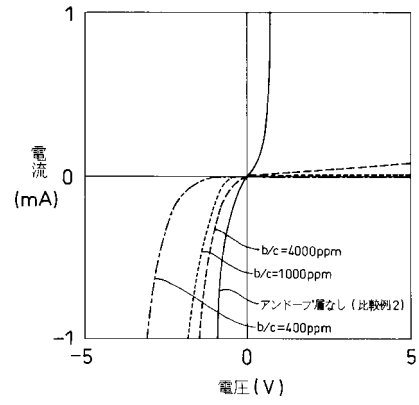
【図2】



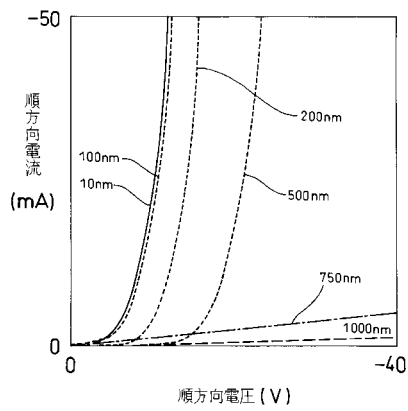
【図3】



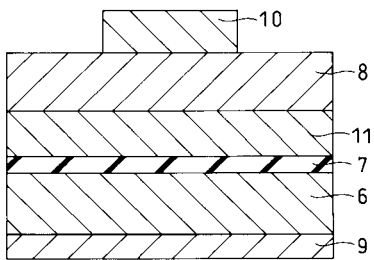
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5F041 CA03 CA33 CA49 CA57 CA67 CA77