

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月5日(2006.1.5)

【公表番号】特表2004-530300(P2004-530300A)

【公表日】平成16年9月30日(2004.9.30)

【年通号数】公開・登録公報2004-038

【出願番号】特願2002-586384(P2002-586384)

【国際特許分類】

<i>H 01 L</i>	<i>21/8242</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>27/108</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>21/28</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/78</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/423</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/49</i>	<i>(2006.01)</i>
<i>H 01 L</i>	<i>29/786</i>	<i>(2006.01)</i>

【F I】

<i>H 01 L</i>	<i>27/10</i>	<i>6 7 1 A</i>
<i>H 01 L</i>	<i>21/28</i>	<i>3 0 1 D</i>
<i>H 01 L</i>	<i>29/78</i>	<i>3 0 1 V</i>
<i>H 01 L</i>	<i>29/58</i>	<i>G</i>
<i>H 01 L</i>	<i>29/78</i>	<i>6 1 3 B</i>
<i>H 01 L</i>	<i>29/78</i>	<i>6 1 7 K</i>
<i>H 01 L</i>	<i>29/78</i>	<i>6 1 7 J</i>
<i>H 01 L</i>	<i>29/78</i>	<i>6 1 8 C</i>

【手続補正書】

【提出日】平成17年2月18日(2005.2.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイス用のゲート構造を形成する方法において、

半導体基板上に絶縁層を形成するステップと、

前記半導体基板内に、前記絶縁層を通じて延在させた第1組のトレンチを画定するステップと、

前記第1組のトレンチを絶縁材料で充填して絶縁トレンチを形成するステップと、

前記半導体基板内に、前記第1組のトレンチと直交する方向に前記絶縁層を通じて延在させた第2組のトレンチを画定するステップと、

前記絶縁トレンチの領域をエッティングして、窪み付き絶縁トレンチを、前記第2組のトレンチに隣接して形成するステップと、

前記第2組のトレンチ内にゲート酸化物を形成するステップと、

前記ゲート酸化物上および前記窪み付き絶縁トレンチに導電層を形成するステップと、

前記窪み付き絶縁トレンチに関する前記導電層を研磨して導電性ゲートを形成するステップと

を備えたことを特徴とする方法。

【請求項2】

請求項 1において、前記導電性ゲート上に保護層を形成するステップをさらに備えたことを特徴とする方法。

【請求項 3】

請求項 1において、酸化物層を、前記半導体基板と前記絶縁層との間に形成するステップをさらに備えたことを特徴とする方法。

【請求項 4】

請求項 1において、前記第 1 組のトレンチは、約 1000 から約 10000 の深さまでエッ칭されることを特徴とする方法。

【請求項 5】

請求項 1において、前記第 2 組のトレンチは、約 1000 から約 10000 の深さまでエッ칭されることを特徴とする方法。

【請求項 6】

請求項 1において、前記第 2 組のトレンチは、前記半導体基板を約 500 から約 5000 の深さまでエッ칭して形成されることを特徴とする方法。

【請求項 7】

請求項 1において、前記絶縁トレンチの領域をエッ칭する工程は、前記絶縁材料をプラズマエッ칭するステップを含むことを特徴とする方法。

【請求項 8】

請求項 7において、前記絶縁材料は、約 500 から約 3000 までエッ칭されることを特徴とする方法。

【請求項 9】

請求項 1において、前記導電層は、ポリシリコンで形成されることを特徴とする方法。

【請求項 10】

請求項 1において、前記導電層は、デポジションによって形成されることを特徴とする方法。

【請求項 11】

請求項 1において、前記導電性ゲートをエッ칭して窪み付き導電性ゲートを形成するステップをさらに備えたことを特徴とする方法。

【請求項 12】

請求項 11において、前記導電性ゲートは、約 100 から約 300 までエッ칭されることを特徴とする方法。

【請求項 13】

請求項 12において、前記窪み付き導電性ゲート上に誘電体層を形成するステップをさらに備えたことを特徴とする方法。

【請求項 14】

請求項 12において、前記窪み付き導電性ゲート上にシリサイド層を形成するステップをさらに備えたことを特徴とする方法。

【請求項 15】

請求項 1において、前記絶縁層は、窒化シリコンおよび酸化シリコンからなるグループから選択された材料から形成されることを特徴とする方法。

【請求項 16】

請求項 1において、前記ゲート構造の側壁に絶縁スペーサを形成するステップをさらに備えたことを特徴とする方法。

【請求項 17】

請求項 1において、前記絶縁材料は、酸化物材料を含むことを特徴とする方法。

【請求項 18】

メモリセルを形成する方法であって、シリコン基板上に絶縁層を設けるステップと、前記シリコン基板内に作成されたゲート構造と、前記ゲート構造に隣接して配設された前記シリコン基板中のソース／ドレイン領域と、前記ソース／ドレイン領域上に形成されたコンデンサとを含むトランジスタを形成するステップとを備え、前記ゲート構造を形成する

ステップは、

絶縁材料で充填された絶縁トレンチであって、前記絶縁層を貫通し前記シリコン基板内に延在させた少なくとも1つの絶縁トレンチを形成するステップと、

前記絶縁層を貫通し前記シリコン基板内に、前記絶縁トレンチと直交する方向に延在させた少なくとも1つのトランジスタトレンチを画定するステップと、

前記絶縁トレンチの領域をエッチングして、少なくとも1つの窪み付き絶縁トレンチを、前記トランジスタトレンチに隣接して形成するステップと、

前記トランジスタトレンチにゲート酸化物層を形成するステップと、

前記ゲート酸化物層上および前記窪み付き絶縁トレンチ上に導電層を形成するステップと、

前記窪み付き絶縁トレンチに関する前記導電層を研磨して導電性ゲートを形成するステップと、

前記導電性ゲート上に保護層を形成するステップと
をさらに備えたことを特徴とする方法。

【請求項19】

請求項18において、前記絶縁トレンチは、約1000から約10000の深さまでエッチングされることを特徴とする方法。

【請求項20】

請求項18において、前記トランジスタトレンチは、約1000から約10000の深さまでエッチングされることを特徴とする方法。

【請求項21】

請求項18において、前記トランジスタトレンチは、前記シリコン基板を約500から約5000の深さまでエッチングして形成されることを特徴とする方法。

【請求項22】

請求項18において、前記絶縁トレンチの領域をエッチングする工程は、前記絶縁材料をプラズマエッチングするステップを備えたことを特徴とする方法。

【請求項23】

請求項22において、前記絶縁材料は、約500から約3000までエッチングされることを特徴とする方法。

【請求項24】

請求項18において、前記導電層は、ポリシリコンで形成されることを特徴とする方法。

【請求項25】

請求項18において、前記導電層は、デポジションによって形成されることを特徴とする方法。

【請求項26】

請求項18において、前記導電性ゲートをエッチングして窪み付き導電性ゲートを形成するステップをさらに備えたことを特徴とする方法。

【請求項27】

請求項26において、前記導電性ゲートは、約100から約300までエッチングされることを特徴とする方法。

【請求項28】

請求項26において、前記窪み付き導電性ゲート上に誘電体層を形成するステップをさらに備えたことを特徴とする方法。

【請求項29】

請求項26において、前記窪み付き導電性ゲート上にシリサイド層を形成するステップをさらに備えたことを特徴とする方法。

【請求項30】

請求項18において、前記絶縁層は、窒化シリコンおよび酸化シリコンからなるグループから選択された材料で形成されることを特徴とする方法。

【請求項 3 1】

請求項 1 8 において、前記絶縁材料は、酸化物材料を含むことを特徴とする方法。

【請求項 3 2】

請求項 1 8 において、絶縁スペーサを前記ゲート構造の側壁に形成するステップをさらに備えたことを特徴とする方法。

【請求項 3 3】

請求項 1 8 において、前記メモリセルは、DRAMメモリセルであることを特徴とする方法。

【請求項 3 4】

請求項 1 8 において、前記メモリセルは、IC (integrated circuit) の一部であることを特徴とする方法。

【請求項 3 5】

請求項 1 8 において、前記メモリセルは、プロセッサに結合されたメモリ回路の一部であり、前記プロセッサと前記メモリ回路の少なくとも一方は、前記ゲート構造を備えたことを特徴とする方法。

【請求項 3 6】

半導体デバイス用のトランジスタ構造を形成する方法において、

半導体基板上の絶縁層に、絶縁材料を有し第1方向に延在させた絶縁領域を形成する工程と、

1組のトレンチを、前記第1方向と直交する第2方向に、前記絶縁層から前記半導体基板内に延在するように形成した工程と、

前記絶縁領域の領域を窪ませ、前記1組のトレンチに隣接する窪みを有する絶縁領域を形成する工程と

を備えたことを特徴とする方法。

【請求項 3 7】

請求項 3 6 において、前記1組のトレンチにゲート酸化物を形成する工程と、

前記ゲート酸化物および前記窪みを有する絶縁領域上に導電層を形成する工程と、

前記窪みを有する絶縁領域に関する前記導電層を研磨して導電性ゲートを形成する工程と

をさらに備えたことを特徴とする方法。

【請求項 3 8】

請求項 3 7 において、前記導電性ゲートをエッチングして窪み付き導電性ゲートを形成する工程をさらに備えたことを特徴とする方法。

【請求項 3 9】

請求項 3 8 において、前記導電性ゲートは、約 100 から約 300 までエッチングされることを特徴とする方法。

【請求項 4 0】

請求項 3 8 において、前記窪み付き導電性ゲートは、約 1000 から約 2000 の幅に形成されることを特徴とする方法。

【請求項 4 1】

請求項 3 8 において、前記窪み付き導電性ゲート上にシリサイド層を形成する工程をさらに備えたことを特徴とする方法。

【請求項 4 2】

半導体デバイス用のゲート構造を形成する方法において、

半導体基板上の絶縁層内に、絶縁材料を有し第1方向に延在させた絶縁領域用の浅いトレンチを形成する工程と、

前記半導体基板内に、前記絶縁層から延在させた複数のトレンチを形成する工程であって、前記複数のトレンチが、前記第1方向と直交する第2方向に形成される工程と、

前記浅いトレンチの領域を窪ませ、前記複数のトレンチに隣接する絶縁領域用の窪みを有する浅いトレンチを形成する工程と、

前記複数のトレンチ内にゲート酸化物を形成する工程と、
前記ゲート酸化物および絶縁領域用の前記窪みを有する浅いトレンチ上に導電層を形成する工程と、
絶縁領域用の前記窪みを有する浅いトレンチに関する前記導電層を研磨して導電性ゲートを形成する工程と、
前記導電性ゲートをエッティングして窪み付き導電性ゲートを形成する工程とを備えたことを特徴とする方法。

【請求項 4 3】

請求項 4 2において、前記窪み付き導電性ゲートは、約 1000 から約 2000 の幅に形成されることを特徴とする方法。

【請求項 4 4】

約 1000 から約 2000 の幅を有する窪みを有するゲート構造において、
厚さが約 30 から約 100 を有する酸化物層と、
前記酸化物層の上に重ねて設けたポリシリコン層と、
前記酸化物層の上に重ねて設けた誘電体層と
を有することを特徴とする窪みを有するゲート構造。

【請求項 4 5】

基板上に形成され、少なくとも 1 つの窪みを有するゲート構造であって、酸化物層と、
前記酸化物層の上に重ねて設けたポリシリコン層と、前記酸化物層の上に重ねて設けた誘電体層とを有するゲート構造であり、少なくとも一部分を前記基板の表面全体に位置させたゲート構造であり、前記少なくとも一部分が該一部分の側壁にスペーサを有するゲート構造と、

前記基板の前記表面全体に位置させたコンテナコンデンサと
を有することを特徴とする D R A M セル。

【請求項 4 6】

請求項 4 5において、前記ゲート構造は、約 1000 から約 2000 の幅を有することを特徴とする D R A M セル。

【請求項 4 7】

請求項 4 5において、前記酸化物層は、厚さ約 30 から約 100 を有することを特徴とする D R A M セル。

【請求項 4 8】

請求項 4 5において、前記スペーサは、窒化物材料を備えたことを特徴とする D R A M セル。

【請求項 4 9】

請求項 4 8において、前記窪みを有するゲート構造のそれぞれの側に位置するソース領域およびドレイン領域であって、前記基板の前記表面全体に位置させた前記部分から、少なくとも前記スペーサの厚さだけ間隔を置いて配置されたソース領域およびドレイン領域をさらに備えたことを特徴とする D R A M セル。

【請求項 5 0】

請求項 4 5において、前記ゲート構造は、前記ポリシリコン層上に形成されたシリサイド層をさらに有することを特徴とする D R A M セル。

【請求項 5 1】

請求項 4 5において、前記窪みを有するゲート構造の上に延び、前記基板の前記表面全体に位置させたビット線をさらに備えたことを特徴とする D R A M セル。

【請求項 5 2】

基板上に形成した少なくとも 1 つの窪み付きゲート構造であって、約 1000 から約 2000 の幅を有するゲート構造であり、酸化物層と、該酸化物層の上に重ねて設けたポリシリコン層と、前記酸化物層の上に重ねて設けた誘電体層とを有するゲート構造であり、前記基板の表面全体に位置する少なくとも一部分と、前記基板の前記表面の下に位置する少なくとも一部分とを有し、前記基板の前記表面の上に全体的に位置する前記一部分

は、その側壁にスペーサを有する、少なくとも1つの窪みを有するゲート構造と、

前記窪みを有するゲート構造のそれぞれの側に位置し、かつ前記基板の前記表面の下に位置するソース領域およびドレイン領域であって、前記窪みを有するゲート構造から、少なくとも前記スペーサの厚さだけ間隔を置いて配置されたソース領域およびドレイン領域と、

前記基板の前記表面全体に位置させたコンテナコンデンサと、

前記基板の前記表面全体に位置させたピット線であって、前記窪みを有するゲート構造に接続された少なくとも1つのピット線と
を備えたことを特徴とするDRAMセル。