

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96123239

※ 申請日期： 96.6.27

※IPC 分類：

G11C 29/42 (2006.01)

一、發明名稱：(中文/英文)

記憶體裝置中之可靠性、可用性及耐用性改良技術

IMPROVING RELIABILITY, AVAILABILITY, AND SERVICEABILITY IN A MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司 / INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛 / SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道 2200 號

2200 Mission College Blvd., Santa Clara, CA, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

貝恩斯 庫吉特 S. / BAINS, KULJIT S.

國 籍：(中文/英文)

印度 / INDIA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、 2006/06/30、 11/479,067

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明之實施例一般係有關積體電路之領域，而更特
5 定於，有關一記憶體裝置中之可靠性、可用性、及耐用性
改良技術的系統、方法及設備。

【先前技術】

發明背景

記憶體裝置易受諸如暫態(或軟性)錯誤之錯誤所影
10 響。若該等錯誤不適當處置，則其可能造成一計算系統失
靈。錯誤修正碼(ECC)型式之冗餘資訊可用於改良整體系統
的可靠性。然而，該冗餘資訊會增加該記憶體系統之儲存
需求，並因此增加該記憶體系統之成本，於是，ECC 典型
僅用於高階或任務關鍵的系統。較低成本(或較不關鍵)的系
15 統並不使用 ECC 而是提供適合其使用之可靠性的一準位。

某些實施例中，藉由加入額外的記憶體裝置(例如，動
態隨機存取記憶體(DRAM)裝置)，該等額外的儲存位元可
加入該系統。例如，使用八個 DRAM 來儲存資料之一系統
亦可使用一額外 DRAM 來儲存該等檢查碼。其他實例中，
20 該等額外位元儲存於特別針對於 ECC 系統使用所設計之一
變動 DRAM 中。例如，一非 ECC DRAM 可具有 256 百萬
位元的容量及 16 個輸出。該 DRAM 之該 ECC 變動可具有
288 百萬位元的容量及 18 個輸出。該等兩範例中，該等 ECC
系統具有較該非 ECC 系統的儲存容量多 12.5%。

於ECC系統使用不同DRAM裝置具有若干缺點。例如，會有相關設計、製造、及編製上之成本增加，一DRAM裝置中會有兩個(或更多)的變數。此外，一ECC變動DRAM裝置較其非ECC變動DRAM裝置大，而因此，製造上會更加困難。將該等額外位元加入該ECC變動DRAM會降低裝置的產出，因此，增加該等裝置之成本。一DRAM裝置使用兩個(或更多)變數的另一缺點是，需要與該等DRAM裝置介接之記憶體控制器來支援額外的插針(例如，ECC插針)。再者，因為一ECC變動DRAM模組之接頭較其非ECC變動DRAM模組的接頭大，所以其於一母板上會使用更多空間。

【發明內容】

依據本發明之一實施例，係特地提出一種記憶體裝置，包含：一記憶體核心，其具有用於儲存資料位元之一第一部分，以及用於儲存對應該等資料位元之錯誤修正碼(ECC)位元(儲存之ECC位元)的一第二部分；以及與該記憶體核心位於相同晶粒之錯誤修正邏輯，該錯誤修正邏輯包括用於計算對應該等資料位元之ECC位元(計算之ECC位元)的ECC計算邏輯。

圖式簡單說明

本發明之實施例經由範例、而非經由限制來加以繪示，該等伴隨圖式之圖形中，相同參考數字參照為類似元件。

第1圖是一繪示根據本發明之一實施例來實施的一計算系統之選定觀點的高階方塊圖。

第2圖是一繪示根據本發明之一實施例來實施的一動態隨機存取記憶體(DRAM)之選定觀點的方塊圖。

第3圖是一繪示根據本發明之一實施例來實施的一動態隨機存取記憶體(DRAM)之選定觀點的方塊圖。

5 第4圖是一繪示根據本發明之一實施例，資料位元及錯誤檢查位元間之該位址對映的一範例之方塊圖。

第5A圖及第5B圖繪示根據本發明之一實施例，一序列寫入資料訊框之選定觀點。

10 第6圖是一繪示根據本發明之一實施例，晶載錯誤修正邏輯之選定觀點的方塊圖。

第7圖是一繪示根據本發明之一實施例，從一記憶體裝置讀取資料之選定觀點的流程圖。

第8圖繪示根據本發明之一實施例，一序列讀取資料訊框之選定觀點。

15 第9圖是一繪示根據本發明之一實施例的一電子系統之選定觀點的方塊圖。

第10圖是一繪示根據本發明之一替代實施例的一電子系統之選定觀點的方塊圖。

【實施方式】

20 較佳實施例之詳細說明

本發明之實施例一般係針對一記憶體裝置中之可靠性、可用性、及耐用性改良技術。某些實施例中，一記憶體裝置包括至少一個具有一第一記憶庫及一第二記憶庫之分開的成對記憶庫。于該錯誤檢查模式中，資料位元可儲

存於該等記憶庫的其中之一，而該等對應錯誤檢查位元儲存於另一記憶庫中。使用一暫存器位元(例如，一模式暫存器組合(MRS)暫存器位元)，該記憶體裝置可組配來支援每一種模式。該記憶體裝置亦可包括錯誤修正邏輯。如進一步說明，藉由將ECC產生邏輯與比較邏輯整合於該記憶體裝置中，該錯誤修正邏輯可允許使用附有讀取轉回資料之循環冗餘碼(CRC)位元。

第1圖是一繪示根據本發明之一實施例來實施的一計算系統之選定觀點的高階方塊圖。計算系統100包括要求器102、記憶體控制器(或主機)110、記憶體裝置130、以及互連線段120。記憶體控制器110至少部分控制要求器102與記憶體裝置130間之資訊轉換。要求器102可為一處理器(例如，一中央處理單元及/或一核心)、一服務處理器、一輸入/輸出裝置(例如，一週邊元件互連(PCI)快速裝置)、記憶體本身、或要求接取記憶體之系統100的其他任何元件。某些實施例中，記憶體控制器110與要求器102位於相同晶粒上。

該繪示實施例中，記憶體控制器110包括錯誤檢查邏輯112、模式指示器114、以及記憶體裝置定址邏輯116。錯誤檢查邏輯112使用冗餘資訊來保護資料免於某些具體的故障。某些實施例中，錯誤檢查邏輯112是一錯誤修正碼(ECC)。

如以下進一步說明，某些實施例中，記憶體裝置130可于一錯誤檢查模式或一非錯誤檢查模式中操作。于一錯

誤檢查模式中操作時，記憶體裝置130儲存資料位元及對應錯誤檢查碼(例如，ECC位元)兩者。于一非錯誤檢查模式中操作時，(實質上)記憶體裝置130之整個容量用於儲存資料位元。模式指示器114提供記憶體裝置130于一錯誤檢查模
 5 式或一非錯誤檢查模式中操作的一指示。某些實施例中，模式指示器114包括一或更多暫存器位元。

某些實施例中，記憶體裝置130根據其于該錯誤檢查模式或該非錯誤檢查模式中來施用對映讀取/寫入資料之一不同位址。例如，該錯誤檢查模式中使用之該位址對映可
 10 說明該錯誤檢查位元之對映(例如，ECC位元)。位址對映邏輯116可使記憶體控制器110察覺記憶體裝置130使用之該位址對映。位址對映邏輯116可以是能夠提供若干記憶體位置之位址對映的一指示之任何邏輯。

記憶體裝置130可以是包括一動態隨機存取記憶體裝置(或僅為一DRAM)之各式各樣裝置的任何一種。記憶體核
 15 心141可組織為一或更多分開的成對記憶庫140。一分開的成對記憶庫參照為可組配作為一單記憶庫或兩分開的記憶庫之一對記憶庫。某些實施例中，該等分開的成對記憶庫之每一記憶庫具有其自己的列解碼器與欄解碼器。

20 某些實施例中，該等分開的成對記憶庫之每一記憶庫可提供一記憶體頁面。例如，記憶庫0A提供頁面142而記憶庫0B提供頁面144。一“記憶庫”參照為一記憶體裝置所提供之記憶體位置的一陣列。整體上，記憶庫142及144可提供邏輯頁面146。該術語“邏輯頁面”參照為兩個或更多實體記

憶庫之一邏輯組合。某些實施例中，頁面142及144之每一個提供1千位元組(K位元組)記憶體而邏輯頁面146提供一純淨有效頁面尺寸2K位元組。

該繪示實施例中，記憶體裝置130包括模式指示器132、告示寫入緩衝器134、部分寫入遮罩136、以及欄位址產生邏輯138。模式指示器132提供記憶體裝置130于一錯誤檢查模式或一非錯誤檢查模式中操作的一指示。某些實施例中，模式指示器132包括諸如一模式暫存器組合(MRS)之一暫存器的一或更多位元。告示寫入緩衝器134是資料寫入記憶體裝置130之該記憶體核心前先告示的一緩衝器。部分寫入遮罩136提供寫入該記憶體核心之資料一寫入遮罩。某些實施例中，部分寫入遮罩136用於接取與儲存於記憶體裝置130之資料相關聯的錯誤檢查位元。某些實施例中，欄位址產生邏輯138針對與儲存於記憶體裝置130之資料相關聯的錯誤檢查位元來產生欄位址資訊。

記憶體裝置130亦可包括晶載錯誤修正邏輯160。某些實施例中，記憶體裝置130于該錯誤檢查模式中操作時，錯誤修正邏輯160可增強其可靠性、可用性、以及耐用性(RAS)。特別是，某些實施例中，即使記憶體裝置130于該錯誤檢查模式中操作，錯誤修正邏輯160仍允許記憶體裝置130使用附有讀取轉回資料之CRC位元。某些實施例中，錯誤修正邏輯160包括ECC計算邏輯與比較邏輯。該計算與比較邏輯允許該裝置局部計算讀取資料之ECC位元，並比較該局部計算之ECC位元與儲存之ECC位元。若該局部計算

之ECC位元與該儲存之ECC位元匹配，則該等CRC位元可取代該讀取轉回資料中之ECC位元。該ECC修正邏輯可參照下列第6圖至第8圖來進一步說明。

第2圖是一繪示根據本發明之一實施例來實施的一動態隨機存取記憶體(DRAM)之選定觀點的方塊圖。DRAM 200包括16個記憶庫(0A至7B)或8個分開的成對記憶庫(例如，分開的成對記憶庫0A、0B)。某些實施例中，DRAM 200可組配作為一x4或x8 DRAM。x4模式中，DRAM 200提供16個記憶庫(0A至7B)，而每一記憶庫提供64位元資料至4支資料(DQ)插針。x8模式中，DRAM 200提供8個分開的成對記憶庫以提供128位元資料至8支DQ插針。

某些實施例中，DRAM 200可組配來于一錯誤檢查模式(例如，一ECC模式)或一非錯誤檢查模式中操作。于一錯誤檢查模式中操作時，藉由儲存該分開記憶庫之一成員(例如，記憶庫0A)中的資料以及該分開記憶庫之另一成員(例如，記憶庫0B)中的對應錯誤檢查位元(例如，ECC位元)，DRAM 200可權衡其分開的記憶庫架構。某些實施例中，于該錯誤檢查模式中操作時，DRAM 200組配作為一x8 DRAM。

第3圖是一繪示根據本發明之一實施例，一分開的成對記憶庫中之儲存資料位元及錯誤檢查位元的選定觀點之方塊圖。分開的成對記憶庫300包括記憶庫0A及記憶庫0B。某些實施例中，資料儲存於每一記憶庫中之該位置的高達N/M(例如，7/8)，而對應錯誤檢查位元儲存於分開的成對

記憶庫300之另一成員的最後1/M(例如，1/8)。例如，涵蓋儲存於記憶庫0A之該資料的該等錯誤檢查位元可儲存於記憶庫0B之該等記憶體位置的前1/8(302)。同樣地，涵蓋儲存於記憶庫0B之該資料的該等錯誤檢查位元可儲存於記憶庫0A之該等記憶體位置的前1/8(304)。某些實施例中，該等錯誤檢查位元是錯誤檢查碼(ECC)位元。

某些實施例中，一主機(例如，顯示於第1圖之記憶體控制器110)可對該分開的成對記憶庫之一特定記憶庫定址以識別接收/提供該等資料位元之該記憶庫。若該記憶體裝置處於該錯誤檢查模式，則其使用其內部邏輯(例如，顯示於第1圖之部分寫入遮罩136、欄位址產生邏輯138、等等)來接取對應該等資料位元之該等錯誤檢查位元。接取資料位元及對應錯誤檢查位元可參照下列第4圖至第8圖作進一步說明。

第4圖是一繪示根據本發明之一實施例，資料位元及錯誤檢查位元間之該位址對映的一範例之方塊圖。該繪示實施例中，如410所示，該等資料位元儲存於一分開的成對記憶庫中之一記憶庫所提供的一頁面之7/8。該等對應錯誤檢查位元儲存於該分開的成對記憶庫中之另一記憶庫的前面1/8(430)。例如，涵蓋位元組0-7之該等ECC位元如參考數字432所示儲存於記憶體位置896。同樣地，涵蓋位元組128-135之該等ECC位元如參考數字434所示儲存於記憶體位置897，而如第4圖所示，該型樣針對頁面410中之該等資料位元組來繼續。某些實施例中，記憶庫430之前面1/8的

最後位元組(例如，位置903)如參考數字436所示並不使用。
 某些實施例中，涵蓋位元組8-15之該等錯誤檢查位元儲存於位置905而該序列自我一直重複。

第5A圖及第5B圖繪示根據本發明之一實施例，一序列
 5 寫入資料訊框之選定觀點。第5A圖及第5B圖中繪示之該寫入序列可用於附有兩個記憶體裝置，具有一並列記憶體通道之一系統中。每一裝置可查看所有四個訊框並指定D0至D63或D64至D127。記憶體裝置之指定進一步說明如下。

某些實施例中，一寫入序列包括下列訊框：寫入標頭
 10 (Wh)502、ECC寫入訊框(We)504、寫入資料1(Wd1)506、以及寫入資料2(Wd2) 508。某些實施例中，每一訊框是九位元縱深(例如，單位間隔0至8或9至17)之一六位元訊框(標示0至5)。Wh 502包括該寫入序列之標頭資訊以及某些資料位元。

15 We 504轉換涵蓋該等相關聯資料位元之該等錯誤檢查位元(例如，顯示於UI 12-15之ECC位元510)。某些實施例中，該等錯誤檢查位元(例如，ECC位元)使用部分寫入遮罩編碼來轉換至記憶體裝置130。亦即，除了該等遮罩位元由錯誤檢查位元(例如，顯示於單位間隔12-15之ECC位元510)
 20 來取代之外，We 504可具有與一部分寫入遮罩訊框(Wm)相同的命令編碼。ECC位元ECC0-ECC7涵蓋資料位元D0-D63而ECC位元ECC8-ECC15涵蓋資料位元D64-D127。某些實施例中，該系統于該錯誤檢查模式中操作時，針對所有寫入資料之轉換會需要We訊框504。

Wd1 506及Wd2 508針對該寫入操作來轉換該等其餘之資料位元。資料位元D0-D63由一記憶體裝置來使用，而D64-D127由另一記憶體裝置來使用。某些實施例中，一記憶體裝置中之一暫存器位元用於判定哪個記憶體裝置挑選
5 哪些資料位元。例如，該MRS暫存器可用於將資料位元指定至一記憶體裝置。

某些實施例中，位址位元g1(512)設置於We 504以允許分開的PWB實施態樣之負載。某些實施例中，一記憶體裝置可選擇使用與加載該等PWB相關之g1。位址位元g1可設
10 置於該等寫入CAS來指出該等分開的記憶體庫其中之一用於資料儲存而另一記憶體庫用於ECC位元儲存。

第6圖是一繪示根據本發明之一實施例，晶載錯誤修正邏輯之選定觀點的方塊圖。某些實施例中，記憶體裝置600(例如，一DRAM)特別包括記憶體核心601及錯誤修正邏
15 輯607。記憶體核心601及錯誤修正邏輯607可整合於一共同晶片上。某些實施例中，記憶體核心601可包括諸如第一部分602及第二部分604之多個部分。例如，第一部分602及第二部分604之每一個可以是一分開的成對記憶體庫中之一分開的記憶體庫。資料位元603儲存於第一部分602而對應ECC
20 位元605儲存於第二部分604。某些實施例中，ECC位元605由一主機(例如，第1圖所示之記憶體控制器110)來計算並於一寫入資料訊框(例如，第5圖所示之ECC寫入訊框504)中提供至記憶體裝置600。

錯誤修正邏輯607包括用於改善記憶體裝置600之該

RAS的邏輯。某些實施例中，錯誤修正邏輯607包括用於檢查與修正ECC錯誤之邏輯。已用於傳遞ECC位元之該讀取資料訊框的部分之後可用於傳遞CRC位元。因此，該讀取資料訊框中不傳遞ECC位元的情況下，資料位元603可針對軟性錯誤及鏈路錯誤兩者而被涵蓋。

該繪示實施例中，錯誤修正邏輯607包括ECC修正邏輯606、ECC計算邏輯608、CRC計算邏輯610、比較器612、以及訊框邏輯單元(FLU)614。替代實施例中，錯誤修正邏輯607可包括更多元件、更少元件、以及/或者不同的元件。

此外，某些實施例中，繪示為錯誤修正邏輯607之一部分的一或更多該等元件可於一不同部分記憶體裝置600中來加以實施。

ECC計算邏輯608計算ECC位元來涵蓋資料603。某些實施例中，邏輯608使用與用來計算ECC位元605相同的多項式來計算該等ECC位元。例如，邏輯608可使用與第1圖所示之錯誤檢查邏輯112相同的多項式。邏輯608幾乎可使用任何的錯誤修正碼多項式。某些實施例中，該多項式可以是一ECC與一CRC之一組合。該繪示實施例中，邏輯608計算8個ECC位元來涵蓋64個資料位元。替代實施例中，ECC位元及/或資料位元之該數量可以不同。

比較器612比較該等計算之ECC位元與該等儲存之ECC位元(例如，ECC位元605)。若該等兩組ECC位元匹配，則比較器612確立一MATCH信號。若該等計算之ECC位元與該等儲存之ECC位元不匹配，則資料位元603可包含一錯

誤。某些實施例中，錯誤修正邏輯607包括ECC修正邏輯606來修正特定錯誤。該類實施例中，若該等兩組ECC位元不匹配，則比較器612可提供資料(例如，ECC位元不匹配之一指示)至ECC修正邏輯606，藉此其可修正該問題。某些實施例中，邏輯606包括單位元修正邏輯而SBC表示需從，例如，64位元來修正之該信號位元。若比較器612檢測到一錯誤具有邏輯606無法修正之一加權量，則其可確立該ALERT信號。例如，若比較器612檢測到一雙位元錯誤，則其可確立該ALERT信號。比較器612可以是適合比較一組位元與另一組位元，並用以響應該比較結果而確立一或更多信號之任何邏輯。

如上說明，ECC修正邏輯606包括用於修改特定類型錯誤(例如，單位元錯誤)之邏輯。某些實施例中，邏輯606接收資料位元603及該SBC資料來作為輸入及輸出修正資料。若未檢測到錯誤，則資料位元603可簡單流經ECC修正邏輯606。

CRC計算邏輯610計算CRC位元來涵蓋邏輯606所提供之該等資料位元(例如，修正之資料位元或該原始資料)。某些實施例中，CRC計算邏輯610計算8個CRC位元來涵蓋64個資料位元。替代實施例中，CRC位元之該數量及/或資料位元之該數量可以不同。CRC計算邏輯610可包括用於實施各式各樣CRC多項式之任何一種的邏輯。替代實施例中，可使用一不同方案來產生該等鏈路錯誤保護位元。例如，某些實施例中，邏輯610可實施一同位方案或用於提供鏈路

錯誤保護之其他任何方案。

訊框邏輯單元(FLU)614包括對該等資料位元及/或該等CRC位元製框以傳送至一要求器之邏輯。某些實施例中，FLU 614將該等CRC位元附接於該等資料位元。替代實施例中，FLU 614分別從該等資料位元來對該等CRC位元製框。某些替代實施例中，例如，若檢測到一雙位元錯誤時，FLU 614可發射該等失效之ECC位元。

第7圖是一繪示根據本發明之一實施例，從一記憶體裝置讀取資料之選定觀點的流程圖。參照程序區塊702，晶載錯誤修正邏輯從一記憶體核心(例如，第6圖所示之記憶體核心601)之個別部分來讀取資料位元及對應ECC位元。為了簡化說明，該術語“儲存之ECC位元”參照為該等資料位元寫入一記憶體裝置前產生的ECC位元，以及儲存於該記憶體裝置並具有其可涵蓋之該等資料位元的ECC位元。相較之下，該術語“計算之ECC位元”參照為與該記憶體核心位於相同晶粒之ECC計算邏輯所計算的ECC位元。

參照程序區塊704，晶載ECC計算邏輯(例如，第6圖所示之邏輯608)使用與用來計算該等儲存之ECC位元相同的多項式來計算該等資料位元之ECC位元。706中，該等計算之ECC位元與該等儲存之ECC位元比較。若該等計算之ECC位元與該等儲存之ECC位元匹配，則如708所示，晶載CRC計算邏輯計算一CRC以涵蓋該等位元。參照程序區塊710，該等CRC位元及該等資料位元(使用，例如，第6圖所示之FLU 614)傳送至一要求器。

若該等計算之ECC位元與該等儲存之ECC位元不匹配，則該晶載錯誤修正邏輯判定該等受檢測之錯誤是否具有晶載ECC修正邏輯可修正之一加權量。例如，程序區塊714顯示檢查一單位元錯誤之該錯誤修正邏輯。若該等資料位元包含一單位元錯誤，則其可於716中修正。之後CRC位元可被計算而該等CRC位元及修正之資料位元可傳送至一要求器(710)。某些實施例中，該修正之資料可寫回該記憶體核心及/或紀錄作為該主機稍後可取消之一暫存器位置中的一錯誤。

10 若該檢測錯誤具有指出其無法被修正之一加權值，則該錯誤修正邏輯使用，例如，一ALERT信號來紀錄一錯誤(718)。某些實施例中，該等失效ECC位元儲存於，例如，一暫存器位置中。某些實施例中，若一單位元錯誤或一雙位元錯誤被檢測到，則該錯誤修正邏輯送出該等ECC位元
15 (例如，並非該等CRC位元)至該要求器。該類實施例中，一ALERT信號亦可被確立。該主機之後可決定如何處理該損毀資料。

第8圖繪示根據本發明之一實施例的讀取資料訊框之選定觀點。若該系統(例如，第1圖所示之系統100)處於該錯誤檢查模式，則某些實施例中，64位元資料會於兩個背對背訊框上轉換。例如，訊框802及804於單位間隔(UI)0-7及
20 9-16傳遞64個資料位元。此外，訊框802及804傳遞8個CRC位元。例如，於UI 8中傳遞四個CRC位元，於UI 17中傳遞另外四個CRC位元。

某些實施例中，兩個讀取動作會並列執行而128個資料位元於四個訊框中轉換。例如，該繪示實施例中，訊框802及804轉換該等前64個資料位元(例如，d0-d63)，而訊框806及808轉換另外64個資料位元(例如，d64-d127)。涵蓋資料位元d0-d63(例如，CRC_A)之該等CRC位元個別於訊框802及804中之UI 8及17中轉換。同樣地，涵蓋資料位元d64-d127(例如，CRC_B)之該等CRC位元個別於訊框806及808中之UI 8及17中轉換。替代實施例中，該等讀取訊框可具有一不同結構及/或一不同數量之訊框可被傳遞。因為該等資料位元已涵蓋軟性錯誤及鏈路錯誤兩者，但僅該等CRC位元會隨著該等讀取資料訊框而轉回，所以該記憶體裝置之該RAS可被改善。

第9圖是一繪示根據本發明之一實施例的一電子系統之選定觀點的方塊圖。電子系統900包括處理器910、記憶體控制器920、記憶體930、輸入/輸出(I/O)控制器940、射頻(RF)電路950、以及天線960。操作上，系統900使用天線960來送出並接收信號，而該等信號由第9圖所示之該等各種不同元件來處理。天線960可以是一定向天線或是一全向天線。如本文所使用，該術語全向天線參照為於至少一平面上具有一實質一致型樣之任何天線。例如，某些實施例中，天線960可以是諸如一雙極天線或一四分之一波長天線之一全向天線。另外，例如，某些實施例中，天線960可以是諸如一拋物線天線、一微帶天線、或一八木天線之一定向天線。某些實施例中，天線960可包括多個實體天線。

射頻電路950與天線960及I/O控制器940通訊。某些實施例中，RF電路950包括對應一通訊協定之一實體介面(PHY)。例如，RF電路950可包括調變器、解調變器、混合器、頻率合成器、低雜訊放大器、功率放大器、等等。某些實施例中，RF電路950可包括一外差接收器，而其他實施例中，RF電路950可包括一直接轉換接收器。例如，具有多個天線960之實施例中，每一天線可耦合至一對應接收器。操作上，RF電路950從天線960接收通訊信號並提供類比或數位信號至I/O控制器940。此外，I/O控制器940可提供信號至RF電路950，其操作該等信號並之後將其發射至天線960。

處理器910可以是任何類型之處理裝置。例如，處理器910可以是一微處理器、一微控制器、等等。再者，處理器910可包括任何數量之處理核心或可包括任何數量之分開處理器。

記憶體控制器920提供處理器910與第9圖所示之其他元件間之一通訊路徑。某些實施例中，記憶體控制器920是亦提供其他功能之一集線器的一部分。如第9圖所示，記憶體控制器920耦合至處理器910、I/O控制器940、以及記憶體930。

記憶體930可包括多個記憶體裝置。該等記憶體裝置可根據任何類型之記憶體技術來製造。例如，記憶體930可以是隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、諸如快閃記憶體之非依電性記憶體、或可以是其他類型之記憶體。記憶體930可支援一

錯誤檢查模式及一非錯誤檢查模式。某些實施例中，記憶體930包括晶載錯誤修正邏輯932。藉由將ECC產生邏輯與比較邏輯整合至該記憶體裝置，錯誤修正邏輯932可允許使用附有讀取轉回資料之循環冗餘碼(CRC)位元。

5 記憶體930可表示一單一記憶體裝置或一或更多模組上之若干記憶體裝置。記憶體控制器920透過互連線段922將資料提供至記憶體930，並用以響應讀取要求而從記憶體930接收資料。命令及/或位址可透過互連線段922或透過一不同的互連線段(未顯示)而提供至記憶體930。記憶體控制
10 器920可從處理器910或其他來源接收儲存於記憶體930中之資料。記憶體控制器920可將其從記憶體930接收之該資料提供至處理器910或其他目的。互連線段922可包括一雙向互連線段或一單向互連線段。互連線段922可包括若干平行導體。該等信號可為差動信號或單端信號。某些實施例
15 中，互連線段922可使用一正向多重相位時鐘方案來操作。

記憶體控制器920亦耦合至I/O控制器940並提供處理器910與I/O控制器940間之一通訊路徑。I/O控制器940包括用來與諸如串列埠、並列埠、通用串列匯流排(USB)埠等等之I/O電路通訊的電路。如第9圖所示，I/O控制器940提供一
20 通訊路徑至RF電路950。

第10圖是一繪示根據本發明之一替代實施例的一電子系統之選定觀點的方塊圖。電子系統1000包括記憶體930、I/O控制器940、RF電路950、以及天線960，其所有元件皆參照上述第9圖來說明。電子系統1000亦包括處理器1010以

及記憶體控制器1020。如第10圖所示，記憶體控制器1020可與處理器1010位於相同晶粒。處理器1010可以是如參照上述處理器910(第5圖)之任何類型的處理器。第9圖及第10圖表示之示範系統包括桌上型電腦、膝上型電腦、伺服器、
5 行動電話、個人數位助理、數位家庭系統、等等。

本發明之實施例的元件亦可提供來作為用於儲存該等機器可執行指令之一機器可讀媒體。該機器可讀媒體可包括，但不侷限於，快閃記憶體、光碟、唯讀光碟記憶體(CD-ROM)、多樣化數位/視訊光碟(DVD)ROM、隨機存取
10 記憶體(RAM)、可抹除可程式化唯讀記憶體(EPROM)、電子可抹除可程式化唯讀記憶體(EEPROM)、磁性或光學卡、適合儲存電子指令之傳播媒體或其他類型的機器可讀媒體。例如，本發明之實施例可下載來作為一電腦程式，其可藉由一載波或經由一通訊鏈路(例如，一數據機或網路連
15 接)之其他傳播媒體中具體化的資料信號，從一遠端電腦(例如，一伺服器)轉換至一要求電腦(例如，一用戶端)。

應體認整個說明書中，參照“某一實施例”或“一實施例”表示與該實施例相關說明之一特別特徵、結構或特性包括於本發明之至少一實施例中。因此，應強調與體認本說
20 明書之各種不同部分中，兩個或更多參照“一實施例”或“某一實施例”或“一替代實施例”並不需皆參照相同實施例。再者，該等特別的特徵、結構或特性可組合適於本發明之一或更多實例中。

同樣地，應體認本發明之實施例的上述說明中，為了

簡化該揭示內容以協助了解一或更多該等不同發明觀點，各種不同的特徵有時可共同聚集於一單一實施例、圖形、或其說明中。然而，該揭示內容之方法不應闡述為反映出一意圖是，該要求標的需具有較每一個申請專利範圍中明確引述的更多特徵。而是，如下列申請專利範圍所反映，發明觀點會小於上述揭示之一單一實施例的所有特徵。因此，依照該實施方式之該等申請專利範圍藉此可明確地合併於該實施方式中。

【圖式簡單說明】

10 第1圖是一繪示根據本發明之一實施例來實施的一計算系統之選定觀點的高階方塊圖。

第2圖是一繪示根據本發明之一實施例來實施的一動態隨機存取記憶體(DRAM)之選定觀點的方塊圖。

15 第3圖是一繪示根據本發明之一實施例來實施的一動態隨機存取記憶體(DRAM)之選定觀點的方塊圖。

第4圖是一繪示根據本發明之一實施例，資料位元及錯誤檢查位元間之該位址對映的一範例之方塊圖。

第5A圖及第5B圖繪示根據本發明之一實施例，一序列寫入資料訊框之選定觀點。

20 第6圖是一繪示根據本發明之一實施例，晶載錯誤修正邏輯之選定觀點的方塊圖。

第7圖是一繪示根據本發明之一實施例，從一記憶體裝置讀取資料之選定觀點的流程圖。

第8圖繪示根據本發明之一實施例，一序列讀取資料訊

框之選定觀點。

第9圖是一繪示根據本發明之一實施例的一電子系統之選定觀點的方塊圖。

第10圖是一繪示根據本發明之一替代實施例的一電子系統之選定觀點的方塊圖。

【主要元件符號說明】

100…計算系統	146…邏輯頁面
102…要求器	160…晶載錯誤修正邏輯
110…記憶體控制器(主機)	200…DRAM
112…錯誤檢查邏輯	300…成對記憶體庫
114、132…模式指示器	302…記憶體庫0B
116…記憶體裝置定址邏輯	304…記憶體庫0A
120…互連線段	410…頁面
122…CA	430…記憶體庫
124…RA	432、434、436…參考數字
126…錯誤檢查	502…寫入標頭
128…資料	504…ECC寫入訊框
130…記憶體裝置	506…寫入資料1
134…告示寫入緩衝器	508…寫入資料2
136…部分寫入遮罩	510、605…ECC位元
138…欄位址產生邏輯	512…位址位元g1
140…分開的成對記憶體庫	601…記憶體核心
141…記憶體核心	602…第一部分
142、144…頁面	603…資料位元

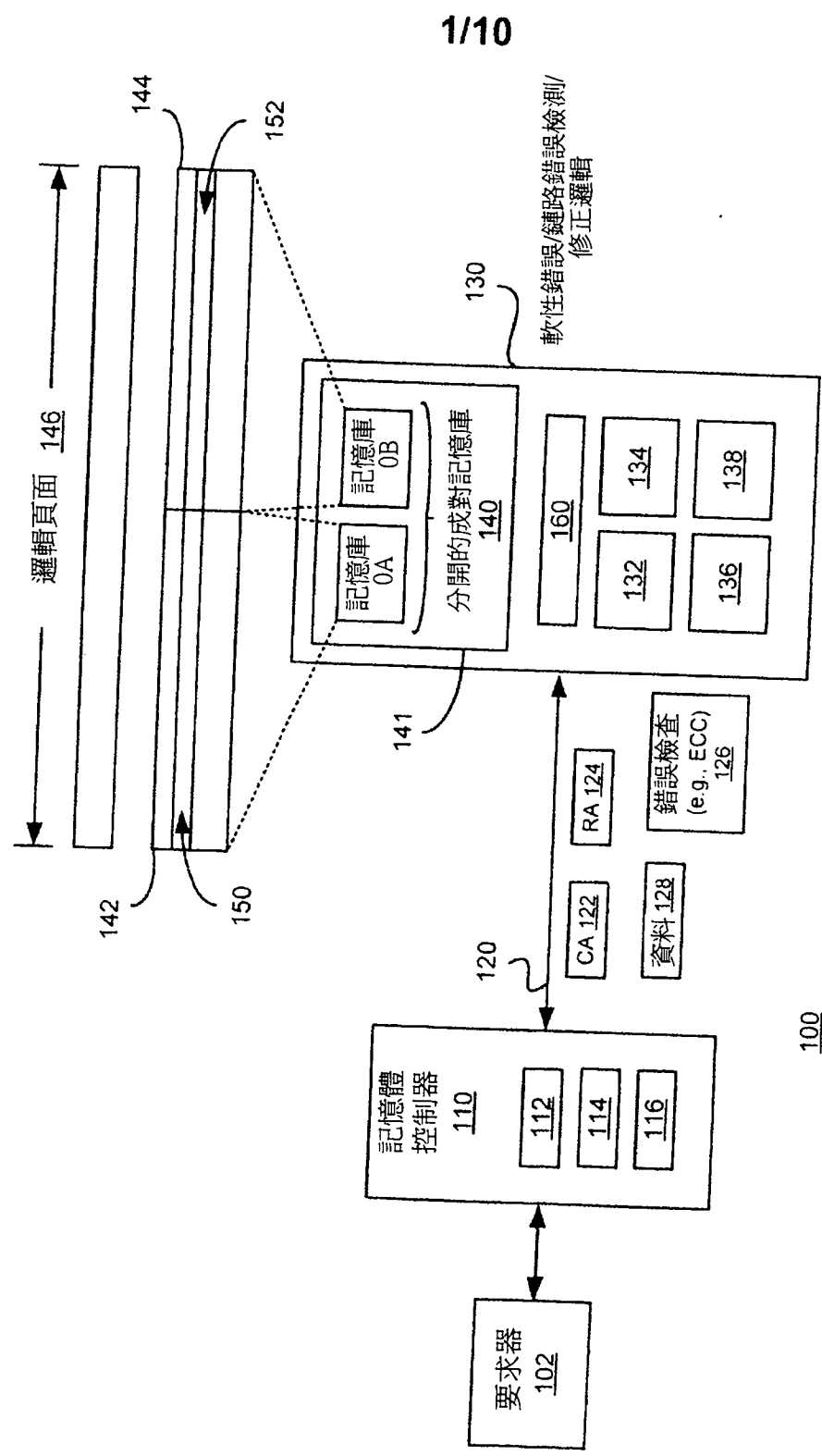
604... 第二部分	802、804、806、808... 訊框
605... ECC位元	897... 記憶體位置
606... ECC修正邏輯	900、1000... 電子系統
607、932... 錯誤修正邏輯	903、905... 位置
608... ECC計算邏輯	910、1010... 處理器
610... CRC計算邏輯	920、1020... 記憶體控制器
612... 比較器	930... 記憶體
614... 訊框邏輯單元	940... 輸入/輸出控制器
702、704、706、708、710、714、	950... 射頻電路
716、718... 處理方塊	960... 天線

五、中文發明摘要：

本發明之實施例一般係針對一記憶體裝置中之可靠性、可用性、及耐用性改良技術。某些實施例中，一記憶體裝置包括一記憶體核心，其具有用於儲存資料位元之一第一部分，以及用於儲存對應該等資料位元之錯誤修正碼(ECC)位元的一第二部分。該記憶體裝置亦可包括與該記憶體核心位於相同晶粒之錯誤修正邏輯。某些實施例中，該錯誤修正邏輯使該記憶體裝置能夠計算ECC位元以及比較該等儲存之ECC位元與該等計算之ECC位元。

六、英文發明摘要：

Embodiments of the invention are generally directed to improving the reliability, availability, and serviceability of a memory device. In some embodiments, a memory device includes a memory core having a first portion to store data bits and a second portion to store error correction code (ECC) bits corresponding to the data bits. The memory device may also include error correction logic on the same die as the memory core. In some embodiments, the error correction logic enables the memory device to compute ECC bits and to compare the stored ECC bits with the computed ECC bits.



第1圖

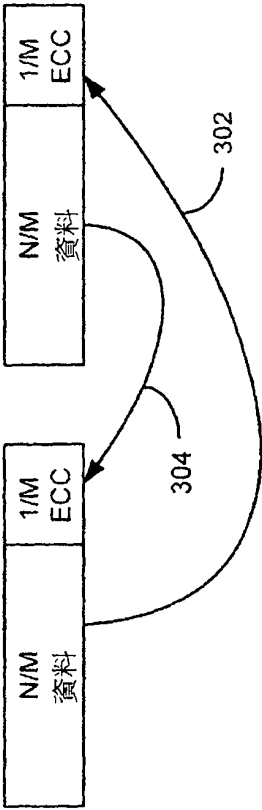
OA	橫列	2A	OB	橫列	2B
直行	DMUX	直行	直行	DMUX	直行
1A	橫列	3A	1B	橫列	3B
直行	加入	直行	直行	加入	直行
4 DQ					
直行	加入	直行	直行	加入	直行
4A	橫列	6A	4B	橫列	6B
直行	DMUX	直行	直行	DMUX	直行
5A	橫列	7A	5B	橫列	7B

200

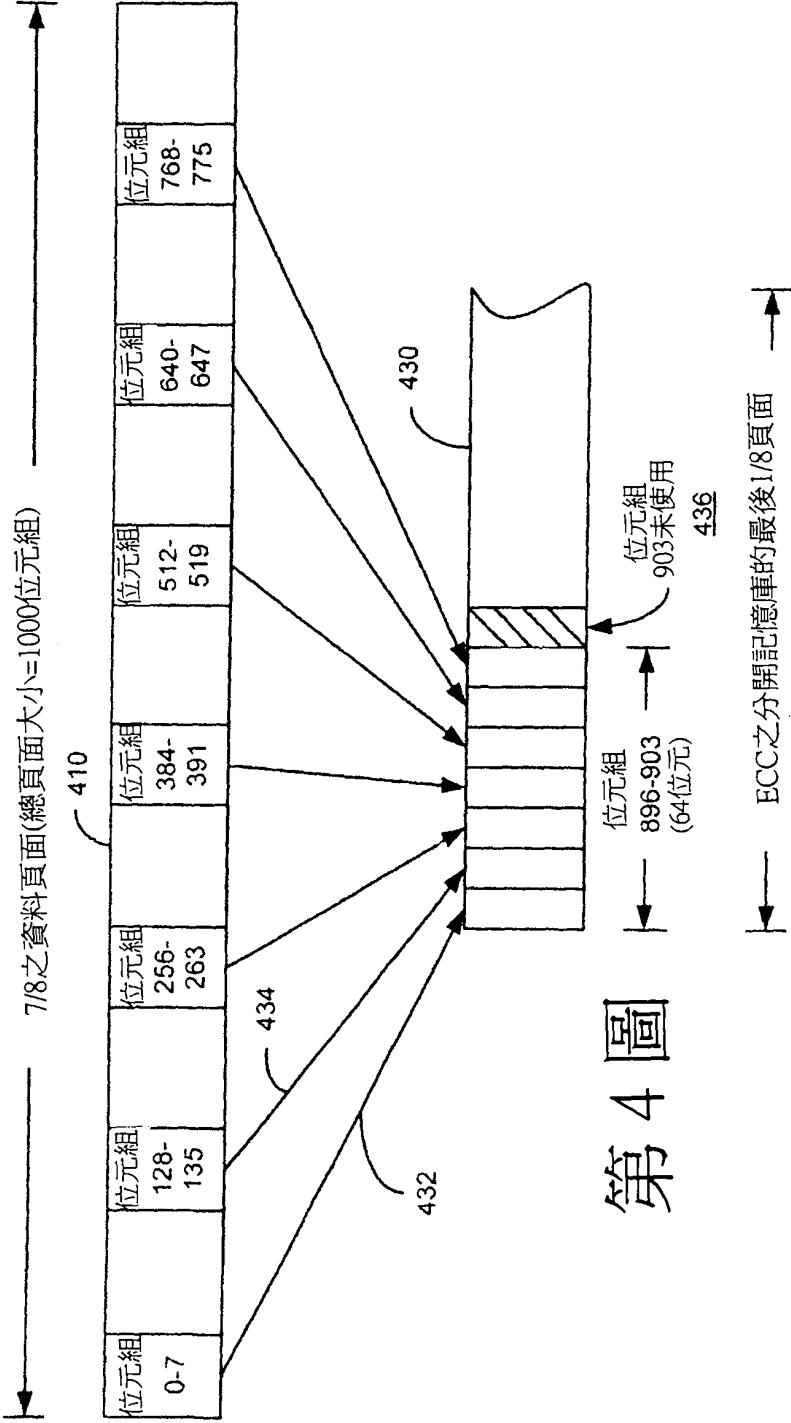
第2圖

分開的成對記憶庫 300

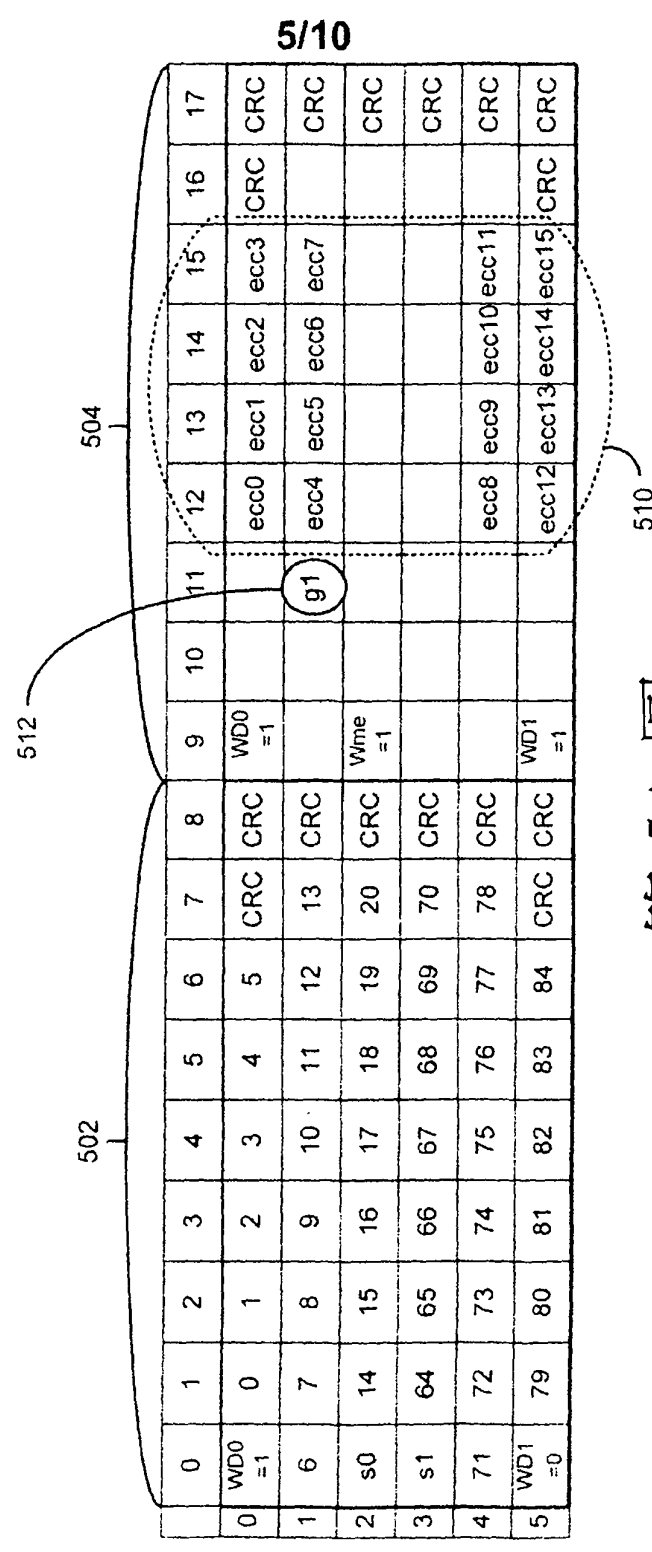
記憶庫0A(例如，1000頁) 記憶庫0B(例如，1000頁)



第3圖



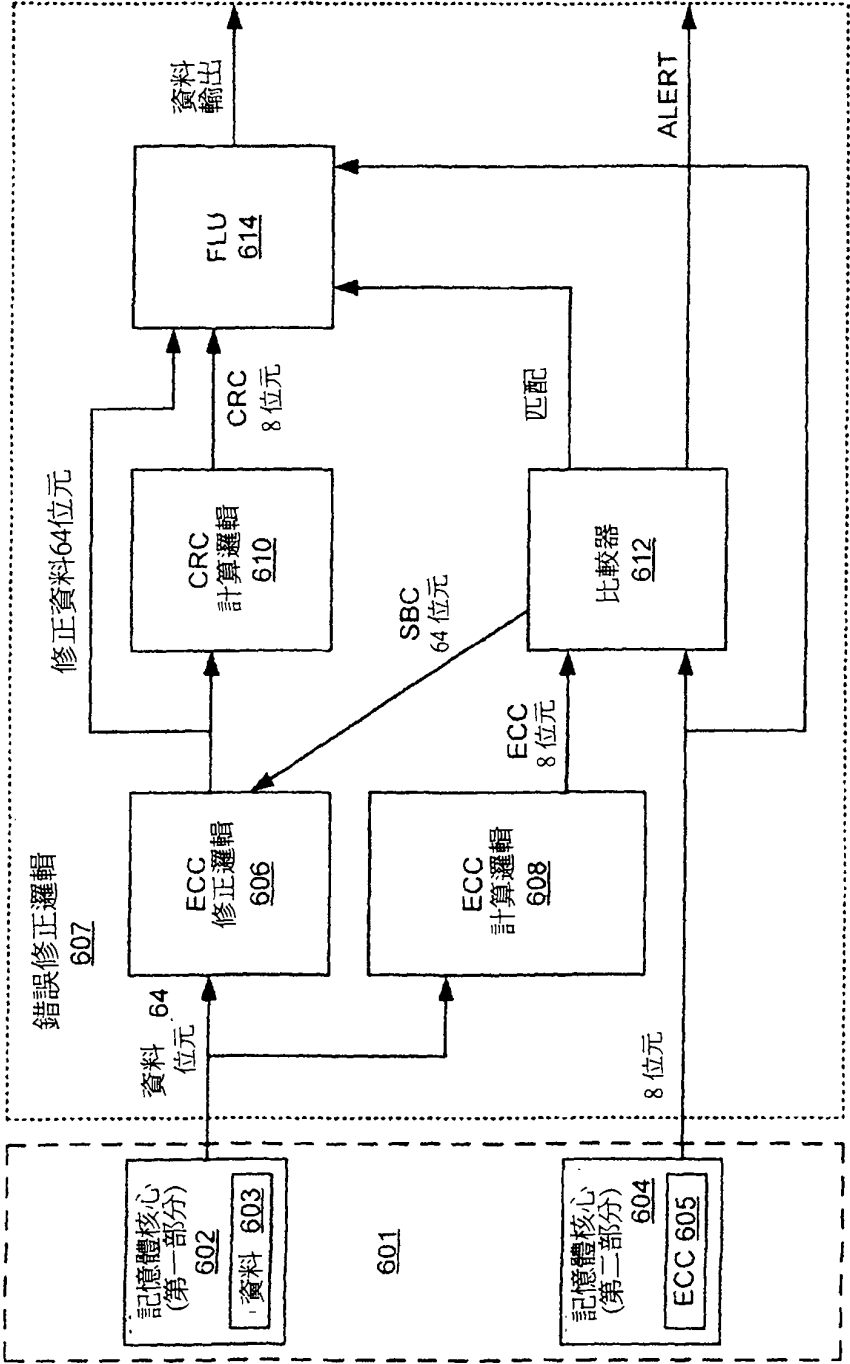
第4圖



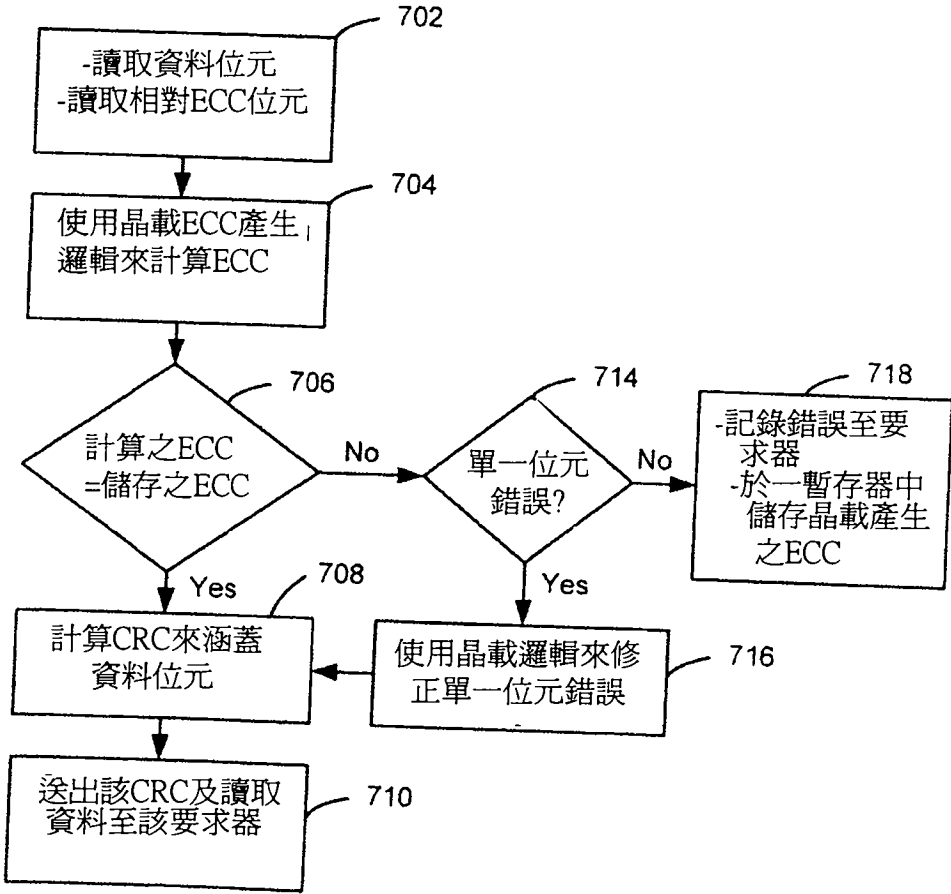
第5A圖

506										508									
18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35		
WD0 =1	21	22	23	24	25	26	CRC	CRC	WD0 =1	42	43	44	45	46	47	CRC	CRC		
27	28	29	30	31	32	33	34	CRC	48	49	50	51	52	53	54	55	CRC		
Wme =0	35	36	37	38	39	40	41	CRC	56	57	58	59	60	61	62	63	CRC		
	85	86	87	88	89	90	91	CRC	106	107	108	109	110	111	112	113	CRC		
92	93	94	95	96	97	98	99	CRC	114	115	116	117	118	119	120	121	CRC		
WD1 =1	100	101	102	103	104	105	CRC	CRC	WD1 =1	122	123	124	125	126	127	CRC	CRC		

第5B圖



第6圖

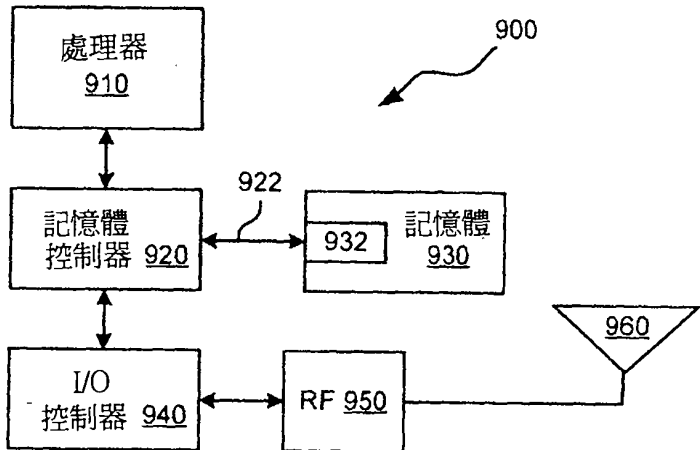


第 7 圖

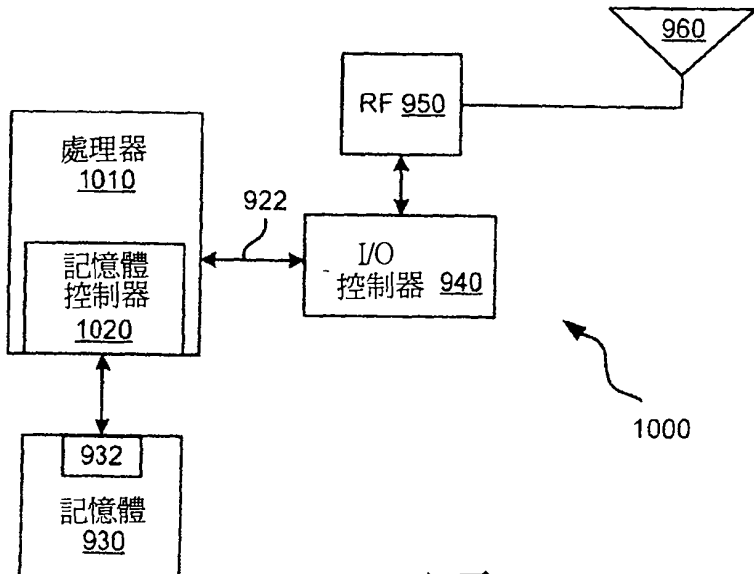
804																		
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
0	0	1	2	3	4	5	6	7	CRC_A	32	33	34	35	36	37	38	39	CRC_A
1	8	9	10	11	12	13	14	15	CRC_A	40	41	42	43	44	45	46	47	CRC_A
2	16	17	18	19	20	21	22	23	CRC_A	48	49	50	51	52	53	54	55	CRC_A
3	24	25	26	27	28	29	30	31	CRC_A	56	57	58	59	60	61	62	63	CRC_A

806																		
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
4	64	65	66	67	68	69	70	71	CRC_B	96	97	98	99	100	101	102	103	CRC_B
5	72	73	74	75	76	77	78	79	CRC_B	104	105	106	107	108	109	110	111	CRC_B
6	80	81	82	83	84	85	86	87	CRC_B	112	113	114	115	116	117	118	119	CRC_B
7	88	89	90	91	92	93	94	95	CRC_B	120	121	122	123	124	125	126	127	CRC_B

第8圖



第 9 圖



第 10 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100…計算系統	128…資料
102…要求器	130…記憶體裝置
110…記憶體控制器(主機)	134…告示寫入緩衝器
112…錯誤檢查邏輯	136…部分寫入遮罩
114、132…模式指示器	138…欄位址產生邏輯
116…記憶體裝置定址邏輯	140…分開的成對記憶庫
120…互連線段	141…記憶體核心
122…CA	142、144…頁面
124…RA	146…邏輯頁面
126…錯誤檢查	160…晶載錯誤修正邏輯

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

99. 11. 23 年 月 日修正本

1. 一種記憶體裝置，包含：

一記憶體核心，其具有用於儲存資料位元之一第一部分，以及用於儲存對應該等資料位元之錯誤修正碼(ECC)位元(儲存之ECC位元)的一第二部分；以及

與該記憶體核心位於相同晶粒上之錯誤修正邏輯裝置，該錯誤修正邏輯裝置包括用於計算對應該等資料位元之ECC位元(計算之ECC位元)的ECC計算邏輯裝置，其中該錯誤修正邏輯裝置更包含：

用以修正該等資料位元中之一錯誤的ECC修正邏輯裝置；

用以比較該等儲存之ECC位元與該等計算之ECC位元之一比較器；

用以產生對應該等資料位元之循環冗餘碼(CRC)位元的循環冗餘碼(CRC)產生邏輯裝置；以及

將該等CRC位元及該等資料位元傳送至一要求器之訊框化邏輯裝置。

2. 如申請專利範圍第1項之記憶體裝置，其中該記憶體核心包括一分開的成對記憶庫，其具有對應該第一部分之一第一記憶庫以及對應該第二部分之一第二記憶庫。

3. 如申請專利範圍第1項之記憶體裝置，其中該記憶體裝置包含一動態隨機存取記憶體(DRAM)裝置。

4. 如申請專利範圍第1項之記憶體裝置，其中該記憶體裝置能夠於一錯誤檢查模式及一非錯誤檢查模式中操作。

5. 如申請專利範圍第4項之記憶體裝置，其中該記憶體裝置更包含：用以將該等儲存之ECC位元對映至該記憶體核心之該第二部分的對映邏輯裝置。

6. 一種用以在記憶體裝置中提供錯誤修正功能的方法，包含下列步驟：

從一記憶體核心之一第一部分讀取資料位元；

從該記憶體核心之一第二部分讀取儲存之錯誤修正碼(ECC)位元；

使用ECC計算邏輯裝置來產生計算之ECC位元，其中該記憶體核心及該ECC計算邏輯裝置位於一共同積體電路上；

比較該等儲存之ECC位元與該等計算之ECC位元以判定該等儲存之ECC位元是否與該等計算之ECC位元匹配；以及

在修正單一的位元錯誤後，將CRC位元及該等資料位元傳送至一要求器。

7. 如申請專利範圍第6項之方法，其中該記憶體核心包括一分開的成對記憶庫，其具有對應該第一部分之一第一記憶庫以及對應該第二部分之一第二記憶庫。

8. 如申請專利範圍第6項之方法，更包含下列步驟：

若該等儲存之ECC位元與該等計算之ECC位元匹配，則計算對應該等資料位元之循環冗餘碼(CRC)位元；以及

將該等CRC位元及該等資料位元傳送至一要求器。

9. 如申請專利範圍第8項之方法，更包含下列步驟：

若該等儲存之ECC位元與該等計算之ECC位元不匹配，則判定該等資料位元是否含有一單一位元錯誤；以及

若該等資料位元含有一單一位元錯誤，則使用ECC修正邏輯裝置來修正該單一位元錯誤，其中該ECC修正邏輯裝置與該記憶體核心位於一共同積體電路上。

10. 如申請專利範圍第6項之方法，其中將該等CRC位元及該等資料位元傳送至該要求器之步驟，包含下列步驟：

於一讀取資料訊框中將該等資料位元訊框化；

將該等CRC位元附接於該讀取資料訊框；以及

將該讀取資料訊框傳送至該要求器。

11. 如申請專利範圍第9項之方法，更包含下列步驟：若該等資料位元不含有一單一位元錯誤，則將一錯誤報告一要求器。

12. 一種能作錯誤修正之系統，包含：

一動態隨機存取記憶體(DRAM)裝置，其包括：

一分開的成對記憶庫，其包括一第一記憶庫以及一第二記憶庫，其中若該DRAM裝置處於一錯誤檢查模式，則資料位元將儲存於該第一記憶庫而對應的錯誤修正碼(ECC)位元(儲存之ECC位元)將儲存於該第二記憶庫，以及

與該分開的成對記憶庫位於相同晶粒上之錯誤修正邏輯裝置，該錯誤修正邏輯裝置包括：

用以修正該等資料位元中之一錯誤的ECC修

正邏輯裝置；

用以比較該等儲存之ECC位元與計算之ECC位元的一比較器；

用以產生對應該等資料位元之循環冗餘碼(CRC)位元的循環冗餘碼(CRC)產生邏輯裝置；以及

將該等CRC位元及該等資料位元傳送至一要求器之訊框化邏輯裝置；以及

與該DRAM裝置耦合之該要求器。

13.如申請專利範圍第12項之系統，其中該錯誤修正邏輯裝置更包含：用以修正該等資料位元中之一錯誤的ECC修正邏輯裝置。

14.如申請專利範圍第13項之系統，其中該錯誤修正邏輯裝置更包含：用以比較該等儲存之ECC位元與該等計算之ECC位元的一比較器。

15.如申請專利範圍第12項之系統，其中該錯誤修正邏輯裝置更包含：用以產生對應該等資料位元之CRC位元的循環冗餘碼(CRC)產生邏輯裝置。

16.如申請專利範圍第15項之系統，其中錯誤修正邏輯裝置更包含：將該等CRC位元及該等資料位元傳送至一要求器之訊框化邏輯裝置。

17.如申請專利範圍第12項之系統，其中該DRAM裝置更包括：用以將該等儲存之ECC位元對映至該第二記憶庫的對映邏輯裝置。