

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G09G 3/28

(45) 공고일자 2005년09월15일
(11) 등록번호 10-0515329
(24) 등록일자 2005년09월08일

(21) 출원번호 10-2004-0024872
(22) 출원일자 2004년04월12일

(65) 공개번호
(43) 공개일자

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 최학기
충청남도천안시성성동500번지우성아파트105동1301호
박수진
충청남도아산시음봉면동암리삼성SDI기숙사그린동217호

(74) 대리인 유미특허법인

심사관 : 정재현

(54) 플라즈마 디스플레이 패널 및 그 구동 방법

요약

본 발명은 플라즈마 디스플레이 패널의 구동 방법에 관한 것으로, 전체 서브필드의 리셋 기간에, 제1 전압에서 제2전압으로 상승시킨후 하강하는 파형을 가진 메인 리셋 펄스와 제3 전압에서 제4 전압으로 하강하는 파형을 가진 보조 리셋 펄스를 선택적으로 인가하되, 한 프레임에서 상기 메인 리셋 펄스가 최초로 인가되는 서브필드에서, 상기 리셋 기간에서 형성된 전하 중에서 오방전을 일으킬 수 있는 전하를 소거하는 오방전 소거 펄스를 인가한다. 또한, 보조 리셋 펄스를 포함하는 서브필드 다음에 메인 리셋 펄스가 인가될 경우에도 오방전 제거 펄스를 인가한다. 이렇게 함으로써, 리셋 기간에 형성된 오방전을 방지할 뿐만 아니라 로직 입력 신호 타이밍 마진을 확보할 수 있고, 오방전 소거 펄스 파형의 출력 회수를 줄일 수 있어 오방전 소거 펄스 출력용 스위치의 스트레스를 감소시킬 수 있다.

대표도

도 11

색인어

PDP, 강방전, 리셋, 서스테인, 리셋, 어드레스, 오방전, 소거

명세서

도면의 간단한 설명

도 1은 플라즈마 디스플레이 패널의 개략적인 일부 사시도이다.

도 2는 플라즈마 디스플레이 패널의 전극 배열도이다.

도 3은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 5a 내지 도 5d는 각각 도 4의 구동 파형에 따른 벽 전하 분포도이다.

도 6a 내지 도 6c는 각각 도 4의 구동 파형에서 불안정한 리셋 동작이 일어난 경우의 벽 전하 분포도이다.

도 7은 도 4에 나타난 구동 파형의 변형예이다.

도 8은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 9는 본 발명의 제3 내지 제5 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널(plasma display panel, PDP)과 그 구동 방법에 관한 것이다.

플라즈마 디스플레이 패널은 기체 방전에 의해 생성된 플라즈마를 이용하여 문자 또는 영상을 표시하는 평면 표시 장치로서, 그 크기에 따라 수십에서 수백 만개 이상의 화소가 매트릭스 형태로 배열되어 있다. 먼저 도 1 및 도 2를 참조하여 플라즈마 디스플레이 패널의 구조에 대하여 설명한다.

도 1은 플라즈마 디스플레이 패널의 일부 사시도이며, 도 2는 플라즈마 디스플레이 패널의 전극 배열도를 나타낸다.

도 1에 나타난 바와 같이, 플라즈마 디스플레이 패널은 서로 마주보며 떨어져 있는 두 개의 유리 기판(1, 6)을 포함한다. 유리 기판(1) 위에는 주사 전극(4)과 유지 전극(5)이 쌍을 이루어 평행하게 형성되어 있으며, 주사 전극(4)과 유지 전극(5)은 유전체층(2) 및 보호막(3)으로 덮여 있다. 유리 기판(6) 위에는 복수의 어드레스 전극(8)이 형성되어 있으며, 어드레스 전극(8)은 절연체층(7)으로 덮여 있다. 어드레스 전극(8) 사이에 있는 절연체층(7) 위에는 어드레스 전극(8)과 격벽(9)이 형성되어 있다. 또한 절연체층(7)의 표면 및 격벽(9)의 양측면에 형광체(10)가 형성되어 있다. 유리 기판(1, 6)은 주사 전극(4)과 어드레스 전극(8) 및 유지 전극(5)과 어드레스 전극(8)이 직교하도록 방전 공간(11)을 사이에 두고 대향하여 배치되어 있다. 어드레스 전극(8)과, 쌍을 이루는 주사 전극(4)과 유지 전극(5)과의 교차부에 있는 방전 공간(11)이 방전 셀(12)을 형성한다.

그리고 도 2에 나타난 바와 같이, 플라즈마 디스플레이 패널의 전극은 $n \times m$ 의 매트릭스 구조를 가지고 있다. 열 방향으로 어드레스 전극($A_1 - A_m$)이 배열되어 있고 행 방향으로 n 행의 주사 전극($Y_1 - Y_n$) 및 유지 전극($X_1 - X_n$)이 쌍으로 배열되어 있다.

일반적으로 플라즈마 디스플레이 패널은 1 프레임이 복수의 서브필드로 나누어져 구동되며, 서브필드의 조합에 의해 계조가 표현된다. 각 서브필드는, 도 3에 나타난 바와 같이 리셋 기간(reset period), 어드레스 기간(address period), 서스테인 기간(sustain period)으로 이루어진다. 리셋 기간은 이전의 유지방전으로 형성된 벽 전하를 소거하고 다음의 어드레스 방전을 안정적으로 수행하기 위해 벽 전하를 셋업(setup) 하는 역할을 한다. 어드레스 기간은 패널에서 켜지는 셀과 켜지지 않는 셀을 선택하여 켜지는 셀(어드레스된 셀)에 벽 전하를 쌓아두는 동작을 수행하는 기간이다. 서스테인 기간은 어드레스된 셀에 실제로 화상을 표시하기 위한 유지방전을 수행하는 기간이다.

다음, 도 3을 참조하여 플라즈마 디스플레이 패널의 종래의 구동 방법에 대하여 설명한다.

도 3은 종래 기술에 의한 플라즈마 디스플레이 패널의 구동 파형도이다. 도 3에 나타낸 바와 같이, 리셋 기간은 소거 기간, 램프 상승 기간 및 램프 하강 기간으로 이루어진다.

소거 기간에서는 유지 전극(X)에 0V에서 V_e 전압을 향하여 완만하게 상승하는 소거 램프 파형이 인가된다. 그러면 유지 전극(X)과 주사 전극(Y)에 형성된 벽 전하는 점점 소거된다.

다음, 램프 상승 기간에서는 어드레스 전극(A) 및 유지 전극(X)을 0V로 유지하고, 주사 전극(Y)에는 V_s 전압에서 V_{set} 전압을 향하여 완만하게 상승하는 램프 파형이 인가된다. 이 램프 파형이 상승하는 동안 모든 방전 셀에서는 주사 전극(Y)으로부터 어드레스 전극(A) 및 유지 전극(X)으로 각각 1회째의 미약한 리셋 방전이 일어난다. 그 결과, 주사 전극(Y)에 (-) 벽 전하가 축적되고, 동시에 어드레스 전극(A) 및 유지 전극(X)에는 (+) 벽 전하가 축적된다.

이어서, 램프 하강 기간에서는 유지 전극(X)을 V_e 전압으로 유지한 상태에서, 주사 전극(Y)에 V_s 전압에서 0V를 향해 완만하게 하강하는 램프 파형을 인가한다. 이 램프 파형이 하강하는 동안 다시 모든 방전 셀에서는 2회째의 미약한 리셋 방전이 일어난다. 그 결과, 주사 전극(Y)의 (-) 벽 전하가 감소하고 유지 전극(X)의 (+) 벽 전하가 감소한다.

이와 같이 리셋 기간이 정상적으로 동작하면 주사 전극(Y)과 유지 전극(X)의 벽 전하가 소거되지만, 불안정한 리셋 동작으로 인하여 불안정한 방전이 일어날 수 있다. 이러한 불안정한 방전에는, 램프 상승 기간에 강방전이 일어난 후 주사 전극(Y)의 V_{set} 전압 하강시에 자기 소거(self-erasing)에 따른 방전이 일어나는 경우, 램프 상승 기간과 램프 하강 기간에 강방전이 일어나는 경우, 그리고 램프 하강 기간에서 강방전이 일어나는 경우가 있다. 이때, 첫 번째 경우에는 자기 소거에 따라 리셋 기능이 수행된다.

그러나 두 번째 및 세 번째의 경우에는 램프 하강 기간에서의 강방전으로 인하여 주사 전극(Y)에 (+) 벽 전하가 형성되고 유지 전극(X)에 (-) 벽 전하가 형성된다. 이때, 주사 전극(Y)과 유지 전극(X)에 형성된 벽 전하들에 의해 형성되는 벽 전압(V_{wxy1})이 수학적 1을 만족한다면, 어드레스 기간에서 어드레스 방전이 없어도 서스테인 기간에서 유지방전이 일어날 수 있다.

수학적 1

$$V_{wxy1} + V_s > V_f$$

여기서, V_{wxy1} 는 램프 하강 기간에서의 강방전으로 인하여 주사 전극(Y)과 유지 전극(X) 사이에서 형성되는 벽 전압이며, V_s 는 서스테인 기간에서 인가되는 첫 번째 서스테인 펄스에 의해 주사 전극(Y)과 유지 전극(X) 사이에서 형성되는 전압차이며, V_f 는 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압이다.

이와 같이 종래 구동 방법에 의하면 리셋 기간의 램프 하강 기간에서의 강방전으로 인하여 켜지지 않아야 할 방전 셀에서도 유지방전이 일어날 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 리셋 기간에서의 강방전으로 인해 발생할 수 있는 오방전을 제거하는 것이다. 특히, 서브필드마다 선택적으로 오방전 소거 기능 펄스를 인가하여 소자의 스트레스를 줄이고, 입력신호의 타이밍 마진을 폭넓게 가져가도록 하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위한 본 발명의 하나의 특징에 따른 플라즈마 디스플레이 패널의 구동방법은,

제1 기관 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기관 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되며, 전체 서브필드의 리셋 기간에, 제1 전압에서 제2전압으로 상승시킨후 하강하는 파형을 가진 메인 리셋 펄스와 제3 전압에서 제4 전압으로 하강하는 파형을 가진 보조 리셋 펄스를 선택적으로 인가하는 플라즈마 디스플레이 패널의 구동방법으로서,

한 프레임에서 상기 메인 리셋 펄스가 최초로 인가되는 서브필드에서,

상기 리셋 기간에서 형성된 전하 중에서 오방전을 일으킬 수 있는 전하를 소거하는 오방전 소거 단계를 더 포함하는 것을 특징으로 한다.

상기 오방전 소거 단계는,

상기 리셋 기간에서 상기 오방전을 일으킬 수 있는 전하가 형성된 경우에 상기 제1 전극과 상기 제2 전극 사이에서 방전을 일으킬 수 있는 방전 펄스를 상기 방전 셀에 인가하는 제1 단계, 그리고

상기 제1 단계의 방전에 의해 상기 제1 전극과 제2 전극에 형성되는 전하를 소거하기 위한 소거 펄스를 상기 방전 셀에 인가하는 제2 단계를 포함한다.

오방전을 일으킬 수 있는 전하는 리셋 단계에서 제1 전극과 제2 전극에 각각 형성된 제1 및 제2 전하를 포함하며, 제1 및 제2 전하에 의해 형성되는 전압은 어드레스 단계에서 선택되지 않은 방전 셀을 서스테인 단계에서 유지방전시킬 수 있는 전압이다.

한 실시예에 따르면, 오방전 소거 단계는 제1 전극에 제1 전압이 제1 기간동안 인가되는 단계, 그리고 제1 기간 이후에 제2 전극에 제2 전압이 제2 기간동안 인가되는 단계를 포함한다. 이때, 제1 전압은, 제1 전하와 제2 전하에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내인 것이 바람직하다. 그리고 제1 기간은 제1 전극과 제2 전극 사이의 방전에 의해 제1 전극과 제2 전극에 전하가 형성될 수 있는 범위 이내이고, 제2 기간에서의 제2 전압은 제1 기간에서 형성되는 전하를 소거할 수 있는 전압인 것이 바람직하다.

제2 기간에서, 제2 전압은 제3 전압에서 제4 전압까지 점진적으로 변화하는 전압일 수 있다. 또는 제2 전압은, 제1 기간에서 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전압과 함께 제1 전극과 제2 전극 사이의 방전을 일으킬 수 있는 범위 이내일 수도 있다. 이때, 제2 기간은 제1 전극과 제2 전극 사이의 방전에 의해 형성되는 전하가 제1 전극과 제2 전극에 소정량 이하로 쌓이게 할 수 있는 범위 이내인 것이 바람직하다.

본 발명의 다른 특징에 따른 플라즈마 디스플레이 패널은,

제1 기관,

상기 제1 기관 위에 각각 나란히 형성되는 복수의 제1 및 제2 전극,

상기 제1 기관과 마주보며 떨어져 있는 제2 기관,

상기 제1 및 제2 전극과 교차하며 상기 제2 기관 위에 형성되는 복수의 제3 전극, 그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀에 구동 신호를 공급하며, 전체 서브필드의 리셋 기간에, 제1 전압에서 제2전압으로 상승시킨후 하강하는 파형을 가진 메인 리셋 펄스와 제3 전압에서 제4 전압으로 하강하는 파형을 가진 보조 리셋 펄스를 선택적으로 인가하는 구동회로를 포함하며,

상기 구동회로는 한 프레임에서 상기 메인 리셋 펄스가 최초로 인가되는 서브필드에서, 리셋 기간과 어드레스 기간 사이에, 상기 제1 전극에 제1 전압을 인가하고 상기 제2 전극에 제2 전압을 인가하며,

상기 제1 전압과 제2 전압에 의해 상기 리셋 기간에서 형성된 전하 중에서 오방전을 일으킬 수 있는 전하가 소거되는 것을 특징으로 한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

이제 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 4는 본 발명의 제1 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다. 도 5a 내지 도 5d는 도 4의 구동 파형에 따른 벽 전하 분포도이다. 도 6a 내지 도 6c는 도 4의 구동 파형에서 램프 하강 기간 중 강방전이 일어난 경우의 벽 전하 분포도이다. 도 7은 도 4에 나타난 구동 파형의 변형예이다.

도 4에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 구동 파형은 리셋 기간(10), 오방전 소거 기간(misfiring erase period)(20), 어드레스 기간(30) 및 서스테인 기간(40)을 포함한다. 리셋 기간(10)은 소거 기간(11), 램프 상승 기간(12) 및 램프 하강 기간(13)으로 이루어진다.

리셋 기간(10)의 소거 기간(11)은 이전 서브필드의 서스테인 기간(40)에서 유지방전으로 형성된 전하를 소거하기 위한 기간이다. 램프 상승 기간(12)은 주사 전극(Y), 유지 전극(X) 및 어드레스 전극(A)에 벽 전하를 형성하는 기간이며, 램프 하강 기간(13)은 램프 상승 기간(12)에서 형성된 벽 전하를 일부 소거하여 어드레스 방전에 용이하도록 하는 기간이다.

오방전 소거 기간(20)은 램프 하강 기간(13)에서 불안정한 강방전으로 인하여 형성된 주사 전극(Y)과 유지 전극(X)의 벽 전하를 제거하는 기간이다.

어드레스 기간(30)은 복수의 방전 셀 중에서 서스테인 기간에서 유지방전을 일으킬 방전 셀을 선택하는 기간이다. 서스테인 기간(40)은 주사 전극(Y)과 유지 전극(X)에 차례로 서스테인 필스를 인가하여 어드레스 기간(30)에서 선택된 방전 셀을 유지 방전시키는 기간이다.

그리고 플라즈마 디스플레이 패널은 각 기간(10, 20, 30, 40)에서 주사 전극(Y) 및 유지 전극(X)에 구동 전압을 인가하는 주사/유지 구동 회로, 그리고 어드레스 전극(A)에 구동 전압을 인가하는 어드레스 구동 회로를 포함한다.

먼저, 도 5a 내지 도 5d를 참조하여 본 발명의 제1 실시예에 따른 구동 파형에 의해 정상적으로 리셋 동작이 일어난 경우에 대하여 자세하게 설명한다.

이전 서브필드의 서스테인 기간(40)에서는 주사 전극(Y)과 유지 전극(X) 사이의 유지 방전에 의해 주사 전극(Y)에 (-) 벽 전하가 쌓이고 유지 전극(X)에 (+) 벽 전하가 쌓이게 된다. 소거 기간(11)에서는 주사 전극(Y)을 기준 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 램프 파형이 인가된다. 본 발명의 제1 실시예에서는 기준 전압을 0V로 가정한다. 그러면 유지 전극(X)과 주사 전극(Y)에 형성된 벽 전하는 점점 소거된다.

다음, 램프 상승 기간(12)에서는 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 V_{set} 전압까지 완만하게 상승하는 램프 파형을 인가한다. 이때, V_s 전압은 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압(V_f)보다 낮은 전압이며 V_{set} 전압은 방전 개시 전압(V_f)보다 높은 전압이다. 그러면 램프 파형이 상승하는 동안 주사 전극(Y)으로부터 어드레스 전극(A) 및 유지 전극(X)으로 각각 미약한 리셋 방전이 일어난다. 그 결과, 도 5a에 나타난 바와 같이 주사 전극(Y)에 (-) 벽 전하가 쌓이고, 동시에 어드레스 전극(A) 및 유지 전극(X)에는 (+) 벽 전하가 쌓인다.

램프 하강 기간(13)에서는 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압까지 완만하게 하강하는 램프 파형이 인가된다. 이 램프 파형이 하강하는 동안 다시 모든 방전 셀에서는 미약한 리셋 방전이 일어난다. 그 결과, 도 5b에 나타난 바와 같이 주사 전극(Y)의 (-) 벽 전하가 감소하고 유지 전극(X)의 (+) 벽 전하가 감소한다. 또한 어드레스 전극(A)의 (+) 벽 전하는 어드레스 동작에 적당한 값으로 조정된다.

오방전 소거 기간(20)에서는 먼저 유지 전극(X)을 기준 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압을 가지는 구형(square) 펄스가 인가된다. 이때, 램프 하강 기간(13)에서 정상적으로 전하가 소거되어 있으면 주사 전극(Y)과 유지 전

극(X) 사이에서 형성되는 벽 전압은 주사 전극(Y)을 기준으로 할 때 음의 전압($-V_{wxy2}$)이 된다. 그러면 주사 전극(Y)과 유지 전극(X) 사이의 전압은 $(V_s - V_{wxy2})$ 으로 되어 방전 개시 전압(V_f)을 넘지 못해서, 방전이 일어나지 않는다. 따라서 도 5c에 나타낸 바와 같이 방전 셀에서의 벽 전하 분포는 도 5b와 동일하게 유지된다.

다음, 오방전 소거 기간(20)에서는 주사 전극(Y)을 기준 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 소거 램프 파형이 인가된다. 주사 전극(Y)과 유지 전극(X)에서의 전하 분포는 앞의 기간과 동일하여 이 소거 램프 파형에 의해서도 방전이 일어나지 않으므로, 도 5d에 나타낸 바와 같이 벽 전하는 도 5b와 동일하게 유지된다.

어드레스 기간(30)에서는 방전 셀을 선택하기 위해서 주사 전극(Y)에 주사 펄스가 차례로 인가되고, 주사 펄스가 인가된 주사 전극(Y)과 교차하는 어드레스 전극(A) 중 선택하고자 하는 어드레스 전극(A)에 어드레스 펄스가 인가된다. 그러면 주사 펄스와 어드레스 펄스에 의해 형성되는 전위차에 의해 주사 전극(Y)과 어드레스 전극(A) 사이에서 방전이 일어난다. 그리고 주사 전극(Y)과 어드레스 전극(A) 사이의 방전을 시작으로 주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어나서 주사 전극(Y)과 유지 전극(X)에 벽 전하가 형성된다.

서스테인 기간(40)에서는 주사 전극(Y)과 유지 전극(X)에 차례로 서스테인 펄스가 인가된다. 서스테인 펄스는 주사 전극(Y)과 유지 전극(X)의 전압차가 교대로 V_s 전압 및 $-V_s$ 전압이 되도록 하는 펄스이다. V_s 전압은 주사 전극(Y)과 유지 전극(X) 사이의 방전 개시 전압보다 낮은 전압이다. 어드레스 기간(30)에서 어드레스 방전에 의해 주사 전극(Y)과 유지 전극(X) 사이에 벽 전압(V_{wxy3})이 형성되어 있으면, 벽 전압(V_{wxy3})과 V_s 전압에 의해 주사 전극(Y)과 유지 전극(X)에서 방전이 일어난다.

다음, 도 6a 내지 도 6c를 참조하여 본 발명의 제1 실시예에 따른 구동 파형 중 램프 하강 기간(13)에서 강방전이 일어난 경우에 대하여 자세하게 설명한다.

불안정한 리셋 동작에 의해 램프 하강 기간(13)에서 강방전이 일어나면, 도 6a에 나타낸 바와 같이 주사 전극(Y)에는 (+) 전하가 쌓이고 유지 전극(X)에는 (-) 전하가 쌓인다. 이때, 주사 전극(Y)과 유지 전극(X)에 형성된 벽 전하에 의해 형성되는 벽 전압(V_{wxy1})은 수학식 1을 만족한다.

오방전 소거 기간(20)에서 주사 전극(Y)에 V_s 전압이 인가되고 유지 전극(X)에 기준 전압이 인가되면, 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압(V_{wxy1})과 V_s 전압에 의해 주사 전극(Y)과 유지 전극(X) 사이의 전압($V_{wxy1} + V_s$)은 방전 개시 전압(V_f)을 넘게 된다. 따라서 주사 전극(Y)과 유지 전극(X) 사이에서는 방전이 일어나, 도 6b에 나타낸 바와 같이 주사 전극(Y)에는 많은 양의 (-) 전하가 쌓이고 유지 전극(X)에는 많은 양의 (+) 전하가 쌓인다.

다음, 오방전 소거 기간(20)의 후반에서는 유지 전극(X)에 기준 전압에서 V_e 전압까지 완만하게 상승하는 소거 램프 파형이 인가되어 소거 동작이 일어난다. 이 램프 파형에 의해 도 6c에 나타낸 바와 같이 주사 전극(Y)과 유지 전극(X)에 형성되어 있는 벽 전하들이 소거되어, 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압이 낮아진다. 그 결과 주사 전극(Y)과 유지 전극(X) 사이의 벽 전압과 서스테인 기간(30)에서 인가되는 V_s 전압의 합이 방전 개시 전압보다 낮아지게 된다. 그러므로 어드레스 기간(30)에서 어드레스 방전이 없다면, 서스테인 기간(40)에서는 방전이 일어나지 않게 된다.

그리고 본 발명의 제1 실시예에서는 구동 회로를 간단하게 하기 위해 오방전 소거 기간(20)에서 주사 전극(Y)에 V_s 전압을 인가하고 유지 전극(X)에 V_e 전압을 인가하였다. 이와는 달리, 오방전 소거 기간(20)에서의 방전 조건을 만족한다면 주사 전극(Y)과 유지 전극(X)에 인가되는 전압을 다른 전압을 사용할 수도 있다. 또한 본 발명의 제1 실시예에서는 기준 전압을 0V로 가정하여 설명하였지만, 이와는 달리 기준 전압을 $-V_s/2$ 전압으로 할 수도 있다. 도 7을 보면, 각 기간(10, 20, 30, 40)에서 주사 전극(Y) 및 유지 전극(X)에 인가되는 구동 전압들이 전체적으로 $V_s/2$ 전압만큼 내려갔다. 이와 같이 하면 구동 회로에 사용되는 전압 레벨이 낮아져서 낮은 내압의 소자를 구동 회로에서 사용할 수 있게 된다. 이와는 달리 각 기간(10, 20, 30, 40)에서 사용되는 전압을 다르게 조정할 수도 있다.

또한 본 발명의 제1 실시예에서는 소거 기간(11)에서 유지 전극(X)에 소거 램프 파형을 인가하였지만, 이와는 달리 주사 전극(Y)에 소거 램프 파형을 인가할 수도 있다.

그리고 본 발명의 제1 실시예에서는 리셋 기간(10)에서 주사 전극(Y)에 램프 상승 전압과 램프 하강 전압을 인가하였다. 이외에, 정상적인 리셋 동작에 의해 도 5b와 같은 벽 전하 분포가 형성되고 비정상적인 리셋 동작에 의해 도 6a와 같은 벽 전하 분포가 형성되는 다른 리셋 전압을 사용할 수도 있다.

위에서 설명한 이러한 변형예들은 이후에 설명할 실시예들에도 적용될 수 있다.

본 발명의 제1 실시예에서는 오방전 소거 기간(20)에서 방전 전압과 소거 램프 파형을 사용하였지만, 이와는 다른 파형을 사용할 수도 있다. 아래에서는 오방전 소거 기간(20)에서 본 발명의 제1 실시예와는 다른 파형을 사용하는 제2 실시예에 대하여 도 8을 참조하여 설명한다.

도 8은 본 발명의 제2 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 8을 보면, 본 발명의 제2 실시예에 따른 구동 파형에서는 제1 실시예와 달리 오방전 소거 기간(20)에서 유지 전극(X)에 구형 펄스가 인가되고 주사 전극(Y)에 램프 파형이 인가된다. 자세하게 설명하면, 오방전 소거 기간(20)의 전반에 주사 전극(Y)을 V_s 전압으로 유지한 상태에서 유지 전극(X)에 기준 전압을 가지는 구형 펄스를 인가한다. 그러면 주사 전극(Y)과 유지 전극(X)의 전압차는 제1 실시예와 동일하게 V_s 전압을 유지하므로, 램프 하강 기간(13)에서 강방전이 있었던 경우에는 주사 전극(Y)과 유지 전극(X) 사이에서 방전이 일어난다. 오방전 소거 기간(20)의 후반에 유지 전극(X)을 V_e 전압으로 유지한 상태에서 주사 전극(Y)에 V_s 전압에서 기준 전압까지 하강하는 램프 파형을 인가한다. 램프 파형에 의해 오방전 소거 기간(20)의 전반에 주사 전극(Y)과 유지 전극(X)의 방전에 의해 형성된 전하들이 제거될 수 있다. 그리고 램프 파형 대신에 라운드 파형을 사용할 수도 있다.

그런데, 이러한 제1 실시예 또는 제2 실시예에 따른 오방전 제거 펄스 파형을 플라즈마 디스플레이 패널의 고 콘트라스트 비를 달성하기 위하여 적용하는 선택적 램프 리셋(Selective Ramp Reset)방법에서는 약간 다르게 적용할 수 있다. 즉, 선택적 램프 리셋 구동을 하는 경우에는 선택적으로 오방전 제거 펄스를 인가할 수가 있다.

선택적 램프 리셋 방법에서는 전체 서브필드에 모두 라이징 램프 리셋(Rising Ramp Reset) 펄스(이하 Main Reset)가 인가되는 것이 아니라 부분적으로 보조 리셋펄스가 인가된다.

이와 같은 선택적 램프 리셋에 선택적으로 본원 발명의 실시예에 따른 오방전 제거 펄스 파형을 인가하는 예를 제3 내지 제5 실시예로서 설명하면 다음과 같다.

도9는 본 발명의 제3 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도9를 참조하면, 오방전 제거 펄스 파형으로 제2 실시예에 따른 파형을 도시하였으나, 이러한 오방전 제거 펄스 파형은 제1 실시예에 다른 파형 또는 라운드 파형 또는 다른 파형으로 대신할 수 있다.

도9에서와 같이, 이 발명의 제3 실시예에 따른 구동 방법은 첫 번째 서브필드에는 오방전 제거 펄스 파형(이하, MEF(misfiring erase function) 파형이라 한다)이 적용되어 있으나 두 번째와 세 번째 서브필드에는 MEF 파형이 제거되어 있음을 알 수 있다.

라이징 램프 펄스가 매 서브 필드마다 출력되는 경우에는 패널 전면이 충분한 양의 벽전하로 리셋되어 패널의 유니포미티(uniformity)가 양호한 상태를 계속 유지하기 때문에 MEF 파형을 최초의 서브필드에만 적용하여도 오방전을 방지할 수 있다.

이와 같은 제3 실시예의 경우 MEF 파형을 최소한으로 적용할 수 있어 타이밍 마진을 넓게 하면서 동시에 MEF 출력용 스위치의 스트레스를 절반 이하로 줄일 수 있게 된다.

도 10은 이 발명의 제4 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도 10을 참조하면, 도9와 마찬가지로 오방전 제거 펄스 파형으로 제2 실시예에 따른 파형을 도시하였으나, 이러한 오방전 제거 펄스 파형은 제1 실시예에 다른 파형 또는 라운드 파형 또는 다른 파형으로 대신할 수 있으며, 이는 제5 실시예에도 적용된다.

도10에서와 같이, 선택적 램프 리셋 파형을 인가하게 되면, 1st, 2nd, 3rd 서브필드와 6th 서브필드는 메인 리셋(Main Reset)을 수행하고 있으며, 4th 와 5th 서브필드는 보조 리셋만을 수행하고 있다. 여기서 메인 리셋이 수행되는 서브필드에서의 벽전하 균일도는 보조 리셋만을 수행하는 서브필드에서의 벽전하 균일도보다 양호한 상태를 나타내기 때문에 벽전하 균일도가 높은 2nd, 3rd 서브필드에서는 MEF 파형을 인가하지 않아도 오방전이 발생하는 상황이 생기지 않는다.

여기서는 서브필드의 수가 6개로 예를 들었지만 이는 다양한 변형이 가능하며, 그에 따라 메인 리셋이나 보조 리셋의 위치가 달라질 수 있으며, 이는 제5 실시예에도 동일하게 적용된다.

도 11은 이 발명의 제5 실시예에 따른 플라즈마 디스플레이 패널의 구동 파형도이다.

도11을 참조하면, 메인 리셋을 수행하는 2nd, 3rd 서브필드에는 MEF 파형을 인가하지 않았으며, 보조 Reset을 수행하는 4th, 5th 서브필드 이후의 6th 서브필드에는 MEF 파형을 인가하고 있다. 이는 보조 리셋만을 수행하는 서브필드에서 패널의 벽전하 균일도가 나빠지기 때문에, 보조 리셋 서브필드 이후의 메인 리셋 서브필드에 MEF 파형을 인가한 것으로서, 제4 실시예보다 MEF 파형을 적게 인가하므로 좀 더 나은 로직 입력 신호 타이밍의 마진을 확보할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

이와 같이 본 발명에 의하면, 불안정한 리셋 동작에 의해 리셋 기간에서 강방전이 일어나 주사 전극과 유지 전극에 많은 양의 전하가 형성된 경우에, 이 전하들을 소거할 수 있다. 따라서 선택되지 않은 방전 셀에서 유지방전이 일어나는 것을 방지할 수 있다.

특히, 선택적 리셋구동을 할 때, 오방전 제거펄스를 선택적으로 인가함으로써 로직 입력 신호 타이밍 마진을 확보할 수 있다. 즉, MEF 파형을 삭제한 만큼 로직 신호의 타이밍 마진이 넓어지며, 이로 인해 유지방전 펄스를 추가해서 피크 휘도를 상승시킬 수 있다.

또한, MEF 파형의 출력 회수를 줄일 수 있어 MEF 출력용 스위치의 스트레스가 감소된다.

(57) 청구의 범위

청구항 1.

제1 기관 위에 각각 나란히 형성되는 복수의 제1 전극 및 제2 전극, 그리고 상기 제1 및 제2 전극에 교차하며 제2 기관 위에 형성되는 복수의 제3 전극을 포함하며, 인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 방전 셀이 형성되며, 제1 전압에서 제2전압으로 상승시킨후 하강하는 파형을 가진 메인 리셋 펄스와 제3 전압에서 제4 전압으로 하강하는 파형을 가진 보조 리셋 펄스를 다수의 서브필드에 선택적으로 인가하는 플라즈마 디스플레이 패널의 구동방법으로서,

상기 메인 리셋 펄스가 최초로 인가되는 서브필드의 리셋 구간에서 상기 메인 리셋 펄스 이후에 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 2.

제1항에 있어서,

상기 오방전 소거 펄스는 일정 조건에서 방전기능과 소거기능을 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 3.

제2항에 있어서,

상기 일정 조건은 상기 리셋 단계에서 비정상적인 전하가 형성된 경우이며,

상기 오방전 소거 펄스에 의해 상기 리셋 단계에서 형성된 비정상적인 전하가 방전되어 소거되는 플라즈마 디스플레이 패널의 구동 방법.

청구항 4.

제1항에 있어서,

보조 리셋 펄스가 인가되는 서브필드 이후에 메인 리셋 펄스가 인가되는 서브필드의 리셋 구간에서 상기 메인 리셋 펄스 이후에 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 5.

제1항 또는 제4항에 있어서,

상기 메인 리셋 펄스가 인가되는 서브필드가 연속적일 경우, 상기 연속적인 서브필드 중 최초의 메인 리셋 펄스 이후에만 상기 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 6.

제1 기관,

상기 제1 기관 위에 각각 나란히 형성되는 복수의 제1 및 제2 전극,

상기 제1 기관과 마주보며 떨어져 있는 제2 기관,

상기 제1 및 제2 전극과 교차하며 상기 제2 기관 위에 형성되는 복수의 제3 전극, 그리고

인접한 상기 제1 전극, 제2 전극 및 제3 전극에 의해 형성되는 방전 셀에 구동 신호를 공급하며, 전체 서브필드의 리셋 기간에, 제1 전압에서 제2전압으로 상승시킨 후 하강하는 파형을 가진 메인 리셋 펄스와 제3 전압에서 제4 전압으로 하강하는 파형을 가진 보조 리셋 펄스를 선택적으로 인가하는 구동회로를 포함하며,

상기 구동회로는 상기 메인 리셋 펄스가 최초로 인가되는 서브필드의 리셋 구간에서 상기 메인 리셋 펄스 이후에 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

청구항 7.

제6항에 있어서,

상기 오방전 소거 펄스는 일정 조건에서 방전기능과 소거기능을 갖는 것을 특징으로 하는 플라즈마 디스플레이 패널.

청구항 8.

제7항에 있어서,

상기 일정 조건은 상기 리셋 단계에서 비정상적인 전하가 형성된 경우이며,

상기 오방전 소거 펄스에 의해 상기 리셋 단계에서 형성된 비정상적인 전하가 방전되어 소거되는 플라즈마 디스플레이 패널.

청구항 9.

제6항에 있어서,

상기 보조 리셋 펄스가 인가되는 서브필드 이후에 메인 리셋 펄스가 인가되는 서브필드의 리셋 구간에서 상기 메인 리셋 펄스 이후에 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

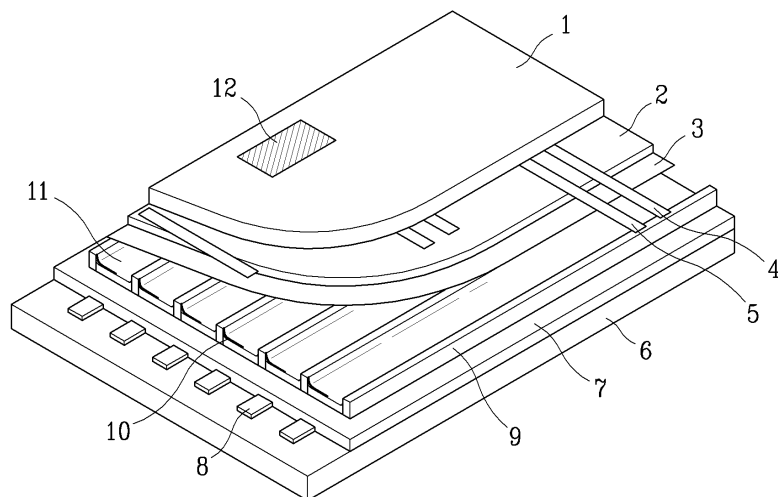
청구항 10.

제6항 또는 제9항에 있어서,

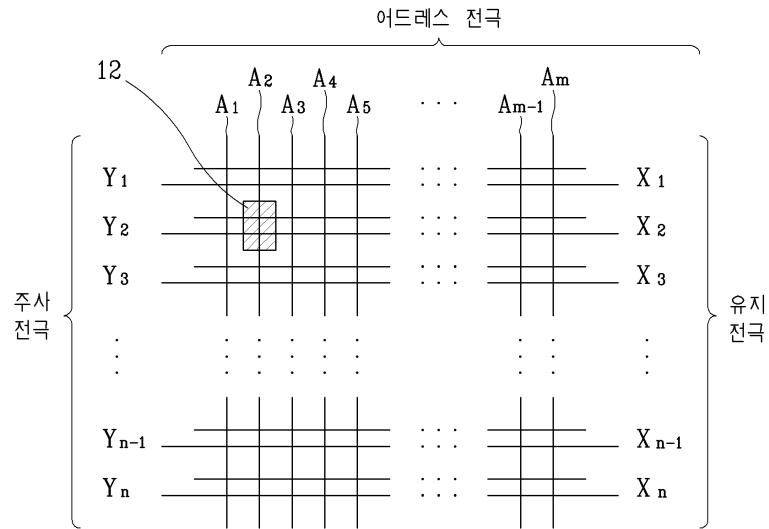
상기 메인 리셋 펄스가 인가되는 서브필드가 연속적일 경우, 상기 연속적인 서브필드 중 최초의 메인 리셋 펄스 이후에만 상기 오방전 소거 펄스를 인가하는 것을 특징으로 하는 플라즈마 디스플레이 패널.

도면

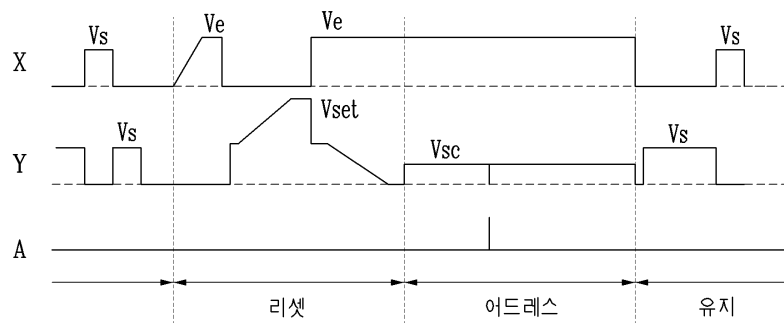
도면1



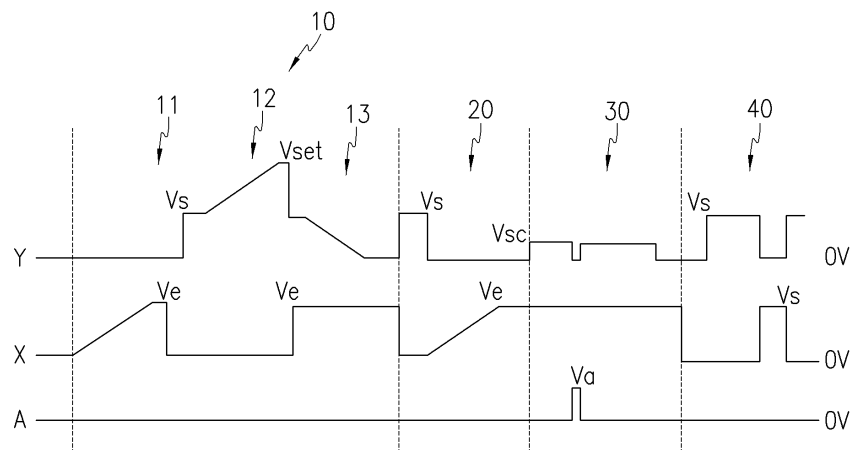
도면2



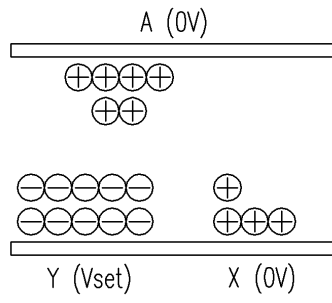
도면3



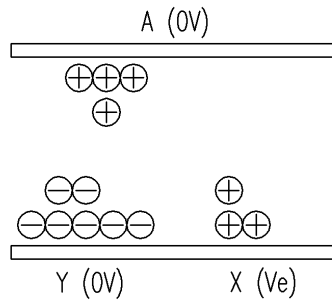
도면4



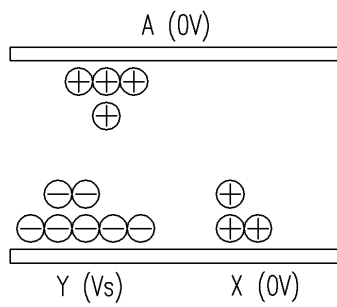
도면5a



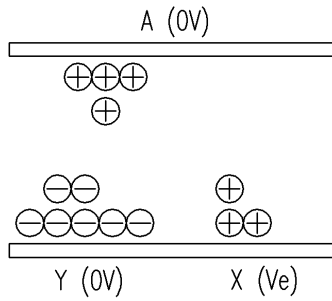
도면5b



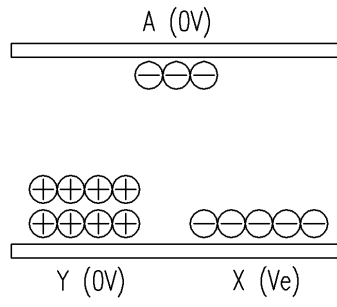
도면5c



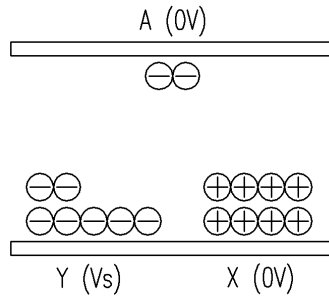
도면5d



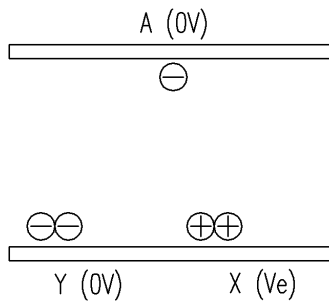
도면6a



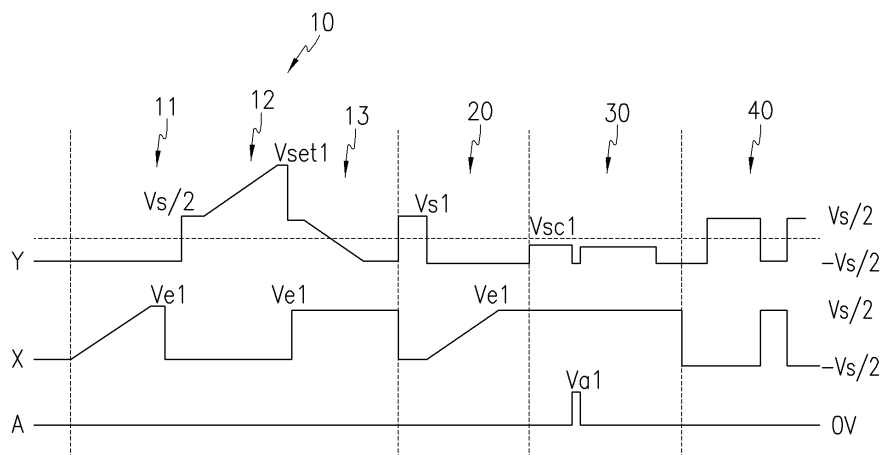
도면6b



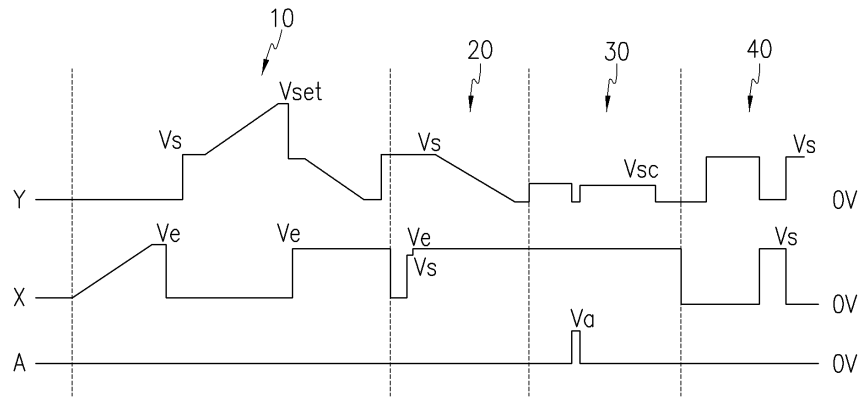
도면6c



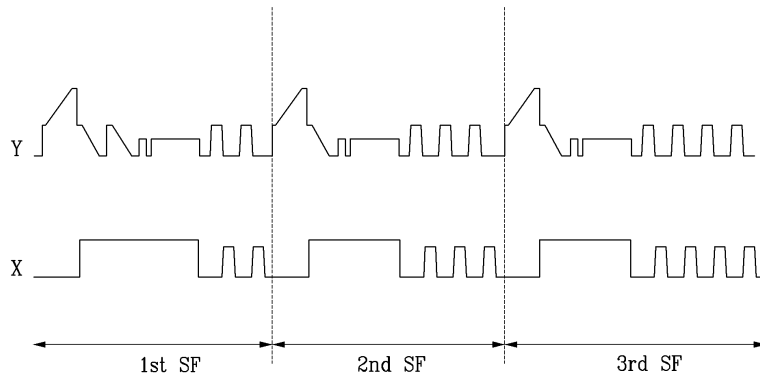
도면7



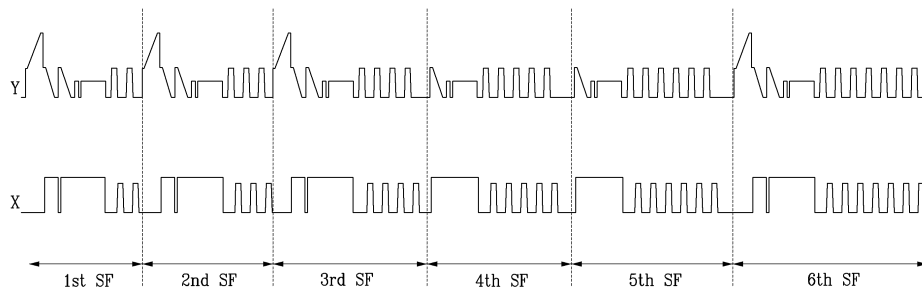
도면8



도면9



도면10



도면11

