



(12) 发明专利

(10) 授权公告号 CN 102779819 B

(45) 授权公告日 2014. 12. 03

(21) 申请号 201210294541. 0

CN 202796956 U, 2013. 03. 13, 权利要求 1-3.

(22) 申请日 2012. 08. 17

CN 102237341 A, 2011. 11. 09, 全文.

(73) 专利权人 中国电子科技集团公司第五十八研究所

CN 102364687 A, 2012. 02. 29, 全文.

地址 214035 江苏省无锡市滨湖区惠河路 5 号

CN 102082144 A, 2011. 06. 01, 全文.

审查员 周辉辉

(72) 发明人 高国平 周毅 罗静

(74) 专利代理机构 无锡市大为专利商标事务所 (普通合伙) 32104

代理人 殷红梅

(51) Int. Cl.

H01L 27/02 (2006. 01)

(56) 对比文件

US 2006114628 A1, 2006. 06. 01, 说明书第 0027 段至第 0035 段、图 2A, 图 2B, 图 3.

TW 591787 B, 2004. 06. 11, 说明书第 14 页第 2 段、图 5, 图 7.

CN 1501757 A, 2004. 06. 02, 全文.

CN 101944530 A, 2011. 01. 12, 全文.

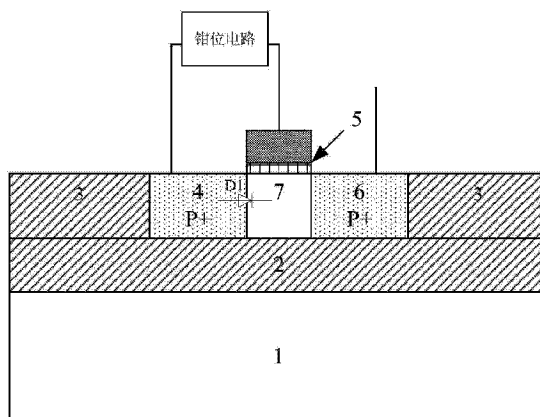
权利要求书1页 说明书3页 附图3页

(54) 发明名称

一种基于部分耗尽型 SOI 工艺的 ESD 保护结构

(57) 摘要

本发明涉及一种基于部分耗尽型 SOI 工艺的 ESD 保护结构, 其使用 SOI 工艺中普通的增强型 PMOS 管, 不需做衬底接触, 使用 PMOS 管源端的 P+/N 阱寄生二极管对 N 阱进行偏置; PMOS 管的栅极使用钳位电路进行偏置。提高了利用反向击穿原理进行 ESD 保护的能力。其优点是: 本发明结构简单, 在 SOI/CMOS 集成电路中占用版图面积小, 使用方便, 可以有效提高集成电路的 ESD 耐受水平。



1. 一种基于部分耗尽型 SOI 工艺的 ESD 保护结构,其特征是:包括一个 N 型衬底 PMOS 管结构,所述 N 型衬底 PMOS 管结构包括栅极(5)、P+ 源扩散区(4)、P+ 漏扩散区(6)、N 阱(7)、二氧化硅隔离区(3)、埋氧层(2)以及硅衬底(1),所述埋氧层(2)位于硅衬底(1)之上,所述 P+ 源扩散区(4)、P+ 漏扩散区(6)、N 阱(7)和二氧化硅隔离区(3)位于埋氧层(2)之上;所述 N 阱(7)位于 P+ 源扩散区(4)和 P+ 漏扩散区(6)之间,在 P+ 源扩散区(4)到 N 阱(7)之间形成寄生二极管(D1),二氧化硅隔离区(3)包围所述 P+ 源扩散区(4)和 P+ 漏扩散区(6);所述栅极(5)位于 N 阱(7)之上;所述 P+ 源扩散区(4)的引出端为 PMOS 管的源端,P+ 漏扩散区(6)的引出端为 PMOS 管的漏端;栅极(5)和 PMOS 管的源端之间连接钳位电路;PMOS 管源端的寄生二极管(D1)对 N 阱(7)进行偏置;PMOS 管的栅极(5)使用钳位电路进行偏置;

当用在输入压焊点和地之间进行 ESD 保护时,PMOS 管的源端通过半导体金属铝连接输入压焊点,漏端通过半导体金属铝与地(GND)连接,N 阱(7)的电位通过 P+ 源扩散区(4)与寄生二极管(D1)确定,箝位电路确保当处于正常工作模式下,PMOS 管处于关断状态;

当用在输入压焊点和电源(VDD)之间进行 ESD 保护时,PMOS 管的源端通过半导体金属铝连接电源(VDD),漏端通过半导体金属铝连接输入压焊点,N 阱(7)的电位通过 P+ 源扩散区(4)与寄生二极管(D1)确定,箝位电路确保当处于正常工作模式下,PMOS 管处于关断状态;

所述硅衬底(1)材料为高掺杂单晶硅;埋氧层(2)材料为二氧化硅;P+ 源扩散区(4)和 P+ 漏扩散区(6)材料为在硅中注入硼元素,深度到达埋氧层(2);N 阱(7)材料为在硅中注入磷元素,深度到达埋氧层(2);二氧化硅隔离区(3)材料为二氧化硅,深度到达埋氧层(2);栅极(5)是在二氧化硅上淀积多晶硅。

一种基于部分耗尽型 SOI 工艺的 ESD 保护结构

技术领域

[0001] 本发明涉及一种基于部分耗尽型 SOI 工艺的 ESD 保护结构,属于集成电路技术领域。

背景技术

[0002] SOI 技术指的是在绝缘层上形成具有一定厚度的单晶半导体硅薄膜层的材料制备技术及在薄膜层上制造半导体器件的工艺技术。该技术可以实现完全的介质隔离,与用 P-N 结隔离的体硅器件相比,具有无闩锁、高速度、低功耗、集成度高、耐高温、耐辐射等优点。

[0003] 根据 SOI 硅膜厚度可以将 SOI 器件分为厚膜器件和薄膜器件。对于厚膜 SOI 器件而言,当 SOI 硅膜厚度大于两倍的耗尽宽度时,被称为部分耗尽器件;对于薄膜 SOI 器件,当硅膜的厚度小于耗尽宽度时,称为全耗尽器件。

[0004] 在 SOI 技术中,器件被制作在顶层很薄的硅膜中,器件与衬底之间由一层埋氧化层隔开。正是这种结构使得 SOI/MOS 器件具有功耗低等众多优点,比传统的体硅 MOS 工艺相比,更适用于高性能的 ULSI 和 VLSI 电路。其优点主要包括:

[0005] 1、无闩锁效应。SOI/MOS 器件中由于介质隔离结构的存在,因此没有到衬底的电流通道,闩锁效应的通路被切断,并且各器件间在物理上和电学上相互隔离,改善了电路的可靠性。

[0006] 2、结构简单,工艺简单,集成密度高。SOI/MOS 器件结构简单,不需要制备体硅 CMOS 电路的阱等复杂隔离工艺,器件最小间隔仅仅取决于光刻和刻蚀技术的限制,集成密度大幅提高。SOI/MOS 器件还特别适合在同一芯片上集成高压和低压电路,因此具有很高的芯片面积利用率和性价比。

[0007] 3、寄生电容小,工作速度快。体硅 MOS 器件的主要电容为管子源漏区以及源/漏扩散区域和衬底之间的电容,其随衬底的掺杂浓度增加而增加,这将增大电路的负载电容,影响电路的工作速度;在 SOI/MOS 器件中,由于埋氧化层的存在,源漏区和衬底无法形成 PN 结,寄生 PN 结电容消失,取而代之的是埋氧化层电容,该电容正比于电容材料的介电常数,其值远小于体硅中源漏区与衬底的 PN 结寄生电容,并且不受等比例缩小的影响。

[0008] 4、低功耗。SOI/MOS 器件的功耗由静态功耗和动态功耗两个部分组成,SOI 器件具有陡直的亚阈值斜率,接近理想水平,因此泄漏电流很小,静态功耗很低;由于 SOI/MOS 器件具有比体硅器件更小的结电容和连线电容,因此同样的工作速度下,动态功耗也大大降低。

[0009] 从 ESD 保护分析,由于 SOI 工艺 MOS 器件在埋氧化层上方形成的,与体硅相比,减小了器件的散热体积,所以器件的 ESD 保护能力大大减弱。

[0010] 目前国际上对 SOI 工艺电路的 ESD 保护多采用两种方式:1、利用栅控二极管进行 ESD 保护,主要使用栅控二极管的正向导通的特性。2、采用动态开启的 MOS 管,主要使用 MOS 管和寄生栅控二极管同时导通。以上两种方式很难满足输入/输出端口多样的需求。

发明内容

[0011] 本发明目的是克服现有技术的不足,提供一种基于部分耗尽型 SOI 工艺的 ESD 保护器件结构,基于部分耗尽型 SOI 工艺,使用增强型 PMOS 管,衬底浮置的结构,利用寄生的 PNP 三极管特性,提高了利用反向击穿进行 ESD 保护的器件能力。

[0012] 按照本发明提供的技术方案,一种基于部分耗尽型 SOI 工艺的 ESD 保护结构,包括一个 N 型衬底 PMOS 管结构,所述 N 型衬底 PMOS 管结构包括栅极、P+ 源扩散区、P+ 漏扩散区、N 阱、二氧化硅隔离区、埋氧层以及硅衬底,所述埋氧层位于硅衬底之上,所述 P+ 源扩散区、P+ 漏扩散区、N 阱和二氧化硅隔离区位于埋氧层之上;所述 N 阱位于 P+ 源扩散区和 P+ 漏扩散区之间,在 P+ 源扩散区到 N 阱之间形成寄生二极管,二氧化硅隔离区包围所述 P+ 源扩散区和 P+ 漏扩散区;所述栅极位于 N 阱之上;所述 P+ 源扩散区的引出端为 PMOS 管的源端,P+ 漏扩散区的引出端为 PMOS 管的漏端;栅极和 PMOS 管的源端之间连接钳位电路;PMOS 管源端的寄生二极管对 N 阱进行偏置;PMOS 管的栅极使用钳位电路进行偏置。

[0013] 当用在输入压焊点和地之间进行 ESD 保护时,PMOS 管的源端通过半导体金属铝连接输入压焊点,漏端通过半导体金属铝与地连接,N 阱的电位通过 P+ 源扩散区与寄生二极管确定,箝位电路确保当处于正常工作模式下,PMOS 管处于关断状态。

[0014] 当用在输入压焊点和电源之间进行 ESD 保护时,PMOS 管的源端通过半导体金属铝连接电源,漏端通过半导体金属铝连接输入压焊点,N 阱的电位通过 P+ 源扩散区与寄生二极管确定,箝位电路确保当处于正常工作模式下,PMOS 管处于关断状态。

[0015] 所述硅衬底材料为高掺杂单晶硅;埋氧层材料为二氧化硅;P+ 源扩散区和 P+ 漏扩散区材料为在硅中注入硼元素,深度到达埋氧层;N 阱材料为在硅中注入磷元素,深度到达埋氧层;二氧化硅隔离区材料为二氧化硅,深度到达埋氧层;栅极是在二氧化硅上淀积多晶硅。

[0016] 本发明的优点是:本发明结构简单,在 SOI/CMOS 集成电路中占用版图面积小,使用方便,可以有效提高集成电路的 ESD 耐受水平。此结构与传统的 SOI 工艺 ESD 保护器件相比,应用范围广,如热插拔电路、混合电压兼容端口、电源-地之间的 ESD 保护。

附图说明

[0017] 图 1 为本发明的器件结构剖面图。

[0018] 图 2 为图 1 的电路原理图。

[0019] 图 3 为本发明用于端口和地 GND 之间的 PMOS 器件剖面图。

[0020] 图 4 为图 3 的电路原理图。

[0021] 图 5 为本发明用于端口和电源 VDD 之间的 PMOS 器件剖面图。

[0022] 图 6 为图 5 的电路原理图。

具体实施方式

[0023] 下面将结合附图和实施例对本发明进行进一步描述。

[0024] 如图 1,2 所示,本发明包括一个 N 型衬底 PMOS 管结构,所述 N 型衬底 PMOS 管结构包括:栅极(ploy 栅)5、P+ 源扩散区 4、P+ 漏扩散区 6、N 阱 7、二氧化硅隔离区 3、埋氧层(BOX)2 以及硅衬底 1,所述埋氧层 2 位于硅衬底 1 之上,所述 P+ 源扩散区 4、P+ 漏扩散区

6、N阱7和二氧化硅隔离区3位于埋氧层2之上;所述N阱7位于P+源扩散区4和P+漏扩散区6之间,在P+源扩散区4到N阱7之间形成寄生二极管D1,二氧化硅隔离区3包围所述P+源扩散区4和P+漏扩散区6;所述栅极5位于N阱7之上;所述P+源扩散区4的引出端为PMOS管的源端,P+漏扩散区6的引出端为PMOS管的漏端;栅极5和PMOS管的源端之间连接钳位电路;PMOS管源端的寄生二极管D1对N阱7进行偏置;PMOS管的栅极5使用钳位电路进行偏置。

[0025] 如图3,4所示,当用在输入压焊点和地之间进行ESD保护时,PMOS管的源端通过金属铝连接输入压焊点,漏端通过金属铝连接地GND,栅极和源端之间连接箝位电路。N阱7的电位通过P+源扩散区4与寄生二极管D1确定,箝位电路确保当处于正常工作模式下,PMOS管处于关断状态。

[0026] 如图5,6所示,用在输入压焊点和电源VDD之间进行ESD保护时,PMOS管的源端通过金属铝连接电源VDD,漏端通过金属铝连接输入压焊点,栅极和源端之间连接箝位电路。N阱7的电位通过P+源扩散区4与寄生二极管D1确定,箝位电路确保当处于正常工作模式下,PMOS管处于关断状态。

[0027] 栅极5在二氧化硅上淀积多晶硅;P+源扩散区4和P+漏扩散区6材料为在硅中注入硼元素,其深度到达埋氧层2;N阱7材料为在硅中注入磷元素,其深度到达埋氧层2;二氧化硅隔离区3材料为二氧化硅,其深度到达埋氧层2;埋氧层材料为二氧化硅;衬底1材料为高掺杂单晶硅,位于整个结构的最下方。

[0028] 本发明的工作原理如下:首先,PMOS管的源端(P+源扩散区4)电压升高,PMOS管的衬底N阱7跟随源端电压,当PMOS管的源端-漏端电压差达到寄生横向PNP的发射极-集电极击穿电压基极开路,寄生横向PNP开始工作,直到PMOS管源端-漏端电流超过一定值,PMOS管发生损伤。

[0029] 综上所述,本发明使用部分耗尽型SOI工艺中普通的增强型PMOS管,不需做衬底接触,使用PMOS管源端的P+/N阱寄生二极管D1对N阱进行偏置;PMOS管的栅极5使用箝位电路进行偏置。此结构利用寄生横向PNP,来提高器件的ESD保护能力。

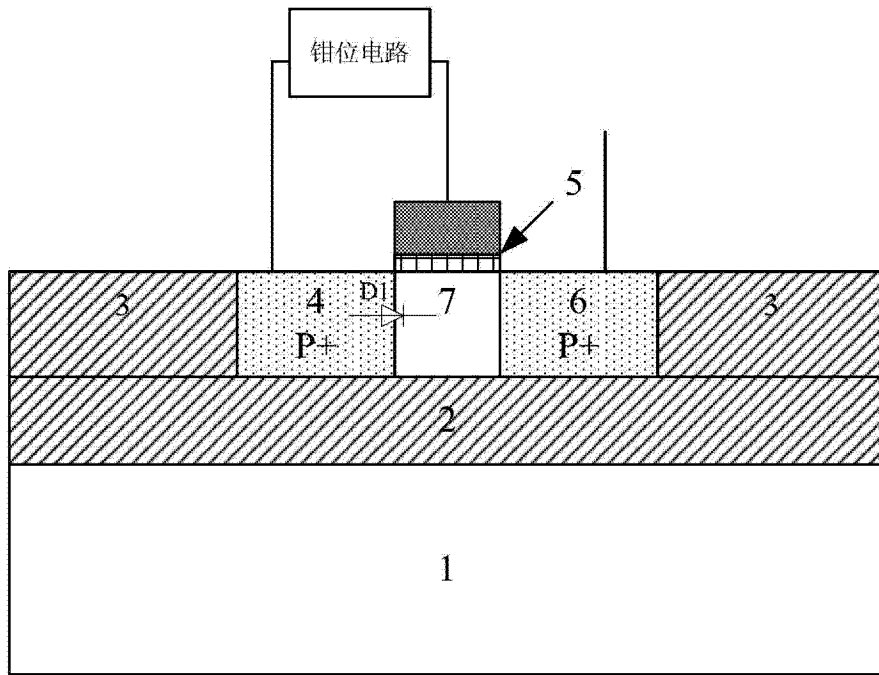


图 1

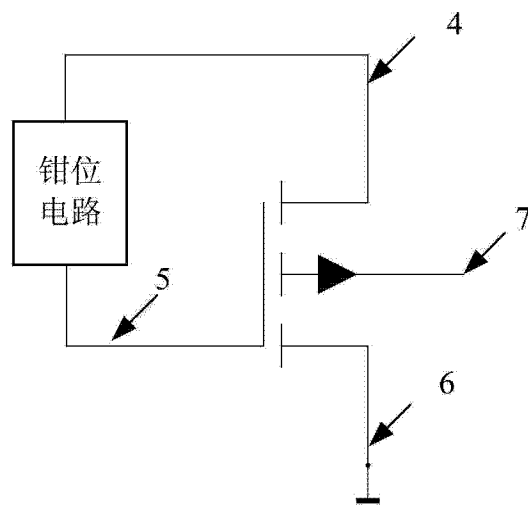


图 2

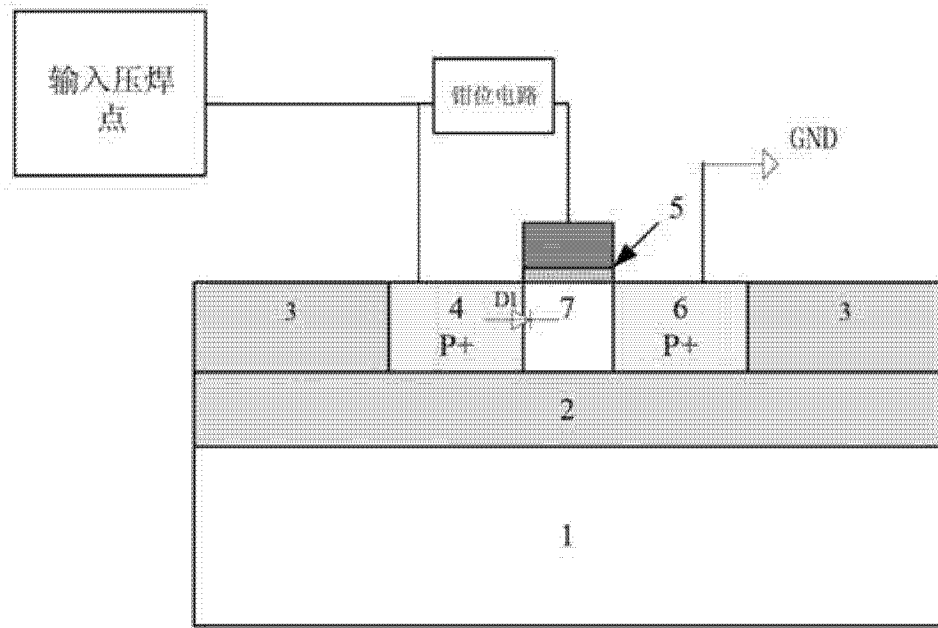


图 3

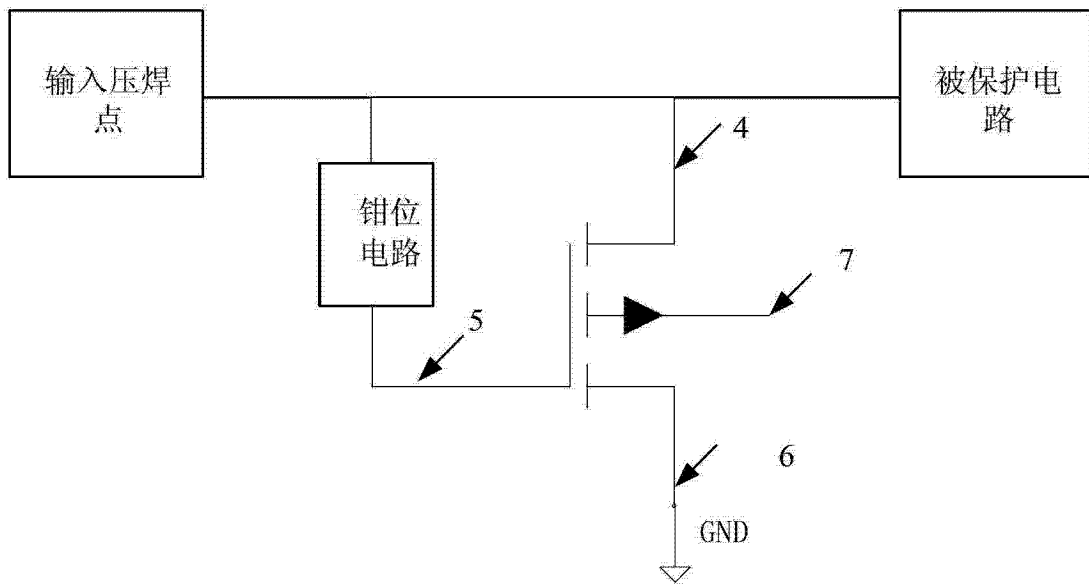


图 4

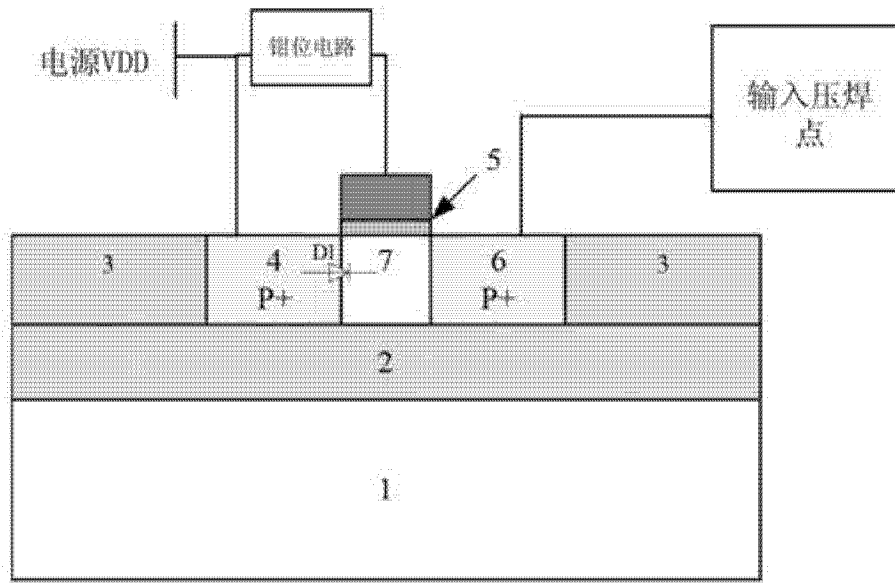


图 5

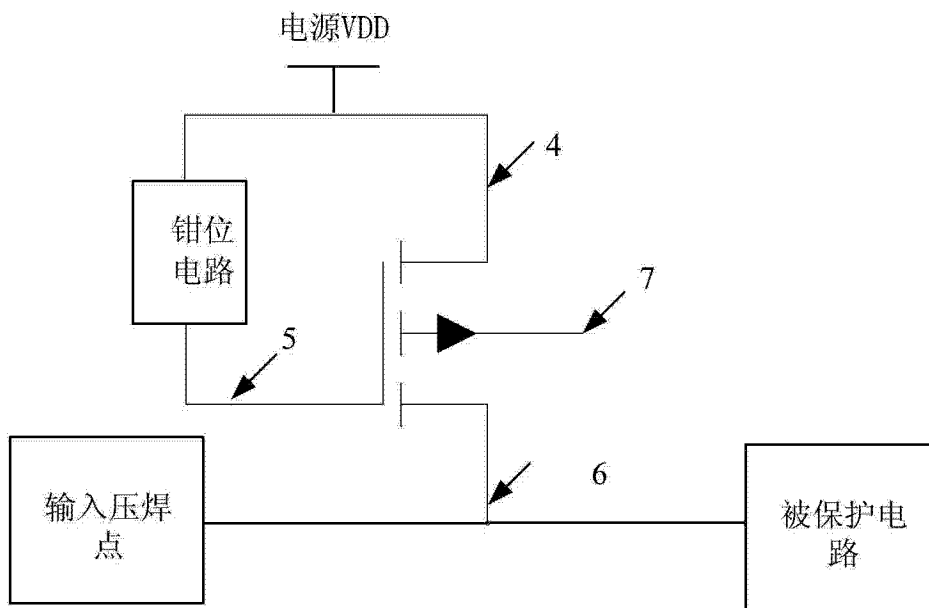


图 6