

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 30 日 (30.04.2020)



(10) 国际公布号
WO 2020/082501 A1

(51) 国际专利分类号:
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2018/118055

(22) 国际申请日: 2018 年 11 月 29 日 (29.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811243352.4 2018年10月24日 (24.10.2018) CN

(71) 申请人: 惠科股份有限公司(**HKC CORPORATION LIMITED**) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(72) 发明人: 葛邦同(**GE, Bangtong**); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。 付婷婷(**FU, Tingting**);

中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房 1、2、3 栋, 九州阳光 1 号厂房 5、7 楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳中一专利商标事务所(**SHENZHEN ZHONGYI PATENT AND TRADEMARK OFFICE**); 中国广东省深圳市福田区深南中路 1014 号老特区报社四楼 (5 号信箱), Guangdong 518028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** ARRAY SUBSTRATE MANUFACTURING METHOD, ARRAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 阵列基板的制作方法、阵列基板及显示装置

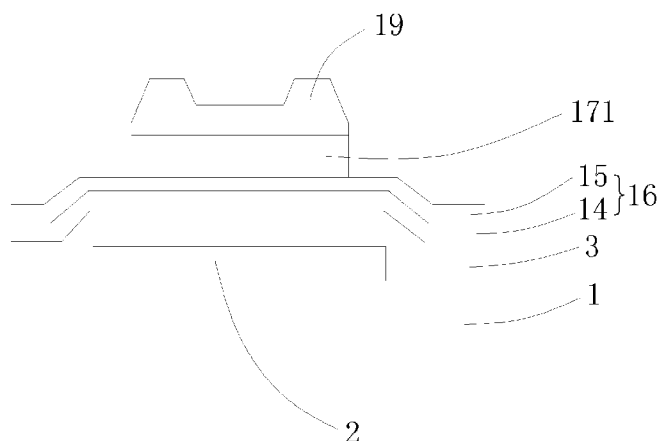


图 5

(57) **Abstract:** Disclosed is an array substrate manufacturing method, involving: after a wet etching process of a source and drain electrode metal layer (17), carrying out ashing on an island-shaped photoresist pattern (19) for the first time, so that an edge of the island-shaped photoresist pattern (19) is aligned with an edge of a source and drain electrode metal section (171).

(57) **摘要:** 一种阵列基板的制作方法, 在源漏极金属层(17)的湿蚀刻工艺后对岛状光阻图案(19)进行第一次灰化, 使岛状光阻图案(19)的边缘与源漏极金属段(171)的边缘对齐。



WO 2020/082501 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

阵列基板的制作方法、阵列基板及显示装置

技术领域

5 本申请涉及显示技术领域，尤其涉及一种阵列基板的制作方法、阵列基板及显示装置。

背景技术

液晶显示面板（LCD，Liquid Crystal Display）是液晶显示器的重要组成部分，其通常包括相对设置的彩色滤光片基板（Color Filter Substrate，CF 基
10 板）和薄膜晶体管阵列基板（Thin Film Transistor Array Substrate, TFT 阵列基板），以及配置于该两基板之间的液晶层（Liquid Crystal Layer）构成。阵列基板上设有相互交叉以限定多个像素单元的扫描线和数据线，TFT 根据扫描线的信号打开或关闭，以将数据线的信号传递至像素单元，液晶层的液晶分子根据不同数据电压信号旋转，以透光或遮光，将背光模组所提供的光线折射出来以
15 形成对应数据信号的图像。

底栅型的薄膜晶体管（TFT）的制作中，栅极、栅极绝缘层、有源层和源漏极层均包括一道光刻制程。目前提出的一种节省制程的方法是通过一道半色调光刻工艺形成源漏极和有源层，先采用湿蚀刻法以感光材料层为掩模对源漏极金属层进行湿蚀刻，然后以感光材料层为掩模对源漏极金属层下方的有源层
20 进行干蚀刻，由于湿蚀刻具有各向同性的特点，所以对源漏极金属层的横向蚀刻长度接近于垂直蚀刻深度，造成源漏极金属层相对于感光材料层缩进一段距

离，而干蚀刻后的有源层与感光材料层的长度基本一致，如此，造成有源层相对于源漏极金属层突出一段距离，称为有源层带尾（tail）。由于该带尾，使得有源层从背光方向上有一段距离无法被栅极遮挡，从正光方向上有一段距离无法被源漏极遮挡。来自背光源的光线和被液晶层一侧反射的光线照射到有源层上，产生光漏电流，带尾的长度越大，光漏电流越大，进而造成像素电压的变化并使最佳伽马公共电压（Best Vcom, Best gamma common voltage）不稳定，导致画面发生闪烁现象和残影（Image Sticking）的发生，最终降低画面显示质量。

申请内容

本申请一目的在于提供一种阵列基板的制作方法，包括但不限于解决有源层带尾过大导致光漏电流的技术问题。

为解决上述技术问题，本申请实施例采用的技术方案是：一种阵列基板的制作方法，包括：

提供衬底基层，在所述衬底基层上形成栅极，并在所述栅极和所述衬底基层上形成栅极绝缘层；

在栅极绝缘层上依次形成半导体材料层和源漏极金属层，并在所述源漏极金属层上形成岛状光阻图案，所述岛状光阻图案包括第一部分和位于所述第一部分两侧的第二部分，所述第二部分的高度大于所述第一部分的高度；以所述岛状光阻图案为掩模对所述源漏极金属层进行第一次湿蚀刻，得到源漏极金属段；

对所述岛状光阻图案进行第一次灰化，使所述岛状光阻图案的边缘与所述源漏极金属段的边缘对齐；

以经第一次灰化后的岛状光阻图案为掩模，对所述半导体材料层进行第

一次干蚀刻，得到有源段部分；

对经第一次灰化后的岛状光阻图案进行第二次灰化，去除第一部分，得到间隔设置的第三部分，所述第三部分的高度小于第一部分的高度；

以所述第三部分为掩模，对所述源漏极金属段进行第二次湿蚀刻，得到源
5 极和漏极。

所述半导体材料层包括非晶硅层以及形成于所述非晶硅层上的掺杂层；所述有源段部分包括非晶硅段以及设于非晶硅段上的掺杂段。

所述掺杂层为掺杂 n 型元素的非晶硅层。

所述非晶硅层的厚度为 1000-4000 埃，所述掺杂层的厚度为 300-1000 埃。

10 在得到所述源极和漏极之后，还包括对所述掺杂段进行第二次干蚀刻，得到位于所述非晶硅段两侧上方的欧姆接触层。

所述非晶硅层通过化学气相沉积法沉积于所述栅极绝缘层上，所述掺杂层通过化学气相沉积法沉积于所述栅极绝缘层上。

所述第一次干蚀刻还包括增加纵向蚀刻与横向蚀刻的速率之比的方法。

15 所述增加纵向蚀刻与横向蚀刻的速率之比的方法包括下列至少之一：

减小蚀刻反应气体流量比率；

提高蚀刻功率；以及

减小蚀刻气体压力，降低蚀刻腔内反应气体浓度。

所述第一次灰化采用氧气和含氟气体的混合气体；所述含氟气体包括
20 NF₃、CF₄、C₂F₆、C₄F₈、CHF₃、SF₆ 中的至少一种。

所述第二次灰化采用氧气和含氟气体的混合气体；所述含氟气体包括 NF₃、CF₄、C₂F₆、C₄F₈、CHF₃、SF₆ 中的至少一种。

所述源漏极金属层的材料为铬、钼、铜、钛、铝或氮化钼中的至少一种。

所述源漏极金属层为 Mo/Al/Mo 层、MoN/Al/Mo 层或 Mo/Al/MoN 层。

上层 Mo 或 MoN 层的厚度为 100-500 埃,中间层 Al 层的厚度为 2000-5500 埃,下层 Mo 或 MoN 层的厚度为 100-300 埃。

所述第二次湿蚀刻的时间不超过 150 秒。

5 所述第一次湿蚀刻后,所述源漏极金属段的边缘相对于所述岛状光阻图案的边缘向内缩进的距离为 0.5-1.5 微米。

所述第二次湿蚀刻后,得到的所述源极和漏极相对于所述第三部分的边缘向内缩进的距离为 0.5-1.5 微米。

本申请的另一目的在于提供一种阵列基板,所述阵列基板包括非晶硅段,
10 所述非晶硅段的非晶硅带尾的长度在 1 至 1.6 微米之间。

所述阵列基板还包括设于所述非晶硅段的两侧上方与所述源极和漏极之间的欧姆接触层,所述欧姆接触层相对于所述源极和漏极的边缘突出的长度在 0.1 至 0.4 微米之间。

本申请的再一目的在于提供一种显示装置,包括阵列基板,所述阵列基板
15 包括非晶硅段以及设于所述非晶硅段的两侧上方的源极和漏极,所述非晶硅段的非晶硅带尾的长度在 1 至 1.6 微米之间,所述源极和漏极为 Mo/Al/Mo 层、MoN/Al/Mo 层或 Mo/Al/MoN 层,上层 Mo 或 MoN 层的厚度为 100-500 埃,中间层 Al 层的厚度为 2000-5500 埃,下层 Mo 或 MoN 层的厚度为 100-300 埃。

所述阵列基板还包括设于所述非晶硅段的两侧上方与所述源极和漏极之
20 间的欧姆接触层,所述欧姆接触层相对于所述源极和漏极的边缘突出的长度在 0.1 至 0.4 微米之间。

本申请实施例提供的阵列基板的制作方法,通过在以半色调掩模对源漏极金属层的第一次湿蚀刻后,对具有不同高度部分的光阻图案增加第一次灰化工

艺，使光阻图案的边缘与湿蚀刻后的源漏极金属层的边缘对齐，从而在对源漏极金属层下方的半导体材料层进行第一次干蚀刻时，能够使半导体材料层的边缘与源漏极金属层的边缘接近甚至对齐，降低了有源层的带尾长度，防止有源层的两侧被来自背光方向的光线或被液晶层一侧反射来的光线照射到而产生光漏电流，保证了像素电压的稳定以及画面显示的质量。阵列基板及显示装置的非晶硅带尾的长度降低，从而降低了光漏电流，保证了像素电压的稳定性和显示画面的稳定性。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图 1 是本申请实施例提供的阵列基板的制作方法的流程图；

图 2 是本申请实施例提供的阵列基板的制作方法的步骤 a 的示意图；

图 3 和 4 是本申请实施例提供的阵列基板的制作方法的步骤 b 的示意图；

图 5 是本申请实施例提供的阵列基板的制作方法的步骤 c 的示意图；

图 6 是本申请实施例提供的阵列基板的制作方法的步骤 d 的示意图；

图 7 是本申请实施例提供的阵列基板的制作方法的步骤 e 的示意图；

图 8 和图 9 是本申请实施例提供的阵列基板的制作方法的步骤 f 的示意图；

图 10 是本申请实施例提供的阵列基板的一种结构示意图；

图 11 是本申请实施例提供的阵列基板的另一种结构示意图；

图 12 是本申请实施例提供的显示装置的结构示意图。

具体实施方式

为了使本申请的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本申请进行进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

5 需说明的是，当部件被称为“固定于”或“设置于”另一个部件，它可以直接在另一个部件上或者间接在该另一个部件上。当一个部件被称为是“连接于”另一个部件，它可以是直接或者间接连接至该另一个部件上。术语“上”、“下”、“左”、“右”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述，而不是指示或暗示所指的装置或元件必须具有特定的
10 方位、以特定的方位构造和操作，因此不能理解为对本专利的限制，对于本领域的普通技术人员而言，可以根据具体情况理解上述术语的具体含义。术语“第一”、“第二”仅用于便于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明技术特征的数量。“多个”的含义是两个或两个以上，除非另有明确具体的限定。

15 为了说明本申请所述的技术方案，以下结合具体附图及实施例进行详细说明。请参阅图 1 至 7，本申请提供一种阵列基板的制作方法，包括：

步骤 a，如图 2 所示，提供衬底基层 1，在衬底基层 1 上形成栅极 2，并在栅极 2 和衬底基层 1 上形成栅极绝缘层 3。

具体地，衬底基层 1 为透明基层，如玻璃板、透明塑料板等。

20 在衬底基层 1 上通过溅射镀膜等方式沉积第一金属材料层(未图示)，在第一金属材料层上形成第一光阻层，通过第一掩模板(未图示)对该第一光阻层进行曝光。该掩模板上具有对应多条扫描线以及栅极 2 的镂空图案区(未图示)，紫外光通过该镂空图案区对该感光材料进行曝光，显影后，第一光阻层上对应

扫描线和栅极 2 的区域保留，其他区域被去除，然后，以该第一光阻层的镂空图案区作为掩模对第一金属材料层进行湿蚀刻，同时得到扫描线(未图示)和栅极 2。

第一金属材料层可以为铬(Cr)、钼(Mo)、铜(Cu)、钛(Ti)、钼/铝(Mo/Al)复合层或钼/铝/钼(Mo/Al/Mo)等两种以上金属的复合层等，第一金属材料层的厚度为 2000-8000 埃。

在栅极 2 和扫描线上通过化学气相沉积法沉积形成栅极绝缘层 3。栅极绝缘层 3 的材料为氧化硅(SiO_x)和氮化硅(SiN_x)的至少一种，栅极绝缘层 3 的厚度为 1000-5000 埃。

步骤 b，如图 3 和图 4 所示，在栅极绝缘层 3 上依次形成非晶硅层 14、掺杂层 15 和源漏极金属层 17，在源漏极金属层 17 上形成岛状光阻图案 19，该岛状光阻图案 19 包括第一部分 191 和位于第一部分 191 两侧的第二部分 192，第二部分 192 的高度大于第一部分 191 的高度，然后，以该岛状光阻图案 19 为掩模对源漏极金属层 17 进行第一次湿蚀刻。

具体地，通过化学气相沉积法在栅极绝缘层 3 上沉积形成非晶硅层 14，通过化学气相沉积法在非晶硅层 14 上沉积形成掺杂层 15。非晶硅层 14 和掺杂层 15 共同作为半导体材料层 16。

在其他实施例中，半导体材料层 16 还可以由沉积非晶硅层 14 并对非晶硅层 14 进行离子掺杂形成，下半部分纯净的非晶硅层 14 未被离子掺杂，上半部分被离子掺杂，具有良好的导电性，在此不再赘述。

具体地，在本实施例中，掺杂层 15 为 N⁺掺杂层 15，如由非晶硅层 14 掺杂 B(硼)、P(磷)或 As(砷)等 n 型元素形成。

非晶硅层 14 的厚度为 1000-4000 埃，掺杂层 15 的厚度为 300-1000 埃。

源漏极金属层 17 的材料可以为铬(Cr)、钼(Mo)、铜(Cu)、钛(Ti)、铝(Al)或氮化钼(MoN)中的至少一种。在本实施例中,源漏极金属层 17 为 Mo/Al/Mo 层、MoN/Al/Mo 或 Mo/Al/MoN 层,上层 Mo 层或 MoN 层(远离半导体材料层 6)的厚度为 100-500 埃,中间层 Al 层的厚度为 2000-5500 埃,下层 Mo 层或 MoN 层(靠近半导体材料层 6)的厚度为 100-300 埃。一方面,Al 具有良好的导电性和低成本优点,而 Mo 材料能够有效防止 Al 原子向非晶硅层 14 的扩散,进一步防止产生光漏电流,改善 TFT 的电学特性,还能防止 Al 向 ITO(氧化铟锡)透明导电层的扩散,防止影响透明导电层的性能。

岛状光阻图案 19 的具体形成方法为,在源漏极金属层 17 上涂布第二光阻层 18,提供一半色调光罩 10,该半色调光罩 10 上具有全透光区 103、半透光区 102 以及不透光区 101,曝光并显影后,第二光阻层 18 上对应全透光区 103 的部分保留,形成第一部分 191,对应不透光区 101 的部分被去掉,对应半透光区 102 的部分形成第二部分 192。

经过该步骤 b 后,源漏极金属层 17 被蚀刻,得到位于该岛状光阻图案 19 下方的源漏极金属段 171,该源漏极金属段 171 的边缘相对于岛状光阻图案 19 的边缘向内缩进,缩进距离约为 0.5-1.5 微米。

步骤 c,如图 5 所示,对岛状光阻图案 19 进行第一次灰化,使岛状光阻图案 19 的边缘与源漏极金属段 171 的边缘对齐。

具体来说,第一次灰化采用氧气和含氟气体的混合气体,含氟气体包括 NF₃、CF₄、C₂F₆、C₄F₈、CHF₃、SF₆ 中的至少一种。将该混合气体通过射频功率源如高压放电形式电离为等离子体,以该等离子体对岛状光阻图案 19 进行蚀刻。

岛状光阻图案 19 经第一次灰化后,其边缘向内缩进,缩进距离大约 0.5-1.5

微米。同时，第一部分 191 和第二部分 192 的高度均减小。

步骤 d，如图 6 所示，以经第一次灰化后的岛状光阻图案 19 为掩模，对非晶硅层 14 和掺杂层 15 进行第一次干蚀刻，得到与源漏极金属段 171 的边缘对齐的有源段部分 161，该有源段部分 161 包括与源漏极金属段 171 的边缘对齐的非晶硅段 141 和与非晶段的边缘对齐的掺杂段 151。

干蚀刻是利用真空气体在高压电源的作用下产生气体等离子体，气体等离子体只对非金属膜层产生作用，对金属层不产生蚀刻，保证了源漏极金属段 171 不被影响。

干蚀刻过程中，气体等离子体轰击待蚀刻层表面，表现为纵向蚀刻，气体等离子体与待蚀刻层反应生成挥发性物质，表现为横向蚀刻。随着纵向深度的增加，横向蚀刻能力逐渐降低，因此，干蚀刻会在待蚀刻层表面形成弧形的凹陷，在非晶硅段 141 和掺杂段 151 的边缘造成一小的倾角（未图示）。应当理解的是，这里的“对齐”并不一定指上下垂直对准，而是指非晶硅段 141 的边缘和掺杂段 151 的边缘具有基于同一掩模经干蚀刻形成的一致性。

在该步骤 d 中，为了使得有源段部分 161 的边缘尽可能垂直形成，需要提高第一次干蚀刻中纵向蚀刻与横向蚀刻的比率，具体包括：减小蚀刻反应气体流量比率，如当采用氧气与 SF_6 的混合等离子体时，可以降低 SF_6 的流量，提高纵向蚀刻速率；提高蚀刻功率，即提高蚀刻腔体的两极板间吸引电子的能力，使电子以更快的速率撞击待蚀刻层，提高纵向蚀刻速率；减小蚀刻气体压力，降低蚀刻腔内反应气体浓度，使反应气体的横向蚀刻速率变慢。

经过该步骤 d 后，有源段部分 161 的边缘与第一次灰化后的岛状光阻图案 19 的边缘对齐，降低了有源段部分 161 的宽度，从而降低了有源段部分 161 的带尾长度并降低了有源段部分 161 的两侧可能被光线照射到的长度，从而降

低了光漏电流。

步骤 e, 如图 7 所示, 对经第一次灰化后的光阻图案进行第二次灰化, 得到间隔设置的第三部分 193, 第三部分 193 之间暴露出有源段部分 161 的中部。

具体来说, 第二次灰化采用氧气和含氟气体的混合气体, 含氟气体包括
5 NF_3 、 CF_4 、 C_2F_6 、 C_4F_8 、 CHF_3 、 SF_6 中的至少一种。将该混合气体通过射频功率源如高压放电形式电离为等离子体, 以该等离子体对第一次灰化后的岛状光阻图案 19 进行蚀刻, 厚度较小的第二部分 192 被完全蚀刻去除, 厚度较大的第一部分 191 被部分去除, 形成第三部分 193, 第三部分 193 的厚度小于第一部分 191 的厚度, 且第三部分 193 的长度小于第一部分 191 的长度。第三部分
10 193 将有源段部分 161 的中部以及两端暴露出。

步骤 f, 如图 8 和图 9 所示, 以第三部分 193 为掩模, 对源漏极金属段 171 进行第二次湿蚀刻, 得到位于第三部分 193 下方且相对于第三部分 193 的边缘向内缩进的源极 172 和漏极 173, 缩进距离大约为 0.5-1.5 微米, 同时, 源极 172 和漏极 173 相对于有源段部分 161 的边缘也向内缩进, 缩进距离大约为
15 0.5-1.5 微米。在该第二次湿蚀刻中, 还可以通过调整蚀刻时间, 来调整源极 172 和漏极 173 相对于有源段部分 161 的边缘向内缩进的距离, 即, 源极 172 和漏极 173 相对于有源段部分 161 的边缘向内缩进的距离越小, 则有源段部分 161 的两侧相对于源极 172 和漏极 173 突出的带尾的长度更小, 即非晶硅段 141 的带尾和欧姆接触层 152 的带尾更小, 从而非晶硅段 141 和欧姆接触层 152
20 能够有更大的部分被源极 172 和漏极 173 遮挡, 降低由光线照射而产生的光漏电流。

具体地, 对于 Mo/Al/Mo、MoN/Al/Mo 或 Mo/Al/MoN 结构的源漏极金属层 17, 第二次湿蚀刻的时间不超过 150 秒, 能够避免源漏极金属段 171 被过

度蚀刻。

然后，以第三部分 193 为掩模，对有源段部分 161 中位于上层的掺杂段 151 进行第二次干蚀刻，得到对应两个第三部分 193 的欧姆接触层 152，非晶硅段 141 的两侧与欧姆接触层 152 相接，能够改善非晶硅段 141 与源漏极 173 之间的电学接触电阻，从而提高 TFT 的电学特性。非晶硅段 141 暴露于欧姆接触层 152 之间的部分作为沟道区。

栅极 2、栅极绝缘层 3、非晶硅段 141、欧姆接触层 152 以及源极 172 和漏极 173 形成一个 TFT，非晶硅段 141 及欧姆接触层 152 为 TFT 的有源层 20。

非晶硅段 141 的边缘相对于源极 172 和漏极 173 的边缘突出的部分称为非晶硅带尾，欧姆接触层 152 对于源极 172 和漏极 173 的边缘突出的部分称为掺杂层带尾，掺杂层带尾的长度小于非晶硅带尾，具体来说，非晶硅带尾的长度在 1 至 1.6 微米之间，掺杂层带尾的长度在 0.1 至 0.4 微米之间。经本申请的阵列基板的制作方法得到的非晶硅带尾的长度在 1 至 1.6 微米之间，能够显著降低光漏电流。

本申请提供的阵列基板的制作方法，还包括将两个第三部分 193 剥离，在 TFT 上沉积形成钝化层 6，并在钝化层 6 上形成平坦层 7，在平坦层 7 上形成像素电极层 9，像素电极层 9 通过贯穿钝化层 6 和平坦层 7 上的过孔与漏极 173 连接，得到阵列基板 100，如图 10 所示；或者包括在 TFT 上沉积形成钝化层 6，在钝化层 6 上形成彩色色阻层 8，在彩色色阻层 8 上形成平坦层 7，在平坦层 7 上形成像素电极层 9，像素电极层 9 包括多个子像素电极 90，每一子像素电极层 9 通过贯穿钝化层 6、彩色色阻层 8 以及平坦层 7 上的过孔与漏极 173 连接，得到 COA(Color on Array)型阵列基板 100，如图 11 所示，彩色色阻层 8 包括红色色阻块 81、绿色色阻块 82 和蓝色色阻块 83，分别对应一子像素电

极 90，形成红色子像素 11、绿色子像素 12 和蓝色子像素 13。

请参阅下表 1，通过本申请实施例提供的阵列基板的制作方法所制作的阵列基板中，对应制作过程中不同工艺条件可得到具有不同长度的非晶硅带尾(a-Si tail)和掺杂层带尾(N+ tail)，本申请测试了几种条件下在背光全开的情况
5 下所导致产生的光漏电流。由此可知，本申请实施例提供的阵列基板的制作方法能够将非晶硅段 141 的带尾长度降低约 0.7 微米，使光漏电流低至常规结构的 6%，从而有效保证了像素电压的稳定性和显示质量的稳定性。

表 1 不同长度的非晶硅段带尾和掺杂层带尾的光漏电流测试结果

	非晶硅段带尾 (μm)	掺杂层带尾(μm)	光漏电流 (A)	光漏电流(%)
常规结构	1.845	0.4812	1.070E-12	100.00%
条件 1	1.584	0.368	4.185E-13	39.11%
条件 2	1.534	0.347	6.686E-13	62.48%
条件 3	1.466	0.253	1.787E-13	16.70%
条件 4	1.33	0.159	6.073E-13	56.75%
条件 5	1.163	0.130	6.520E-14	6.09%

10 其中，E 为科学计数法符号。

本申请还提供一种阵列基板 100，采用上述实施例所说的阵列基板的制作方法所制作得到，如图 10 和 11 所示。该阵列基板 100 采用上述实施例所说的阵列基板的制作方法所制作得到，包括衬底基层 1、设于衬底基层 1 上的栅极 2、设于衬底基层 1 和栅极 2 上的栅极绝缘层 3、设于栅极绝缘层 3 上的非晶
15 硅段 141、对应非晶硅段 141 的两侧设置的欧姆接触层 152、对应欧姆接触层 152 设置的源极 172 和漏极 173，以及连接于漏极 173 的像素电极 90。

非晶硅段 141 的边缘相对于源极 172 和漏极 173 的边缘突出的部分称为非

晶硅带尾, 欧姆接触层 152 相对于源极 172 和漏极 173 的边缘突出的部分称为掺杂层带尾, 掺杂层带尾的长度小于非晶硅带尾, 具体来说, 非晶硅带尾的长度在 1 至 1.6 微米之间, 最佳条件 5 下可以降到约 1 微米, 掺杂层带尾的长度在 0.1 至 0.4 微米之间, 最佳条件下 5 可以降到约 0.1 微米。本申请实施例提供的阵列基板 100 的非晶硅带尾(a-Si tail)和掺杂层带尾(N+ tail)均得以降低, 从而降低了光漏电流, 保证了像素电压的稳定性和显示画面的稳定性。源极 172 和漏极 173 为 Mo/Al/Mo 层、MoN/Al/Mo 或 Mo/Al/MoN 层的叠层结构, 上层 Mo 或 MoN 层 (远离非晶硅段 141) 的厚度为 100-500 埃, 中间层 Al 层的厚度为 2000-5500 埃, 下层 Mo 或 MoN 层 (靠近非晶硅段 141) 的厚度为 100-300 埃。一方面, Al 具有良好的导电性和低成本优点, 而 Mo 材料能够有效防止 Al 原子向非晶硅段 141 的扩散, 进一步防止产生光漏电流, 改善 TFT 的电学特性, 还能防止 Al 向像素电极 90 的扩散, 防止影响透明导电层的性能。

本申请还提供一种显示装置 500, 如图 12 所示, 包括液晶显示面板和背光模组 400, 液晶显示面板由上述实施例所说的阵列基板 100(参见图 11 所示)、与阵列基板 100 相对设置的对置基板 200 以及夹设于阵列基板 100 和对置基板 200 之间的液晶层 300 形成, 背光模组 400 设于阵列基板 100 一侧, 以向液晶层 300 提供光线。本申请的显示装置 500 包括上述实施例所说的阵列基板 100, 其非晶硅带尾(a-Si tail)和掺杂层带尾(N+ tail)均得以降低, 从而降低了光漏电流, 保证了像素电压的稳定性和显示画面的稳定性。

以上仅为本申请的可选实施例而已, 并不用于限制本申请。对于本领域的技术人员来说, 本申请可以有各种更改和变化。凡在本申请的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本申请的权利要求范围之内。

权 利 要 求 书

1. 一种阵列基板的制作方法，包括：

提供衬底基层，在所述衬底基层上形成栅极，并在所述栅极和所述衬底基层上形成栅极绝缘层；

5 在栅极绝缘层上依次形成半导体材料层和源漏极金属层，并在所述源漏极金属层上形成岛状光阻图案，所述岛状光阻图案包括第一部分和位于所述第一部分两侧的第二部分，所述第二部分的高度大于所述第一部分的高度；以所述岛状光阻图案为掩模对所述源漏极金属层进行第一次湿蚀刻，得到源漏极金属段；

10 对所述岛状光阻图案进行第一次灰化，使所述岛状光阻图案的边缘与所述源漏极金属段的边缘对齐；

以经第一次灰化后的岛状光阻图案为掩模，对所述半导体材料层层进行第一次干蚀刻，得到有源段部分；

15 对经第一次灰化后的岛状光阻图案进行第二次灰化，去除第一部分，得到间隔设置的第三部分，所述第三部分的高度小于第一部分的高度；以及

以所述第三部分为掩模，对所述源漏极金属段进行第二次湿蚀刻，得到源极和漏极。

2. 根据权利要求 1 所述的阵列基板的制作方法，其中，所述半导体材料层包括非晶硅层以及形成于所述非晶硅层上的掺杂层；所述有源段部分包括非
20 晶硅段以及设于非晶硅段上的掺杂段。

3. 根据权利要求 2 所述的阵列基板的制作方法，其中，所述掺杂层为掺杂 n 型元素的非晶硅层。

4. 如权利要求 2 所述的阵列基板的制作方法，其中所述非晶硅层的厚度为 1000-4000 埃，所述掺杂层的厚度为 300-1000 埃。

5. 如权利要求 2 所述的阵列基板的制作方法，其中，在得到所述源极和漏极之后，还包括对所述掺杂段进行第二次干蚀刻，得到位于所述非晶硅段两侧上方的欧姆接触层。

6. 如权利要求 2 所述的阵列基板的制作方法，其中，所述非晶硅层通过化学气相沉积法沉积于所述栅极绝缘层上，所述掺杂层通过化学气相沉积法沉积于所述栅极绝缘层上。

7. 如权利要求 1 所述的阵列基板的制作方法，其中，所述第一次干蚀刻还包括增加纵向蚀刻与横向蚀刻的速率之比的方法。

8. 如权利要求 7 所述的阵列基板的制作方法，其中，所述增加纵向蚀刻与横向蚀刻的速率之比的方法包括下列至少之一：

减小蚀刻反应气体流量比率；

提高蚀刻功率；以及

15 减小蚀刻气体压力，降低蚀刻腔内反应气体浓度。

9. 如权利要求 1 所述的阵列基板的制作方法，其中，所述第一次灰化采用氧气和含氟气体的混合气体；所述含氟气体包括 NF₃、CF₄、C₂F₆、C₄F₈、CHF₃、SF₆ 中的至少一种。

10. 如权利要求 1 所述的阵列基板的制作方法，其中，所述第二次灰化采用氧气和含氟气体的混合气体；所述含氟气体包括 NF₃、CF₄、C₂F₆、C₄F₈、CHF₃、SF₆ 中的至少一种。

11. 如权利要求 1 所述的阵列基板的制作方法，其中，所述源漏极金属层的材料为铬、钼、铜、钛、铝或氮化钼中的至少一种。

12. 如权利要求 11 所述的阵列基板的制作方法, 其中, 所述源漏极金属层为 Mo/Al/Mo 层、MoN/Al/Mo 层或 Mo/Al/MoN 层。

13. 如权利要求 12 所述的阵列基板的制作方法, 其中, 上层 Mo 或 MoN 层的厚度为 100-500 埃, 中间层 Al 层的厚度为 2000-5500 埃, 下层 Mo 或 MoN 层的厚度为 100-300 埃。

14. 如权利要求 13 所述的阵列基板的制作方法, 其中, 所述第二次湿蚀刻的时间不超过 150 秒。

15. 如权利要求 1 所述的阵列基板的制作方法, 其中, 所述第一次湿蚀刻后, 所述源漏极金属段的边缘相对于所述岛状光阻图案的边缘向内缩进的距离为 0.5-1.5 微米。

16. 如权利要求 1 所述的阵列基板的制作方法, 其中, 所述第二次湿蚀刻后, 得到的所述源极和漏极相对于所述第三部分的边缘向内缩进的距离为 0.5-1.5 微米。

17. 一种阵列基板, 所述阵列基板包括非晶硅段, 所述非晶硅段的非晶硅带尾的长度在 1 至 1.6 微米之间。

18. 如权利要求 17 所述的阵列基板, 其中, 所述阵列基板还包括设于所述非晶硅段的两侧上方与所述源极和漏极之间的欧姆接触层, 所述欧姆接触层相对于所述源极和漏极的边缘突出的长度在 0.1 至 0.4 微米之间。

19. 一种显示装置, 包括阵列基板, 所述阵列基板包括非晶硅段以及设于所述非晶硅段的两侧上方的源极和漏极, 所述非晶硅段的非晶硅带尾的长度在 1 至 1.6 微米之间, 所述源极和漏极为 Mo/Al/Mo 层、MoN/Al/Mo 层或 Mo/Al/MoN 层, 上层 Mo 或 MoN 层的厚度为 100-500 埃, 中间层 Al 层的厚度为 2000-5500 埃, 下层 Mo 或 MoN 层的厚度为 100-300 埃。

20. 如权利要求 19 所述的显示装置，其中，所述阵列基板还包括设于所述非晶硅段的两侧上方与所述源极和漏极之间的欧姆接触层，所述欧姆接触层相对于所述源极和漏极的边缘突出的长度在 0.1 至 0.4 微米之间。

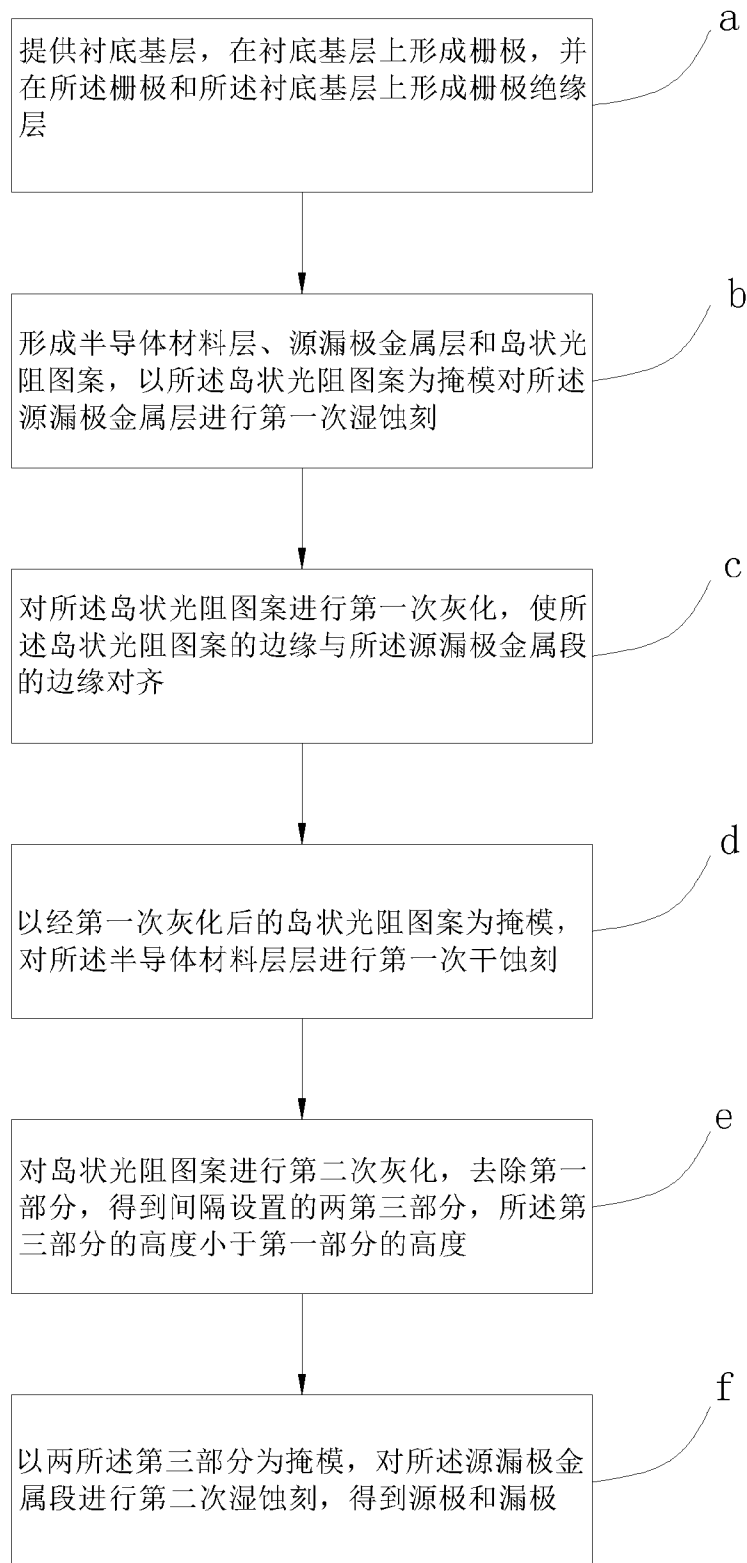


图 1

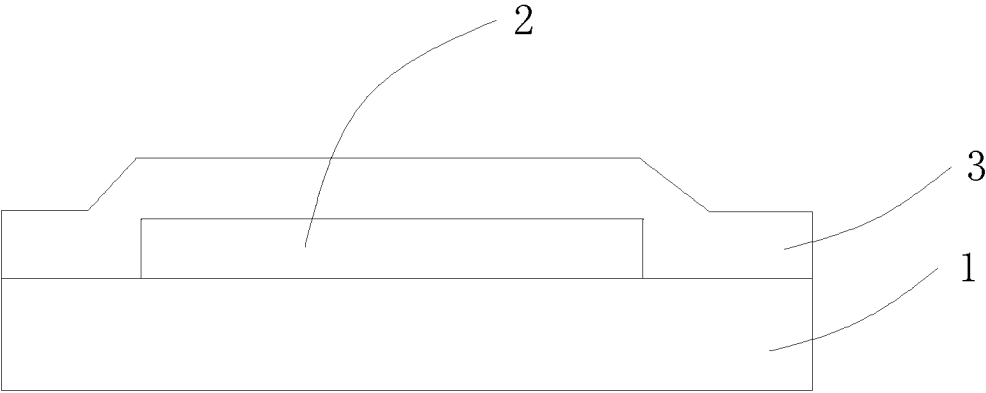


图 2

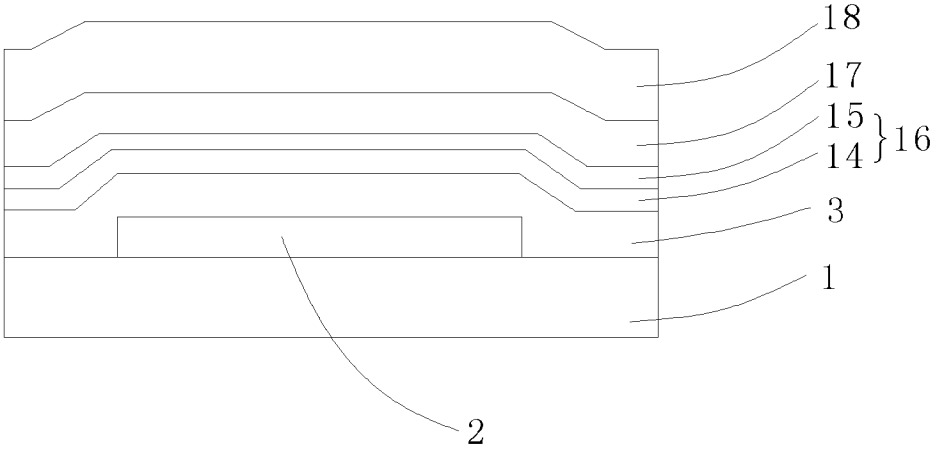
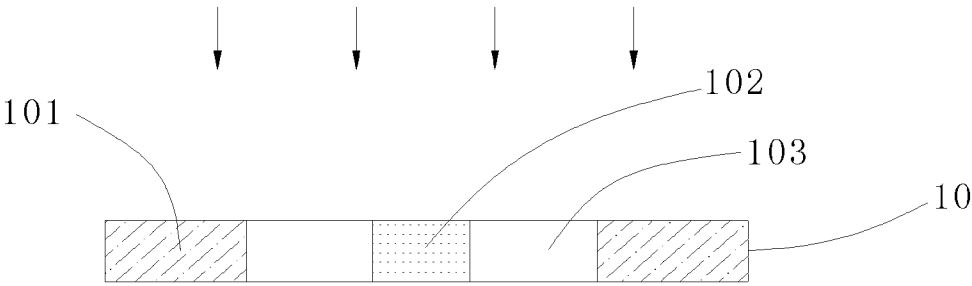


图 3

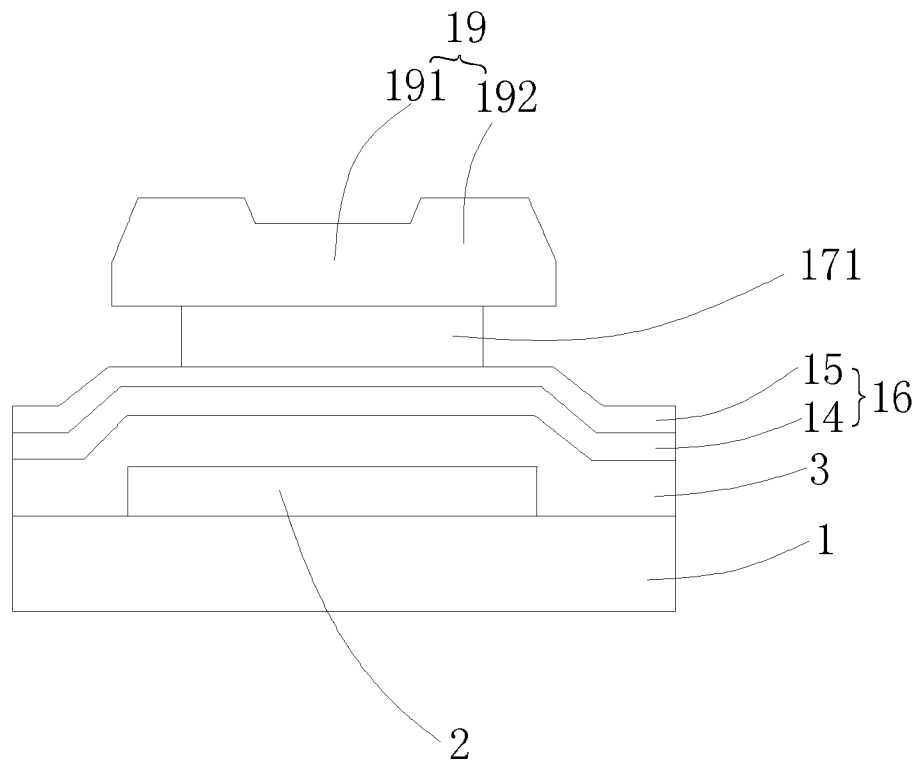


图 4

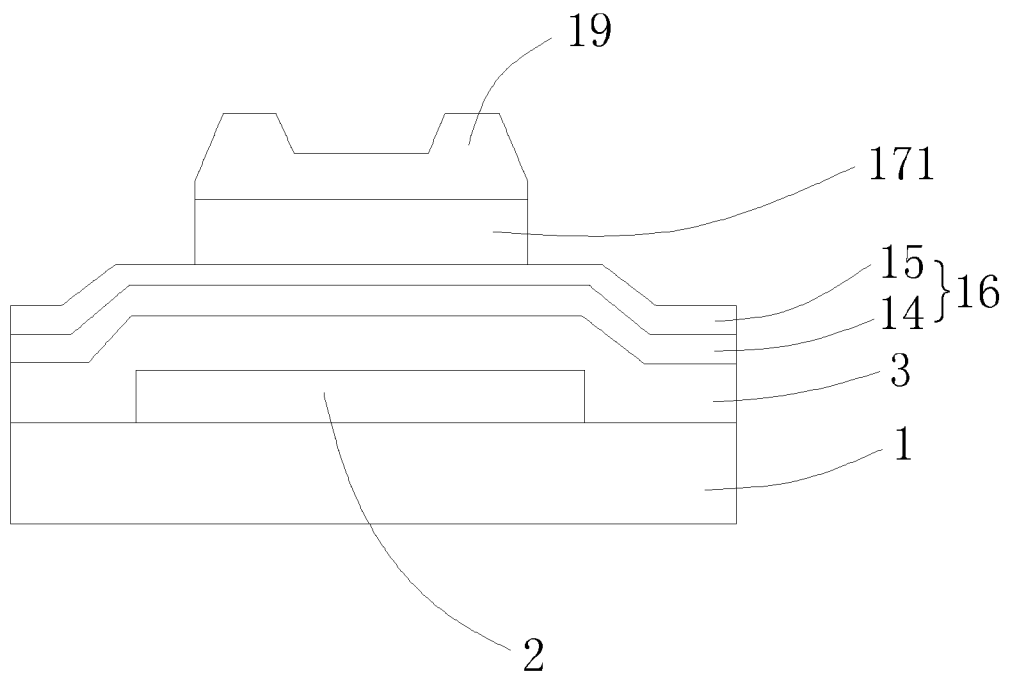


图 5

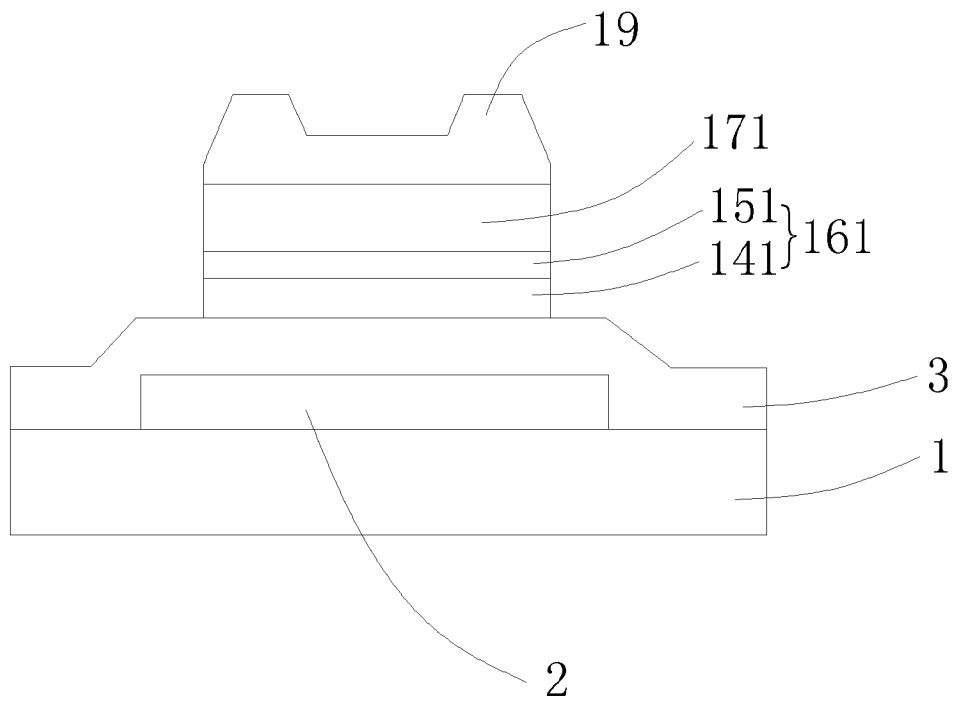


图 6

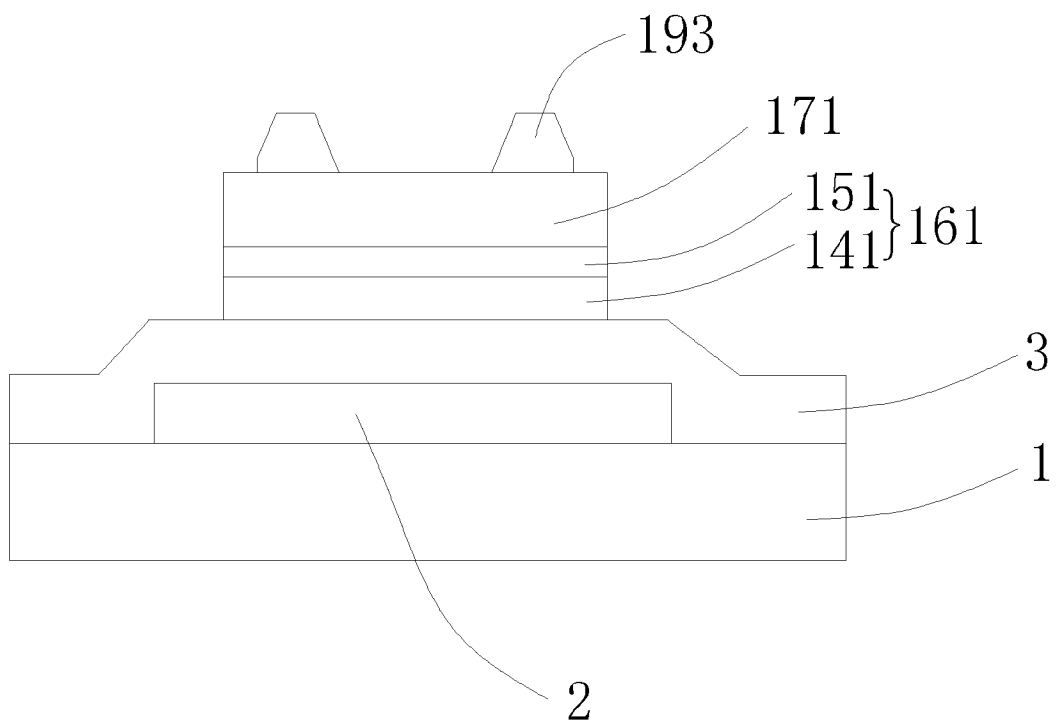


图 7

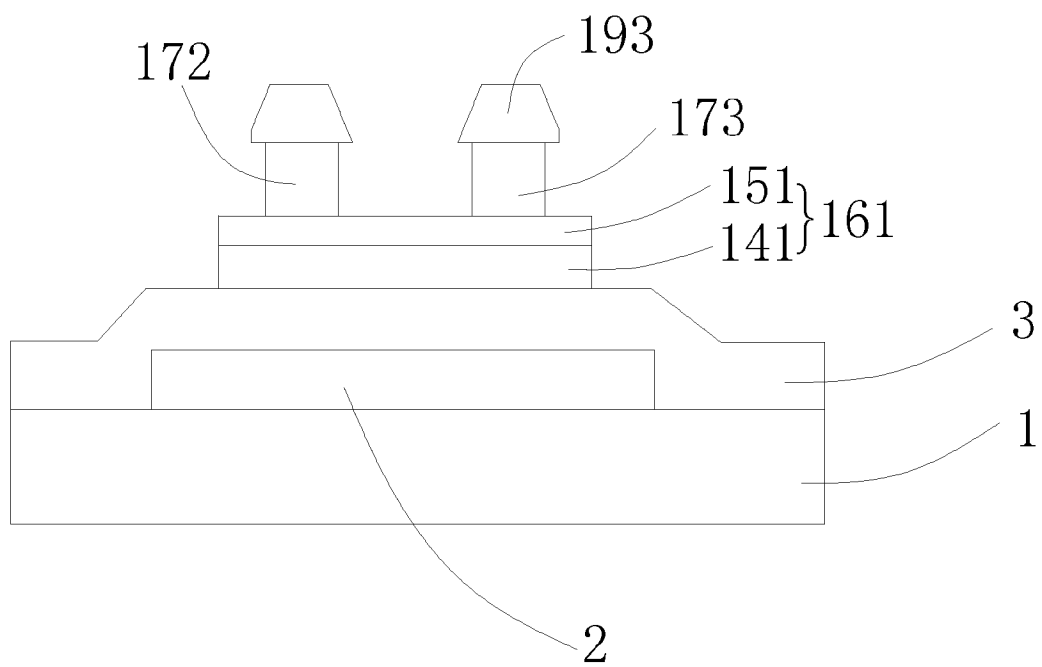


图 8

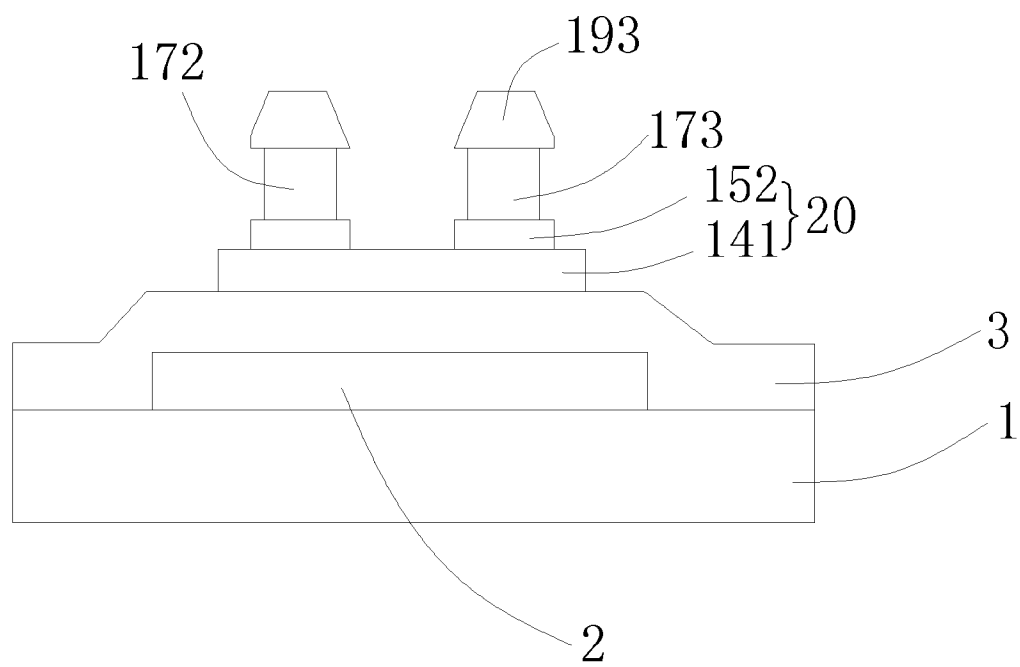


图 9

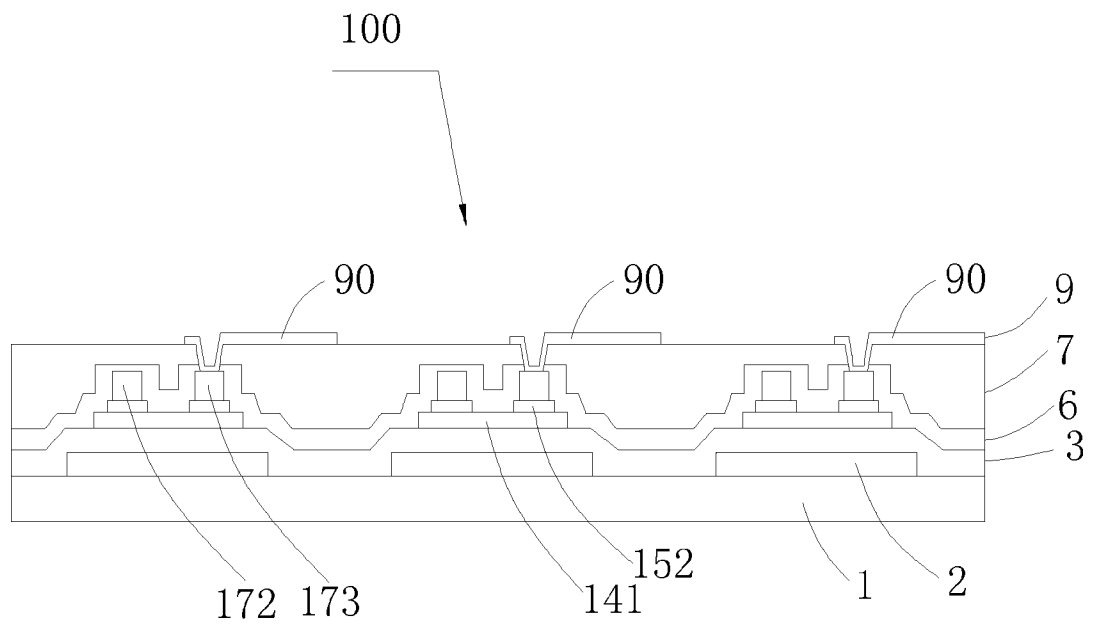


图 10

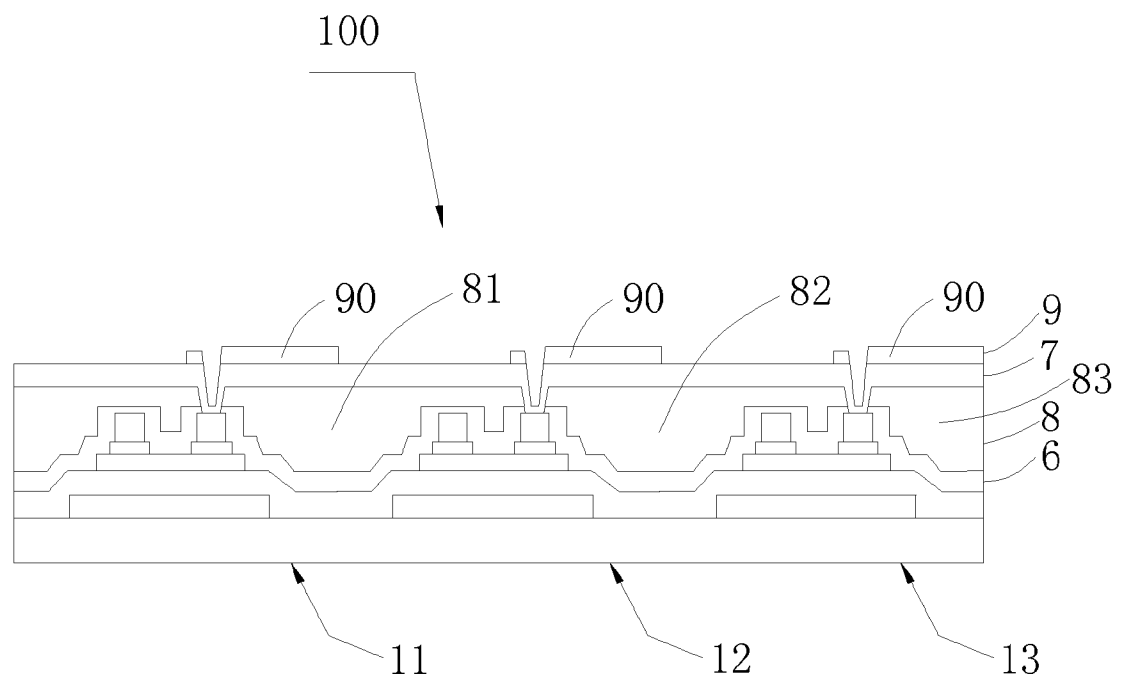


图 11

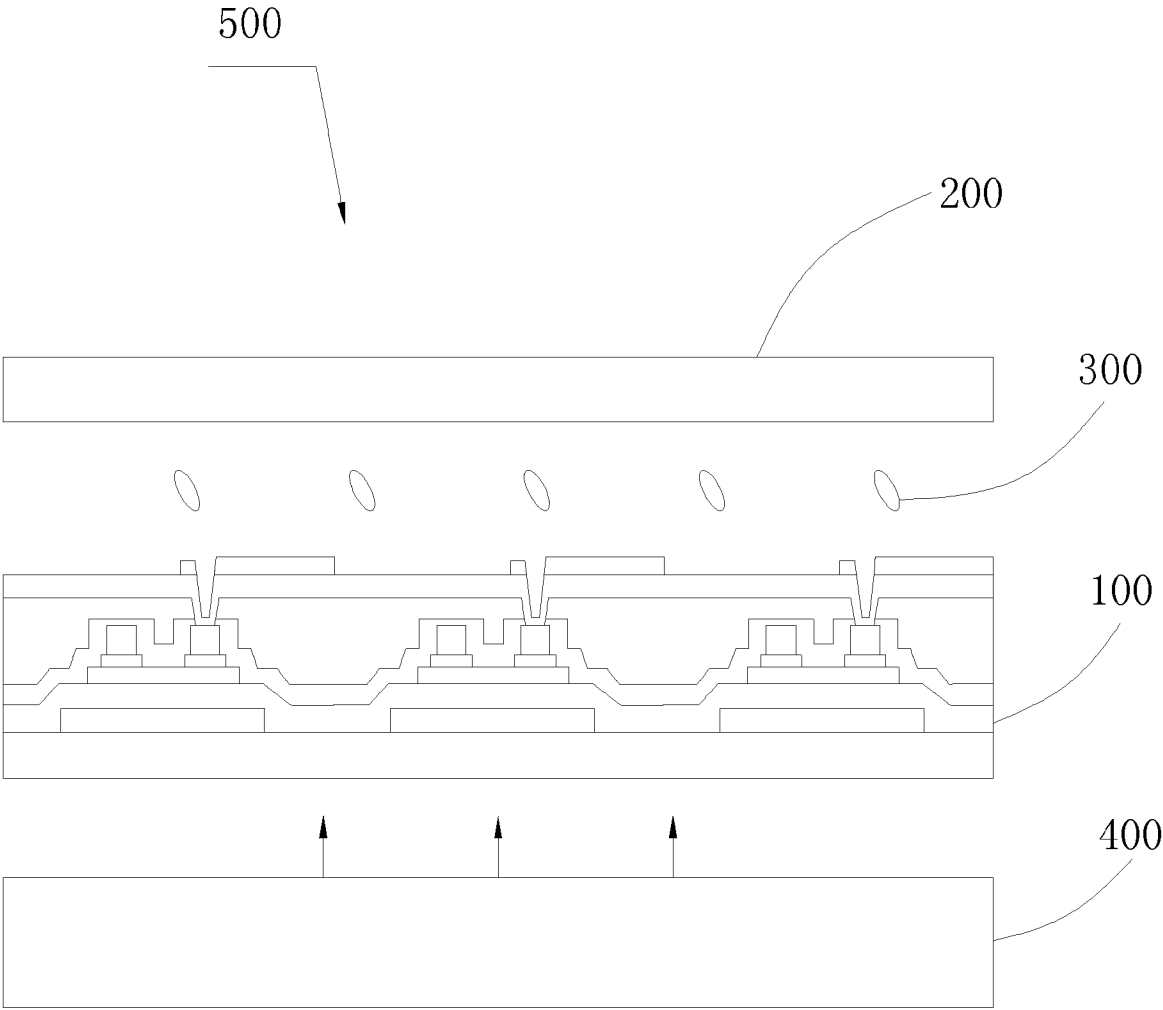


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/118055

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, IEEE, CNKI: 基板, 阵列, 刻蚀, 漏电, 长度, substrate, array, etch+, leak+, length

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108417583 A (HKC CO., LTD. ET AL.) 17 August 2018 (2018-08-17) description, paragraphs [0083]-[0108], claims 1-10, and figures 5-13	1-20
X	CN 108447821 A (HKC CO., LTD. ET AL.) 24 August 2018 (2018-08-24) claims 1-10	1-20
A	CN 107464820 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 12 December 2017 (2017-12-12) entire document	1-20
A	CN 101435965 A (LG DISPLAY CO., LTD.) 20 May 2009 (2009-05-20) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 July 2019

Date of mailing of the international search report

23 July 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/118055

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108417583	A	17 August 2018	None			
CN	108447821	A	24 August 2018	None			
CN	107464820	A	12 December 2017	WO	2019061813	A1	04 April 2019
CN	101435965	A	20 May 2009	KR	20090049866	A	19 May 2009
				US	2009121234	A1	14 May 2009
				TW	200921228	A	16 May 2009
				FR	2923622	B1	01 February 2013
				KR	101345171	B1	27 December 2013
				DE	102008050200	A1	28 May 2009
				TW	I378306	B	01 December 2012
				CN	101435965	B	11 July 2012
				DE	102008050200	B4	18 December 2014
				FR	2923622	A1	15 May 2009
				US	7936409	B2	03 May 2011

国际检索报告

国际申请号

PCT/CN2018/118055

A. 主题的分类 H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI, EPDOC, CNPAT, IEEE, CNKI: 基板, 阵列, 刻蚀, 漏电, 长度, substrate, array, etch+, leak+, length		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108417583 A (惠科股份有限公司 等) 2018年 8月 17日 (2018 - 08 - 17) 说明书第[0083]-[0108]段, 权利要求1-10, 附图5-13	1-20
X	CN 108447821 A (惠科股份有限公司 等) 2018年 8月 24日 (2018 - 08 - 24) 权利要求1-10	1-20
A	CN 107464820 A (深圳市华星光电半导体显示技术有限公司) 2017年 12月 12日 (2017 - 12 - 12) 全文	1-20
A	CN 101435965 A (乐金显示有限公司) 2009年 5月 20日 (2009 - 05 - 20) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 7月 5日		国际检索报告邮寄日期 2019年 7月 23日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 白燕 电话号码 86-(10)-53961462

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/118055

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108417583	A	2018年 8月 17日	无			
CN	108447821	A	2018年 8月 24日	无			
CN	107464820	A	2017年 12月 12日	W0	2019061813	A1	2019年 4月 4日
CN	101435965	A	2009年 5月 20日	KR	20090049866	A	2009年 5月 19日
				US	2009121234	A1	2009年 5月 14日
				TW	200921228	A	2009年 5月 16日
				FR	2923622	B1	2013年 2月 1日
				KR	101345171	B1	2013年 12月 27日
				DE	102008050200	A1	2009年 5月 28日
				TW	1378306	B	2012年 12月 1日
				CN	101435965	B	2012年 7月 11日
				DE	102008050200	B4	2014年 12月 18日
				FR	2923622	A1	2009年 5月 15日
				US	7936409	B2	2011年 5月 3日