(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月9日(09.05.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/087471 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01) *H01L 27/146* (2006.01)

(21) 国際出願番号： PCT/JP2018/026757

(22) 国際出願日： 2018年7月17日(17.07.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-209045 2017年10月30日(30.10.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 丹羽 篤親(**NIWA, Atsumi**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

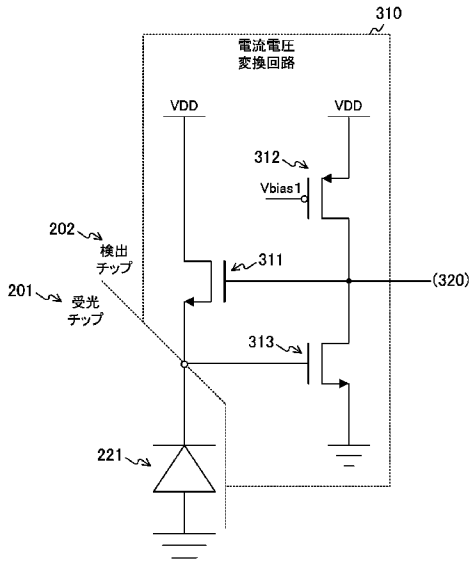
(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京王新宿三丁目第二ビル ５Ｆ クラフト国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) **Title:** SOLID-STATE IMAGE PICKUP ELEMENT

(54) 発明の名称： 固体撮像素子

[図7]



201 Light receiving chip
202 Detection chip
310 Current-voltage conversion circuit

(57) **Abstract:** The present invention reduces a mounting area in a solid-state image pickup element that detects an address event. This solid-state image pickup element is provided with a light receiving chip and a detection chip. In the solid-state image pickup element that is provided with the light receiving chip and the detection chip, the light receiving chip is provided with a photodiode that generates a photocurrent by photoelectrically converting inputted light. Furthermore, in the solid-state image pickup element, the detection chip quantizes a voltage signal corresponding to the photocurrent having been generated by the photodiode in the light receiving chip, and outputs the signal as a detection signal.

(57) 要約：アドレスイベントを検出する固体撮像素子において、実装面積を削減する。 固体撮像素子は、受光チップおよび検出チップを具備する。受光チップおよび検出チップを具備する固体撮像素子において、受光チップには、入射光を光電変換して光電流を生成するフォトダイオードが設けられる。また、固体撮像素子において、検出チップは、受光チップ内のフォトダイオードにより生成された光電流に応じた電圧信号を量子化して検出信号として出力する。

WO 2019/087471 A1

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明　細　書

発明の名称 ： 固体撮像素子

技術分野

[0001] 本技術は、固体撮像素子に関する。詳しくは、入射光の光量を閾値と比較する固体撮像素子に関する。

背景技術

[0002] 従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像素子が撮像装置などにおいて用いられている。この一般的な同期型の固体撮像素子では、同期信号の周期（例えば、１／６０秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、画素アドレスごとに、その画素の光量が閾値を超えた旨をアドレスイベントとしてリアルタイムに検出するアドレスイベント検出回路を画素毎に設けた非同期型の固体撮像素子が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特表２０１６－５３３１４０号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の非同期型の固体撮像素子では、同期型の固体撮像素子よりも遥かに高速にデータを生成して出力することができる。このため、例えば、交通分野において、人や障害物を画像認識する処理を高速に実行して、安全性を向上させることができる。しかしながら、アドレスイベント検出回路は、同期型における画素回路よりも回路規模が大きく、そのような回路を画素毎に設けると、実装面積が同期型と比較して増大してしまうという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、アドレスイベ

ントを検出する固体撮像素子において、実装面積を削減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、行駆動回路と、列駆動回路と、複数の画素とを備え、上記複数の画素はそれぞれ、入射光を光電変換して光電流を生成するフォトダイオードと、上記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、接続部とを有し、上記行駆動回路および上記列駆動回路は第２のチップに設けられ、上記フォトダイオードは第１のチップに設けられ、少なくとも一部の上記画素回路は上記第２のチップに設けられ、上記接続部を介して上記第１のチップに設けられた上記フォトダイオードに電気的に接続される固体撮像素子である。これにより、第１のチップと第２のチップとに回路が分散して配置されるという作用をもたらす。

[0007] また、この第１の側面において、上記画素回路において、上記第１のチップには、上記光電流を上記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、上記第２のチップには、上記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられてもよい。これにより、Ｎ型トランジスタおよびフォトダイオードが同一のチップに配置されるという作用をもたらす。

[0008] また、この第１の側面において、上記画素回路において、上記第２のチップには、上記光電流を上記電圧信号に変換する電流電圧変換回路がさらに設けられてもよい。これにより、電流電圧変換回路の分、第１のチップの回路規模が削減されるという作用をもたらす。

[0009] また、この第１の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、上記Ｎ型であってもよい。これにより、Ｎ型トランジスタのみにより光電流が電圧信号に変換されるという作用をもたらす。

[0010] また、この第１の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、上記ダイオードと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ダイオードにより光電流が電圧信号に変換されるという作用をもたらす。

[0011] また、この第１の側面において、上記電流電圧変換回路は、所定のバイアス電圧がゲートに印加され、ドレインが上記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、上記フォトダイオードと上記第１トランジスタとの接続点にゲートが接続され、ドレインが上記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタとを含み、上記第１および第２のトランジスタの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ゲート接地回路を含む回路により低周波ノイズが抑制されるという作用をもたらす。

[0012] また、この第１の側面において、上記電流電圧変換回路は、複数段のループ回路を含み、上記複数段のループ回路のそれぞれは、第１のＮ型トランジスタと、上記第１のＮ型トランジスタのソースにゲートが接続され、上記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタとを備えてもよい。これにより、複数段のループ回路により、高いゲインで光電流が電圧信号に変換されるという作用をもたらす。

[0013] また、この第１の側面において、上記画素回路において、上記第１のチップには、上記光電流を上記電圧信号に変換する電流電圧変換回路と上記電圧信号を補正して出力するバッファとがさらに設けられてもよい。これにより、電流電圧変換回路およびバッファの分、第２のチップの回路規模が削減されるという作用をもたらす。

[0014] また、この第１の側面において、上記画素回路において、上記第１のチップには、上記バッファの出力端子に一端が接続された第１コンデンサがさらに設けられ、上記第２のチップには、上記第１コンデンサの他端に入力端子が接続されたインバータと上記インバータに並列に接続された第２コンデン

サとがさらに設けられてもよい。これにより、第１コンデンサおよび第２コンデンサが第１のチップおよび第２のチップに分散して配置されるという作用をもたらす。

[0015] また、この第１の側面において、上記画素回路において、上記第１のチップには、上記バッファから出力された上記電圧信号のレベルを低下させる減算器と上記低下した電圧信号を量子化して上記検出信号として出力する量子化器とがさらに設けられてもよい。これにより、減算器および量子化器の分、第２のチップの回路規模が削減されるという作用をもたらす。

[0016] また、本技術の第２の側面は、入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、上記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップとを具備する固体撮像素子である。これにより、受光チップと検出チップとに回路が分散して配置されるという作用をもたらす。

[0017] また、この第２の側面において、上記受光チップには、上記光電流を上記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、上記検出チップには、上記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられてもよい。これにより、Ｎ型トランジスタおよびフォトダイオードが同一のチップに配置されるという作用をもたらす。

[0018] また、この第２の側面において、上記検出チップには、上記光電流を上記電圧信号に変換する電流電圧変換回路がさらに設けられてもよい。これにより、電流電圧変換回路の分、検出チップの回路規模が削減されるという作用をもたらす。

[0019] また、この第２の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、上記Ｎ型トランジスタと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、Ｎ型トランジスタのみにより光電流が電圧信号に変換されると

いう作用をもたらす。

[0020] また、この第２の側面において、上記電流電圧変換回路は、上記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、上記ダイオードと上記フォトダイオードとの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ダイオードにより光電流が電圧信号に変換されるという作用をもたらす。

[0021] また、この第２の側面において、上記電流電圧変換回路は、所定のバイアス電圧がゲートに印加され、ドレインが上記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、上記フォトダイオードと上記第１トランジスタとの接続点にゲートが接続され、ドレインが上記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタとを含み、上記第１および第２のトランジスタの接続点は、上記バッファの入力端子に接続されてもよい。これにより、ゲート接地回路を含む回路により低周波ノイズが抑制されるという作用をもたらす。

[0022] また、この第２の側面において、上記電流電圧変換回路は、複数段のループ回路を含み、上記複数段のループ回路のそれぞれは、第１のＮ型トランジスタと、上記第１のＮ型トランジスタのソースにゲートが接続され、上記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタとを備えてもよい。これにより、複数段のループ回路により、高いゲインで光電流が電圧信号に変換されるという作用をもたらす。

[0023] また、この第２の側面において、上記受光チップには、上記光電流を上記電圧信号に変換する電流電圧変換回路と上記電圧信号を補正して出力するバッファとがさらに設けられてもよい。これにより、電流電圧変換回路およびバッファの分、検出チップの回路規模が削減されるという作用をもたらす。

[0024] また、この第２の側面において、上記受光チップには、上記バッファの出力端子に一端が接続された第１コンデンサがさらに設けられ、上記検出チップには、上記第１コンデンサの他端に入力端子が接続されたインバータと上記インバータに並列に接続された第２コンデンサとがさらに設けられてもよ

い。これにより、第１コンデンサおよび第２コンデンサが受光チップおよび検出チップに分散して配置されるという作用をもたらす。

[0025] また、この第２の側面において、上記受光チップには、上記バッファから出力された上記電圧信号のレベルを低下させる減算器と上記低下した電圧信号を量子化して上記検出信号として出力する量子化器とがさらに設けられてもよい。これにより、減算器および量子化器の分、検出チップの回路規模が削減されるという作用をもたらす。

[0026] また、この第２の側面において、上記検出信号を処理する信号処理チップをさらに具備することもできる。これにより、受光チップと検出チップと信号処理チップとに回路が分散して配置されるという作用をもたらす。

[0027] また、この第２の側面において、上記受光チップには、所定数の上記フォトダイオードが二次元格子状に配列された受光部が設けられ、上記検出チップには、上記検出信号を出力するアドレスイベント検出回路が設けられ、上記アドレスイベント検出回路は、上記受光部内で隣接する複数のフォトダイオードに共通に接続されてもよい。これにより、複数の画素によりアドレスイベント検出回路が共有されるという作用をもたらす。

[0028] また、この第２の側面において、上記検出チップには、上記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して上記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられてもよい。これにより、マルチプレクサの分、受光チップの回路規模が削減されるという作用をもたらす。

[0029] また、この第２の側面において、上記受光チップには、上記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して上記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられてもよい。これにより、マルチプレクサの分、検出チップの回路規模が削減されるという作用をもたらす。

[0030] また、この第２の側面において、上記受光チップと上記検出チップとの間に設けられたシールドをさらに具備することもできる。これにより、電磁ノ

イズが抑制されるという作用をもたらす。

[0031] また、この第２の側面において、上記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、上記位相差画素のフォトダイオードの一部は遮光されていてもよい。これにより、位相差が検出されるという作用をもたらす。

[0032] また、この第２の側面において、上記受光チップには、二次元格子状に配列された所定数の上記フォトダイオードと上記光電流を上記電圧信号に変換する電流電圧変換回路とが設けられ、上記所定数の上記フォトダイオードのうち隣接する複数のフォトダイオードは、上記電流電圧変換回路に共通に接続されてもよい。これにより、複数の画素により電流電圧変換回路が共有されるという作用をもたらす。

[0033] また、この第２の側面において、上記検出チップには、上記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を上記検出信号として出力する量子化器が設けられてもよい。これにより、複数ビットの検出信号からなる画像データが生成されるという作用をもたらす。

発明の効果

[0034] 本技術によれば、アドレスイベントを検出する固体撮像素子において、実装面積を削減するという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0035] [図1]本技術の第１の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図3]本技術の第１の実施の形態における受光チップの平面図の一例である。

[図4]本技術の第１の実施の形態における検出チップの平面図の一例である。

[図5]本技術の第１の実施の形態におけるアドレスイベント検出部の平面図の

一例である。

[図6]本技術の第１の実施の形態におけるアドレスイベント検出回路の一構成例を示すブロック図である。

[図7]本技術の第１の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

[図8]本技術の第１の実施の形態における減算器および量子化器の一構成例を示す回路図である。

[図9]本技術の第１の実施の形態の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

[図10]本技術の第２の実施の形態における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

[図11]本技術の第２の実施の形態の第１の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

[図12]本技術の第２の実施の形態の第２の変形例における受光チップおよび検出チップのそれぞれに設けられる回路の一例を示す回路図である。

[図13]本技術の第３の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

[図14]本技術の第４の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

[図15]本技術の第５の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

[図16]本技術の第６の実施の形態における電流電圧変換回路の一構成例を示す回路図である。

[図17]本技術の第７の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図18]本技術の第７の実施の形態における検出チップの平面図の一例である。

[図19]本技術の第７の実施の形態における信号処理チップの平面図の一例で

ある。

[図20]本技術の第８の実施の形態における受光チップの平面図の一例である。

[図21]本技術の第８の実施の形態におけるアドレスイベント検出部の平面図の一例である。

[図22]本技術の第８の実施の形態の変形例における受光チップの平面図の一例である。

[図23]本技術の第９の実施の形態におけるシールドの配置箇所の一例を示す回路図である。

[図24]本技術の第１０の実施の形態における受光チップの平面図の一例である。

[図25]本技術の第１０の実施の形態における通常画素および位相差画素の一構成例を示す回路図である。

[図26]本技術の第１１の実施の形態における受光チップの平面図の一例である。

[図27]本技術の第１１の実施の形態におけるシールドの配置箇所の一例を示す回路図である。

[図28]本技術の第１２の実施の形態におけるバッファ、減算器および量子化器の一構成例を示す回路図である。

[図29]車両制御システムの概略的な構成例を示すブロック図である。

[図30]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0036] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（受光チップにフォトダイオードを配置する例）

２．第２の実施の形態（受光チップにフォトダイオード、電流電圧変換回路およびバッファを配置する例）

３．第３の実施の形態（受光チップにフォトダイオードを配置し、電流電

圧変換回路内にＮ型トランジスタ１つを配置する例）

４．第４の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内にダイオードを配置する例）

５．第５の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内にゲート接地回路を配置する例）

６．第６の実施の形態（受光チップにフォトダイオードを配置し、電流電圧変換回路内に２段のループ回路を配置する例）

７．第７の実施の形態（受光チップにフォトダイオードを配置し、残りを検出チップおよび信号処理チップに配置する例）

８．第８の実施の形態（受光チップにフォトダイオードを配置し、複数の画素でアドレスイベント検出回路を共有する例）

９．第９の実施の形態（受光チップにフォトダイオードを配置し、検出チップとの間にシールドを配置する例）

１０．第１０の実施の形態（受光チップ内の通常画素および位相差画素のそれぞれにフォトダイオードを配置する例）

１１．第１１の実施の形態（受光チップにフォトダイオードを配置し、複数の画素で電流電圧変換回路を共有する例）

１２．第１２の実施の形態（受光チップにフォトダイオードを配置し、電圧信号を複数の閾値電圧と比較する例）

１３．移動体への応用例

[0037] ＜１．第１の実施の形態＞

［撮像装置の構成例］

図１は、本技術の第１の実施の形態における撮像装置１００の一構成例を示すブロック図である。この撮像装置１００は、撮像レンズ１１０、固体撮像素子２００、記録部１２０および制御部１３０を備える。撮像装置１００としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

[0038] 撮像レンズ１１０は、入射光を集光して固体撮像素子２００に導くもので

ある。固体撮像素子２００は、入射光を光電変換して画像データを撮像するものである。この固体撮像素子２００は、撮像した画像データに対して、画像認識処理などの所定の信号処理を画像データに対して実行し、その処理後のデータを記録部１２０に信号線２０９を介して出力する。

[0039] 記録部１２０は、固体撮像素子２００からのデータを記録するものである。制御部１３０は、固体撮像素子２００を制御して画像データを撮像させるものである。

[0040] ［固体撮像素子の構成例］

図２は、本技術の第１の実施の形態における固体撮像素子２００の積層構造の一例を示す図である。この固体撮像素子２００は、検出チップ２０２と、その検出チップ２０２に積層された受光チップ２０１とを備える。これらのチップは、ビアなどの接続部を介して電気的に接続される。なお、ビアの他、Ｃｕ－Ｃｕ接合やバンプにより接続することもできる。なお、受光チップ２０１は、特許請求の範囲に記載の第１のチップの一例であり、検出チップ２０２は、特許請求の範囲に記載の第２のチップの一例である。

[0041] 図３は、本技術の第１の実施の形態における受光チップ２０１の平面図の一例である。受光チップ２０１には、受光部２２０と、ビア配置部２１１、２１２および２１３とが設けられる。

[0042] ビア配置部２１１、２１２および２１３には、検出チップ２０２と接続されるビアが配置される。また、受光部２２０には、二次元格子状に複数のフォトダイオード２２１が配列される。フォトダイオード２２１は、入射光を光電変換して光電流を生成するものである。これらのフォトダイオード２２１のそれぞれには、行アドレスおよび列アドレスからなる画素アドレスが割り当てられ、画素として扱われる。

[0043] 図４は、本技術の第１の実施の形態における検出チップ２０２の平面図の一例である。この検出チップ２０２には、ビア配置部２３１、２３２および２３３と、信号処理回路２４０と、行駆動回路２５１と、列駆動回路２５２と、アドレスイベント検出部２６０とが設けられる。ビア配置部２３１、２

３２および２３３には、受光チップ２０１と接続されるビアが配置される。

[0044] アドレスイベント検出部２６０は、複数のフォトダイオード２２１のそれぞれの光電流から検出信号を生成して信号処理回路２４０に出力するものである。この検出信号は、入射光の光量が所定の閾値を超えた旨をアドレスイベントとして検出したか否かを示す１ビットの信号である。

[0045] 行駆動回路２５１は、行アドレスを選択して、その行アドレスに対応する検出信号をアドレスイベント検出部２６０に出力させるものである。

[0046] 列駆動回路２５２は、列アドレスを選択して、その列アドレスに対応する検出信号をアドレスイベント検出部２６０に出力させるものである。

[0047] 信号処理回路２４０は、アドレスイベント検出部２６０からの検出信号に対して所定の信号処理を実行するものである。この信号処理回路２４０は、検出信号を画素信号として二次元格子状に配列し、画素毎に１ビットの情報を有する画像データを取得する。そして、信号処理回路２４０は、その画像データに対して画像認識処理などの信号処理を実行する。

[0048] 図５は、本技術の第１の実施の形態におけるアドレスイベント検出部２６０の平面図の一例である。このアドレスイベント検出部２６０には、二次元格子状に複数のアドレスイベント検出回路３００が配列される。アドレスイベント検出回路３００のそれぞれには画素アドレスが割り当てられ、同一アドレスのフォトダイオード２２１と接続される。

[0049] アドレスイベント検出回路３００は、対応するフォトダイオード２２１からの光電流に応じた電圧信号を量子化して検出信号として出力するものである。

[0050] ［アドレスイベント検出回路の構成例］

図６は、本技術の第１の実施の形態におけるアドレスイベント検出回路３００の一構成例を示すブロック図である。このアドレスイベント検出回路３００は、電流電圧変換回路３１０、バッファ３２０、減算器３３０、量子化器３４０および転送回路３５０を備える。

[0051] 電流電圧変換回路３１０は、対応するフォトダイオード２２１からの光電

流を電圧信号に変換するものである。この電流電圧変換回路３１０は、電圧信号をバッファ３２０に供給する。

[0052] バッファ３２０は、電流電圧変換回路３１０からの電圧信号を補正するものである。このバッファ３２０は、補正後の電圧信号を減算器３３０に出力する。

[0053] 減算器３３０は、行駆動回路２５１からの行駆動信号に従ってバッファ３２０からの電圧信号のレベルを低下させるものである。この減算器３３０は、低下後の電圧信号を量子化器３４０に供給する。

[0054] 量子化器３４０は、減算器３３０からの電圧信号をデジタル信号に量子化して検出信号として転送回路３５０に出力するものである。

[0055] 転送回路３５０は、列駆動回路２５２からの列駆動信号に従って、検出信号を量子化器３４０から信号処理回路２４０に転送するものである。

[0056] ［電流電圧変換回路の構成例］

図７は、本技術の第１の実施の形態における電流電圧変換回路３１０の一構成例を示す回路図である。この電流電圧変換回路３１０は、Ｎ型トランジスタ３１１および３１３とＰ型トランジスタ３１２とを備える。これらのトランジスタとして、例えば、ＭＯＳ（Metal-Oxide-Semiconductor）トランジスタが用いられる。

[0057] Ｎ型トランジスタ３１１のソースはフォトダイオード２２１のカソードに接続され、ドレインは電源端子に接続される。Ｐ型トランジスタ３１２およびＮ型トランジスタ３１３は、電源端子と接地端子との間において、直列に接続される。また、Ｐ型トランジスタ３１２およびＮ型トランジスタ３１３の接続点は、Ｎ型トランジスタ３１１のゲートとバッファ３２０の入力端子とに接続される。また、Ｐ型トランジスタ３１２のゲートには、所定のバイアス電圧Ｖｂｉａｓ１が印加される。

[0058] Ｎ型トランジスタ３１１および３１３のドレインは電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された２つのソースフォロワにより、フォトダイオード２２１からの光電流

は電圧信号に変換される。また、Ｐ型トランジスタ３１２は、一定の電流をＮ型トランジスタ３１３に供給する。

[0059] また、受光チップ２０１のグランドと検出チップ２０２のグランドとは、干渉対策のために互いに分離されている。

[0060] ［減算器および量子化器の構成例］

図８は、本技術の第１の実施の形態における減算器３３０および量子化器３４０の一構成例を示す回路図である。減算器３３０は、コンデンサ３３１および３３３と、インバータ３３２と、スイッチ３３４とを備える。また、量子化器３４０は、コンパレータ３４１を備える。

[0061] コンデンサ３３１の一端は、バッファ３２０の出力端子に接続され、他端は、インバータ３３２の入力端子に接続される。コンデンサ３３３は、インバータ３３２に並列に接続される。スイッチ３３４は、コンデンサ３３３の両端を接続する経路を行駆動信号に従って開閉するものである。

[0062] インバータ３３２は、コンデンサ３３１を介して入力された電圧信号を反転するものである。このインバータ３３２は反転した信号をコンパレータ３４１の非反転入力端子（＋）に出力する。

[0063] スイッチ３３４をオンした際にコンデンサ３３１のバッファ３２０側に電圧信号V_{init}が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、コンデンサ３３１に蓄積されている電位Q_{init}は、コンデンサ３３１の容量をＣ１とすると、次の式により表される。一方、コンデンサ３３３の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init}＝C1×V_{init} \quad ・・・式1$$

[0064] 次に、スイッチ３３４がオフされて、コンデンサ３３１のバッファ３２０側の電圧が変化してV_{after}になった場合を考えると、コンデンサ３３１に蓄積される電荷Q_{after}は、次の式により表される。

[0065] $$Q_{after}＝C1×V_{after} \quad ・・・式2$$

一方、コンデンサ３３３に蓄積される電荷Ｑ２は、出力電圧をV_{out}とする

と、次の式により表される。

$$Q2=-C2\times V_{out} \quad \cdots \text{式}3$$

[0066] このとき、コンデンサ３３１および３３３の総電荷量は変化しないため、次の式が成立する。

$$Q_{init}=Q_{after}+Q2 \quad \cdots \text{式}4$$

[0067] 式４に式１乃至式３を代入して変形すると、次の式が得られる。

$$V_{out}=-(C1/C2)\times(V_{after}-V_{init}) \quad \cdots \text{式}5$$

[0068] 式５は、電圧信号の減算動作を表し、減算結果の利得はＣ１／Ｃ２となる。通常、利得を最大化することが望まれるため、Ｃ１を大きく、Ｃ２を小さく設計することが好ましい。一方、Ｃ２が小さすぎると、ｋＴＣノイズが増大し、ノイズ特性が悪化するおそれがあるため、Ｃ２の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ごとに減算器３３０を含むアドレスイベント検出回路３００が搭載されるため、容量Ｃ１やＣ２には、面積上の制約がある。これらを考慮して、例えば、Ｃ１は、２０乃至２００フェムトファラッド（ｆＦ）の値に設定され、Ｃ２は、１乃至２０フェムトファラッド（ｆＦ）の値に設定される。

[0069] コンパレータ３４１は、減算器３３０からの電圧信号と、反転入力端子（－）に印加された所定の閾値電圧Ｖｔｈとを比較するものである。コンパレータ３４１は、比較結果を示す信号を検出信号として転送回路３５０に出力する。

[0070] 垂直同期信号に同期して撮像を行う同期型の固体撮像素子では、画素ごとに、フォトダイオードと３個や４個のトランジスタとからなる簡易な画素回路が配置される。これに対して、非同期型の固体撮像素子２００では、図６乃至図８に例示したように、同期型の場合より複雑な、フォトダイオード２２１およびアドレスイベント検出回路３００からなる画素回路が画素毎に設けられる。したがって、仮に、フォトダイオード２２１およびアドレスイベント検出回路３００の両方を同一チップに配置すると、実装面積が同期型よりも広くなってしまう。そこで、固体撮像素子２００では、フォトダイオー

ド２２１とアドレスイベント検出回路３００とを積層した受光チップ２０１および検出チップ２０２に分散して配置することにより、実装面積を削減している。

[0071] このように、本技術の第１の実施の形態では、フォトダイオード２２１を受光チップ２０１に配置し、アドレスイベント検出回路３００を検出チップ２０２に配置したため、それらを同一チップに配置する場合よりも実装面積を削減することができる。

[0072] ［変形例］

上述の第１の実施の形態では、電流電圧変換回路３１０の全てを検出チップ２０２に配置していたが、画素数の増大に伴って、検出チップ２０２内の回路の回路規模が増大するおそれがある。この第１の実施の形態の変形例の固体撮像素子２００は、電流電圧変換回路３１０の一部の回路を受光チップ２０１に設けた点において第１の実施の形態と異なる。

[0073] 図９は、本技術の第１の実施の形態の変形例における受光チップ２０１および検出チップ２０２のそれぞれに設けられる回路の一例を示す回路図である。同図に例示するように、受光チップ２０１には、フォトダイオード２２１に加えて、Ｎ型トランジスタ３１１および３１３がさらに設けられる。一方、検出チップ２０２には、Ｐ型トランジスタ３１２と、その後段の回路とが設けられる。

[0074] Ｎ型トランジスタ３１１および３１３を受光チップ２０１に配置することにより、それらのトランジスタの分、検出チップ２０２の回路規模を削減することができる。また、受光チップ２０１内のトランジスタをＮ型のみにすることにより、Ｎ型トランジスタおよびＰ型トランジスタを混在させる場合と比較して、トランジスタを形成する際の工程数を削減することができる。これにより、受光チップ２０１の製造コストを削減することができる。

[0075] このように、本技術の第１の実施の形態の変形例では、Ｎ型トランジスタ３１１および３１３を受光チップ２０１に配置したため、製造コストと検出チップ２０２の回路規模とを削減することができる。

[0076] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、アドレスイベント検出回路３００内の回路の全てを検出チップ２０２に配置していたが、画素数の増大に伴って、検出チップ２０２内の回路の回路規模が増大するおそれがある。この第２の実施の形態の固体撮像素子２００は、アドレスイベント検出回路３００内の電流電圧変換回路３１０およびバッファ３２０を受光チップ２０１に設けた点において第１の実施の形態と異なる。

[0077] 図１０は、本技術の第２の実施の形態における受光チップ２０１および検出チップ２０２のそれぞれに設けられる回路の一例を示す回路図である。この第２の実施の形態の受光チップ２０１には、フォトダイオード２２１に加えて、電流電圧変換回路３１０およびバッファ３２０がさらに設けられる。一方、検出チップ２０２には、減算器３３０以降の回路が設けられる。

[0078] このように、本技術の第２の実施の形態では、電流電圧変換回路３１０およびバッファ３２０を受光チップ２０１に配置したため、それらを検出チップ２０２に設ける場合と比較して、検出チップ２０２の回路規模を削減することができる。

[0079] ［第１の変形例］

上述の第２の実施の形態では、減算器３３０の全てを検出チップ２０２に配置していたが、画素数の増大に伴って、検出チップ２０２内の回路の回路規模や実装面積が増大するおそれがある。この第２の実施の形態の第１の変形例の固体撮像素子２００は、減算器３３０の一部を受光チップ２０１に設けた点において第２の実施の形態と異なる。

[0080] 図１１は、本技術の第２の実施の形態の第１の変形例における受光チップ２０１および検出チップ２０２のそれぞれに設けられる回路の一例を示す回路図である。

[0081] 受光チップ２０１には、減算器３３０内のコンデンサ３３１が配置される。なお、コンデンサ３３１は、特許請求の範囲に記載の第１コンデンサの一例である。

[0082] 一方、検出チップ２０２には、減算器３３０内のインバータ３３２、コンデンサ３３３およびスイッチ３３４が配置される。なお、インバータ３３２は、特許請求の範囲に記載のインバータの一例であり、コンデンサ３３３は、特許請求の範囲に記載の第２コンデンサの一例である。

[0083] コンデンサ３３１および３３３などのコンデンサは、一般に、トランジスタやダイオードなどと比較して、広い実装面積を要する。コンデンサ３３１とコンデンサ３３３とを受光チップ２０１と検出チップ２０２とに分散して配置することにより、回路全体の実装面積を削減することができる。

[0084] このように、本技術の第２の実施の形態の第１の変形例では、コンデンサ３３１を受光チップ２０１に配置し、コンデンサ３３３を検出チップ２０２に配置したため、それらを同一のチップに設ける場合と比較して、実装面積を削減することができる。

[0085] ［第２の変形例］

上述の第２の実施の形態では、減算器３３０および量子化器３４０を検出チップ２０２に配置していたが、画素数の増大に伴って、検出チップ２０２内の回路の回路規模が増大するおそれがある。この第２の実施の形態の第２の変形例の固体撮像素子２００は、減算器３３０および量子化器３４０を受光チップ２０１に設けた点において第２の実施の形態と異なる。

[0086] 図１２は、本技術の第２の実施の形態の第２の変形例における受光チップ２０１および検出チップ２０２のそれぞれに設けられる回路の一例を示す回路図である。この第２の実施の形態の第２の変形例の受光チップ２０１には、フォトダイオード２２１、電流電圧変換回路３１０およびバッファ３２０に加えて、減算器３３０および量子化器３４０がさらに設けられる点において第２の実施の形態と異なる。一方、検出チップ２０２には、転送回路３５０および信号処理回路２４０が設けられる。

[0087] このように、本技術の第２の実施の形態の第２の変形例では、減算器３３０および量子化器３４０を受光チップ２０１に配置したため、それらを検出チップ２０２に設ける場合と比較して、検出チップ２０２の回路規模を削減

することができる。

[0088] ＜３．第３の実施の形態＞

上述の第１の実施の形態では、Ｎ型トランジスタ３１１および３１３とＰ型トランジスタ３１２とからなる電流電圧変換回路３１０をアドレスイベント検出部２６０内に画素毎に配列していた。しかしながら、画素数の増大に伴って、アドレスイベント検出部２６０の回路規模が増大するおそれがある。この第３の実施の形態の固体撮像素子２００は、Ｎ型トランジスタ３１１のみを電流電圧変換回路３１０に配置した点において第１の実施の形態と異なる。

[0089] 図１３は、本技術の第３の実施の形態における電流電圧変換回路３１０の一構成例を示す回路図である。この第３の実施の形態の電流電圧変換回路３１０には、Ｎ型トランジスタ３１１のみが配置される点において第１の実施の形態と異なる。このＮ型トランジスタ３１１のゲートおよびドレインは、電源端子に共通に接続され、ソースは、フォトダイオード２２１のカソードに接続される。また、Ｎ型トランジスタ３１１およびフォトダイオード２２１の接続点は、バッファ３２０の入力端子に接続される。

[0090] なお、第３の実施の形態においても、第２の実施の形態と同様にバッファ３２０までの回路を受光チップ２０１に配置することができる。また、第３の実施の形態においても、第２の実施の形態の第１の変形例と同様にコンデンサ３３１までの回路を受光チップ２０１に配置することができる。また、第３の実施の形態においても、第２の実施の形態の第２の変形例と同様に量子化器３４０までの回路を受光チップ２０１に配置することができる。

[0091] このように、本技術の第３の実施の形態では、Ｎ型トランジスタ３１１のみを電流電圧変換回路３１０に配置したため、３つのトランジスタを配置する場合と比較して電流電圧変換回路３１０の回路規模を削減することができる。

[0092] ＜４．第４の実施の形態＞

上述の第１の実施の形態では、Ｎ型トランジスタ３１１および３１３とＰ

型トランジスタ３１２とからなる電流電圧変換回路３１０をアドレスイベント検出部２６０内に画素毎に配列していた。しかしながら、画素数の増大に伴って、アドレスイベント検出部２６０の回路規模が増大するおそれがある。この第４の実施の形態の固体撮像素子２００は、ダイオードのみを電流電圧変換回路３１０に配置した点において第１の実施の形態と異なる。

[0093] 図１４は、本技術の第４の実施の形態における電流電圧変換回路３１０の一構成例を示す回路図である。この第４の実施の形態の電流電圧変換回路３１０には、ダイオード３１４のみが配置される。このダイオード３１４のカソードは電源端子に接続され、アノードは、フォトダイオード２２１のカソードに接続される。また、ダイオード３１４およびフォトダイオード２２１の接続点は、バッファ３２０の入力端子に接続される。

[0094] なお、第４の実施の形態においても、第２の実施の形態と同様にバッファ３２０までの回路を受光チップ２０１に配置することができる。また、第４の実施の形態においても、第２の実施の形態の第１の変形例と同様にコンデンサ３３１までの回路を受光チップ２０１に配置することができる。また、第４の実施の形態においても、第２の実施の形態の第２の変形例と同様に量子化器３４０までの回路を受光チップ２０１に配置することができる。

[0095] このように、本技術の第４の実施の形態では、ダイオード３１４のみを電流電圧変換回路３１０に配置したため、３つのトランジスタを配置する場合と比較して電流電圧変換回路３１０の回路規模を削減することができる。

[0096] ＜５．第５の実施の形態＞

上述の第１の実施の形態では、ソースフォロワ回路を電流電圧変換回路３１０に設けていたが、一般にソースフォロワ回路は、周波数特性があまり良くない。このため、低周波ノイズが発生する際に、そのノイズを十分に抑制することができないおそれがある。この第５の実施の形態の電流電圧変換回路３１０は、ゲート接地回路を配置して低周波数ノイズを抑制する点において第１の実施の形態と異なる。

[0097] 図１５は、本技術の第５の実施の形態における電流電圧変換回路３１０の

一構成例を示す回路図である。この第５の実施の形態のＮ型トランジスタ３１１のゲートには、一定のバイアス電圧Ｖｂｉａｓ２が印加され、ドレインはフォトダイオード２２１のカソードに接続され、ソースは、Ｐ型トランジスタ３１２およびＮ型トランジスタ３１３の接続点に接続される。このようなＮ型トランジスタ３１１のゲートは交流的に接地されており、このような回路は、ゲート接地回路と呼ばれる。ゲート接地回路の配置により、閉ループゲインが大きくなり、低周波数ノイズを抑制することができる。

[0098] なお、第５の実施の形態においても、第２の実施の形態と同様にバッファ３２０までの回路を受光チップ２０１に配置することができる。また、第５の実施の形態においても、第２の実施の形態の第１の変形例と同様にコンデンサ３３１までの回路を受光チップ２０１に配置することができる。また、第５の実施の形態においても、第２の実施の形態の第２の変形例と同様に量子化器３４０までの回路を受光チップ２０１に配置することができる。

[0099] このように、本技術の第５の実施の形態では、ゲート接地回路を電流電圧変換回路３１０内に配置したため、ソースフォロワ回路を配置する場合と比較して、低周波ノイズを抑制することができる。

[0100] ＜６．第６の実施の形態＞

上述の第１の実施の形態では、１個のループ回路を電流電圧変換回路３１０に設けていたが、ループ回路１個のみでは、電流を電圧に変換する際の変換ゲインが不足するおそれがある。この第６の実施の形態の電流電圧変換回路３１０は、２段のループ回路を電流電圧変換回路３１０に設けた点において第１の実施の形態と異なる。

[0101] 図１６は、本技術の第６の実施の形態における電流電圧変換回路３１０の一構成例を示す回路図である。この第６の実施の形態の電流電圧変換回路３１０は、Ｎ型トランジスタ３１５および３１６がさらに設けられる点において第１の実施の形態と異なる。これらのトランジスタとして、例えば、ＭＯＳトランジスタが用いられる。

[0102] Ｎ型トランジスタ３１５および３１１は、電源端子とフォトダイオード２

２１との間に直列に接続され、Ｐ型トランジスタ３１２とＮ型トランジスタ３１６および３１３とは、電源端子と接地端子との間に直列に接続される。また、Ｎ型トランジスタ３１１のゲートは、Ｎ型トランジスタ３１６および３１３の接続点に接続され、Ｎ型トランジスタ３１５のゲートは、Ｐ型トランジスタ３１２およびＮ型トランジスタ３１６の接続点に接続される。

[0103] 一方、Ｎ型トランジスタ３１３のゲートは、第１の実施の形態と同様に、フォトダイオード２２１およびＮ型トランジスタ３１１の接続点に接続される。Ｎ型トランジスタ３１６のゲートは、Ｎ型トランジスタ３１１および３１５の接続点に接続される。また、Ｐ型トランジスタ３１２およびＮ型トランジスタ３１６の接続点は、バッファ３２０に接続される。

[0104] なお、Ｎ型トランジスタ３１５および３１１は、特許請求の範囲に記載の第１のＮ型トランジスタの一例であり、Ｎ型トランジスタ３１６および３１３は、特許請求の範囲に記載の第２のＮ型トランジスタの一例である。

[0105] 上述のように、Ｎ型トランジスタ３１１および３１３からなるループ回路と、Ｎ型トランジスタ３１５および３１６からなるループ回路とが２段に接続されているため、ループ回路が１段のみの場合と比較して変換ゲインが２倍となる。

[0106] このように、本技術の第６の実施の形態では、２段のループ回路を電流電圧変換回路３１０に設けたため、１段のみの場合と比較して、変換ゲインを増大させることができる。

[0107] ＜７．第７の実施の形態＞

上述の第１の実施の形態では、固体撮像素子２００内の回路を２枚のチップに分散して配置していたが、画素数の増大に伴って、固体撮像素子２００内の回路の実装面積が増大するおそれがある。この第７の実施の形態の固体撮像素子２００は、回路を３枚のチップに分散して配置した点において第１の実施の形態と異なる。

[0108] 図１７は、本技術の第７の実施の形態における固体撮像素子２００の積層構造の一例を示す図である。この第７の実施の形態の固体撮像素子２００は

、受光チップ２０１および検出チップ２０２に加えて、信号処理チップ２０３をさらに備える点において第１の実施の形態と異なる。これらのチップは積層されている。

[0109] 図１８は、本技術の第７の実施の形態における検出チップ２０２の平面図の一例である。この第７の実施の形態の検出チップ２０２は、行駆動回路２５１、列駆動回路２５２および信号処理回路２４０が配置されていない点において第１の実施の形態と異なる。また、ビア配置部２３１、２３２および２３３の代わりにビア配置部２５３および２５４が配置される。なお、第７の実施の形態の受光チップ２０１の構成は、ビア配置部２１１、２１２および２１３が配置されない点以外は、第１の実施の形態と同様である。

[0110] 図１９は、本技術の第７の実施の形態における信号処理チップ２０３の平面図の一例である。この信号処理チップ２０３には、行駆動回路２５１、列駆動回路２５２および信号処理回路２４０が配置される。

[0111] このように、本技術の第７の実施の形態では、固体撮像素子２００内の回路を受光チップ２０１、検出チップ２０２および信号処理チップ２０３の３枚に分散して配置したため、２枚に分散して配置する場合と比較して実装面積をさらに削減することができる。

[0112] ＜８．第８の実施の形態＞

上述の第１の実施の形態では、検出チップ２０２においてアドレスイベント検出回路３００を画素毎に配置していたが、画素数の増大に伴って検出チップ２０２の回路規模が増大するおそれがある。この第８の実施の形態の固体撮像素子２００は、複数の画素が１つのアドレスイベント検出回路３００を共有する点において第１の実施の形態と異なる。

[0113] 図２０は、本技術の第８の実施の形態における受光チップ２０１の平面図の一例である。この第８の実施形態の受光チップ２０１は、受光部２２０内に複数の画素ブロック２２２が二次元格子状に配列される点において第１の実施の形態と異なる。画素ブロック２２２のそれぞれには、複数（例えば、４つ）のフォトダイオード２２１が配置される。フォトダイオード２２１の

それぞれには画素アドレスが割り当てられ、画素として扱われる。

[0114] 図２１は、本技術の第８の実施の形態におけるアドレスイベント検出部２６０の平面図の一例である。この第８の実施の形態のアドレスイベント検出部２６０には、画素ブロック２２２ごとに、マルチプレクサ２６１およびアドレスイベント検出回路３００が配置される。

[0115] マルチプレクサ２６１は、対応する複数のフォトダイオード２２１のそれぞれからの光電流のいずれかを選択してアドレスイベント検出回路３００に供給するものである。このマルチプレクサ２６１の制御は、例えば、行駆動回路２５１により行われる。アドレスイベント検出回路３００は、対応するフォトダイオード２２１とマルチプレクサ２６１を介して接続される。

[0116] このように本技術の第８の実施の形態では、画素ブロック２２２内の複数の画素が１つのアドレスイベント検出回路３００を共有するため、共有しない場合と比較して画素当たりの回路規模を削減することができる。

[0117] ［変形例］

上述の第８の実施の形態では、検出チップ２０２においてマルチプレクサ２６１およびアドレスイベント検出回路３００を画素毎に配置していたが画素数の増大に伴って検出チップ２０２の回路規模が増大するおそれがある。この第８の実施の形態の変形例の固体撮像素子２００は、マルチプレクサ２６１を受光チップ２０１に配置する点において第１の実施の形態と異なる。

[0118] 図２２は、本技術の第８の実施の形態の変形例における受光チップ２０１の平面図の一例である。この第８の実施の形態の変形例の受光チップ２０１は、画素ブロック２２２内にマルチプレクサ２６１がさらに配置される点において第８の実施の形態と異なる。

[0119] このように、本技術の第８の実施の形態の変形例では、マルチプレクサ２６１を受光チップ２０１に配置したため、マルチプレクサ２６１を検出チップ２０２に設ける場合と比較して、検出チップ２０２の回路規模を削減することができる。

[0120] ＜９．第９の実施の形態＞

上述の第１の実施の形態では、受光チップ２０１および検出チップ２０２のそれぞれに回路を配置していたが、それらの回路の動作により電磁ノイズが発生するおそれがある。この第９の実施の形態の固体撮像素子２００は、受光チップ２０１と検出チップ２０２との間にシールドを設けた点において第１の実施の形態と異なる。

[0121] 図２３は、本技術の第９の実施の形態におけるシールドの配置箇所の一例を示す回路図である。この第９の実施の形態の受光チップ２０１は、フォトダイオード２２１に加えて、電流電圧変換回路３１０およびバッファ３２０がさらに配置される点において第１の実施の形態と異なる。一方、検出チップ２０２には、減算器３３０および量子化器３４０が配置される。

[0122] また、受光チップ２０１と検出チップ２０２との間には、シールド４０１、４０２および４０３が配置される。シールド４０１および４０２は、受光チップ２０１側を上として、フォトダイオード２２１の直下に配置される。シールド４０２は、電流電圧変換回路３１０の直下に配置される。また、バッファ３２０と減算器３３０とは、Ｃｕ－Ｃｕ接続により接続される。そして、シールド４０３は、バッファ３２０の直下に配置され、バッファ３２０と減算器３３０とを接続する信号線は、そのシールド４０３を貫通して配線される。これらのシールド４０１、４０２および４０３として、例えば、電磁シールドが用いられる。

[0123] なお、第９の実施の形態では、受光チップ２０１に、フォトダイオード２２１、電流電圧変換回路３１０およびバッファ３２０を配置しているが、この構成に限定されない。第１の実施の形態と同様に受光チップ２０１にフォトダイオード２２１のみを配置してもよい。また、第２の実施の形態の第１の変形例や第２の変形例と同様の配置であってもよい。

[0124] このように、本技術の第９の実施の形態では、受光チップ２０１と検出チップ２０２との間にシールド４０１乃至４０３を配置したため、電磁ノイズの発生を抑制することができる。

[0125] ＜１０．第１０の実施の形態＞

上述の第１の実施の形態では、固体撮像素子２００は、検出信号からなる画像データを撮像していたが、この画像データから物体までの距離を測定することはできない。距離を測定する方式としては、ステレオ画像を用いる方式やＴｏＦ（Time of Flight）方式などがあるが、これらの方式では撮像レンズ１１０や固体撮像素子２００とは別途に、カメラを追加する必要がある。このため、これらの方式により距離を求める構成では、部品点数やコストが増大するおそれがある。この第１０の実施の形態の固体撮像素子２００は、位相差画素により、像面位相差方式を用いて距離を測定する点において第１の実施の形態と異なる。

[0126] 図２４は、本技術の第１０の実施の形態における受光チップ２０１の平面図の一例である。この第１０の実施の形態の受光チップ２０１は、受光部２２０内に、複数の通常画素２２３と複数対の位相差画素２２４とが配置される点において第１の実施の形態と異なる。通常画素２２３は、画像データを生成するための画素である。一方、位相差画素２２４は、２つの像の位相差を求めるための画素である。

[0127] 図２５は、本技術の第１０の実施の形態における通常画素２２３および位相差画素２２４の一構成例を示す回路図である。同図におけるａは、通常画素２２３の一構成例を示す回路図であり、同図におけるｂは、位相差画素２２４の一構成例を示す回路図である。

[0128] 通常画素２２３には、フォトダイオード２２１、電流電圧変換回路３１０およびバッファ３２０が配置される。また、バッファ３２０の直下にはシールド４０３が配置される。なお、第９の実施の形態と同様に、シールド４０１や４０２をさらに配置することもできる。

[0129] 一方、位相差画素２２４には、フォトダイオード４１１、電流電圧変換回路４１３およびバッファ４１４が配置される。これらのフォトダイオード４１１、電流電圧変換回路４１３およびバッファ４１４の構成は、フォトダイオード２２１、電流電圧変換回路３１０およびバッファ３２０と同様である。ただし、フォトダイオード４１１の一部は、遮光部４１２により遮光され

ている。また、一対の位相差画素２２４の一方と他方とで遮光される部分は異なる。

[0130] 信号処理回路２４０は、複数対の位相差画素２２４からの検出信号から、位相差を求め、その位相差から距離を測定する。測定された距離は、ＡＦ（Auto Focus）などに用いられる。

[0131] このように、本技術の第１０の実施の形態では、複数対の位相差画素２２４を配置したため、固体撮像素子２００は、それらの画素の検出信号に基づいて物体までの距離を測定することができる。

[0132] ＜１１．第１１の実施の形態＞

上述の第１の実施の形態では、検出チップ２０２において電流電圧変換回路３１０を画素毎に配置していたが、画素数の増大に伴って検出チップ２０２の回路規模や実装面積が増大するおそれがある。この第１１の実施の形態の固体撮像素子２００は、複数の画素が１つの電流電圧変換回路３１０を共有する点において第１の実施の形態と異なる。

[0133] 図２６は、本技術の第１１の実施の形態における受光チップ２０１の平面図の一例である。この第１１の実施の形態の受光チップ２０１は、受光部２２０内に複数の画素ブロック２２２が二次元格子状に配列される点において第１の実施の形態と異なる。

[0134] 画素ブロック２２２のそれぞれには、複数（２個など）のフォトダイオード２２１と、マルチプレクサ２６１と、電流電圧変換回路３１０と、バッファ３２０とが配置される。マルチプレクサ２６１は、画素ブロック２２２内の複数のフォトダイオード２２１のそれぞれからの光電流のいずれかを選択して電流電圧変換回路３１０に供給する。

[0135] 図２７は、本技術の第１１の実施の形態におけるシールドの配置箇所の一例を示す回路図である。同図に例示するように、バッファ３２０の直下にシールド４０３が配置される。なお、第９の実施の形態と同様に、シールド４０１や４０２をさらに配置することもできる。

[0136] このように、本技術の第１１の実施の形態では、画素ブロック２２２内の

複数の画素が１つの電流電圧変換回路３１０を共有するため、共有しない場合と比較して画素当たりの回路規模を削減することができる。

[0137] ＜１２．第１２の実施の形態＞

上述の第１の実施の形態では、固体撮像素子２００は、電圧信号と１つの閾値電圧とを比較して１ビットの検出信号を画素毎に生成していた。しかし、画素毎に１ビットの情報しか生成されないため、画素毎に複数ビットを生成する場合と比較して画像データの画質が低下してしまう。この第１２の実施の形態の固体撮像素子２００は、電圧信号と複数の閾値電圧とを比較して複数ビットの検出信号を画素毎に生成する点において第１の実施の形態と異なる。

[0138] 図２８は、本技術の第１２の実施の形態におけるバッファ３２０、減算器３３０および量子化器３４０の一構成例を示す回路図である。

[0139] バッファ３２０は、Ｎ型トランジスタ３２１および３２２を備える。減算器３３０は、コンデンサ３３１および３３３と、Ｎ型トランジスタ３３５乃至３３７とを備える。量子化器３４０は、Ｎ型トランジスタ３４２乃至３４５を備える。これらの回路内のトランジスタとして、例えば、ＭＯＳトランジスタが用いられる。

[0140] Ｎ型トランジスタ３２１および３２２は、電源端子と接地端子との間において直列に接続される。また、Ｎ型トランジスタ３２１のゲートには所定のバイアス電圧Ｖｂｉａｓ３が印加され、Ｎ型トランジスタ３２２のゲートは、電流電圧変換回路３１０と接続される。Ｎ型トランジスタ３２１および３２２の接続点は、コンデンサ３３１の一端と接続される。

[0141] また、Ｎ型トランジスタ３３６および３３７は、電源端子と接地端子との間において直列に接続される。Ｎ型トランジスタ３３７のゲートには所定のバイアス電圧Ｖｂｉａｓ４が印加される。コンデンサ３３１の他端は、Ｎ型トランジスタ３３６のゲートと接続される。コンデンサ３３３の一端は、Ｎ型トランジスタ３３６のゲートに接続され、他端は、Ｎ型トランジスタ３３６および３３７の接続点に入力される。Ｎ型トランジスタ３３５のソースお

よびドレインは、コンデンサ３３３の両端に接続され、ゲートには行駆動回路２５１からの行駆動信号が入力される。このＮ型トランジスタ３３５は、図８に例示したスイッチ３３４として機能する。

[0142] また、Ｎ型トランジスタ３４２および３４３は、電源端子と接地端子との間に直列に接続される。Ｎ型トランジスタ３４４および３４５も、電源端子と接地端子との間に直列に接続される。また、Ｎ型トランジスタ３４２および３４４のゲートは、Ｎ型トランジスタ３３６および３３７の接続点に接続される。Ｎ型トランジスタ３４３のゲートには、閾値電圧Ｖｔｈ１が入力され、Ｎ型トランジスタ３４５のゲートには、Ｖｔｈ１より低い閾値電圧Ｖｔｈ２が入力される。Ｎ型トランジスタ３４２および３４３の接続点からは、正側（＋）の１ビットの検出信号が出力され、Ｎ型トランジスタ３４４および３４５の接続点からは、負側（－）の１ビットの検出信号が出力される。

[0143] 上述の構成により、量子化器３４０は、電圧信号と２つの閾値電圧とを比較して、２ビットの検出信号を生成する。このため、固体撮像素子２００は、画素毎に２ビットの情報を有する画像データが生成することができる。

[0144] このように、本技術の第１２の実施の形態では、固体撮像素子２００は、電圧信号と複数の閾値電圧とを比較して複数ビットの検出信号を画素毎に生成するため、画素毎に１ビットの検出信号を生成する場合よりも画像データの画質を向上させることができる。

[0145] ＜１３．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0146] 図２９は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0147] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接

続された複数の電子制御ユニットを備える。図２９に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ（ｉｎｔｅｒｆａｃｅ）１２０５３が図示されている。

[0148] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0149] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0150] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処

理を行ってもよい。

[0151] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0152] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0153] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0154] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0155] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０

に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0156] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図２９の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0157] 図３０は、撮像部１２０３１の設置位置の例を示す図である。

[0158] 図３０では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0159] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0160] なお、図３０には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それ

ぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

[0161] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0162] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0163] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには

、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0164] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0165] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１２０３１に適用され得る。具体的には、図１の撮像装置１００は、図２９の撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、回路の実装面積を削減して撮像部１２０３１を小型化することができる。

[0166] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すこと

により具現化することができる。

[0167] なお、本技術は以下のような構成もとることができる。

（１）行駆動回路と、

列駆動回路と、

複数の画素とを備え、

前記複数の画素はそれぞれ、

入射光を光電変換して光電流を生成するフォトダイオードと、

前記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、

接続部とを有し、

前記行駆動回路および前記列駆動回路は第２のチップに設けられ、

前記フォトダイオードは第１のチップに設けられ、

少なくとも一部の前記画素回路は前記第２のチップに設けられ、前記接続部を介して前記第１のチップに設けられた前記フォトダイオードに電気的に接続される固体撮像素子。

（２）前記画素回路において、

前記第１のチップには、前記光電流を前記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、

前記第２のチップには、前記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられる

前記（１）記載の固体撮像素子。

（３）前記画素回路において、前記第２のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる

前記（１）に記載の固体撮像素子。

（４）前記電流電圧変換回路は、

前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、

前記Ｎ型トランジスタと前記フォトダイオードとの接続点は、前記バッフ

ァの入力端子に接続される

前記（３）記載の固体撮像素子。

（５）前記電流電圧変換回路は、

前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、

前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

前記（３）または（４）に記載の固体撮像素子。

（６）前記電流電圧変換回路は、

所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、

前記フォトダイオードと前記第１トランジスタとの接続点にゲートが接続され、ドレインが前記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタと

を含み、

前記第１および第２のトランジスタの接続点は、前記バッファの入力端子に接続される

前記（３）から（５）のいずれかに記載の固体撮像素子。

（７）前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第１のＮ型トランジスタと、

前記第１のＮ型トランジスタのソースにゲートが接続され、前記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタとを備える前記（３）から（６）のいずれかに記載の固体撮像素子。

（８）前記画素回路において、前記第１のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設けられる

前記（１）記載の固体撮像素子。

（９）前記画素回路において、

前記第１のチップには、前記バッファの出力端子に一端が接続された第１コンデンサがさらに設けられ、

前記第２のチップには、前記第１コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第２コンデンサとがさらに設けられる

前記（８）記載の固体撮像素子。

（１０）前記画素回路において、前記第１のチップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

前記（８）記載の固体撮像素子。

（１）入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、

前記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップと

を具備する固体撮像素子。

（２）前記受光チップには、前記光電流を前記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、

前記検出チップには、前記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられる

前記（１）記載の固体撮像素子。

（３）前記検出チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる

前記（１）記載の固体撮像素子。

（４）前記電流電圧変換回路は、

前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、

前記Ｎ型トランジスタと前記フォトダイオードとの接続点は、前記バッフ

ァの入力端子に接続される

前記（３）記載の固体撮像素子。

（５）前記電流電圧変換回路は、

前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、

前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

前記（３）または（４）に記載の固体撮像素子。

（６）前記電流電圧変換回路は、

所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、

前記フォトダイオードと前記第１トランジスタとの接続点にゲートが接続され、ドレインが前記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタと

を含み、

前記第１および第２のトランジスタの接続点は、前記バッファの入力端子に接続される

前記（３）から（５）のいずれかに記載の固体撮像素子。

（７）前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第１のＮ型トランジスタと、

前記第１のＮ型トランジスタのソースにゲートが接続され、前記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタとを備える前記（３）から（６）のいずれかに記載の固体撮像素子。

（８）前記受光チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設けられる前記（１）記載の固体撮像素子。

（９）前記受光チップには、前記バッファの出力端子に一端が接続された第

１コンデンサがさらに設けられ、

前記検出チップには、前記第１コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第２コンデンサとがさらに設けられる

前記（８）記載の固体撮像素子。

（１０）前記受光チップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

前記（８）記載の固体撮像素子。

（１１）前記検出信号を処理する信号処理チップをさらに具備する

前記（１）から（１０）のいずれかに記載の固体撮像素子。

（１２）前記受光チップには、所定数の前記フォトダイオードが二次元格子状に配列された受光部が設けられ、

前記検出チップには、前記検出信号を出力するアドレスイベント検出回路が設けられ、

前記アドレスイベント検出回路は、前記受光部内で隣接する複数のフォトダイオードに共通に接続される

前記（１）記載の固体撮像素子。

（１３）前記検出チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

前記（１２）記載の固体撮像素子。

（１４）前記受光チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

前記（１２）記載の固体撮像素子。

（１５）前記受光チップと前記検出チップとの間に設けられたシールドをさらに具備する

前記（１）から（１４）のいずれかに記載の固体撮像素子。

（１６）前記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、

前記位相差画素のフォトダイオードの一部は遮光されている

前記（１）から（１５）のいずれかに記載の固体撮像素子。

（１７）前記受光チップには、二次元格子状に配列された所定数の前記フォトダイオードと前記光電流を前記電圧信号に変換する電流電圧変換回路とが設けられ、

前記所定数の前記フォトダイオードのうち隣接する複数のフォトダイオードは、前記電流電圧変換回路に共通に接続される

前記（１）記載の固体撮像素子。

（１８）前記検出チップには、前記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を前記検出信号として出力する量子化器が設けられる

前記（１）記載の固体撮像素子。

符号の説明

[0168] １００　撮像装置

１１０　撮像レンズ

１２０　記録部

１３０　制御部

２００　固体撮像素子

２０１　受光チップ

２０２　検出チップ

２０３　信号処理チップ

２１１、２１２、２１３、２３１、２３２、２３３、２５３、２５４　ビア配置部

２２０　受光部

２２１、４１１　フォトダイオード

２２２　画素ブロック

２２３　通常画素

２２４　位相差画素

２４０　信号処理回路

２５１　行駆動回路

２５２　列駆動回路

２６０　アドレスイベント検出部

２６１　マルチプレクサ

３００　アドレスイベント検出回路

３１０、４１３　電流電圧変換回路

３１１、３１３、３１５、３１６、３２１、３２２、３３５～３３７、３４２～３４５　Ｎ型トランジスタ

３１２　Ｐ型トランジスタ

３１４　ダイオード

３２０、３３２、４１４　バッファ

３３０　減算器

３３１、３３３　コンデンサ

３３４　スイッチ

３４０　量子化器

３４１　コンパレータ

３５０　転送回路

４０１、４０２、４０３　シールド

４１２　遮光部

１２０３１　撮像部

請求の範囲

[請求項1] 行駆動回路と、

列駆動回路と、

複数の画素とを備え、

前記複数の画素はそれぞれ、

入射光を光電変換して光電流を生成するフォトダイオードと、

前記光電流に応じた電圧信号を量子化して検出信号として出力する画素回路と、

接続部とを有し、

前記行駆動回路および前記列駆動回路は第２のチップに設けられ、

前記フォトダイオードは第１のチップに設けられ、

少なくとも一部の前記画素回路は前記第２のチップに設けられ、前記接続部を介して前記第１のチップに設けられた前記フォトダイオードに電気的に接続される固体撮像素子。

[請求項2] 前記画素回路において、

前記第１のチップには、前記光電流を前記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、

前記第２のチップには、前記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられる

請求項１記載の固体撮像素子。

[請求項3] 前記画素回路において、前記第２のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる

請求項１記載の固体撮像素子。

[請求項4] 前記電流電圧変換回路は、

前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、

前記Ｎ型トランジスタと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

請求項３記載の固体撮像素子。

[請求項5] 前記電流電圧変換回路は、

前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、

前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

請求項３記載の固体撮像素子。

[請求項6] 前記電流電圧変換回路は、

所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、

前記フォトダイオードと前記第１トランジスタとの接続点にゲートが接続され、ドレインが前記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタと

を含み、

前記第１および第２のトランジスタの接続点は、前記バッファの入力端子に接続される

請求項３記載の固体撮像素子。

[請求項7] 前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第１のＮ型トランジスタと、

前記第１のＮ型トランジスタのソースにゲートが接続され、前記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタと

を備える請求項３記載の固体撮像素子。

[請求項8] 前記画素回路において、前記第１のチップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設けられる

請求項１記載の固体撮像素子。

[請求項9] 前記画素回路において、

前記第１のチップには、前記バッファの出力端子に一端が接続された第１コンデンサがさらに設けられ、

前記第２のチップには、前記第１コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第２コンデンサとがさらに設けられる

請求項８記載の固体撮像素子。

[請求項10] 前記画素回路において、前記第１のチップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

請求項８記載の固体撮像素子。

[請求項11] 入射光を光電変換して光電流を生成するフォトダイオードが設けられた受光チップと、

前記光電流に応じた電圧信号を量子化して検出信号として出力する検出チップと

を具備する固体撮像素子。

[請求項12] 前記受光チップには、前記光電流を前記電圧信号に変換して出力する複数のＮ型トランジスタがさらに設けられ、

前記検出チップには、前記複数のＮ型トランジスタのいずれかに一定の電流を供給するＰ型トランジスタがさらに設けられる

請求項１０記載の固体撮像素子。

[請求項13] 前記検出チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路がさらに設けられる

請求項１０記載の固体撮像素子。

[請求項14] 前記電流電圧変換回路は、

前記フォトダイオードのカソードにドレインが接続され、ゲートおよびソースが電源に共通に接続されたＮ型トランジスタを含み、

前記Ｎ型トランジスタと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

請求項１３記載の固体撮像素子。

[請求項15] 前記電流電圧変換回路は、

前記フォトダイオードのカソードにアノードが接続され、カソードが電源に接続されたダイオードを含み、

前記ダイオードと前記フォトダイオードとの接続点は、前記バッファの入力端子に接続される

請求項１３記載の固体撮像素子。

[請求項16] 前記電流電圧変換回路は、

所定のバイアス電圧がゲートに印加され、ドレインが前記フォトダイオードのカソードに接続された第１のＮ型トランジスタと、

前記フォトダイオードと前記第１トランジスタとの接続点にゲートが接続され、ドレインが前記第１のＮ型トランジスタのソースに接続され、ソースが接地された第２のＮ型トランジスタと

を含み、

前記第１および第２のトランジスタの接続点は、前記バッファの入力端子に接続される

請求項１３記載の固体撮像素子。

[請求項17] 前記電流電圧変換回路は、複数段のループ回路を含み、

前記複数段のループ回路のそれぞれは、

第１のＮ型トランジスタと、

前記第１のＮ型トランジスタのソースにゲートが接続され、前記第１のＮ型トランジスタのゲートにドレインが接続された第２のＮ型トランジスタと

を備える請求項１３記載の固体撮像素子。

[請求項18] 前記受光チップには、前記光電流を前記電圧信号に変換する電流電圧変換回路と前記電圧信号を補正して出力するバッファとがさらに設

けられる

請求項１記載の固体撮像素子。

[請求項19] 前記受光チップには、前記バッファの出力端子に一端が接続された第１コンデンサがさらに設けられ、

前記検出チップには、前記第１コンデンサの他端に入力端子が接続されたインバータと前記インバータに並列に接続された第２コンデンサとがさらに設けられる

請求項１８記載の固体撮像素子。

[請求項20] 前記受光チップには、前記バッファから出力された前記電圧信号のレベルを低下させる減算器と前記低下した電圧信号を量子化して前記検出信号として出力する量子化器とがさらに設けられる

請求項１８記載の固体撮像素子。

[請求項21] 前記検出信号を処理する信号処理チップをさらに具備する

請求項１１記載の固体撮像素子。

[請求項22] 前記受光チップには、所定数の前記フォトダイオードが二次元格子状に配列された受光部が設けられ、

前記検出チップには、前記検出信号を出力するアドレスイベント検出回路が設けられ、

前記アドレスイベント検出回路は、前記受光部内で隣接する複数のフォトダイオードに共通に接続される

請求項１１記載の固体撮像素子。

[請求項23] 前記検出チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

請求項２２記載の固体撮像素子。

[請求項24] 前記受光チップには、前記複数のフォトダイオードのそれぞれの光電流のいずれかを選択して前記アドレスイベント検出回路に出力するマルチプレクサがさらに設けられる

請求項２２記載の固体撮像素子。

[請求項25] 前記受光チップと前記検出チップとの間に設けられたシールドをさらに具備する

請求項１１記載の固体撮像素子。

[請求項26] 前記フォトダイオードは、通常画素と位相差画素とのそれぞれに設けられ、

前記位相差画素のフォトダイオードの一部は遮光されている

請求項１１記載の固体撮像素子。

[請求項27] 前記受光チップには、二次元格子状に配列された所定数の前記フォトダイオードと前記光電流を前記電圧信号に変換する電流電圧変換回路とが設けられ、

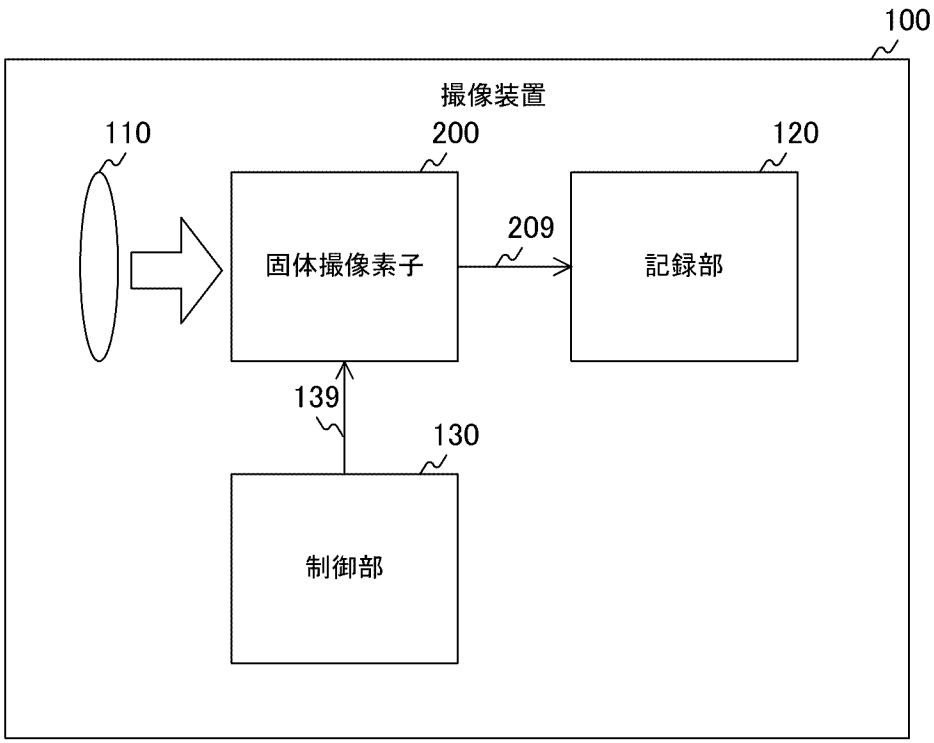
前記所定数の前記フォトダイオードのうち隣接する複数のフォトダイオードは、前記電流電圧変換回路に共通に接続される

請求項１１記載の固体撮像素子。

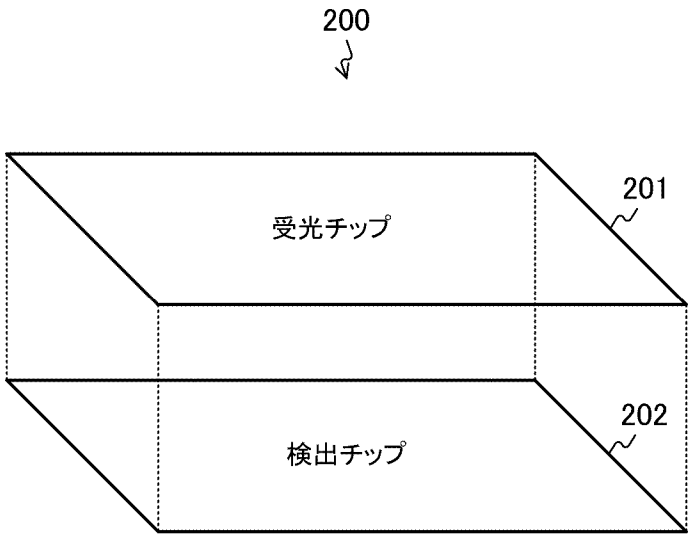
[請求項28] 前記検出チップには、前記電圧信号と複数の閾値電圧とを比較して当該比較結果を示す複数ビットの信号を前記検出信号として出力する量子化器が設けられる

請求項１１記載の固体撮像素子。

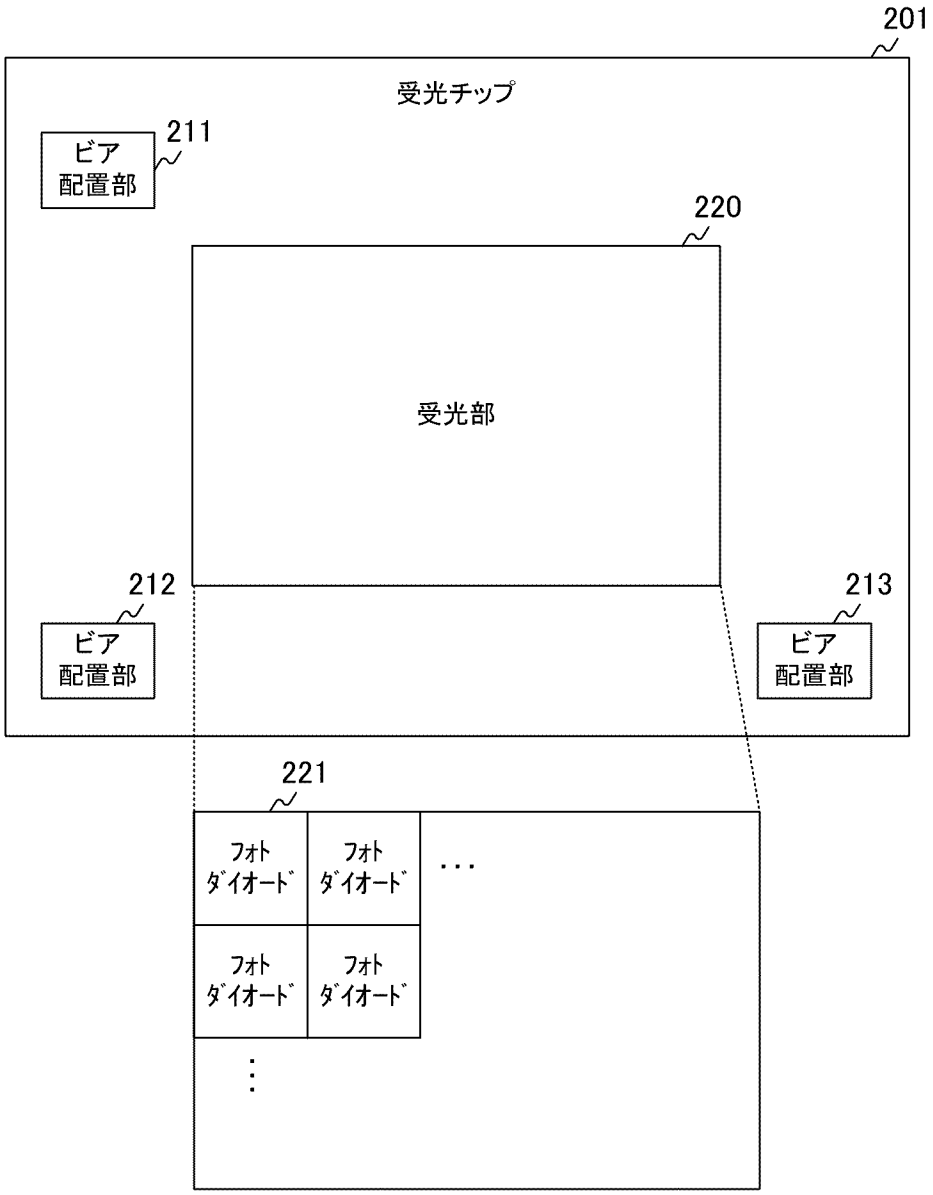
[図1]


100
撮像装置
110
200
120
209
固体撮像素子
記録部
139
130
制御部

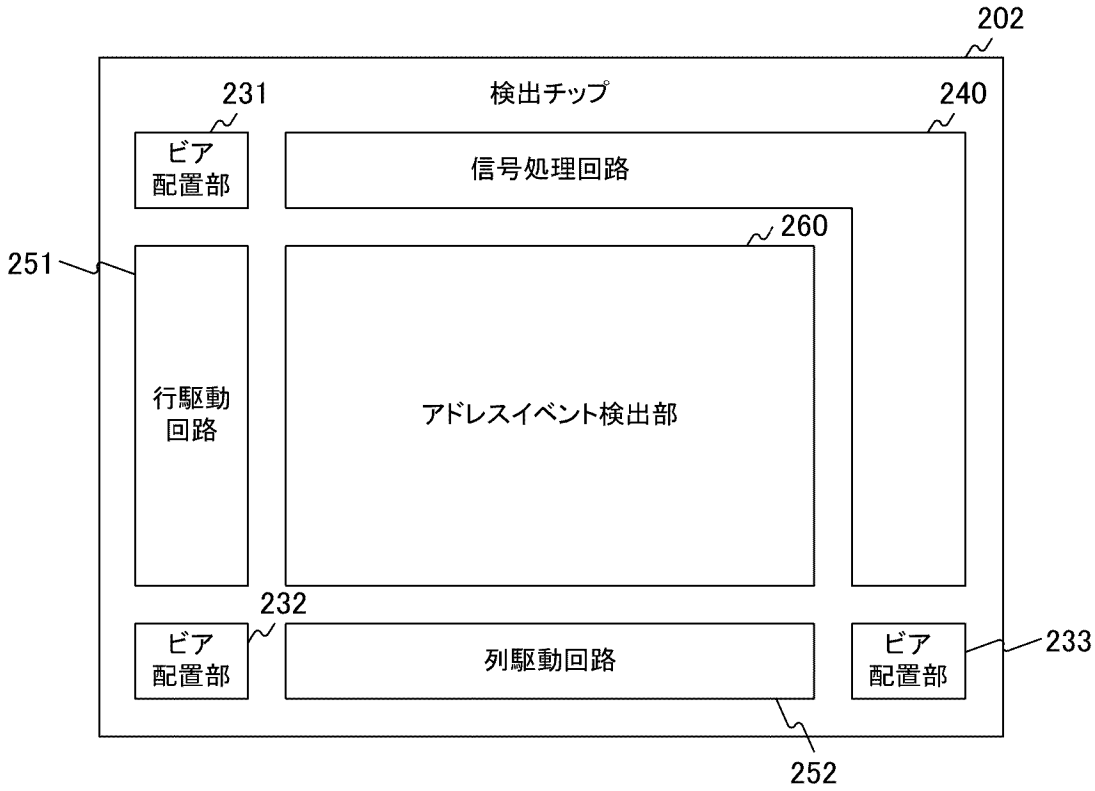
[図2]


200
201
受光チップ
202
検出チップ

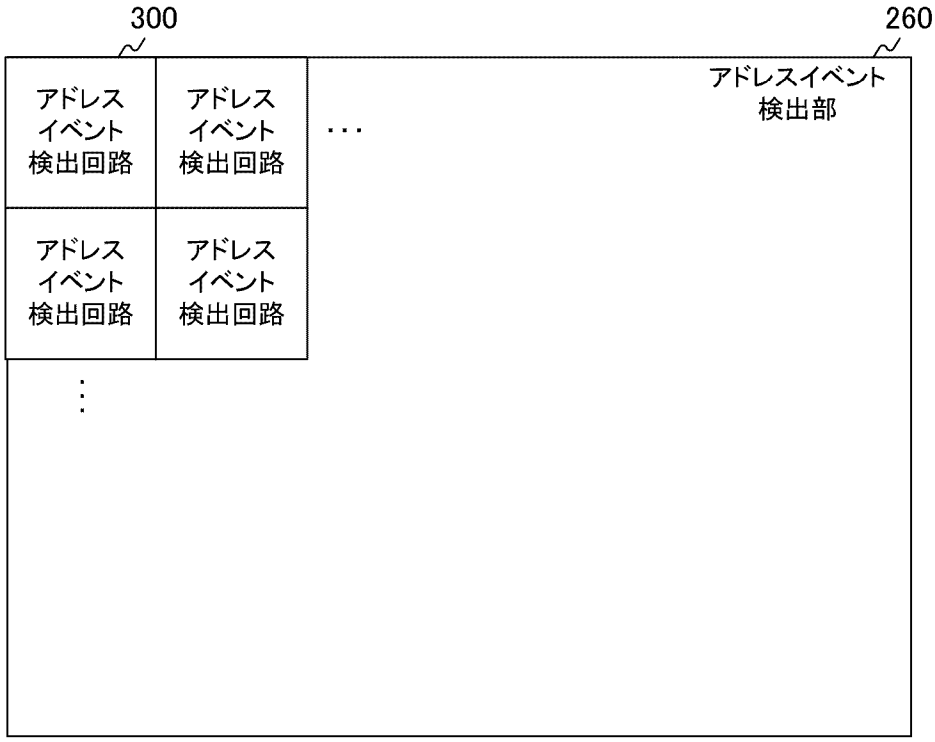
[図3]


201
受光チップ
211
ビア
配置部
220
受光部
212
ビア
配置部
213
ビア
配置部
221
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード

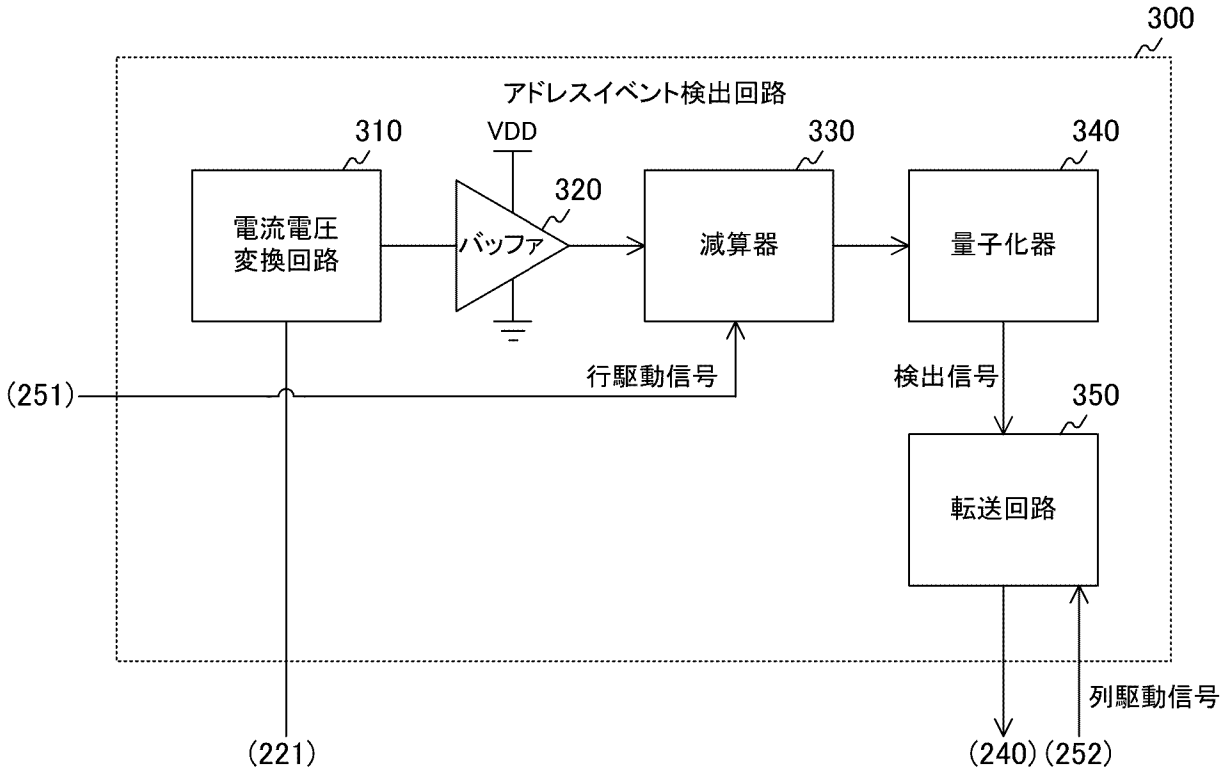
[図4]


202
231
検出チップ
240
ビア
配置部
信号処理回路
260
251
行駆動
回路
アドレスイベント検出部
232
ビア
配置部
列駆動回路
ビア
配置部
233
252

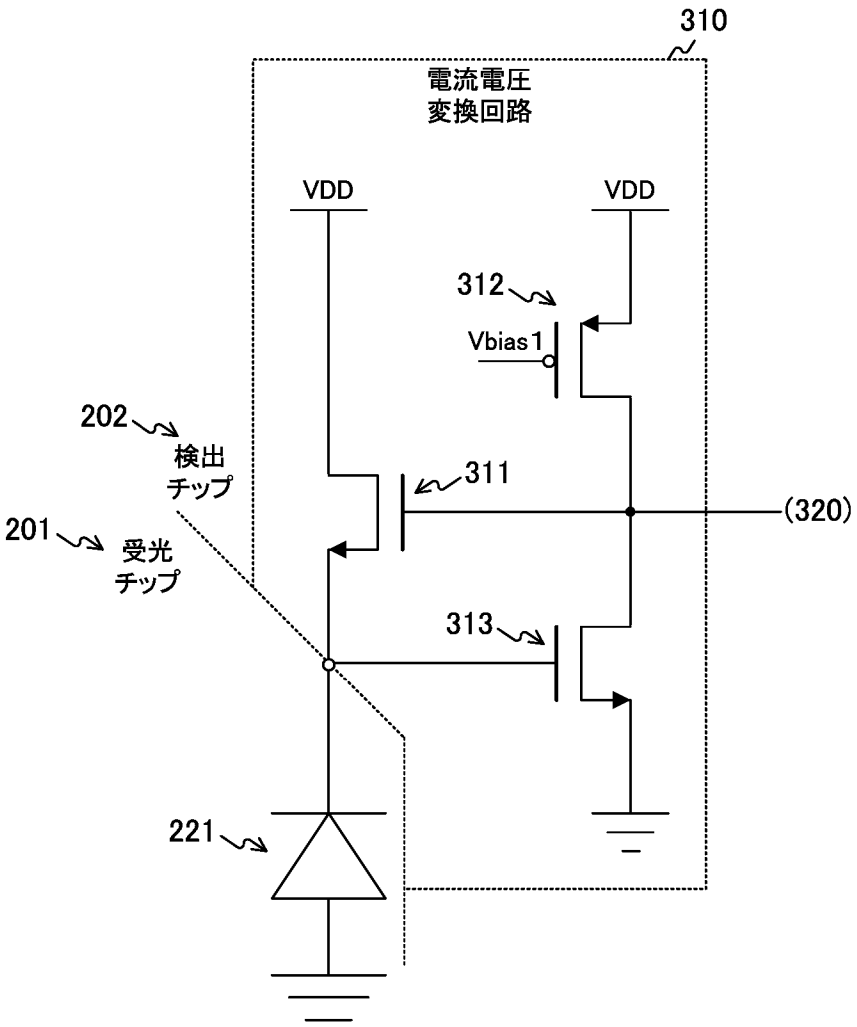
[図5]


300
260
アドレス
イベント
検出回路
アドレス
イベント
検出回路
アドレス
イベント
検出回路
アドレス
イベント
検出回路
アドレスイベント
検出部

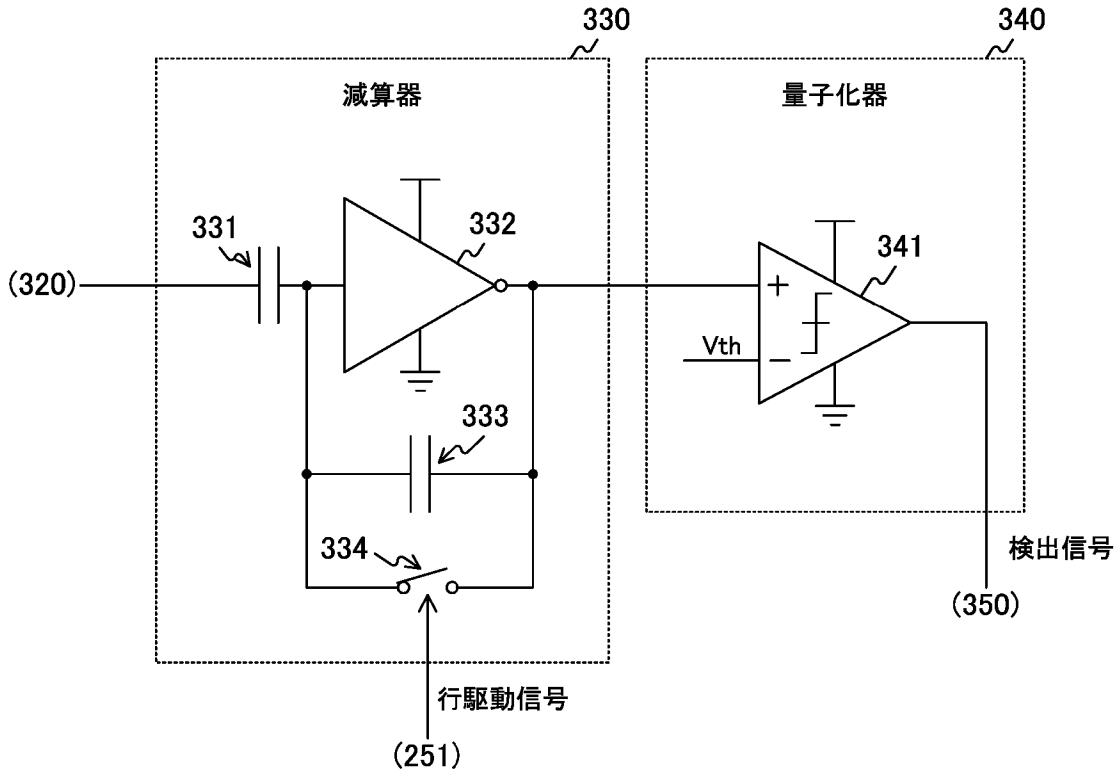
[図6]


300
アドレスイベント検出回路
310
VDD
320
330
340
電流電圧
変換回路
バッファ
減算器
量子化器
行駆動信号
検出信号
(251)
350
転送回路
列駆動信号
(221)
(240)
(252)

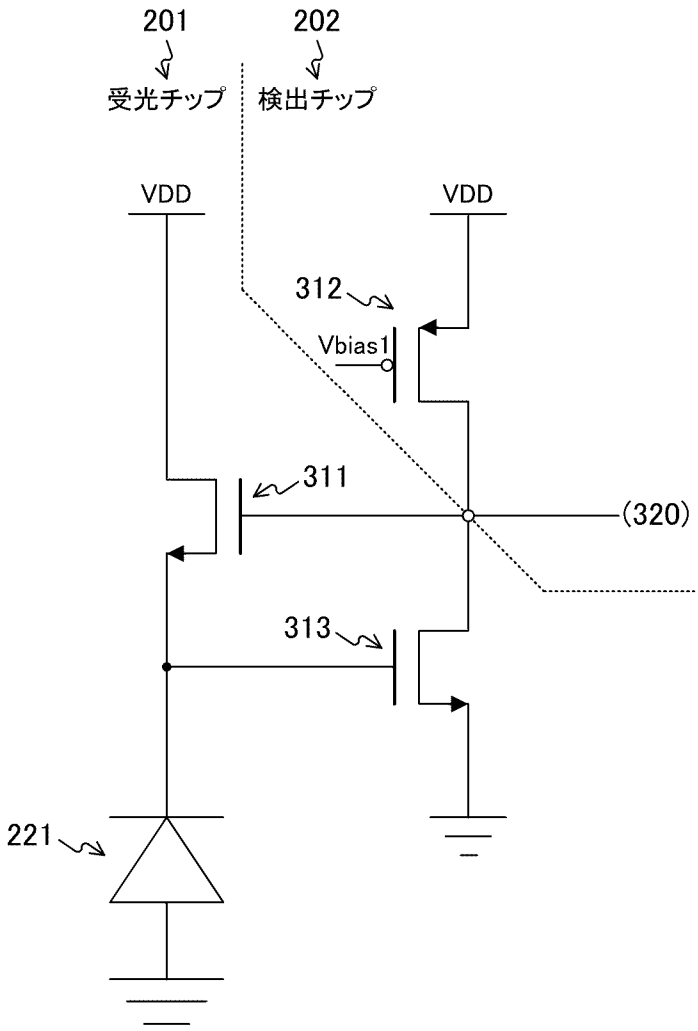
[図7]


310
電流電圧
変換回路
VDD
VDD
312
Vbias1
202
検出
チップ
311
(320)
201
受光
チップ
313
221

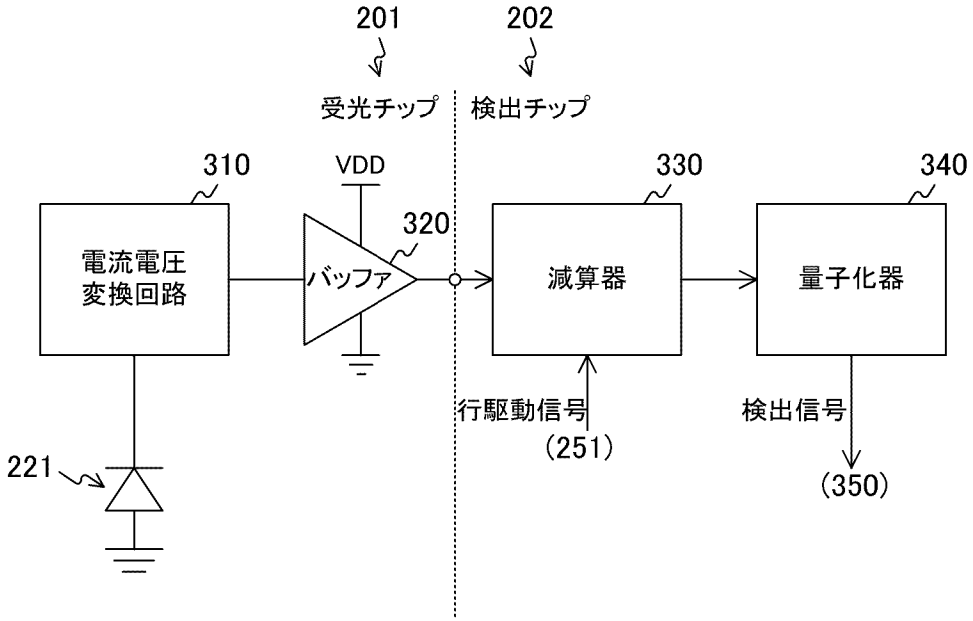
[図8]



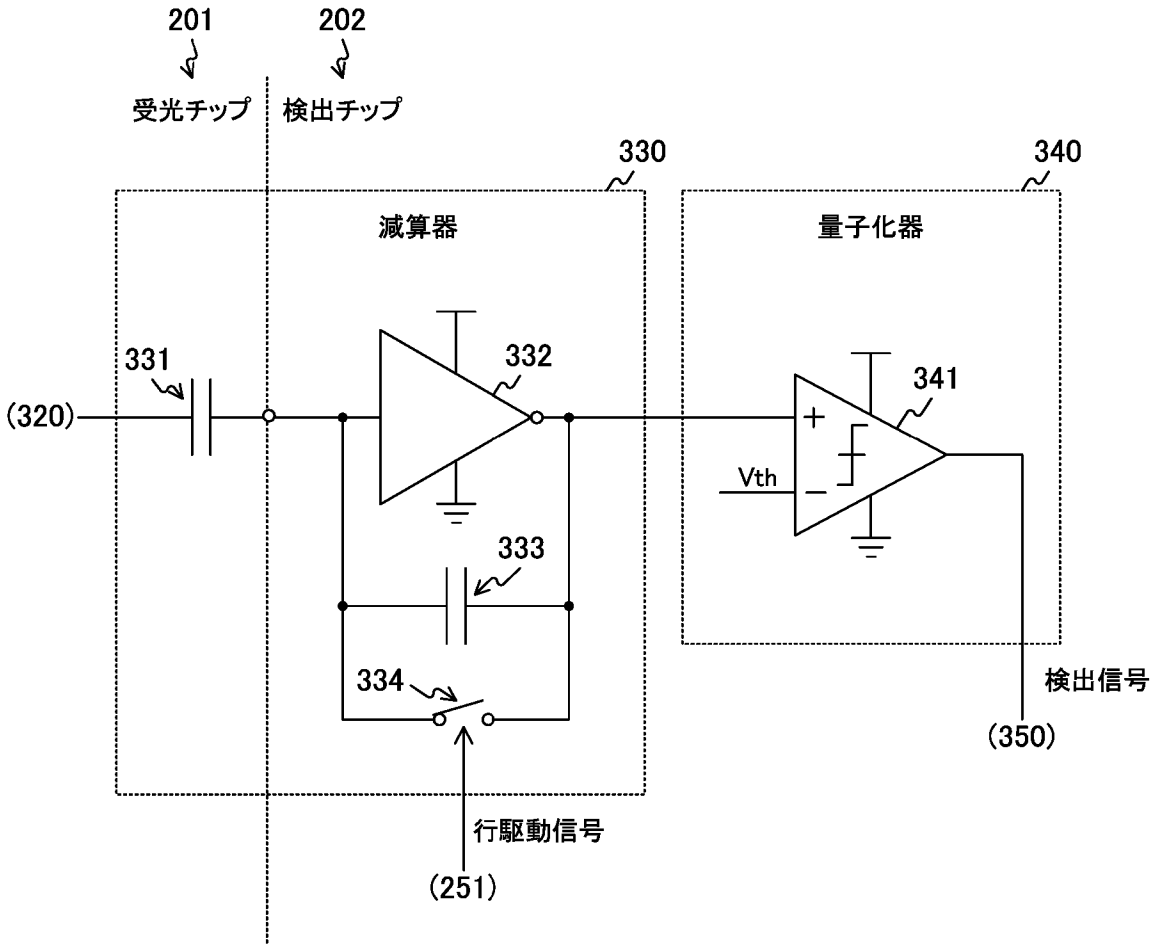
[図9]



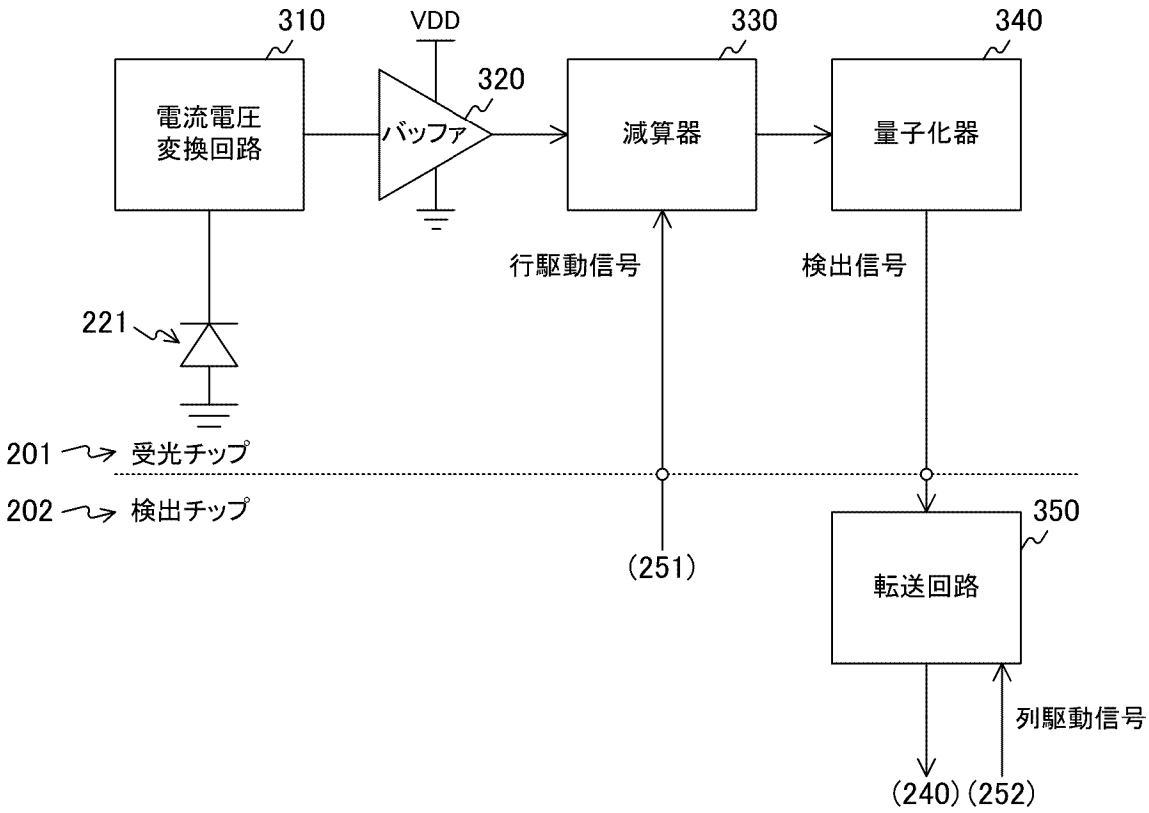
[図10]


201
202
受光チップ
検出チップ
310
VDD
320
330
340
電流電圧
変換回路
バッファ
減算器
量子化器
221
行駆動信号
(251)
検出信号
(350)

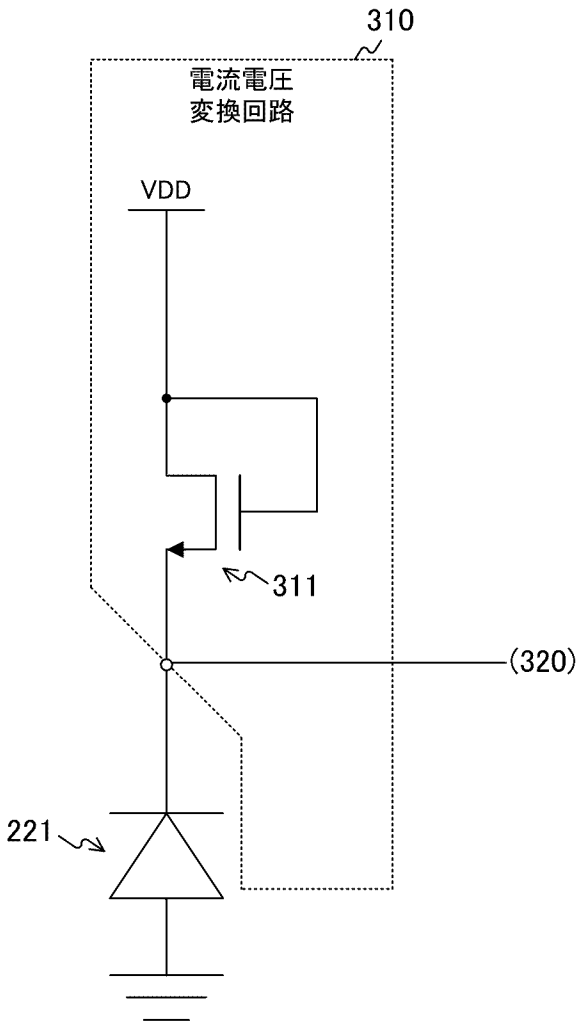
[図11]


201
202
受光チップ
検出チップ
330
340
減算器
量子化器
331
332
341
(320)
Vth
333
334
検出信号
(350)
行駆動信号
(251)

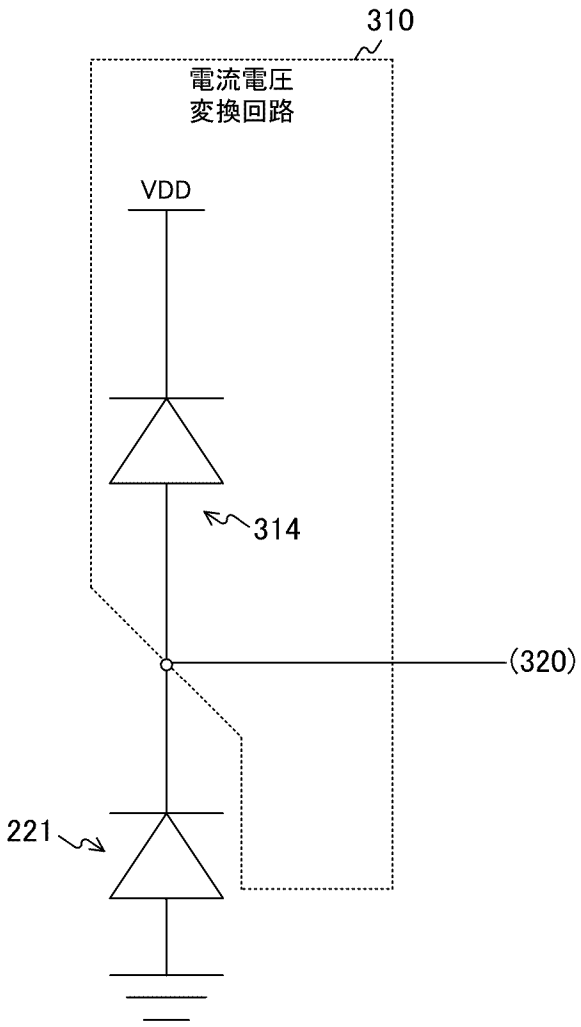
[図12]


310
VDD
320
330
340
電流電圧
変換回路
バッファ
減算器
量子化器
行駆動信号
検出信号
221
201
受光チップ
202
検出チップ
(251)
350
転送回路
列駆動信号
(240)
(252)

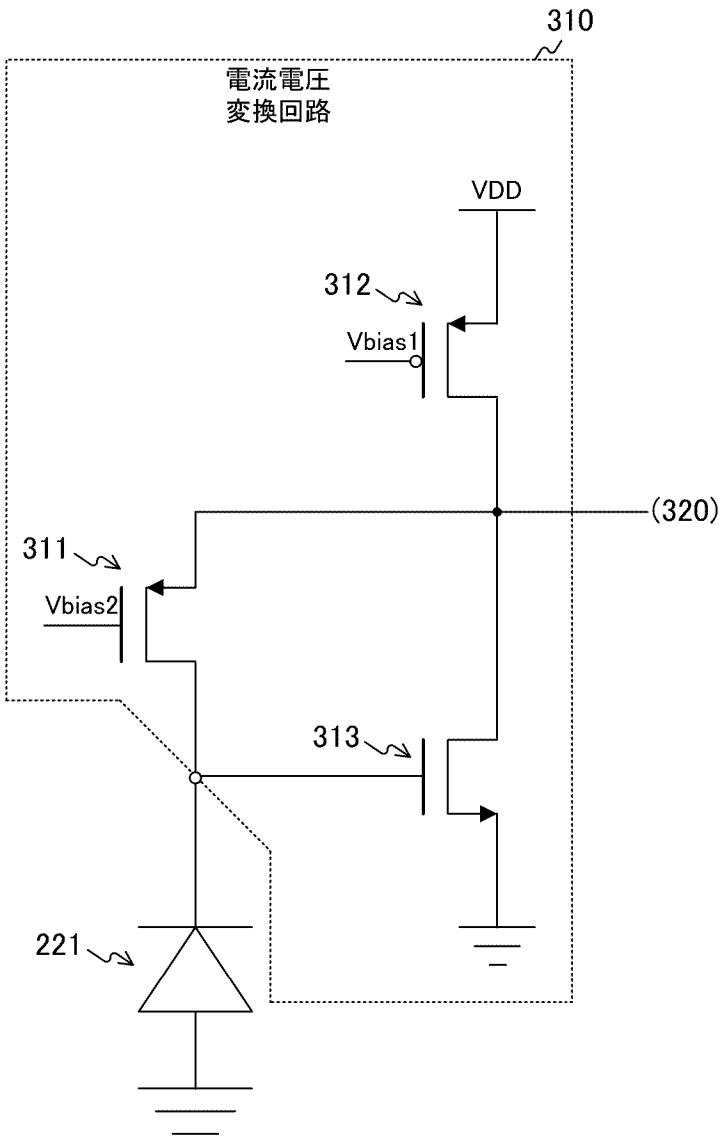
[図13]



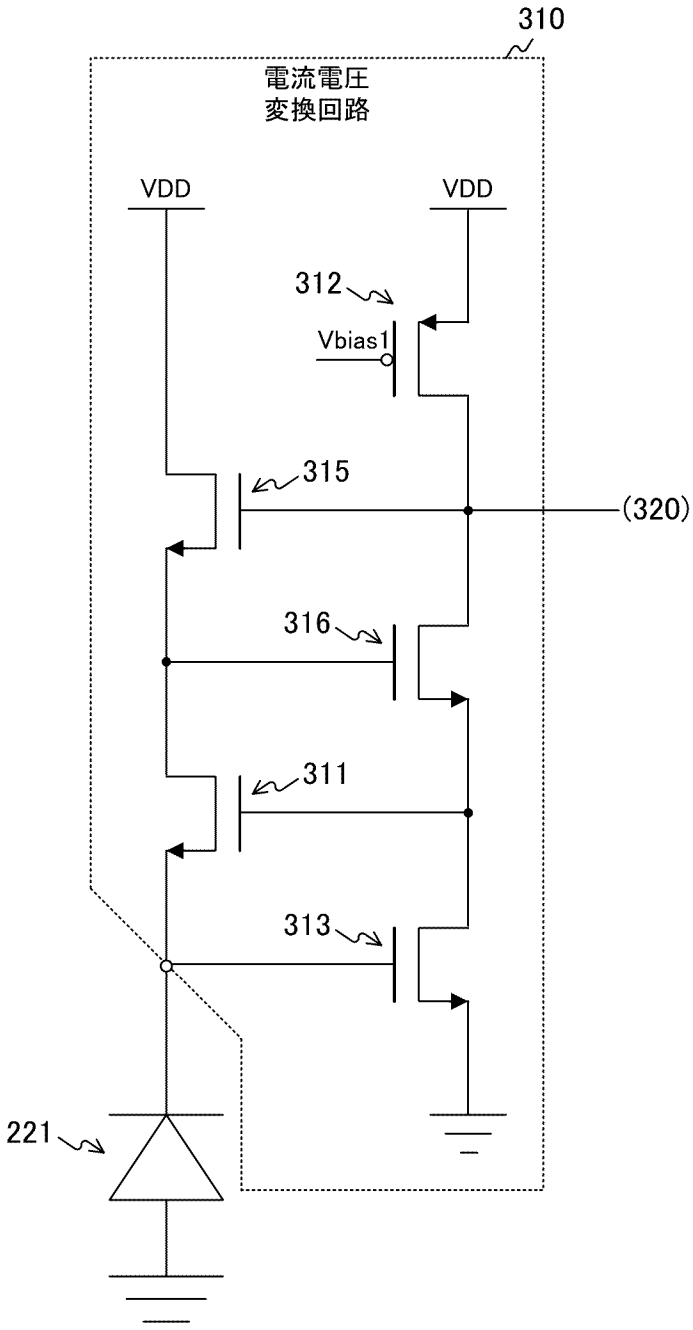
[図14]



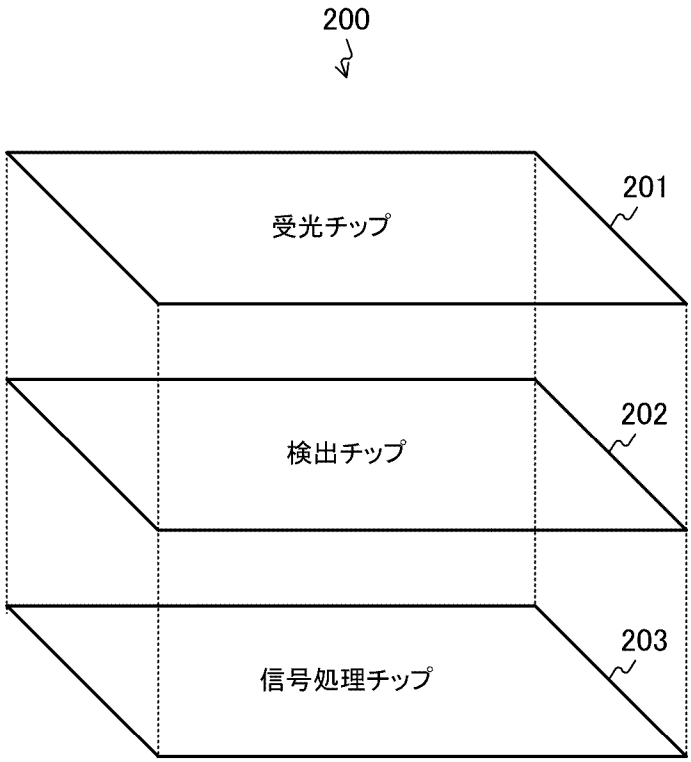
[図15]



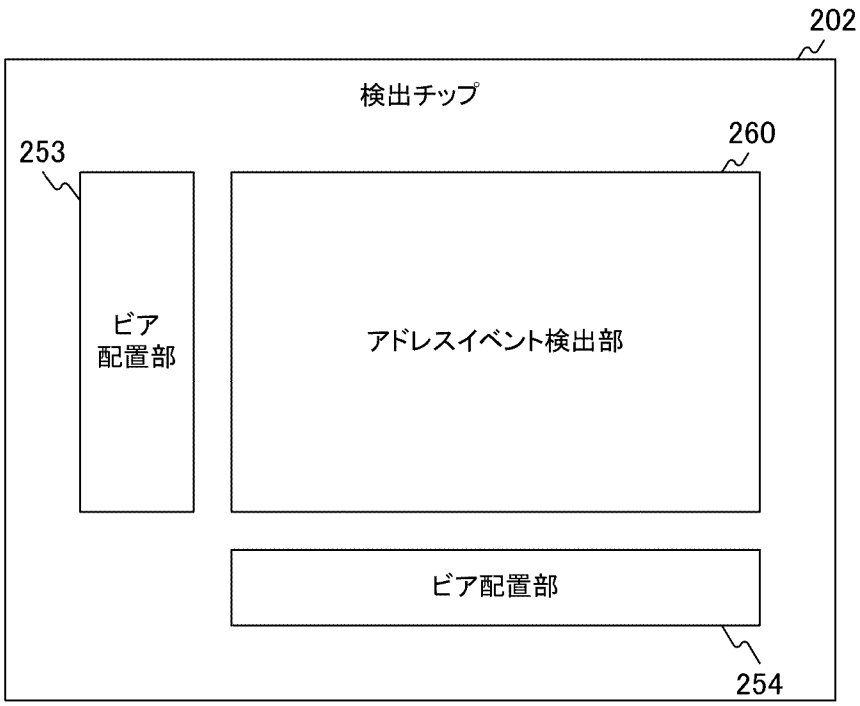
[図16]



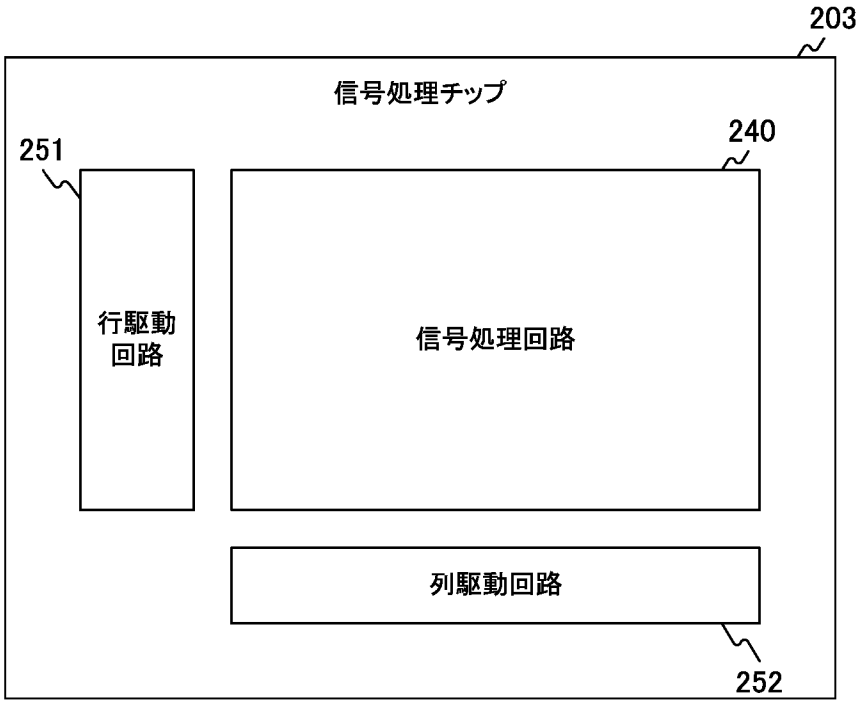
[図17]



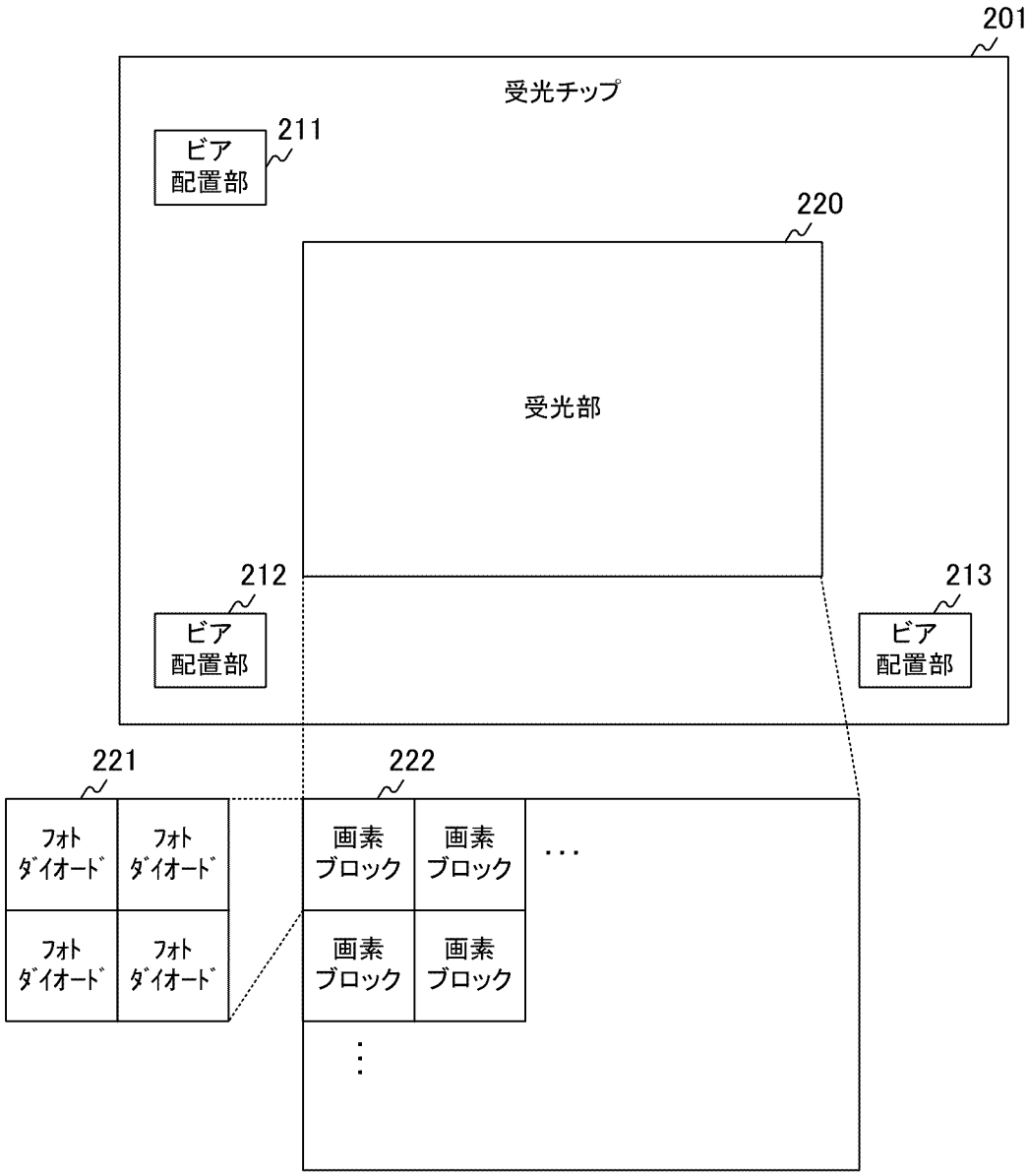
[図18]



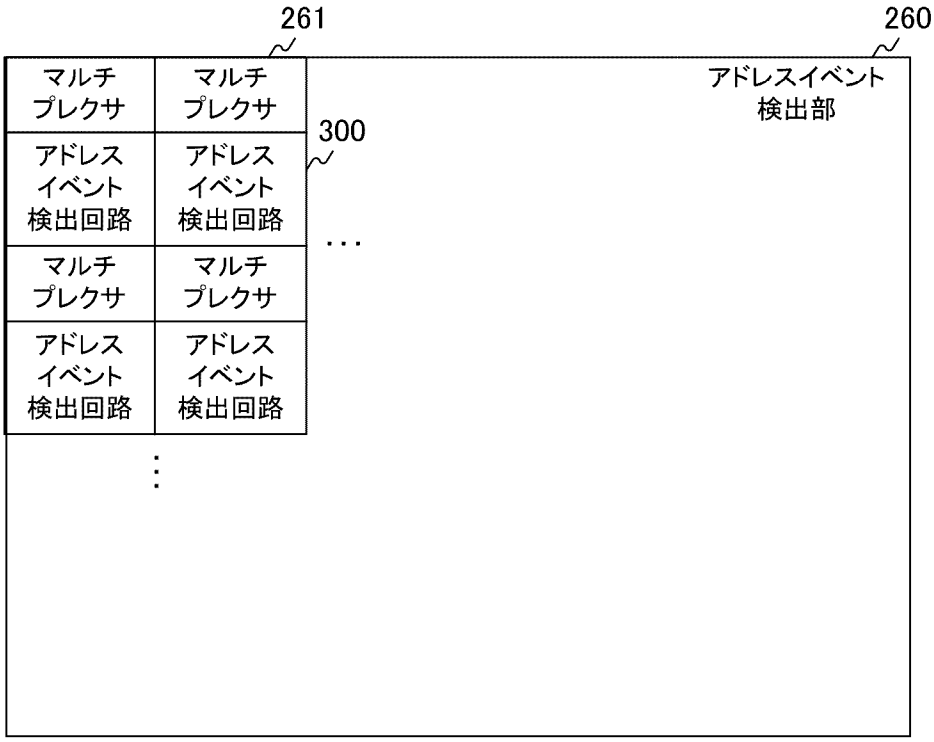
[図19]



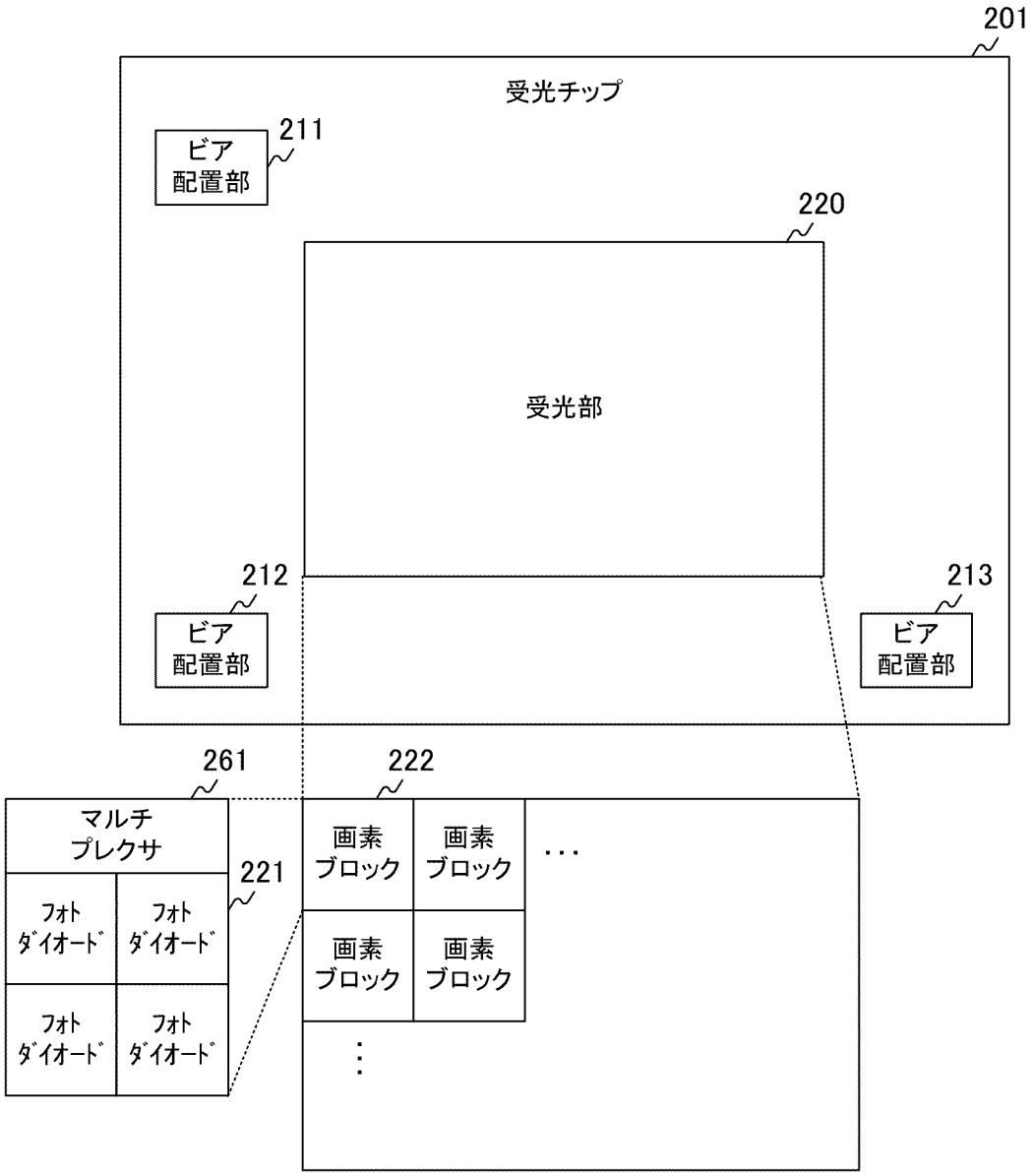
[図20]


201
受光チップ
211
ビア
配置部
220
受光部
212
ビア
配置部
213
ビア
配置部
221
222
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード
画素
ブロック
画素
ブロック
画素
ブロック
画素
ブロック

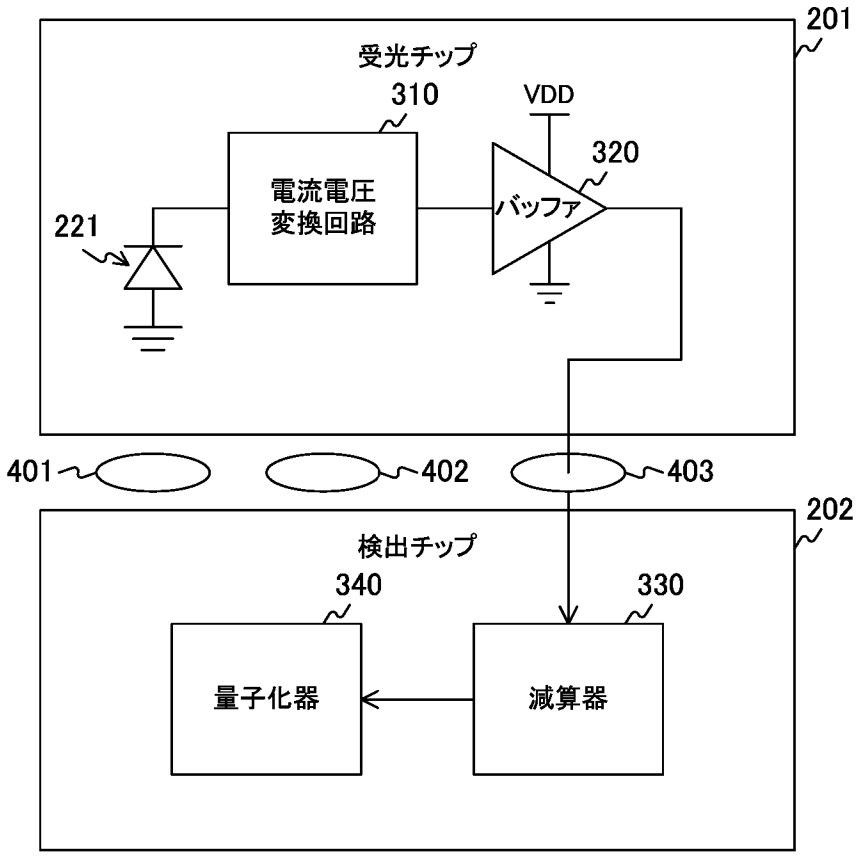
[図21]


261
260
マルチプレクサ
マルチプレクサ
アドレスイベント検出部
300
アドレスイベント検出回路
アドレスイベント検出回路
マルチプレクサ
マルチプレクサ
アドレスイベント検出回路
アドレスイベント検出回路

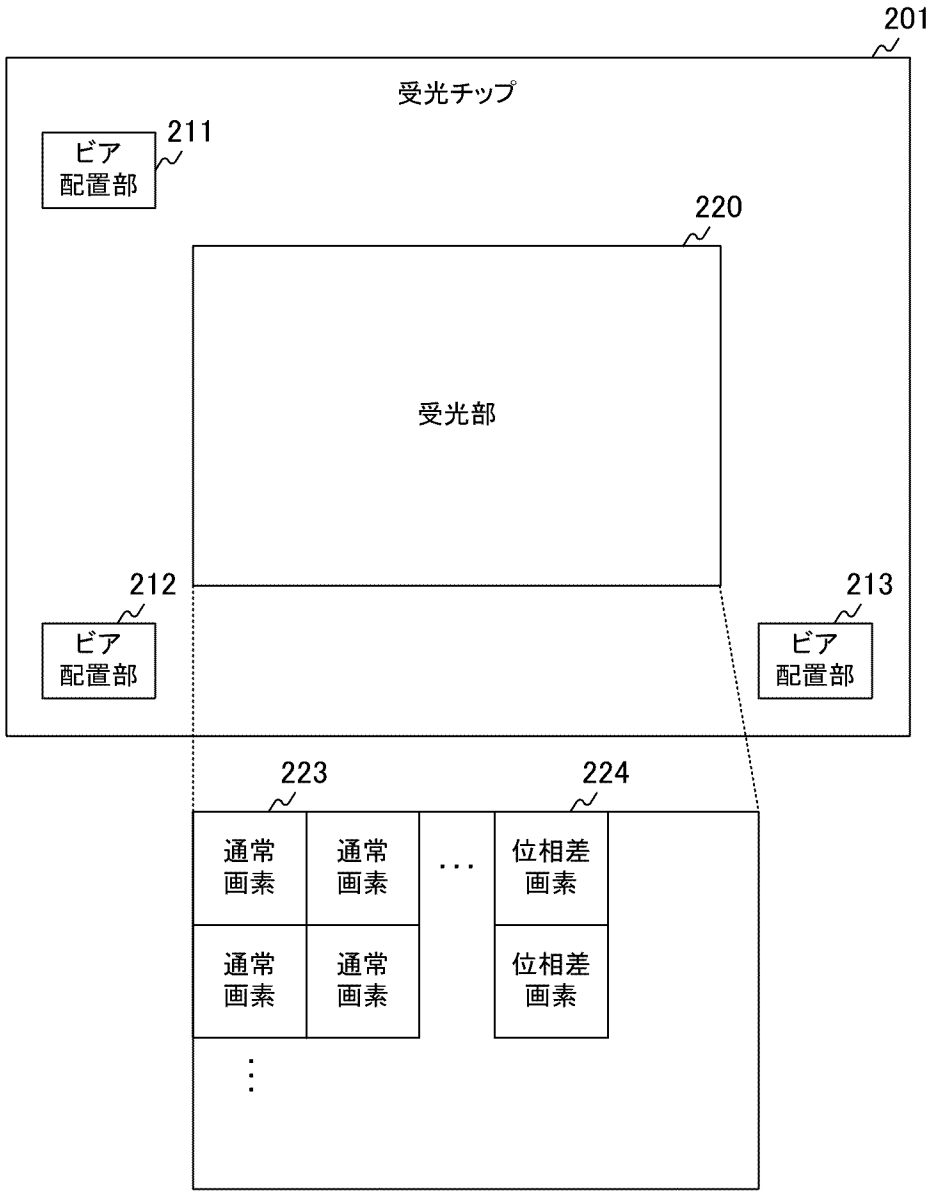
[図22]


201
受光チップ
211
ビア
配置部
220
受光部
212
ビア
配置部
213
ビア
配置部
261
222
マルチ
プレクサ
221
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード
フォト
ダイオード
画素
ブロック
画素
ブロック
画素
ブロック
画素
ブロック

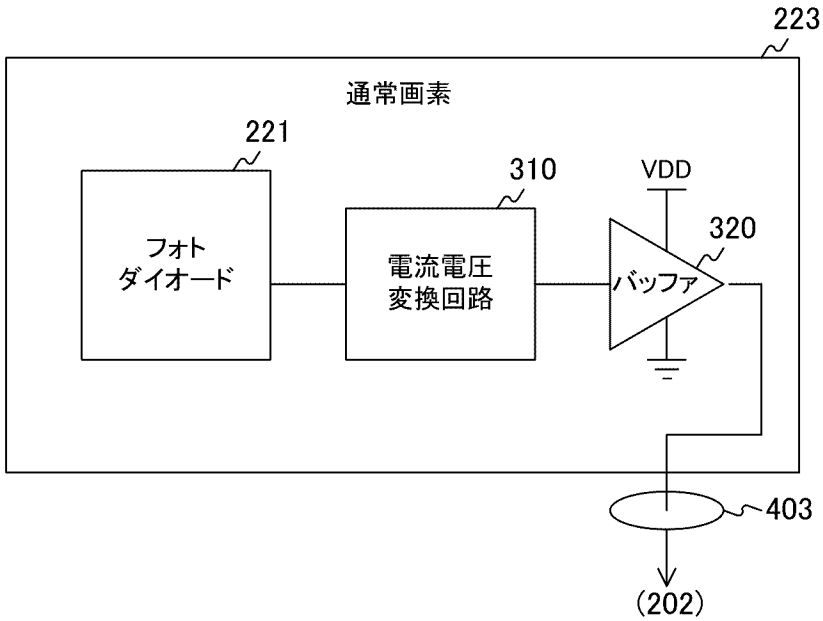
[図23]


201
受光チップ
310
VDD
320
電流電圧
変換回路
バッファ
221
401
402
403
202
検出チップ
340
330
量子化器
減算器

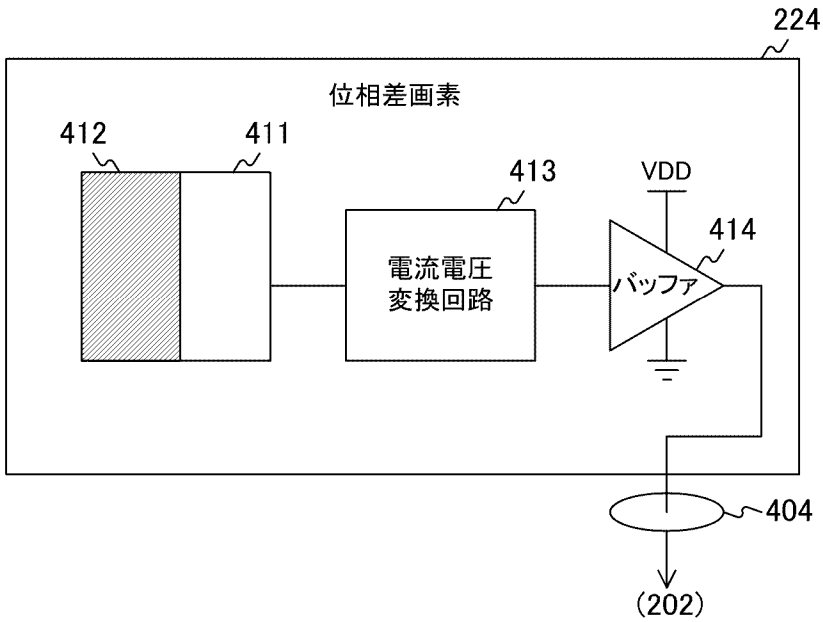
[図24]


201
受光チップ
211
ビア
配置部
220
受光部
212
ビア
配置部
213
ビア
配置部
223
224
通常
画素
通常
画素
位相差
画素
通常
画素
通常
画素
位相差
画素

[図25]

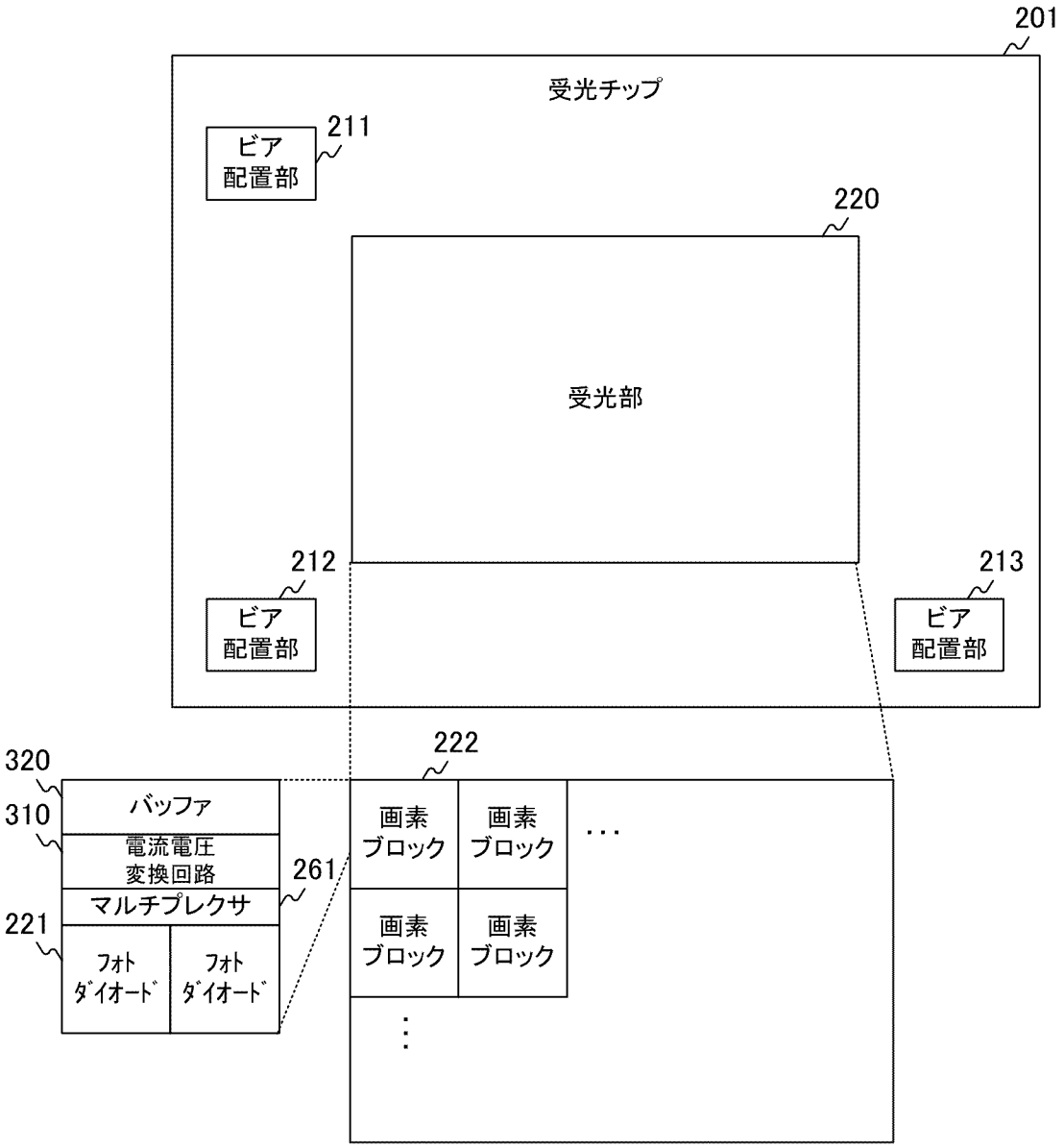

223
通常画素
221
310
VDD
320
フォト
ダイオード
電流電圧
変換回路
バッファ
403
(202)

a

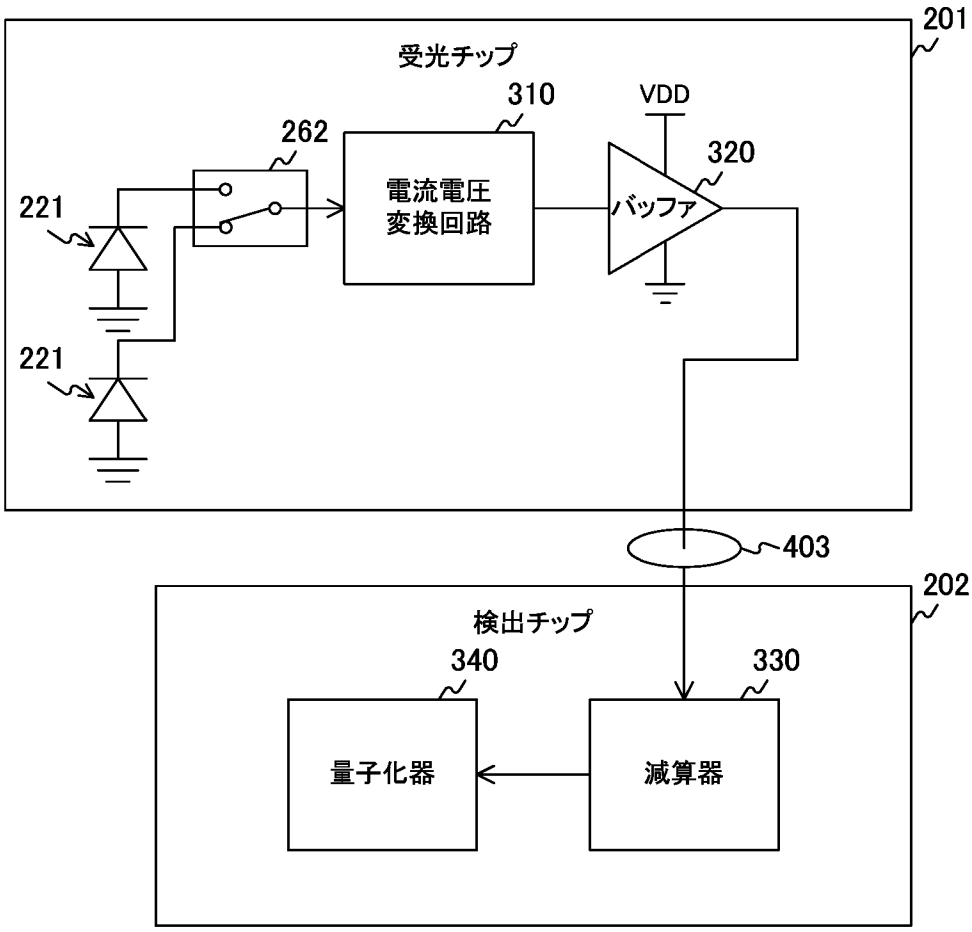

224
位相差画素
412
411
413
VDD
414
電流電圧
変換回路
バッファ
404
(202)

b

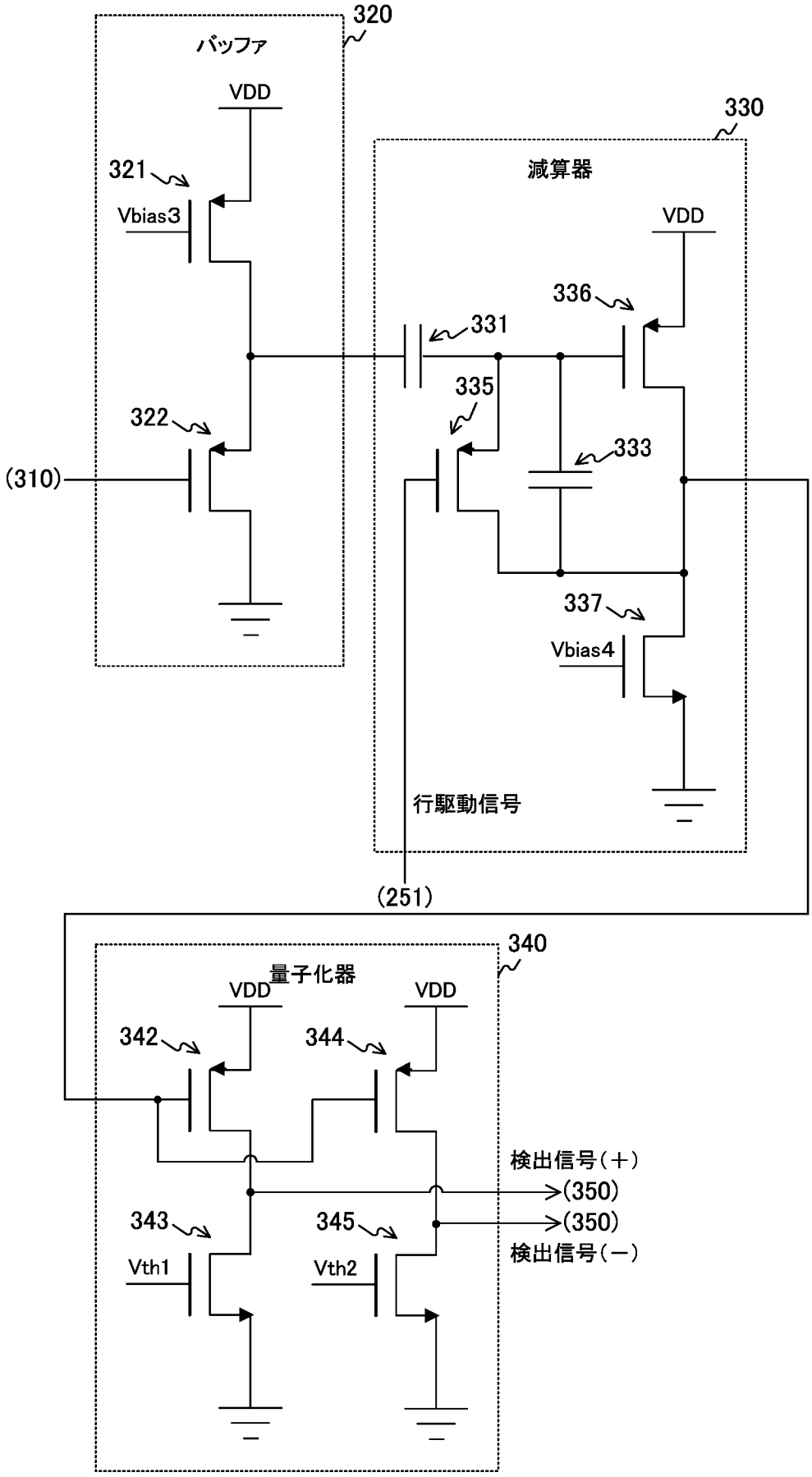
[図26]


201
受光チップ
211
ビア
配置部
220
受光部
212
ビア
配置部
213
ビア
配置部
222
320
バッファ
310
電流電圧
変換回路
261
マルチプレクサ
221
フォト
ダイオード
フォト
ダイオード
画素
ブロック
画素
ブロック
画素
ブロック
画素
ブロック

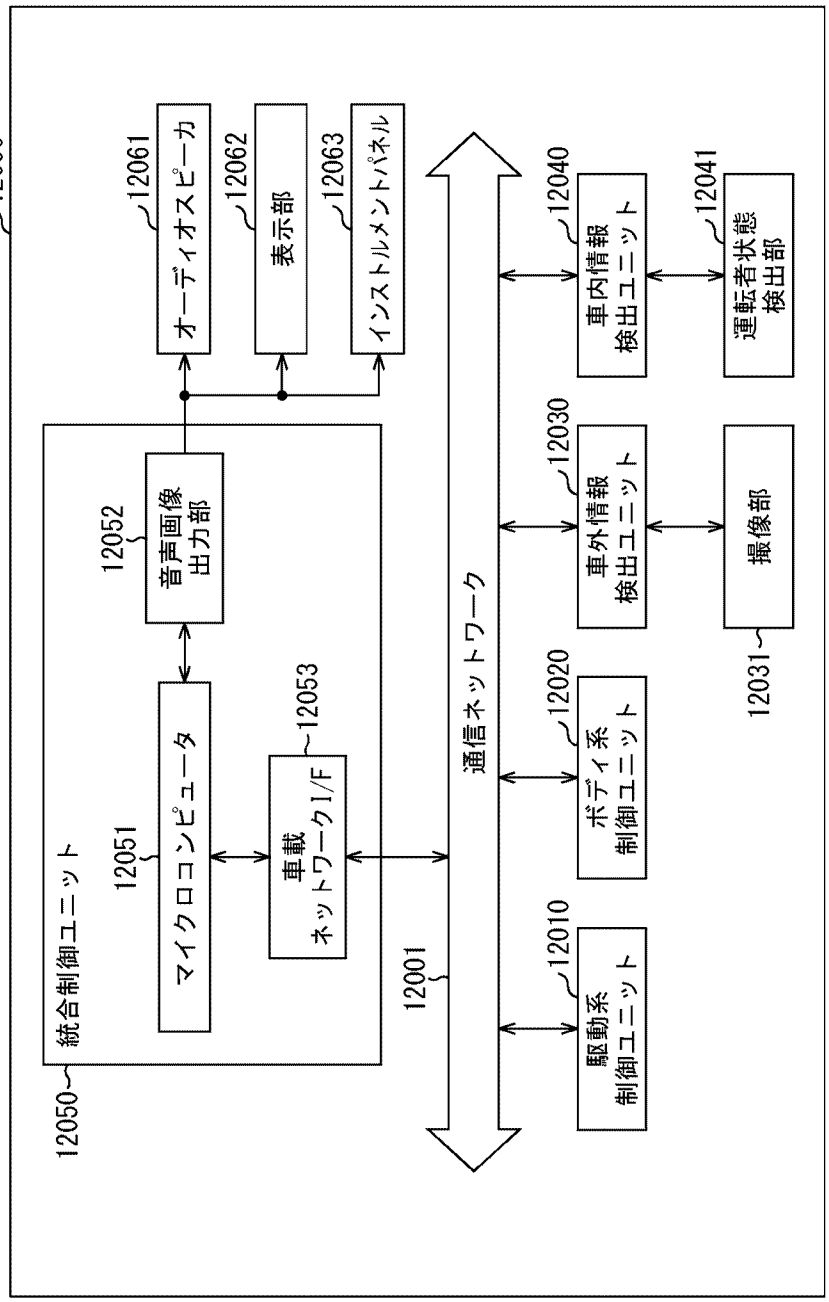
[図27]


201
受光チップ
310
VDD
262
320
電流電圧
変換回路
バッファ
221
221
403
202
検出チップ
340
330
量子化器
減算器

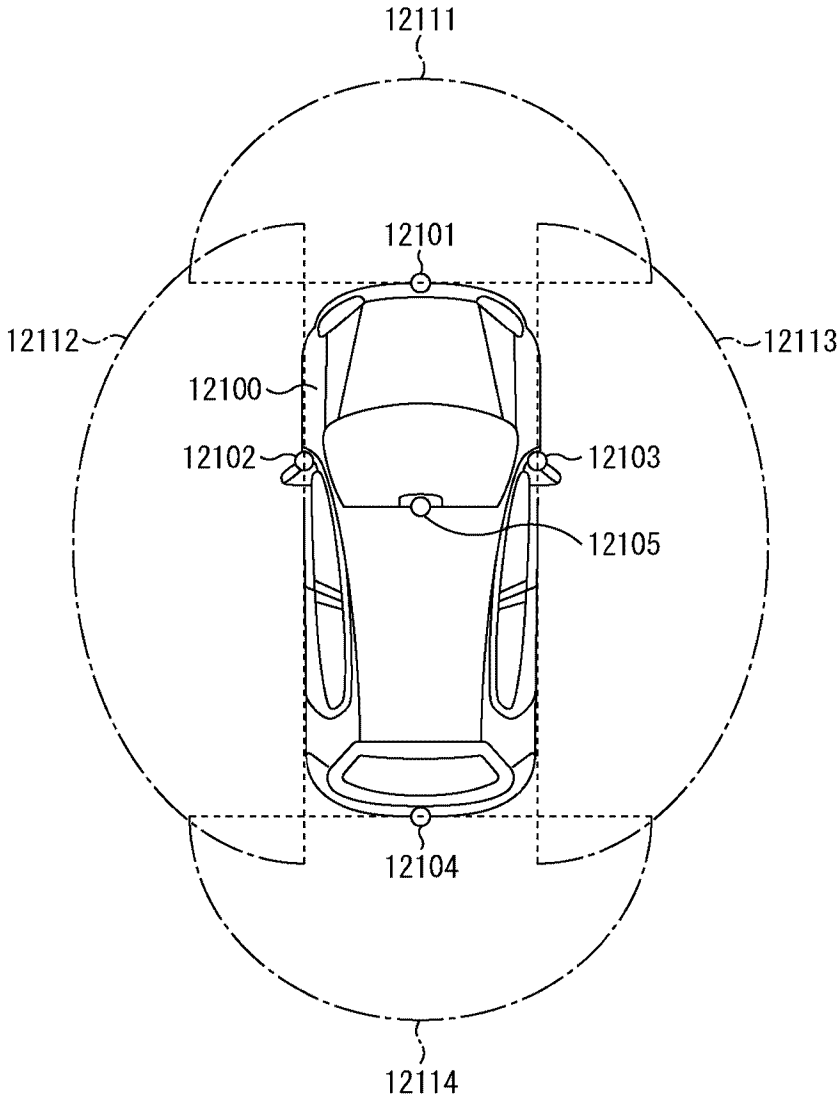
[図28]


320
バッファ
VDD
321
Vbias3
322
(310)
330
減算器
VDD
336
331
335
333
337
Vbias4
行駆動信号
(251)
340
量子化器
VDD
VDD
342
344
検出信号(＋)
(350)
343
345
(350)
検出信号(－)
Vth1
Vth2

[図29]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
12001
通信ネットワーク
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図30]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/026757

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H04N5/3745, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2017-28690 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 February 2017, paragraphs [0030]-[0144], [0186]-[0192], [0199], fig. 1-14, 20, 23 & US 2017/0018587 A1, paragraphs [0089]-[0204], [0247]-[0253], [0260], fig. 1-14, 20, 23 & US 2018/0175086 A1	1-5, 8, 11, 18, 21-28 6-7, 9-10, 12-17, 19-20
A	WO 2017/098725 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 15 June 2017, entire text (Family: none)	1-28
A	JP 2017-103544 A (TOSHIBA CORP.) 08 June 2017, entire text (Family: none)	1-28

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27.09.2018	09.10.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０２６７５７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745(2011.01)i, H01L27/146(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 2017-28690 A (株式会社半導体エネルギー研究所) 2017.02.02, 段落[0030]-[0144], [0186]-[0192], [0199], 図 1-14, 20, 23 & US 2017/0018587 A1, 段落[0089]-[0204], [0247]-[0253], [0260], 図 1-14, 20, 23 & US 2018/0175086 A1	1-5, 8, 11, 18, 21-28 6-7, 9-10, 12-17, 19-20
A	WO 2017/098725 A1 (パナソニックＩＰマネジメント株式会社) 2017.06.15, 全文 (ファミリーなし)	1-28

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２７．０９．２０１８	０９．１０．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　８３９１
橘　高志
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2017-103544 A (株式会社東芝) 2017.06.08, 全文 (ファミリーなし)	1-28