



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I545697 B

(45)公告日：中華民國 105 (2016) 年 08 月 11 日

(21)申請案號：103102093

(22)申請日：中華民國 103 (2014) 年 01 月 21 日

(51)Int. Cl. : **H01L21/8244(2006.01)****G11C7/18 (2006.01)****G11C16/24 (2006.01)**

(30)優先權：2013/03/15 美國

61/799,970

2013/08/02 美國

13/958,415

2014/01/14 世界智慧財產權組織

PCT/US14/11554

(71)申請人：超捷公司(美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：陳曉萬 TRAN, HIEU VAN (US)；李英 LY, ANH (US)；武順 VU, THUAN (US)；

阮雄國 NGUYEN, HUNG QUOC (US)；蒂瓦里 維平 TIWARI, VIPIN (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

CN 1870246A

US 2011/0121455A1

審查人員：湯欽全

申請專利範圍項數：21 項 圖式數：13 共 31 頁

(54)名稱

用於先進奈米快閃記憶體裝置之高速感測技術

HIGH SPEED SENSING FOR ADVANCED NANOMETER FLASH MEMORY DEVICE

(57)摘要

本案揭示用於先進奈米快閃記憶體裝置之改良感測電路及改良位元線佈局。

Improved sensing circuits and improved bit line layouts for advanced nanometer flash memory devices are disclosed.

指定代表圖：

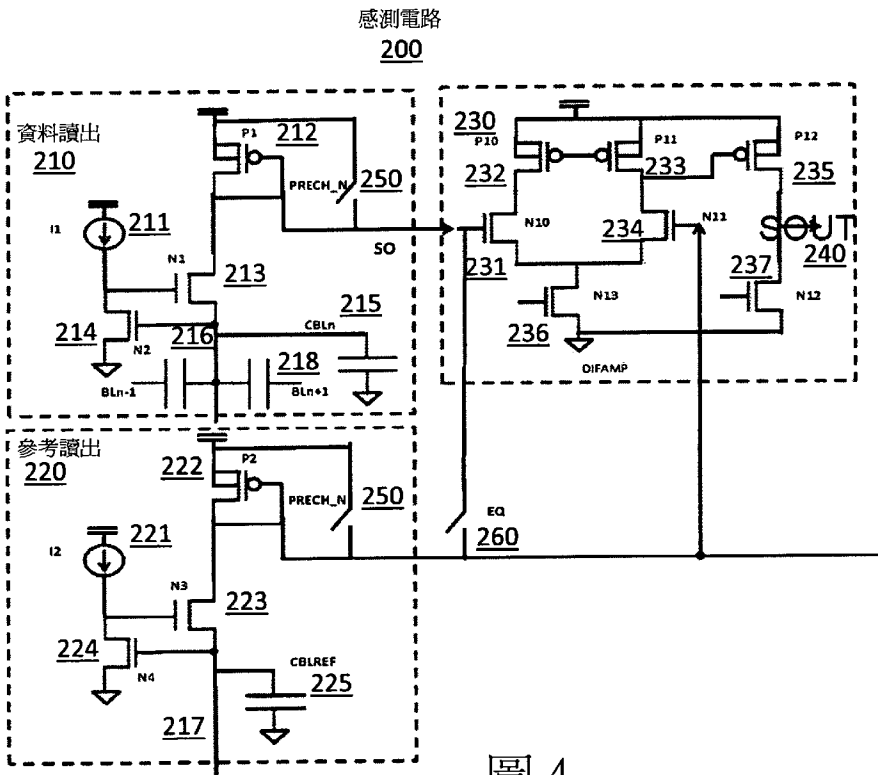


圖 4

符號簡單說明：

- 200 . . . 感測電路
- 210 . . . 記憶體資料讀取區塊/資料讀取區塊
- 211、221 . . . 電流源
- 212、222 . . . 二極體連接感測負載 PMOS 電晶體
- 213、223 . . . 串級感測 NMOS 電晶體
- 214 . . . 位元線嵌位 NMOS 電晶體
- 215、218、225 . . . 電容器
- 216、217 . . . 節點
- 220 . . . 記憶體參考讀取區塊/參考讀取區塊
- 224 . . . 參考位元線嵌位 NMOS 電晶體
- 230 . . . 差動放大器區塊
- 231、234 . . . 輸入差動 NMOS 電晶體對
- 232、233 . . . 電流鏡負載 PMOS 電晶體
- 235 . . . 輸出 PMOS 電晶體
- 236 . . . 電流偏置 NMOS 電晶體
- 237 . . . 輸出電流偏置 NMOS 電晶體
- 240 . . . 輸出
- 250 . . . 預充電開關
- 260 . . . 均衡開關

I545697

第103102093號專利申請案

發明專利摘要

修正日期：

年 月 日修正本
105年1月26日

發明摘要

公告本

雙面影印

※ 申請案號：103102093

※ 申請日：103.1.21

※IPC 分類：G11C 7/18 (2005.01)

16/24 (2005.01)

【發明名稱】(中文/英文)

用於先進奈米快閃記憶體裝置之高速感測技術

HIGH SPEED SENSING FOR ADVANCED NANOMETER FLASH
MEMORY DEVICE

【中文】

本案揭示用於先進奈米快閃記憶體裝置之改良感測電路及改良位元線佈局。

【英文】

Improved sensing circuits and improved bit line layouts for advanced nanometer flash memory devices are disclosed.

【代表圖】

【本案指定代表圖】：第（4）圖。

【本代表圖之符號簡單說明】：

200...感測電路	224...參考位元線嵌位 NMOS 電晶體
210...記憶體資料讀取區塊/資料讀取 區塊	230...差動放大器區塊
211、221...電流源	231、234...輸入差動 NMOS 電晶體 對
212、222...二極體連接感測負載 PMOS 電晶體	232、233...電流鏡負載 PMOS 電晶體
213、223...串級感測 NMOS 電晶體	235...輸出 PMOS 電晶體
214...位元線嵌位 NMOS 電晶體	236...電流偏置 NMOS 電晶體
215、218、225...電容器	237...輸出電流偏置 NMOS 電晶體
216、217...節點	240...輸出
220...記憶體參考讀取區塊/參考讀取 區塊	250...預充電開關
	260...均衡開關

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於先進奈米快閃記憶體裝置之高速感測技術

HIGH SPEED SENSING FOR ADVANCED

NANOMETER FLASH MEMORY DEVICE

【技術領域】

優先權主張

[0001]本申請案根據35 U.S.C.第119項及第120項主張於2013年3月15日申請之美國臨時專利申請案第61/799,970號之優先權，該臨時專利申請案係以引用方式併入本文中。

發明領域

[0002]本案揭示用於先進奈米快閃記憶體裝置之改良感測電路及改良位元線佈局。

【先前技術】

發明背景

[0003]使用浮閘來將電荷儲存於其上之快閃記憶體單元及形成於半導體基板中之此類非依電性記憶體單元的記憶體陣列在此項技術中係熟知的。通常，此類浮閘記憶體單元已具有分裂閘型或堆疊閘型。

[0004]快閃記憶體裝置通常包括常常包含於半導體內之同一金屬層內的平行位元線，該等位元線在讀取操作及寫入操作期間用來選擇適當的記憶體單元。

[0005]圖1描繪典型先前技術組態。位元線10、20及30大致平行且彼此相對緊密接近。位元線10、20及30通常被

製造成半導體晶粒內之同一金屬層的一部分。位元線10、20及30經由連接器40連接至其他電路組件。

[0006]圖2以俯視圖方式描繪相同的先前技術組態。此外，位元線10、20及30大致上彼此平行。該等位元線之接近性及長度產生寄生電容，其可被模型化為電容器15及電容器25。

[0007]隨著快閃記憶體設計變得更小及更密集，相鄰位元線之間的寄生電容將變得更易引起問題。

[0008]需要的是補償位元線之間的寄生電容的改良電路設計。

[0009]需要的是一種改良佈局設計，其用以減少先進奈米快閃記憶體裝置中的寄生電容量。

【發明內容】

發明概要

[0010]上述問題及需要係經由補償相鄰位元線之間的寄生電容的改良電路設計來解決。此外，改良佈局技術減小寄生電容。

【圖式簡單說明】

[0011]圖1描繪先前技術位元線佈局之高架側視圖(elevated side view)。

[0012]圖2描繪圖1之先前技術位元線佈局的俯視圖。

[0013]圖3描繪先前技術感測電路。

[0014]圖4描繪感測電路實施例。

[0015]圖5描繪另一感測電路實施例。

[0016]圖6描繪另一感測電路實施例。

[0017]圖7描繪位元線佈局之實施例的高架側視圖。

[0018]圖8描繪圖7之實施例的俯視圖。

[0019]圖9描繪位元線佈局之實施例的高架側視圖。

[0020]圖10描繪圖9之實施例的俯視圖。

[0021]圖11描繪感測方塊圖。

[0022]圖12描繪用於追蹤感測信號控制之時序圖。

[0023]圖13描繪展示基於沿位元線之位置的字線偏壓及位元線偏壓之變化的圖。

【實施方式】

較佳實施例之詳細說明

[0024]圖3描繪先前技術感測電路100。如圖3中可見，先前技術設計未對寄生電容模型化或以其他方式將其納入考慮。感測電路100包含記憶體資料讀取區塊110、記憶體參考讀取區塊120及差動放大器區塊130。資料讀取區塊110包含電流源111、串級感測NMOS電晶體113、位元線嵌位NMOS電晶體114、二極體連接感測負載PMOS電晶體112以及電容器115。

[0025]記憶體參考讀取區塊120包含電流源121、參考位元線嵌位NMOS電晶體124、串級感測NMOS電晶體123以及二極體連接感測負載PMOS電晶體122及電容器125。

[0026]差動放大器區塊130包含輸入差動NMOS電晶體對131及134、電流鏡負載PMOS電晶體132及133、輸出PMOS電晶體135、電流偏置NMOS電晶體136、輸出電流偏

置NMOS電晶體137以及輸出140。

[0027]節點116耦合至將要讀取的所選記憶體單元(未圖示)，且節點117耦合至將要用來判定所選記憶體單元之值的參考記憶體單元(未圖示)。

[0028]差動放大器區塊130係用來比較自資料讀取區塊110及參考讀取區塊120接收之信號以生成輸出140，該輸出指示所選記憶體單元中儲存的資料之值。如圖3中所示出，此等組件彼此連接。

[0029]圖4描繪改良感測電路200。感測電路200包含記憶體資料讀取區塊210、記憶體參考讀取區塊220及差動放大器區塊230。資料讀取區塊210包含電流源211、串級感測NMOS電晶體213、位元線嵌位NMOS電晶體214、二極體連接感測負載PMOS電晶體212以及電容器215。

[0030]記憶體參考讀取區塊220包含電流源221、參考位元線嵌位NMOS電晶體224、串級感測NMOS電晶體223以及二極體連接感測負載PMOS電晶體222及電容器225。

[0031]差動放大器區塊230包含輸入差動NMOS電晶體對231及234、電流鏡負載PMOS電晶體232及233、輸出PMOS電晶體235、電流偏置NMOS電晶體236、輸出電流偏置NMOS電晶體237以及輸出240。

[0032]節點216耦合至將要讀取的所選記憶體單元(未圖示)，且節點217耦合至將要用來判定所選記憶體單元之值的參考記憶體單元(未圖示)。

[0033]節點216為所選位元線且耦合至電容器217及電

容器218，每一電容器表示來自相鄰位元線之寄生電容，其經驅動來補償電容器215，預充電開關250及均衡開關260選擇性地接通。該等相鄰位元線可驅動至電壓VB，該電壓小於或等於所選位元線獲驅動之電壓。如此進行將減低藉由電容器217及電容器218表示之寄生電容的效應。

[0034]差動放大器區塊230係用來比較自資料讀取區塊210及參考讀取區塊220接收之信號以生成輸出240，該輸出指示所選記憶體單元中儲存的資料之值。如圖4中所示出，此等組件彼此連接。

[0035]圖5描繪另一改良感測電路300。感測電路300包含PMOS電晶體301、串級NMOS電晶體302、輸出PMOS電晶體308、電流偏置NMOS電晶體307及輸出310。節點304耦合至將要讀取的所選記憶體單元(未圖示)。電晶體301之閘接收預充電節點電壓309，在此實施例中，該電壓可為1.2 V或接地電壓。電晶體307、308構成用於該輸出之單端放大器。如圖5中所示出，此等組件彼此連接。

[0036]經感測之節點(電晶體308之閘)藉由為接地電壓之預充電節點電壓309、經由電晶體301預充電至一偏壓位準。接著，該預充電節點電壓309達到一電壓位準來釋放(微弱偏置或斷開)電晶體301。取決於耦合至節點304之記憶體單元的狀態，若存在電流(例如，美國專利第8,072,815號中所述之分裂閘單元的抹除狀態，該美國專利係以引用方式併入本文且以附錄A附上)，經感測之節點即下降，從而接通電晶體308來使輸出310升高。若不存在電流(例如，美國

專利第8,072,815號中所述之分裂閘單元的規劃狀態)，經感測之節點即保持於高位準處，從而斷開電晶體308來使輸出310降低。此方案稱為無參考感測。

[0037]PMOS電晶體301之311本體(bulk)(nwell)基板端子以及PMOS電晶體308之312本體(nwell)端子經進一步前向偏置($V_{\text{電源電壓}} - \text{體電壓} = \text{小的正值}$ ，例如0.4v，小於約0.6v之 $V_{\text{p/n}}$ 前向結)，以增強閾值電壓(降低)及高 I_{dsat} 來達成較低電壓餘量(headroom)及較高速度。此本體技術可適用於其他圖。

[0038]節點304耦合至電容器305及電容器306，每一電容器表示來自相鄰位元線之寄生電容，其經驅動來補償連接至節點304之電容器303。

[0039]圖6描繪另一改良感測電路400。感測電路400包含PMOS電晶體401、串級NMOS電晶體403、輸出PMOS電晶體409、電流偏置NMOS電晶體410及輸出420。節點405耦合至將要讀取的所選記憶體單元(未示出)，且節點412耦合至參考記憶體單元(未圖示)。

[0040]電晶體401之閘接收預充電節點電壓421，在此實施例中，該電壓可為1.2 V或接地電壓。電晶體409、410構成用於該輸出之單端放大器。如圖6中所示出，此等組件彼此連接。

[0041]PMOS電晶體401之422本體(nwell)基板端子以及PMOS電晶體409之423本體(nwell)端子經進一步前向偏置($V_{\text{電源電壓}} - \text{體電壓} = \text{小的正值}$ ，例如0.4v，小於約0.6v之

V_{p/n}前向結)，以增強閾值電壓(降低)及高I_{dsat}來達成較低電壓餘量及較高速度。此本體技術可適用於其他圖。

[0042]節點405耦合至電容器406及電容器407，每一電容器表示來自相鄰位元線之寄生電容。節點412耦合至電容器413及電容器414，每一電容器表示來自相鄰位元線之寄生電容，其經驅動來補償電容器404及電容器411，且開關402及408選擇性地接通。

[0043]圖7描繪用於降低位元線之間的寄生電容的位元線改良佈局500。位元線510及530係形成於一金屬層中。然而，位元線520係形成於一不同金屬層中。因而，位元線510與520之間以及位元線520與530之間的距離將比位元線520如先前技術中形成在與位元線510及530相同的金屬層中之情況長。位元線520經由通孔560、金屬550及連接器540連接至其他電路組件。位元線510及530經由連接器540連接至其他電路組件。

[0044]圖8以俯視圖方式描繪圖7之佈局。在此視圖中，位元線510及520及530呈現為彼此相鄰。然而，如不同陰影所指示，位元線520及位元線510與530係形成於不同金屬層中。

[0045]圖9描繪用於降低位元線之電阻而不增加位元線之間的寄生電容的改良佈局700。此處，位元線510、520及530如先前技術組態係相鄰、平行地形成在同一金屬層中。額外結構550係置放於一不同金屬層中、於位元線510的一部分之上且經由連接器540連接至位元線510。類似地，額

外結構560係置放於一不同金屬層中、於位元線520的一部分上方且經由連接器540連接至位元線520，且額外結構570係置放於一不同金屬層中、於位元線530的一部分上方且經由連接器540連接至位元線530。每一額外結構550、560及570具有降低與其連接之位元線的電阻之效應，但由於每一額外結構之長度及置放而不會增加寄生電容。具體而言，額外結構550、560及570係置放成交錯格式，以使得該等結構間或該等結構與位元線510、520及530之間不產生顯著寄生電容。

[0046]圖10以俯視圖方式描繪圖9之佈局。位元線510及520及530彼此相鄰及平行。在此視圖中，額外結構550、560及570之交錯形式係明顯的。

[0047]圖11描繪快閃記憶體裝置900。快閃記憶體裝置900包含：記憶體單元陣列910，其中該等單元係藉由字線及位元線來存取；水平解碼器905；垂直解碼器920；讀取脈衝控制區塊915；讀取控制區塊930；感測放大器電路區塊925；以及IO區塊935。

[0048]讀取控制區塊930係用來產生追蹤WL位置、BL位置及IO寬度之讀取時序脈衝以及用來補償PVT。

[0049]圖12描繪時序圖950，其示出各種控制信號隨著時間推移之操作。信號951為T_SEN-CYC信號，信號952為T-ATD信號，信號953為T-PRECHa信號，信號954為T-EQ信號，信號955為T-SENSEa信號，信號956為T-DOLATCH信號，信號957為T-BL0,BL1信號，信號958為T-SO0,SO1信

號，信號959為T-SOUT信號。

[0050]信號953 (T-PRECHa)執行適應性預充電脈衝發射。該脈衝在WL0(沿字線之位置0)處較短且在WL-N(沿字線之位置N)處較長，且其在IO0(沿IO線之位置0)處較短且在IO-N(沿IO線之位置N)處較長。信號953 (T-PRECHa)追蹤WL延遲及BL延遲，例如其針對WL0/BL0之脈衝最短。

[0051]信號955 (T-SENSAa)執行適應性感測脈衝發射。該脈衝在IO0處較短且在IO-N處較長。該脈衝在WL0處較短且在WL-端較長。其追蹤WL延遲及BL延遲，例如其針對WL-N/BL-N之脈衝最長。

[0052]信號951(T-SEN-CYC)於感測循環已完成後執行自動電源切斷。

[0053]圖13描繪兩個圖。第一圖示出：位元線之一端處的WL偏壓高於另一端，且第二圖示出位元線之一端處的BL偏壓高於另一端。此表明降低位元線之電阻而不增加位元線之間的寄生電容之重要性，如先前參考圖9及圖10所論述。

[0054]本文中對本發明之提及不意欲限制任何請求項或請求項用語之範疇，而相反僅僅係提及可由申請專利範圍中一或多項所涵蓋之一或多個特徵。以上所述之材料、過程及眾多實例僅為示範性的，且不應視為限制申請專利範圍。應注意，如本文所使用，「在...之上」及「在...上」等詞皆內在地包括「直接在...上」(其間未佈置中間材料、元件或空間)及「間接在...上」(其間佈置有中間材料、元件

或空間)。同樣，「鄰近」一詞包括「直接鄰近」(其間未佈置中間材料、元件或空間)及「間接鄰近」(其間佈置有中間材料、元件或空間)。例如，「在基板之上」形成一元件可包括直接在該基板上形成該元件，其間無需中間材料/元件，以及間接在該基板上形成該元件，其間具有一或多個中間材料/元件。

【符號說明】

10、20、30、510~530...位元線	116、117、216、217、304、404、
15、25、115、125、215、218、	405、412...節點
225、303、305、306、406、	120、220...記憶體參考讀取區
407、411、413、414...電	塊/參考讀取區塊
容器	124...參考位元線嵌位 NMOS
40、540...連接器	電晶體
100...先前技術感測電路	130、230...差動放大器區塊
110、210...記憶體資料讀取區	131、134；231、234...輸入差
塊/資料讀取區塊	動 NMOS 電晶體對
111、121、211、221...電流源	132、133、232、233...電流鏡
112、122、212、222...二極體	負載 PMOS 電晶體
連接感測負載 PMOS 電晶	135、235、308、409...輸出
體	PMOS 電晶體
113、123、213、223...串級感	136、236、307、410...電流偏
測 NMOS 電晶體	置 NMOS 電晶體
114、214...位元線嵌位 NMOS	137、237...輸出電流偏置
電晶體	NMOS 電晶體

140、240、310...輸出	500、700...佈局
200、300、400、420...感測電 路	550...金屬
224...參考位元線嵌位 NMOS 電晶體	560...通孔
250...預充電開關	570...額外結構
260...均衡開關	900...記憶體裝置
301、401...PMOS 電晶體	905...水平解碼器
302、403...串級 NMOS 電晶體	910...記憶體單元
309、421...預充電節點電壓	915...讀取脈衝控制區塊
311、422...本體(bulk)(nwell)基 板端子	920...垂直解碼器
312、423...本體(nwell)端子	925...感測放大器電路塊
402、408...開關	930...讀取控制區塊
	935...IO 區塊
	950...時序圖
	951~959...信號

申請專利範圍

1. 一種快閃記憶體裝置，其包含：

組成多數列與多數行之快閃記憶體單元之一陣列；

一第一金屬層，其包含一組相鄰位元線，其中每一位元線係組配以存取在該陣列中之一行快閃記憶體單元；以及

一第二金屬層，其包含多個結構，其中該等多個結構中之每一結構係耦合至該組位元線中之一不同位元線。

2. 如請求項 1 之快閃記憶體裝置，其中該等多個結構中之每一結構係由該第一金屬層與該第二金屬層之間的一或多個連接器耦合至該組位元線中之一不同位元線。

3. 如請求項 2 之快閃記憶體裝置，其中該等多個結構中之每一結構短於該組位元線中之每一位元線。

4. 如請求項 3 之快閃記憶體裝置，其中該等多個結構係以一交錯形式佈置於該第二金屬層內。

5. 一種感測電路，其包含：

一記憶體資料讀取區塊，其耦合至一所選快閃記憶體單元且包含一位元線、來自一第一相鄰位元線之一第一寄生電容器以及來自一第二相鄰位元線之一第二寄生電容器；

一記憶體參考讀取區塊，其耦合至一參考記憶體單元；以及

生電容器；

一記憶體參考讀取區塊，其耦合至一參考記憶體單元；以及

一差動放大器區塊，其耦合至該記憶體資料讀取區塊及該記憶體參考讀取區塊以用於判定儲存於該所選快閃記憶體單元中的一值；

其中該記憶體資料讀取區塊及記憶體參考讀取區塊係耦合至一預充電電路，以便補償該第一寄生電容器及該第二寄生電容器。

6. 如請求項 5 之感測電路，其中該記憶體資料讀取區塊包含一電流源、一串級感測 NMOS 電晶體、一位元線嵌位 NMOS 電晶體、一二極體連接感測負載 PMOS 電晶體以及一電容器。
7. 如請求項 6 之感測電路，其中該記憶體參考讀取區塊包含一電流源、一參考位元線嵌位 NMOS 電晶體、一串級感測 NMOS 電晶體、一二極體連接感測負載 PMOS 電晶體以及一電容器。
8. 如請求項 7 之感測電路，其中該差動放大器區塊包含一輸入差動 NMOS 電晶體對、電流鏡負載 PMOS 電晶體、輸出 PMOS 電晶體、電流偏置 NMOS 電晶體以及一輸出電流偏置 NMOS 電晶體。
9. 一種感測電路，其包含：
 - 一位元線，其耦合至一所選快閃記憶體單元；
 - 一第一寄生電容器，其耦合至該位元線以及一第一

相鄰位元線；

一第二寄生電容器，其耦合至該位元線以及一第二相鄰位元線；

一預充電電路，其耦合至該位元線以用於將該位元線預充電至一偏置電壓；

一單端放大器，其包含一 PMOS 電晶體以及一 NMOS 電晶體，其中該 PMOS 電晶體之一閘係耦合至該位元線且該放大器之一輸出指示儲存於該所選快閃記憶體單元中之值。

10. 如請求項 9 之感測電路，其中該輸出係在未使用一參考記憶體單元之情況下產生。
11. 如請求項 9 之感測電路，其中該偏置電壓追蹤該等所選記憶體單元之位置。
12. 如請求項 9 之感測電路，其中該 PMOS 電晶體之一本體獲前向偏置。
13. 如請求項 9 之感測電路，其中該預充電電路包含一位元線電容器，該位元線電容器耦合至該位元線以用於儲存一預充電電壓。
14. 如請求項 10 之感測電路，其中該預充電電路包含一 PMOS 電晶體，該 PMOS 電晶體耦合至一電壓源及該位元線且藉由一預充電控制信號控制。
15. 如請求項 13 之感測電路，其中該預充電電壓追蹤該等所選記憶體單元的該位置。
16. 如請求項 14 之感測電路，其中該預充電控制信號追蹤

該等所選記憶體單元的該位置。

17. 一種感測電路，其包含：

一所選位元線，其耦合至一快閃記憶體單元；

一第一寄生電容器，其耦合至該所選位元線以及一第一相鄰位元線；

一第二寄生電容器，其耦合至該位元線以及一第二相鄰位元線；

一參考線，其耦合至一參考記憶體單元；

一第三寄生電容器，其耦合至該參考線以及一第三相鄰位元線；

一第四寄生電容器，其耦合至該參考線以及一第四相鄰位元線，

一差動放大器，其耦合至該所選位元線及該參考線，以便判定儲存於該所選快閃記憶體單元中的一值；

其中該所選位元線及該參考線係耦合至一預充電電路來補償該第一寄生電容器、該第二寄生電容器、該第三寄生電容器以及該第四寄生電容器。

18. 如請求項 17 之感測電路，其中該預充電電路包含一位元線電容器，其耦合至該所選位元線來儲存一預充電電壓；以及一參考線電容器，其耦合至該參考線來儲存一預充電電壓。

19. 如請求項 18 之感測電路，其中該預充電電路包含一 PMOS 電晶體，該 PMOS 電晶體耦合至一電壓源及該所選位元線且藉由一預充電控制信號控制。

20. 如請求項 19 之感測電路，其中該預充電控制信號追蹤該等所選記憶體單元的位置。
21. 如請求項 19 之感測電路，其中該 PMOS 電晶體之一本體獲前向偏置。