



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년08월27일

(11) 등록번호 10-2015135

(24) 등록일자 2019년08월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/115 (2017.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2012-0065414

(22) 출원일자 2012년06월19일

심사청구일자 2017년05월31일

(65) 공개번호 10-2013-0007436

(43) 공개일자 2013년01월18일

(30) 우선권주장

JP-P-2011-146114 2011년06월30일 일본(JP)

(56) 선행기술조사문헌

JP2007189087 A*

(뒷면에 계속)

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

오바 카즈히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

미즈구치 테츠야

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사

사내

(뒷면에 계속)

(74) 대리인

최달용

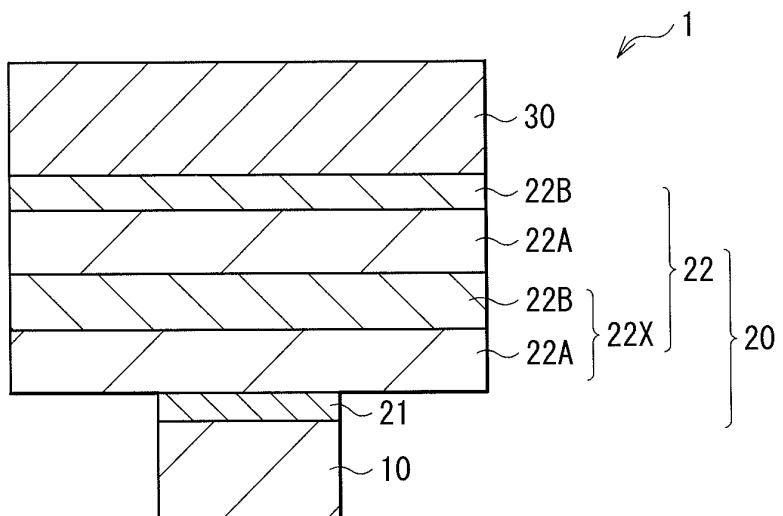
심사관 : 고연화

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 기억 소자 및 그 제조 방법 및 기억 장치

(57) 요 약

기억 소자는: 제 1 전극, 기억층 및 제 2 전극을 이 순서로 포함하며, 상기 기억층은, 산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층, 및 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2 층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층을 포함한다.

대 표 도 - 도1

(72) 발명자

야스다 슈이치로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

시무타 마사유키

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

아라타니 카츠히사

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사
내

(56) 선행기술조사문헌

KR1020100050452 A*

KR1020100089857 A*

JP2009049322 A

US20090039337 A1

US20080121862 A1

KR1020060085735 A

KR1020040100846 A

Rainer Waser, et al., Redox-based resistive
switching memories-nanoionic mechanisms,
prospects and challenges.

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제 1 전극, 기억층 및 제 2 전극을 이 순서로 포함하며,

상기 기억층은,

산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층,

텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층, 및

상기 이온원층과 상기 저항변화층과의 사이에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 중간층을 포함하는 것을 특징으로 하는 기억 소자.

청구항 2

제 1항에 있어서,

상기 단위 이온원층은 상기 제 1 전극측부터 제 1층, 제 2층의 순서로 적층되어 있는 것을 특징으로 하는 기억 소자.

청구항 3

제 1항에 있어서,

상기 단위 이온원층은 상기 제 1 전극측부터 제 2층, 제 1층의 순서로 적층되어 있는 것을 특징으로 하는 기억 소자.

청구항 4

제 1항에 있어서,

상기 제 1층 내에서의 상기 이동용이 원소의 농도는, 상기 제 2층과의 접합 계면에서의 농도가 상기 제 1층의 다른 영역의 농도보다도 상대적으로 낮은 것을 특징으로 하는 기억 소자.

청구항 5

제 1항에 있어서,

상기 이동용이 원소는, 양이온화 가능한 금속 원소인 것을 특징으로 하는 기억 소자.

청구항 6

제 1항에 있어서,

상기 이동용이 원소는, 알루미늄(Al) 또는 구리(Cu)인 것을 특징으로 하는 기억 소자.

청구항 7

제 1항에 있어서,

상기 이동곤란 원소는, 주기율표 4족 내지 6족에 속하는 금속 원소인 것을 특징으로 하는 기억 소자.

청구항 8

제 1항에 있어서,

상기 이동곤란 원소는, 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 또는 텅스텐(W)인 것을 특징으로 하는 기억 소자.

청구항 9

제 1항에 있어서,

상기 제 1 전극 및 상기 제 2 전극에의 전압 인가에 의해 상기 저항변화층 내에 금속 원소를 포함하는 저저항부가 형성됨에 의해 저항치가 변화하는 것을 특징으로 하는 기억 소자.

청구항 10

제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자; 및

상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 포함하고,

상기 기억층은,

산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층,

텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층, 및

상기 이온원층과 상기 저항변화층과의 사이에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 중간층을 포함하는 것을 특징으로 하는 기억 장치.

청구항 11

기판상에 제 1 전극을 형성하는 공정과;

상기 제 1 전극상에 산화물을 포함하는 저항변화층을 형성하는 공정과;

상기 저항변화층상에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층, 전해질중에서의 이동이 용이한 이동용이 원소를 적어도 1종 포함하는 이동층 및 전해질중에서 이동하기 어려운 이동곤란 원소를 적어도 1종 포함하는 고정층을 각각 1층 이상 적층하고, 적어도 일부가 칼코겐층, 이동층 및 칼코겐층의 순서로 적층된 단위 이온원층을 적어도 2층 적층된 이온원층을 형성하는 공정; 및

상기 이온원층상에 제 2 전극상을 형성하는 공정을 포함하는 것을 특징으로 하는 기억 소자의 제조 방법.

청구항 12

제 11항에 있어서,

상기 제 2 전극을 형성한 후의 이동용이 원소의 확산에 의해, 상기 칼코겐층과 이동 금속층과의 혼합층을 형성하는 것을 특징으로 하는 기억 소자의 제조 방법.

청구항 13

제 11항에 있어서,

상기 저항변화층을 형성한 후, 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 중간층을 형성하는 것을 특징으로 하는 기억 소자의 제조 방법.

청구항 14

제 11항에 있어서,

상기 이온원층의 상단이 이동층으로 종단하는 경우에는 상기 칼코겐층을 더 적층하는 것을 특징으로 하는 기억 소자의 제조 방법.

청구항 15

제 11항에 있어서,

상기 칼코겐층, 이동층 및 고정층 중, 적어도 상기 칼코겐층을 2층 이상 가짐과 함께, 적어도 일부가 상기 칼코겐층, 이동층, 칼코겐층의 순서로 적층되어 있는 것을 특징으로 하는 기억 소자의 제조 방법.

청구항 16

삭제

발명의 설명

기술 분야

[0001]

본 발명은, 이온원층 및 저항변화층을 포함하는 기억층의 전기적 특성의 변화에 의해 정보를 기억하는 기억 소자 및 그 제조 방법 및 기억 장치에 관한 것이다.

배경 기술

[0002]

데이터 기억용의 반도체 불휘발성 메모리로서 NOR형 또는 NAND형의 플래시 메모리가 일반적으로 사용되고 있다. 이들 반도체 불휘발성 메모리는 메모리 소자 및 구동 트랜지스터를 미세화함에 의해 대용량화가 도모되고 있는데, 기록 및 소거에 대전압이 필요하고, 플로팅 게이트에 주입된 전자의 수가 한정되기 때문에 미세화의 한계가 지적되고 있다.

[0003]

현재, ReRAM(Resistance Random Access Memory)이나 PRAM(Phase-Change Random Access Memory) 등의 저항변화형 메모리가, 미세화의 한계를 초과하는 것이 가능한 차세대 불휘발성 메모리로서 제안되어 있다(예를 들면, Waser 외, Advanced Materials, 21, p2932(2009), 일본 특개2006-196537호 공보 참조). 이들의 메모리는, 2개의 전극 사이에 저항변화층을 구비한 단순한 구조를 갖고 있다. 또한, 일본 특개2006-196537호 공보의 메모리에서는 저항변화층 대신에, 제 1 전극과 제 2 전극과의 사이에 이온원층 및 산화막(기억용 박막)을 구비하고 있다. 이들 저항변화형 메모리에서는, 원자 또는 이온이 열이나 전계에 의해 이동하여 전도 패스가 형성됨에 의해 저항치가 변화한다고 생각되고 있다.

[0004]

상기 저항변화형 메모리의 이온원층에는, 예를 들면 알루미늄(Al), 구리(Cu), 지르코늄(Zr) 또는 텔루르(Te) 등의 원소가 포함되어 있다. 이들 복수의 원소를 포함하는 이온원층의 형성 방법으로서는, 예를 들면, 코스퍼터법(co-sputtering)이나 합금 타겟을 이용하여 균일 조성의 혼합막을 형성하든지, 각 원소를 개별적으로 성막하고, 적층하는 방법이 있다. 적층 방법에 의한 성막에서는, 코스퍼터법 등을 이용할 수가 없는 성막 장치라도 양호한 동작 성능을 나타내는 이온원층을 성막할 수 있다는 이점이 있다.

발명의 내용

해결하려는 과제

[0005]

그러나, 적층에 의해 성막한 경우에는, 메모리 소자의 미세 가공 프로세스에서 막 들뜸이나 막 벗겨짐이 생긴다는 문제가 있다.

[0006]

본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은, 막 들뜸이나 막 벗겨짐의 발생을 억제하는 것이 가능한 기억 소자 및 그 제조 방법 및 기억 장치를 제공하는 것에 있다.

과제의 해결 수단

[0007]

본 개시의 실시의 형태에 따르면, 기억 소자가 개시되는데, 상기 기억 소자는: 제 1 전극; 기억층; 및 제 2 전극을 이 순서로 포함한다. 상기 기억층은, 산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층, 및 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층을 포함한다.

[0008]

본 개시의 실시의 형태에 따르면, 기억 장치가 개시되는데, 상기 기억 장치는: 제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자; 및 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를

인가하는 펠스 인가 수단을 포함한다. 상기 기억층은, 산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층, 및 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층을 포함한다.

[0009] 본 개시의 실시의 형태에 따르면, 기억 소자의 제조 방법이 제공된다. 상기 방법은: 기판상에 제 1 전극을 형성하는 공정과; 상기 제 1 전극상에 산화물을 포함하는 저항변화층을 형성하는 공정과; 상기 저항변화층상에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층, 전해질중에서의 이동이 용이한 이동용이 원소를 적어도 1종 포함하는 이동층 및 전해질중에서 이동하기 어려운 이동곤란 원소를 적어도 1종 포함하는 고정층을 각각 1층 이상 적층하고, 적어도 일부가 칼코겐층, 이동층 및 칼코겐층의 순서로 적층된 단위 이온원층을 적어도 2층 적층된 이온원층을 형성하는 공정; 및 상기 이온원층상에 제 2 전극상을 형성하는 공정을 포함한다.

[0010] 본 기술의 기억 소자(기억 장치)에서는, 초기 상태(고저항 상태)의 소자에 대해 「정방향」(예를 들면 제 1 전극측을 부전위, 제 2 전극측을 정전위)의 전압 또는 전류 펠스가 인가되면, 이온원층에 포함되는 금속 원소가 이온화하여 저항변화층 중에 확산하고, 제 1 전극에서 전자와 결합하여 석출하고, 또는 저항변화층 중에 머물러서 불순물 준위를 형성한다. 이에 의해 기억층 내에 금속 원소를 포함하는 저저항부(전도 패스)가 형성되고, 저항변화층의 저항이 낮아진다(기록 상태). 이 저저항 이름 상태의 소자에 대해 「부방향」(예를 들면 제 1 전극측을 정전위, 제 2 전극측을 부전위)으로 전압 펠스가 인가되면, 제 1 전극에 석출하여 있던 금속 원소가 이온화하여 이온원층 중에 용해한다. 이에 의해 금속 원소를 포함하는 전도 패스가 소멸하고, 저항변화층의 저항이 높은 상태가 된다(초기 상태 또는 소거 상태).

[0011] 여기서는, 이온원층은, 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 제 1 전극으로부터 제 2 전극을 향하여 이동용이 원소의 농도 분포를 갖는 제 1층과 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2 층을 단위 이온원층으로 하여, 이 단위 이온원층이 적어도 2층 적층된 구조를 가짐에 의해, 각 층 사이의 밀착성이 향상한다.

발명의 효과

[0012] 본 기술의 기억 소자 및 그 제조 방법 및 기억 장치에 의하면, 이온원층을, 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함함과 함께, 기억층 내의 이동이 용이한 이동용이 원소를 포함하는 제 1층과, 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2 층으로 이루어지는 단위 이온원층을 적어도 2층 적층시키도록 하였다. 또한, 제 1층이, 그 층 내에 제 1 전극으로부터 제 2 전극을 향하여 이동용이 원소의 농도 분포를 갖도록 하였기 때문에, 기억 소자를 구성하는 각 층 사이의 밀착성이 향상하고, 막 들뜸 및 막 벗겨짐의 발생이 억제된다. 즉, 수율이 향상함과 함께, 높은 신뢰성을 갖는 기억 장치를 제조하는 것이 가능해진다.

[0013] 상기 일반적인 설명과 하기의 상세한 설명은 예시적인 것이며, 특히 청구범위에서 청구되는 기술을 더 보완하기 위한 것이다.

[0014] 첨부된 도면은 본 발명의 이해를 돋기 위한 것으로, 본원 명세서의 일부를 구성한다. 본 도면은 발명의 상세한 설명과 함께 본 발명의 실시의 형태를 설명하며, 본 개시의 원리를 설명한다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 제 1의 실시의 형태에 관한 기억 소자의 한 구성을 도시하는 단면도.

도 2는 본 발명의 제 1의 실시의 형태에 관한 기억 소자의 다른 구성을 도시하는 단면도.

도 3은 본 발명의 기억 소자의 이온원층 내의 농도 분포를 설명하는 모식도.

도 4는 도 1의 기억 소자를 이용한 메모리 셀 어레이의 구성을 도시하는 단면도.

도 5는 도 4의 메모리 셀 어레이의 평면도.

도 6은 본 발명의 제 2의 실시의 형태에 관한 기억 소자의 한 구성을 도시하는 단면도.

도 7의 A 및 B는 실시예 1과 비교예 1에 관한 전류 전압 특성을 도시하는 도면.

도 8은 실시예 2에 관한 데이터 유지 특성을 도시하는 도면.

도 9의 A 및 B는 실시예 2에 관한 전류 전압 특성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명의 실시의 형태에 관해, 이하의 순서로 도면을 참조하면서 설명한다.

[0017] [제 1의 실시의 형태]

[0018] 1. 기억 소자(기억층이 저항변화층 및 이온원층으로 이루어지는 기억 소자)

[0019] 2. 기억 소자의 제조 방법

[0020] 3. 기억 장치

[0021] [제 2의 실시의 형태]

[0022] (기억층이 저항변화층, 중간층 및 이온원층으로 이루어지는 기억 소자)

[0023] [실시예]

[0024] [제 1의 실시의 형태]

[0025] (기억 소자)

[0026] 도 1 및 도 2는, 본 발명의 제 1의 실시의 형태에 관한 기억 소자(1)의 단면 구성도이다. 이 기억 소자(1)는, 하부 전극(10)(제 1 전극), 기억층(20) 및 상부 전극(30)(제 2 전극)을 이 순서로 갖는 것이다.

[0027] 하부 전극(10)은, 예를 들면, 후술하는 바와 같이(도 4) CMOS(Complementary Metal Oxide Semiconductor) 회로가 형성된 실리콘 기판(41) 상에 마련되고, CMOS 회로 부분과의 접속부로 되어 있다. 이 하부 전극(10)은, 반도체 프로세스에 사용되는 배선 재료, 예를 들면, 텅스텐(W), 질화 텅스텐(WN), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 탄탈(Ta) 및 실리사이드 등에 의해 구성되어 있다. 하부 전극(10)이 전계(電界)에서 이온 전도가 생길 가능성이 있는 재료(예를 들면, Cu 등)에 의해 구성되어 있는 경우에는, 하부 전극(10)의 표면을, W, WN, 질화 티탄(TiN), 질화 탄탈(TaN) 등의 이온 전도나 열 확산하기 어려운 재료로 꾀복하도록 하여도 좋다. 또한, 후술하는 이온원층(22)에 Al이 포함되어 있는 경우에는, Al보다도 이온화하기 어려운 재료, 예를 들면 크롬(Cr), W, 코발트(Co), Si, 금(Au), 팔라듐(Pd), Mo, 이리듐(Ir), 티탄(Ti) 등의 적어도 1종을 포함하는 금속막이나, 이들의 산화막 또는 질화막을 사용하는 것이 바람직하다.

[0028] 기억층(20)은 저항변화층(21) 및 이온원층(22)에 의해 구성되어 있다. 저항변화층(21)은 하부 전극(10)측에 있고, 여기서는 하부 전극(10)에 접하여 마련되어 있다. 이 저항변화층(21)은 전기 전도상의 배리어로서의 기능을 갖고 있다. 또한, 이 저항변화층(21)은, 하부 전극(10)과 상부 전극(30)과의 사이에 소정의 전압을 인가한 때에 그 저항치가 변화한다. 저항변화층(21)은, 후술하는 이온원층(22)과 접하여 있어도 안정한 절연체 또는 반도체라면 어느 물질이라도 사용할 수 있다. 구체적인 재료로서는, Gd(가돌리늄) 등의 희토류 원소, Al, Mg(마그네슘), Si(실리콘) 등을 적어도 1종 포함하는 산화물 또는 질화물을 들 수 있다.

[0029] 저항변화층(21)의 초기 저항치는 $1M\Omega$ 이상인 것이 바람직하고, 저저항 상태에서의 저항치는 수 $100k\Omega$ 이하인 것이 바람직하다. 미세화한 저항변화형 메모리의 저항 상태를 고속으로 판독하기 위해서는, 가능한 한 저저항 상태의 저항치를 낮게 하는 것이 바람직하다. 그러나, 예를 들면 20 내지 $50\mu A$, 2V의 조건으로 기록한 경우의 저항치는 40 내지 $100k\Omega$ 이기 때문에, 메모리의 초기 저항치는 이 값보다 높은 것이 전제가 된다. 또한 1자릿수의 저항 분리폭을 고려하면, 상기 저항치가 적당하다고 생각된다.

[0030] 이온원층(22)은, 저항변화층(21)으로 확산하는 가동(可動) 이온(양이온 및 음이온)으로 이루어지는 원소를 포함하는 층이다. 본 실시의 형태에서는, 이온원층(22)은, 제 1층(22A) 및 제 2층(22B)을 각 1층씩 적층한 적층 구조를 단위 이온원층(22X)으로 하고, 이것을 2층 이상 적층한 구성을 갖는다. 제 1층(22A)은, 저항변화층(21)으로 확산하기 쉬운, 환연하면 가동 이온이 되기 쉬운 원소를 포함하고 있다. 한편, 제 2층(22B)은, 제 1층(22A) 및 저항변화층(21)으로 확산하기 어려운, 환연하면 이온화하기 어려운 원소를 포함하는 것

이다.

[0031] 제 1층(22A)은, 음이온 성분으로서 텔루르(Te), 유황(S) 및 셀렌(Se) 등의 칼코겐 원소를 적어도 1종 이상 함축, 양이온 성분으로서, 전해질(여기서는 이온원층(22)) 중에서의 이동이 용이한 원소(이동용이 원소)를 적어도 1종 포함하는 층이다. 이 이동용이 원소란 칼코겐 원소와 섞이기 쉬운 원소, 구체적으로는 Al 또는 구리(Cu)를 들 수 있다. 이 밖에, 게르마늄(Ge)이나 아연(Zn), 은(Ag) 등을 포함하고 있어도 좋다. 칼코겐 원소 및 이동용이 원소는 제 1층(22A) 내에서 결합하고, 금속 칼코게나이드층을 형성하고 있다. 이 금속 칼코게나이드층은, 주로 비정질 구조를 가지며, 이온 공급원으로서의 역할을 다하는 것이다. 또한, 제 1층(22A)은, 층 내에 이동용이 원소의 농도 분포를 갖는데 그 상세에 관해서는 후술한다.

[0032] 제 2층(22B)은, 전해질(이온원층(22)) 중을 이동하기 어려운 원소(이동곤란 원소)를 적어도 1종 포함하는 층이다. 이 이동곤란 원소란 저항변화층(21) 및 이온원층(22)을 구성하는 원소, 특히 Te 등의 칼코겐 원소와 반응하기 어려운 원소이고, 예를 들면, 장주기율표에서 4족 내지 6족에 속하는 원소를 들 수 있다. 구체적으로는, Ti, 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), Ta, Cr, Mo 및 W를 들 수 있다. 이 밖에, 첨가 원소로서, Cu, Ag 및 Zn 등의 칼코겐 원소와 반응하는 원소를 사용하여도 좋고, 본 발명의 의도를 벗어나지 않는 범위에서, Si, Ge, 등을 사용하여도 좋다.

[0033] 제 1층(22A) 및 제 2층(22B)은, 상술한 바와 같이 단위 이온원층(22X)으로서 각각 1층씩 적층되어 있다. 이 단위 이온원층(22X)은 2층 이상 적층되어 이온원층(22)을 구성한다. 이온원층(22) 내에서의 제 1층(22A) 및 제 2층(22B)의 적층 순서는 교대로 적층되어 있고, 이온원층(22)은 주기적층(周期積層) 구조를 갖고 있다. 이 주기적층 구조의 적층 순서는 특히 묻지 않고, 도 1에 도시한 바와 같이, 저항변화층(21)측부터 제 1층(22A)부터 차례로 적층하여도 좋고, 도 2에 도시한 바와 같이, 제 2층(22B)부터 차례로 적층하여도 좋다. 또한, 제 1층(22A) 및 제 2층(22B)의 적층 구조는 2주기 이상 있으면 특히 묻지 않지만, 5주기 이상으로 함에 의해, 보다 층 사이의 밀착성이 향상하고, 막 벗겨짐의 발생이 저감된다.

[0034] 제 1층(22A)은 상술한 바와 같이, 그 층 내에 이동용이 원소의 농도 분포를 갖는다. 구체적으로는, 이동용이 원소의 농도는 제 2층(22B)과의 접합 계면에서 그 밖의 영역에서의 농도보다도 상대적으로 낮게 되어 있다. 환연하면, 두께 방향의 중간부분보다도 제 2층(22B)과 접하는 윗면 또는 하면의 계면 부분의 쪽이 낮고, 또는 이동용이 원소가 존재하지 않게 되어 있다. 제 1층(22A)에 포함되는 칼코겐 원소와 미반응의 금속 상태의 이동용이 원소란, 제 2층(22B)에 포함되는 금속 상태의 이동곤란 원소와의 밀착성이 낮다. 이 때문에, 제 1층(22A)과 제 2층(22B)과의 계면에 금속 상태의 이동용이 원소가 많이 포함되면 막 들뜸이나 막 벗겨짐이 생기기 쉬워진다. 이 때문에, 본 실시의 형태와 같이 금속 상태의 이동곤란 원소를 포함하는 제 2층(22B)과 접하는 제 1층(22A)의 계면에서의 이동용이 원소의 농도를 낮게 함으로써 층간에서의 막 들뜸이나 막 벗겨짐의 발생이 억제된다. 또한, 제 1층(22A)에서의 이동용이 원소의 농도 분포의 조정 방법은, 후술하는 이온원층(22)의 제조 공정에서 설명한다.

[0035] 또한, 제 1층(22A) 내에서의 이동용이 원소의 농도는, 이온원층(22)과 상부 전극(30)과의 접면에서도 제 2층(22B)의 계면과 마찬가지로 이동용이 원소의 농도가 낮든지, 또는 금속 상태의 이동 가능 원소가 존재하지 않는 것이 바람직하다. 이것은, 제 1층(22A)에 포함되는 Al 등의 이동용이 원소가 칼코겐 원소와 비교하여 상부 전극(30)을 구성하는 원소와 반응하기 어렵기 때문이다. 제 1층(22A) 중의 이동용이 원소가 상부 전극(30)과의 접면에 농축하면 불안정한 칼코겐 원소/이동용이 원소의 계면이 형성되게 되어, 상부 전극(30)의 막 들뜸이나 막 벗겨짐이 발생하다. 따라서, 상부 전극(30)과 접하는 제 1층(22A)도, 상기한 제 2층(22B)과 접하는 경우와 같이 제 1층(22A) 내의 이동용이 원소의 농도를 조정함으로써, 이온원층(22)과 상부 전극(30)과의 밀착성이 향상하고, 층간에서의 막 들뜸이나 막 벗겨짐의 발생이 억제된다.

[0036] 상부 전극(30)은, 하부 전극(10)과 마찬가지로 공지의 반도체 배선 재료를 사용할 수 있지만, 포스트 어닐을 경유하여도 이온원층(22)과 반응하지 않는 안정한 재료가 바람직하다.

[0037] 본 실시의 형태의 기억 소자(1)에서는, 도시하지 않은 전원 회로(펄스 인가 수단)로부터 하부 전극(10) 및 상부 전극(30)을 통하여 전압 펄스 또는 전류 펄스를 인가하면, 기억층(20)의 전기적 특성(저항치)이 변화하는 것이고, 이에 의해 정보의 기록, 소거, 또한 판독이 행하여진다. 이하, 그 동작을 구체적으로 설명한다.

[0038] 우선, 상부 전극(30)이 예를 들면 정전위, 하부 전극(10)측이 부전위가 되도록 하여 기억 소자(1)에 대해 정전압을 인가한다. 이에 의해, 이온원층(22)에 포함되는 금속 원소(이동용이 원소 및 천이금속 원소)가 이온화하여 저항변화층(21)으로 확산하고, 하부 전극(10)측에서 전자와 결합하여 석출한다. 그 결과, 하부 전극(10)과 기억

층(20)의 계면에 금속 상태로 환원된 저저항의 금속 원소의 전도 패스(필라멘트)가 형성된다. 또는, 이온화한 금속 원소는, 저항변화층(21) 중에 머물러서 불순물 준위를 형성한다. 이에 의해 저항변화층(21) 중에 필라멘트가 형성되어 기억층(20)의 저항치가 낮아지고, 초기 상태의 저항치(고저항 상태)보다도 낮은 저항치(저저항 상태)로 변화한다.

[0039] 그 후, 정전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저저항 상태가 유지된다. 이에 의해 정보가 기록되게 된다. 한 번만 기록이 가능한 기억 장치, 이른바, PROM(Programmable Read Only Memory)에 이용하는 경우에는, 상기한 기록 과정만으로 기록은 완결된다. 한편, 소거가 가능한 기억 장치, 즉, RAM(Random Access Memory) 또는 EEPROM(Electronically Erasable and Programmable Read Only Memory) 등에의 응용에는 소거 과정이 필요한데, 소거 과정에서는, 상부 전극(30)이 예를 들면 부전위, 하부 전극(10)측이 정전위가 되도록 기억 소자(1)에 대해 부전압을 인가한다. 이에 의해, 하부 전극(10)상에서 애노드 반응(산화)이 일어난다. 구체적으로는, 인접한 기억층(20) 내에 형성되어 있던 필라멘트를 형성하고 있는 금속 원소가 이온화하고, 이온원층(22)에 용해한다. 또는 산화하기 쉬운 이동용이 원소(예를 들면 Al 등)가 산화되어 하부 전극(10)상에 고저항의 산화물(예를 들면 Al₂O₃ 등)을 형성한다. 즉, 기억층(20)의 저항치가 높아진다.

[0040] 또한, 부전압을 제거하여 기억 소자(1)에 걸리는 전압을 없애도, 저항치가 높아진 상태에서 유지된다. 이에 의해 기록된 정보를 소거하는 것이 가능해진다. 이와 같은 과정을 반복함에 의해, 기억 소자(1)에 정보의 기록과 기록된 정보의 소거를 반복하여 행할 수 있다.

[0041] 예를 들면, 저항치가 높은 상태를 「0」의 정보에, 저항치가 낮은 상태를 "1"의 정보에, 각각 대응시키면, 정전압의 인가에 의한 정보의 기록 과정에서 "0"으로부터 "1"로 바꾸고, 부전압의 인가에 의한 정보의 소거 과정에서 "1"로부터 "0"으로 바꿀 수 있다. 또한, 여기서는 기억 소자를 저저항화하는 동작 및 고저항화하는 동작을 각각 기록 동작 및 소거 동작에 대응시켰지만, 그 대응 관계는 역으로 정의해도 좋다.

[0042] 다음에, 이온원층(22)에 포함되는 각 원소의 작용 및 바람직한 함유량에 관해 설명한다. 또한, 후술하는 각 원소의 함유량은, 제 1층(22A) 및 제 2층(22B)으로 이루어지는 주기적층 구조 전체를 합친 것이다.

[0043] 이온원층(22)의 전체 조성으로서는, 예를 들면, ZrTeAl, TiTeAl, CrTeAl, WTeAl 및 TaTeAl을 들 수 있다. 또한, ZrTeAl에 대해, Cu를 첨가한 CuZrTeAl, Ge를 첨가한 CuZrTeAlGe도 들 수 있다. 이 밖에 상기 첨가 원소를 가한 CuZrTeAlSiGe로 하여도 좋다.

[0044] 이온원층(22)은, 상술한 바와 같이 양이온화하는 이동용이 원소(예를 들면, Al, Cu 등) 및 이동곤란 원소(예를 들면, Zr, Ti 등)를 포함하고 있다. 이들 용이 이온화 원소는, 상기 저저항 동작에 의해 이동용이 원소 및 이동곤란 원소가 혼재한 필라멘트를 형성한다. 이들 필라멘트 중, 특히 Zr 등의 이동곤란 원소의 필라멘트는, 기록 상태의 데이터의 유지 특성의 향상에 기여한다. 구체적으로는, 예를 들면 Cu는 기록 동작에 의해 필라멘트를 형성하지만, 금속 상태의 Cu는 칼코겐 원소를 포함하는 이온원층(22) 중에 용해하기 쉽다. 이 때문에, 기록 전압 펄스가 인가되지 않은 상태(데이터 유지 상태)에서는 재차 이온화하여 버린다. 즉, 기억층(20)은 고저항 상태에 천이하여 버린다. 이 때문에, 충분한 데이터 유지 특성을 얻을 수가 없다. 이에 대해, Zr은 기록 동작시에 캐소드 전극상에서 환원됨에 의해 금속 필라멘트를 형성하고, 기록 상태(저저항 상태)가 된다. Zr의 필라멘트는, 칼코겐 원소를 포함하는 이온원층(22) 중에 비교적 용해하기 어렵기 때문에, 한 번 기록 상태, 즉 저저항 상태가 된 경우에는, Al, Cu 등의 필라멘트보다도 저저항 상태를 유지하기 쉽다. 이와 같이, 이온원층(22)에 Cu 등의 이동용이 원소와 적량의 Zr 등의 이동곤란 원소를 조합시킴에 의해, 이온원층(22)의 비정질화를 촉진함과 함께, 이온원층(22)의 미세 구조를 균일하게 유지하는 것이 가능해진다. 즉, 저항치의 유지 특성(데이터 유지 특성)이 향상된다.

[0045] 이온원층(22)에 Al이 포함되어 있는 경우에는, 소거 동작에 의해 상부 전극이 부의 전위로 바이어스되면, 상술한 바와 같이 고체 전해질적으로 행동하는 이온원층(22)과 애노드극과의 계면에서 안정한 산화막(Al₂O₃)을 형성한다. 이에 의해 고저항 상태(소거 상태)가 안정화된다. 더하여, 저항변화층의 자기(自己) 재생의 관점에서 반복 회수의 증가에도 기여한다. 또한, 저항변화층(21)과 이온원층(22)의 사이에 후술하는 칼코겐 원소를 많이 포함하는 중간층(43)(도 6 참조)을 마련한 경우에는, 상술한 소거 동작시의 애노드극과 하전극층(10)의 계면에, 보다 효율적으로 전압 바이어스를 인가할 수 있게 된다. 이 때문에, 애노드 반응이 효율화되고, 필라멘트가 용해되기 쉬워지고, 또한 Al 등의 이동용이 원소의 고저항의 산화막이 형성되기 쉬워진다. 또한, Al 외에 마찬가지 작용을 나타내는 Ge 등을 포함하여도 좋다.

[0046] 이와 같이, 이온원층(22)에 Zr, Cu, Al 및 Ge 등이 포함되어 있는 경우에는, 이들 원소를 포함하지 않은 기억

소자와 비교하여 광범위한 저항치 유지 성능, 기록·소거의 고속 동작 성능 및 저전류 동작이 향상함과 함께 반복 회수가 증가한다. 또한, 예를 들면 저저항으로부터 고저항으로 변화시킬 때의 소거 전압을 조정하여 고저항 상태와 저저항 상태와의 사이의 중간적인 상태를 만들어 내면, 그 상태를 안정하게 유지할 수 있다. 따라서, 2 치뿐만 아니라 다치의 메모리를 실현하는 것이 가능해진다. 또한, 고저항으로부터 저저항으로 변화시킬 때의 기록 전류를 변경하여 석출하는 원자의 양을 조정함에 의해서도 중간적인 상태를 만들어 내는 것이 가능하다.

[0047] 그런데, 이와 같은 전압을 인가하는 기록·소거 동작 특성과, 저항치의 유지 특성과, 반복 동작 회수라는 메모리 동작상의 중요한 여러 특성은, Al, Zr 및 Cu, 나아가서는 Ge의 첨가량에 의해 다르다.

[0048] 상술한 바와 같이, 예를 들면, Al의 함유량이 너무 많으면, 저항변화층 부근에서 Al 이온이 많이 존재함에 의해 기록 상태의 필라멘트에서의 Al 이온의 환원의 기여가 커진다. 환원된 금속 상태에 가까운 Al은 칼코게나이드의 고체 전해질 중에서 금속 상태에서의 안정성이 낮기 때문에, 저저항의 기록 상태의 유지 성능이 저하된다. 한편, Al량이 너무 적으면, 소거 동작시에 있어서의 고저항막(Al₁₀X)의 형성이 곤란해지기 때문에 소거 동작 그 자체나 고저항 영역의 유지 특성을 향상시키는 효과가 낮아지고, 반복 회수가 감소한다. 따라서, 이온원층(22) 중의 Al의 함유량은 27.7원자% 이상인 것이 바람직하고, 더욱 바람직하게는 47.4원자% 이하이다.

[0049] 또한, Zr은 그 함유량이 너무 많으면, 이온원층(22)의 저항치가 지나치게 내려가서 이온원층(22)에 유효한 전압을 인가할 수가 없는, 또는 기록 상태의 필라멘트에서의 Zr의 기여가 커지고, 기록 상태가 과도하게 안정화된다. 그 때문에, 특히 소거가 하기 어렵게 되고, Zr 첨가량에 응하여 소거의 임계치 전압이 상승하여 가고, 더욱 너무 많은 경우에는 기록, 즉 저저항화도 곤란하게 된다. 한편, Zr 첨가량이 너무 적으면, 전술한 바와 같은 광범위한 저항치의 유지 특성을 향상시키는 효과가 적어진다.

[0050] 또한, Cu는 적량을 이온원층(22)에 첨가함에 의해, 비정질화를 촉진하는 것이지만, 너무 많으면 금속 상태의 Cu는 칼코겐 원소를 포함하는 이온원층(22) 중에서의 안정성이 충분하지 않기 때문에 기록 유지 특성이 악화하거나, 기록 동작의 고속성에 악영향이 보여진다. 그 한편으로, Cu는 Zr과 조합시킴에 의해, 비정질을 형성하기 쉽고, 이온원층(22)의 미세 구조를 균일하게 유지한다는 효과를 갖는다. 이에 의해, 반복 동작에 의한 이온원층(22) 중의 재료 성분의 불균일화가 방지되고, 반복 회수가 증가함과 함께 유지 특성도 향상한다. 또한, 적당한 Zr 양을 함유하고 있는 경우에는, Cu의 필라멘트가 이온원층(22) 중에 재용해하였다고 하여도, 저항변화층(21) 내에는 금속 지르코늄(Zr)에 의한 필라멘트가 잔존하고 있다고 생각되기 때문에 저저항 상태는 유지된다. 따라서, 기록 유지 특성에의 영향은 보여지지 않는다.

[0051] 상술한 바와 같은 Zr과 Cu와의 효과를 얻기 위해서는, 이온원층(22) 중의 Zr 및 Cu의 합계 함유량이 23.5원자% 이상 37원자% 이하인 것이 바람직하다. 또한, 이온원층(22) 중의 Zr 단독의 함유량으로서는, 9원자% 이상인 것이 바람직하고, 더욱 바람직하게는 18.5원자% 이하이다.

[0052] 또한, Ge는 반드시 포함되어 있지 않아도 좋지만, Ge 함유량이 너무 많은 경우에는 기록 유지 특성이 열화되기 때문에 Ge의 함유량으로서는 15원자% 이하인 것이 바람직하다.

[0053] 또한, 기억 소자(1)의 특성은 실질적으로는 Zr과 Te(칼코겐 원소)의 조성비에 의존하고 있다. 그 때문에, Zr과 Te의 조성비는,

[0054] Zr 조성비(원자%)/Te 조성비(원자%)=0.3 내지 0.84

[0055] 의 범위에 있는 것이 바람직하다. 이에 관해서는 반드시 분명하지는 않지만, Zr에 비하여 Cu의 괴리도(乖離度)가 낮은 것, 이온원층(22)의 저항치가 Zr과 Te의 조성비에 의해 정해지기 때문에, 상기한 범위에 있는 경우에 한하여 알맞은 저항치가 얻어지기 때문에, 기억 소자(1)에 인가한 바이어스 전압이 저항변화층(21)의 부분에 유효하게 인가됨에 의한다고 생각된다. 또한, 칼코겐 원소의 단독으로의 함유량은 20.7원자% 이상 42.7원자% 이하인 것이 바람직하다.

[0056] 상기한 범위로부터 벗나가는 경우, 예를 들면, 당량비가 너무 큰 경우는, 양이온과 음이온의 균형이 취해지지 않아, 존재하는 금속 원소중, 이온화하지 않는 원소의 양이 증대한다. 그 때문에 소거 동작시에 기록 동작에서 생긴 필라멘트가 효율적으로 제거되기 어렵다고 생각된다. 마찬가지로, 당량비가 너무 작아서 음이온 원소가 과잉하게 존재하는 경우에는, 기록 동작에서 생긴 금속 상태의 필라멘트가 금속 상태로 존재하기 어렵게 되기 때문에, 기록 상태의 유지 성능이 저하된다고 생각된다.

[0057] 또한, 이온원층(22)에 포함되는 금속 원소로서는 상기 금속 원소로 한정되는 것이 아니고, 예를 들면 Al 외에 Mg를 사용한 ZrTeMg로 하여도 좋다. 이온화하는 금속 원소로서는, Zr 대신에, Ti나 Ta 등의 다른 천이금속 원소

를 선택한 경우에도 같은 첨가 원소를 사용하는 것은 가능하고, 예를 들면 TaTeAlGe 등으로 하는 것도 가능하다. 또한, 이온 도전 재료로서는, Te 이외에 유황(S)이나 셀렌(Se), 또는 요오드(I)를 사용하여도 좋고, 구체적으로는 ZrSAI, ZrSeAl, ZeIAI, CuGeTeAl 등을 사용하여도 좋다. 또한, 반드시 Al을 포함하고 있을 필요는 없고, CuGeTeZr 등을 사용하여도 좋다.

[0058] 또한, Si는 유지 특성의 향상을 기대할 수 있는 첨가 원소이고, 이온원층(22)에 Zr과 함께 첨가하는 것이 바람직하다. 단, Si 첨가량이 너무 적으면 Si 첨가에 의한 막 벗겨짐 방지 효과를 기대할 수가 없게 되는 것에 대해, 너무 많으면 양호한 메모리 동작 특성을 얻을 수가 없다. 이 때문에, 막 벗겨짐의 방지 효과 및 양호한 메모리 동작 특성을 얻기 위해서는, 이온원층(22) 중의 Si의 함유량은 10 내지 45원자% 정도의 범위 내인 것이 바람직하다.

[0059] 또한, 저항변화층(21)과 이온원층(22)의 사이에 칼코겐 원소를 많이 포함하는 중간층(43)을 형성하는 경우에는, 이온원층(22)에 칼코겐 원소(예를 들면 Te)와 상기한 이동용이 금속 원소(M)(예를 들면, Al, Cu)를 사용하여 Te/이온원층(이동용이 금속 원소를 포함한다)이라는 적층 구조로 하여 두면, 성막 후의 확산에 의해, MTe/이온원층(22)라는 구조에 안정화된다. 이에 의해, 중간층(43)과 하부 전극(20)과의 계면에 금속 상태의 이동용이 원소는 농축되지 않게 되기 때문에, 저항변화층(21)과 이온원층(22)과의 막 벗겨짐이나 막 들뜸이 방지된다.

[0060] 이하, 본 실시의 형태의 기억 소자(1)의 제조 방법에 관해 설명한다.

[0061] 우선, 선택 트랜지스터 등의 CMOS 회로가 형성된 기판상에, 예를 들면 TiN으로 이루어지는 하부 전극(10)을 형성한다. 그 후, 필요하면 역스퍼터 등으로, 하부 전극(10)의 표면상의 산화물 등을 제거한다. 계속해서, 스퍼터링 장치 내에서 하부 전극(10) 상에, 예를 들면 Al막을 성막한 후, 산소 분위기하, RF 플라즈마에 의해 Al을 산화하여, 저항변화층(21)을 형성한다.

[0062] 다음에, 저항변화층(21)상에, Te, S 및 Se 중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층(22a), 상술한 이동용이 원소를 적어도 1종 포함하는 이동층(22b) 및 상술한 이동곤란 원소를 적어도 1종 포함하는 고정층(22c)을 성막한다. 구체적으로는, 스퍼터링 장치 내에서, 대응하는 조성으로 이루어지는 각 타겟을 교환함에 의해 각 층을 연속해서 성막한다. 칼코겐층(22a)(A층), 이동층(22b)(B층) 및 고정층(22c)(C층)의 성막 순서로서는, 이동용이 원소를 많이 포함하는 이동층(22b)과 이동곤란 원소를 많이 포함하는 고정층(22c)이 직접 접하지 않는 적층 순서로 한다. 구체적으로는 B층 또는 C층을 A층 사이에 끼워 지지하도록 한다. 예를 들면, ABAC, BACA, CABA로 하고, 이것을 1유닛으로 하여 2유닛 이상, 바람직하게는 5유닛 이상 적층하는 것이 바람직하다. 이에 의해, 이온원층(22)은 주기적층 구조를 갖도록 된다. 또한, 적층수의 상한은 특히 없지만, 적층수가 너무 많아지면 이온원층(22)의 막두께가 두꺼워져서 막 벗겨짐이 생기기 쉬워진다. 또한, 기록 소거의 구동 전압이 상승한다. 또한, 성막시의 타겟 교환 회수가 증가하여 성막의 시간이 길어지고, 생산이 곤란해진다. 이 때문에, 적층수의 상한은 50유닛 이하로 하는 것이 바람직하다. 이와 같이, 이온원층(22)을 구성하는 원소를 개별적으로 적층함으로써, 코스퍼터를 행할 수가 없는 성막 장치라도 양호한 동작 특성을 갖는 이온원층(22)을 성막하는 것이 가능해진다. 또한, 합금 타겟을 준비할 필요가 없기 때문에, 성막의 생산 설비에 의한 제약이 적어지고, 결과적으로 비용을 억제하는 것이 가능해진다.

[0063] 또한, 상기 적층 순서 외에, 예를 들면 ACAB를 1유닛으로 한 경우에는, 이동용이 원소가 많이 포함되는 B층으로 이온원층(22)의 상단부가 종단(終端)한다. 이와 같은 경우에는, 상술한 바와 같이 상부 전극(30)과의 접면에 이동용이 원소가 농축하기 때문에, 결과적으로 A층의 칼코겐 원소/금속 상태의 이동용이 원소의 계면이 형성되고, 막 들뜸이나 막 벗겨짐이 생길 우려가 있다. 그 경우에는, 이 ACAB 유닛을 복수 적층한 후, 그 종단에 A층을 추가하는 것이 바람직하다. 이에 의해, 상부 전극(30)과 B층이 직접 접하지 않는, 즉 이온원층(22)/상부 전극(30)의 계면에 이동용이 원소가 농축하지 않기 때문에, 이온원층(20)과 상부 전극(30)과의 밀착성이 향상하고, 막 들뜸이나 막 벗겨짐의 발생이 억제된다.

[0064] 계속해서, 이온원층(22)상에, 스퍼터링에 의해 상부 전극(30)을 성막한다. 상부 전극(30)까지 성막한 후, 상부 전극(30)에 접속하는 배선층(도시 생략)을 형성하고, 모든 기억 소자(1)와 공통 전위를 얻기 위한 콘택트부를 접속한다. 그 후, 적층막에 포스트 어닐 처리를 시행한다.

[0065] 이 포스트 어닐 처리 또는 상온에서의 열 확산에 의해, 칼코겐층(22a)(A층), 이동층(22b)(B층) 및 고정층(22c)(C층)을 적층한 이온원층(21)은, B층을 구성하는 이동용이 원소가 A층 내에 확산한다. 이에 의해, 상기한 제 1층(22A) 중의 이동용이 원소의 농도 분포가 형성된다. 이와 같은 구조으로 함에 의해, 고정층(22c), 즉 제 2층(22B)을 끼워 지지하는 제 1층(22A)의 제 2층(22B)과의 계면에는 이동층(22b)에 포함되는 이동용이 원소가

농축되지 않고, 각 층 사이의 밀착성이 향상한다. 도 3은, ABAC의 순서로 적층한 적층막을 1유닛으로 하여 이것을 2회 반복한 이온원층(22)의 열 확산 전 및 열 확산 후에 있어서의 각 층을 모식적으로 도시한 것이다. 포스트 어닐 처리에 의해, B층을 구성하는 이동용이 원소는 A층 중에 확산하고, 이에 의해 제 1층(22A)이 된다. 또한, C층을 구성하는 이동곤란 원소는 거의 확산하지 않고, 이온원층(20) 내에서 독립한 층, 즉 제 2층(22B)을 형성한다. 이상에 의해 도 1에 도시한 기억 소자(1)가 완성된다.

[0066] 또한, 제 1층(22A) 내에서의 이동용이 원소의 농도 분포는, B층과 그 상하에 성막된 층(A층 또는 C층)에 의해 변화한다. 예를 들면, 도 3의 (A)에 도시한 바와 같이 B층을 A층으로 끼운 경우에는, 이동용이 원소가 하부 전극(10)측 및 상부 전극(30)측 양쪽의 A층에 확산하고, 도 3의 (B)에 도시한 바와 같이 제 1층(22A)의 중간부분부터 상하 방향으로 서서히 농도가 낮아진다.

[0067] 이 기억 소자(1)에서는, 상술한 바와 같이 상부 전극(30) 및 하부 전극(10)에 각각 정전위 또는 부전위가 되도록 전압을 인가함에 의해 하부 전극(10)과 저항변화층(21)의 계면에 필라멘트가 형성된다. 이에 의해 저항변화층(21)의 저항치가 낮아지고, 기록이 행하여진다. 다음에, 상부 전극(30) 및 하부 전극(10)의 각각에 기록시와는 역극성의 전압을 인가한다. 이에 의해 저항변화층(21) 내에 형성된 필라멘트의 금속 원소가 재차 이온화하여 이온원층(22)에 용해함에 의해 저항변화층(21)의 저항치가 상승하고, 소거가 행하여진다.

[0068] 본 실시의 형태의 기억 소자(1)의 제조 방법에서는, 이온원층(21)으로서, 칼코겐 원소를 포함하는 칼코겐층(22a), 이동용이 원소를 포함하는 이동층(22b) 및 이동곤란 원소를 포함하는 고정층(22c)을 각각 성막한다. 이에 의해, 본 실시의 형태의 기억 소자(1)에서는, 이온원층(21)은, 칼코겐 원소 및 이동용이 원소를 포함하고, 하부 전극(10)으로부터 상부 전극(30)을 향하여 이동용이 원소의 농도 구배를 갖는 제 1층(22A)과, 이동곤란 원소를 포함하는 제 2층(22B)을 교대로, 적어도 2층씩 적층한 주기적층 구조를 가짐에 의해, 기억 소자(1), 특히 기억층(20)을 구성하는 각 층 사이의 밀착성이 향상한다. 단, 양호한 기록·소거 동작 특성의 관점에서는 제 1층(22A)과 제 2층(22B)의 조합을 5주기 이상 적층하는 것이 바람직하다.

[0069] 이상과 같이 본 실시의 형태의 기억 소자(1)(및 그 제조 방법 및 기억 장치)에서는, 칼코겐 원소를 포함하는 칼코겐층(22a), 이동용이 원소를 포함하는 이동층(22b) 및 이동곤란 원소를 포함하는 고정층(22c)을 각각 2층 이상 성막함에 의해, 이온원층(20)이 각각 다른 조성을 갖는 제 1층(22A) 및 제 2층(22B)으로 이루어지는 단위 이온원층(22X)을 2층 이상 주기적으로 적층하도록 하였다. 이 제 1층(22A)은, 칼코겐 원소 및 이동용이 원소를 포함하고, 또한, 이동용이 원소가 제 1층(22A) 두께 방향의 상하의 층단(層端)보다도 중간부분에 많이 분포하는 농도 분포를 갖는다. 이에 의해, 기억 소자를 구성하는 각 층 사이의 밀착성이 향상하고, 막 들뜸 및 막 벗겨짐의 발생이 억제된다. 즉, 수율이 향상함과 함께, 높은 신뢰성을 갖는 기억 장치를 제조하는 것이 가능해진다.

[0070] 또한, 이온원층(22)을 구성하는 원소를 개별적으로 적층함으로써, 용이하게 양호한 동작 특성을 갖는 이온원층(22)을 성막하는 것이 가능해진다. 또한, 합금 타겟을 준비할 필요가 없기 때문에, 성막 장치의 제약이 적어지고, 결과로서 비용을 억제하는 것이 가능해진다.

[0071] (기억 장치)

[0072] 상기 기억 소자(1)를 다수, 예를 들면 열형상이나 매트릭스형상으로 배열함에 의해, 기억 장치(메모리)를 구성할 수 있다. 이 때, 각 기억 소자(1)에, 필요에 응하여, 소자 선택용의 MOS 트랜지스터, 또는 다이오드를 접속하여 메모리 셀을 구성하고, 또한, 배선을 통하여, 센스 앰프, 어드레스 디코더, 기록·소거·판독 회로 등에 접속하면 좋다.

[0073] 도 4 및 도 5는 다수의 기억 소자(1)를 매트릭스형상으로 배치한 기억 장치(메모리 셀 어레이)의 한 예를 도시한 것이고, 도 4는 단면 구조, 도 5는 평면 구성을 각각 도시하고 있다. 이 메모리 셀 어레이에서는, 각 기억 소자(1)에 대해, 그 하부 전극(10)측에 접속되는 배선과, 그 상부 전극(30)측에 접속되는 배선을 교차하도록 마련하고, 예를 들면 이들 배선의 교차점 부근에 각 기억 소자(1)가 배치되어 있다.

[0074] 각 기억 소자(1)는, 저항변화층(21), 이온원층(22) 및 상부 전극(30)의 각 층을 공유하고 있다. 즉, 저항변화층(21), 이온원층(22) 및 상부 전극(30) 각각은 각 기억 소자(1)에 공통의 층(동일층)에 의해 구성되어 있다. 상부 전극(30)은, 인접 셀에 대해 공통의 플레이트 전극(PL)으로 되어 있다.

[0075] 한편, 하부 전극(10)은, 메모리 셀마다 개별적으로 마련됨에 의해, 인접 셀 사이에서 전기적으로 분리되어 있고, 각 하부 전극(10)에 대응한 위치에 각 메모리 셀의 기억 소자(1)가 규정된다. 하부 전극(10)은 각각 대응하는 셀 선택용의 MOS 트랜지스터(Tr)에 접속되어 있고, 각 기억 소자(1)는 이 MOS 트랜지스터(Tr)의 상방에 마

련되어 있다.

[0076]

MOS 트랜지스터(Tr)는, 기판(41) 내의 소자 분리층(42)에 의해 분리된 영역에 형성된 소스/드레인 영역(43)과 게이트 전극(44)에 의해 구성되어 있다. 게이트 전극(44)의 벽면에는 사이드 월 절연층이 형성되어 있다. 게이트 전극(44)은, 기억 소자(1)의 한쪽의 어드레스 배선인 워드선(WL)을 겹하고 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 한쪽과, 기억 소자(1)의 하부 전극(10)이, 플러그층(45), 금속 배선층(46) 및 플러그층(47)을 통하여 전기적으로 접속되어 있다. MOS 트랜지스터(Tr)의 소스/드레인 영역(43)의 다른쪽은, 플러그층(45)을 통하여 금속 배선층(46)에 접속되어 있다. 금속 배선층(46)은, 기억 소자(1)의 다른쪽의 어드레스 배선인 비트선(BL)(도 5 참조)에 접속되어 있다. 또한, 도 5에서는, MOS 트랜지스터(Tr)의 액티브 영역(48)을 쇄선으로 나타내고 있고, 콘택트부(51)는 기억 소자(1)의 하부 전극(10), 콘택트부(52)는 비트선(BL)에 각각 접속되어 있다.

[0077]

이 메모리 셀 어레이에서는, 워드선(WL)에 의해 MOS 트랜지스터(Tr)의 게이트를 온 상태로 하여, 비트선(BL)에 전압을 인가하면, MOS 트랜지스터(Tr)의 소스/드레인을 통하여, 선택된 메모리 셀의 하부 전극(10)에 전압이 인가된다. 여기서, 하부 전극(10)에 인가된 전압의 극성이, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 부전위인 경우에는, 상술한 바와 같이 기억 소자(1)의 저항치가 저저항 상태로 천이한다. 이에 의해 선택된 메모리 셀에 정보가 기록된다. 다음에, 하부 전극(10)에, 상부 전극(30)(플레이트 전극(PL))의 전위에 비하여 정전위의 전압을 인가하면, 기억 소자(1)의 저항치가 재차 고저항 상태로 천이한다. 이에 의해 선택된 메모리 셀에 기록된 정보가 소거된다. 기록된 정보의 판독을 행하는데는, 예를 들면, MOS 트랜지스터(Tr)에 의해 메모리 셀을 선택하고, 그 셀에 대해 소정의 전압 또는 전류를 인가한다. 이 때의 기억 소자(1)의 저항 상태에 의해 다른 전류 또는 전압을, 비트선(BL) 또는 플레이트 전극(PL)의 앞(先)에 접속된 센스 앤프 등을 통하여 검출한다. 또한, 선택한 메모리 셀에 대해 인가하는 전압 또는 전류는, 기억 소자(1)의 저항치의 상태가 천이하는 전압 등의 임계치보다도 작게 한다.

[0078]

본 실시의 형태의 기억 장치에서는, 상술한 바와 같이 각종의 메모리 장치에 적용할 수 있다. 예를 들면, 한번만 기록이 가능한 PROM, 전기적으로 소거가 가능한 EEPROM, 또는, 고속으로 기록·소거·재생이 가능한, 이른바 RAM 등, 어느 메모리 형태라도 적용하는 것이 가능하다.

[0079]

[제 2의 실시의 형태]

[0080]

도 5는 본 발명의 제 2의 실시의 형태에 관한 기억 소자(2)의 단면 구성도이다. 상기 제 1의 실시의 형태와 동일 구성 부분에 관해서는 동일 부호를 붙이고 그 설명은 생략한다. 기억 소자(2)는, 하부 전극(10)(제 1 전극), 기억층(40) 및 상부 전극(30)(제 2 전극)을 이 순서로 갖고 있다. 본 실시의 형태에서의 기억 소자(2)에서는, 기억층(40)을 구성하는 저항변화층(21)과 이온원층(22)과의 사이에 중간층(43)이 마련되어 있는 점이 제 1의 실시의 형태와 다르다.

[0081]

중간층(43)은, 저항변화층(21)보다도 저항률이 낮고, Te, S 및 Se 등의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐 원소를 많이 포함하고, 이것에 Al 등의 이동용이 원소를 포함하는 화합물을 구성되어 있다. 이와 같은 화합물로서는, 예를 들면 AlTe, MgTe 또는 ZnTe 등이 들 수 있다. 이 Te를 함유하는 화합물의 조성은, 예를 들면 AlTe에서는 Al의 함유량은 20원자% 이상 60원자% 이하인 것이 바람직하다. 또한, 음이온 성분으로서는, Te 외에 유황(S) 또는 셀렌(Se) 등의 칼코겐 원소를 포함하고 있어도 좋다. 또한, AlTe에 의해 구성한 때의 중간층(43)의 밴드 갭은 2.5eV이고, 예를 들면 Al₁₀X로 이루어지는 저항변화층(21)의 밴드 갭은 8eV 내지 9eV이다. 본 실시의 형태의 중간층(43)은 이온원층(22)보다도 저항이 높은 전해질층을 이온원층(22)과 저항변화층(21)의 사이에 삽입함에 의해 소거시의 전압 바이어스를 애노드극(하부 전극(10)) 계면(저항변화층(21))에 효율적으로 인가하여 소거성능을 향상시키기 위한 것이다.

[0082]

중간층(43)은, 칼코겐 원소만으로 형성된 경우라도, 인접하는 이온원층(22)으로부터 이동용이 원소인 Al이 확산하여 칼코겐 화합물을 결과적으로 형성한다. 이 때문에 성막시에는 반드시 Al 등의 이동용이 원소를 함유하고 있지 않아도 좋다. 또한, 칼코겐 함유량에 대한 알루미늄 함유량의 비(알루미늄 농도)는, Al₂Te₃의 화학량론적 조성보다도 많아지면, Al이 금속 상태로 석출하고, 기억층(20) 내의 밀착 강도에 악영향을 주기 때문에, 40%보다도 적은 것이 바람직하다. MgTe 또는 ZnTe 등을 중간층에 사용하는 경우라도 마찬가지로, 각각, 화학량론적 조성의 MgTe, MgTe에서의 Mg 50%, Zn 50%보다도 Mg나 Zn의 함유량이 적은 것이 바람직하다.

[0083]

또한, 본 실시의 형태와 같이 기억층(20) 내에 칼코겐 원소를 많이 포함하는 중간층(43)을 마련하는 경우에는, Ti 등의 산화물을 미리 하부 전극(10)상에 형성하여도 좋다. 이온원층(22)에 포함되는 이동용이 원소(특히 Al,

Mg 또는 Zn 등)가 하부 전극(10)상에 이동하고, Ti0x 등의 비교적 저항이 낮은 산화막상에 고저항의 산화막을 형성한다. 이 Ti0x 등의 산화막은 Al0x 등의 저항변화층의 반복 채기록 동작에 의한 하부 전극(10)의 전극 열화를 방지하는 기능을 갖는다. 이 때문에, 하부 전극(10)의 성막 후, 저항변화층(21)의 성막 공정을 생략하고 직접 중간층(43)을 성막하도록 하여도 좋다.

[0084] 본 실시의 형태의 기억 소자(2)에서의 작용 및 효과는, 제 1의 실시의 형태의 기억 소자(1)의 작용 및 효과와 마찬가지이지만, 중간층(43)을 마련함에 의해 소거 동작시의 전압 바이어스를 하부 전극(10)상(저항변화층(2 1))에 효과적으로 인가할 수 있다. 이에 의해, 애노드 반응이 효율화되고, 필라멘트를 용해하기 쉽고, 또한 Al 등의 이동성이 원소에 의한 고저항의 산화막을 형성하기 쉬워진다. 즉, 양호한 반복 내구성을 유지한 채로, 특히 소거층의 안정성이 향상하고 유지 특성이 향상한다는 효과를 이룬다. 또한, 저 전류로의 소거 동작이 가능해지기 때문에 저전류로의 안정된 동작이 가능해진다고 생각된다.

[0085] 이하에 본 발명의 구체적인 실시예에 관해 설명한다. 상술한 실시의 형태의 기억 소자(1, 2)의 구성을 갖는 각종 샘플을 제작하고, 그 특성을 조사하였다.

[0086] (실험 1)

[0087] (샘플 1-1 내지 1-24)

[0088] 우선, 표면에 산화막이 형성된 실리콘 웨이퍼상에 하부 전극(10)으로서 TiN층을 50nm 성막한 후, 기억층(20, 40)에 상당하는 적층막을 형성하고, 샘플 1-1 내지 1-24를 작성하였다. 「하부 전극/저항변화층/(중간층)/이온 원층」에 상당하는 각 샘플의 조성 및 막두께는, 예를 들면 샘플 1에서는 「TiN/Al0x(2nm)/[Ti(1nm)/Al(1nm)/Cu(0.2nm)/Te(1nm)/Zr(0.35nm)]×15」로 하였다(여기서는 중간층은 없음). 계속해서, 실제의 소자 가공 프로세스와 마찬가지로 300°C의 열처리를 행한 후, 기록층의 가공에 의한 단차를 재현하기 위해, 표면에 다이어몬드 펜으로 십자형상의 긁힌 상처를 형성하였다. 이 긁힌 상처위에 점착 테이프를 붙이고, 이것을 벗김에 의해 기억층(20, 40)의 밀착성 시험을 행하였다. 표 1은, 샘플 1-1 내지 1-24의 저항변화층(21), 중간층(43) 및 이온 원층(22)에 상당하는 각 층의 조성 및 막두께와, 밀착성 시험의 결과를 표시한 것이다. 그리고, 밀착성 시험의 결과는, 막 벗겨짐이 생기지 않은 경우를 ○, 막 벗겨짐이 생긴 경우를 ×로서 나타내고 있다.

[0089]

[표 1]

	저항 변화층 (nm)	중간층 (nm)	이온원층 (nm)	막벗겨짐 시험
샘플 1-1	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Zr(0.35)] × 15	Good
샘플 1-2	AlOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Zr(0.35)/Al(1)] × 15	No Good
샘플 1-3	AlOx(2)	-	[Te(1)/Zr(0.35)/Cu(0.2)/Al(1)] × 15	No Good
샘플 1-4	AlOx(2)	-	[Al(1)/Te(1)/Zr(0.35)/Cu(0.2)] × 15	No Good
샘플 1-5	AlOx(2)	-	[Zr(0.35)/Te(1)/Al(1)/Cu(0.2)/Te(1)] × 15	Good
샘플 1-6	AlOx(2)	-	[Al(1)/Cu(0.2)/Te(1)/Zr(0.35)/Te(1)] × 15	Good
샘플 1-7	AlOx(2)	-	[Te(1)/Zr(0.35)/Te(1)/Al(1)/Cu(0.2)] × 15	No Good
샘플 1-8	AlOx(2)	-	[Te(1)/Zr(0.35)/Te(1)/Al(1)/Cu(0.2)] × 15/Te(1)	Good
샘플 1-9	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/GeTe(1)/Zr(0.35)] × 15	Good
샘플 1-10	AlOx(2)	-	[Te(1)/GeTe(1)/Al(1)/Cu(0.2)/Zr(0.35)] × 15	No Good
샘플 1-11	AlOx(2)	-	[Te(1)/Al(1)/Te(1)/CuZr(0.6)] × 15	Good
샘플 1-12	AlOx(2)	-	[Te(1)/CuZr(0.6)/Al(1)] × 15	No Good
샘플 1-13	GdOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Zr(0.35)] × 15	Good
샘플 1-14	GdOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Zr(0.35)/Al(1)] × 15	No Good
샘플 1-15	자연산화	Te(4)	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Zr(0.35)] × 15	Good
샘플 1-16	자연산화	Te(4)	[Te(1)/Cu(0.2)/Te(1)/Zr(0.35)/Al(1)] × 15	No Good
샘플 1-17	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Ti(0.35)] × 15	Good
샘플 1-18	AlOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Ti(0.35)/Al(1)] × 15	No Good
샘플 1-19	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Hf(0.35)] × 15	Good
샘플 1-20	AlOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Hf(0.35)/Al(1)] × 15	No Good
샘플 1-21	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Nb(0.35)] × 15	Good
샘플 1-22	AlOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Nb(0.35)/Al(1)] × 15	No Good
샘플 1-23	AlOx(2)	-	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Mo(0.35)] × 15	Good
샘플 1-24	AlOx(2)	-	[Te(1)/Cu(0.2)/Te(1)/Mo(0.35)/Al(1)] × 15	No Good

[0090]

(실험 2)

(샘플 2-1 내지 2-6)

다음에, 샘플 2-1 내지 2-6으로서, 샘플 1-1 내지 1-5와 같은 구성을 갖는, 도 4 및 도 5에 도시한 바와 같은 기억 장치를 형성하였다. 우선, 반도체 기판(11)에 MOS 트랜지스터(Tr)를 형성하였다. 뒤이어, 반도체 기판(11)의 표면을 덮도록 절연층을 형성하고, 이 절연층에 비어 홀을 형성하였다. 계속해서, CVD(Chemical Vapor Deposition)법에 의해 비어 홀의 내부를, TiN으로 이루어지는 전극재로 총전하고, 그 표면을 CMP(Chemical Mechanical Polishing)법에 의해 평탄화하였다. 그리고, 이를 공정을 반복함에 의해, 플러그층(15), 금속 배선층(16), 플러그층(17) 및 하부 전극(1)을 형성하고, 또한 하부 전극(1)을 메모리 셀마다 패터닝하였다.

다음에, TiN으로 이루어지는 하부 전극(10) 상에 스팍터링 장치를 이용하여 기록층(20) 및 상부 전극(30)을 형성하였다. 전극의 지름은 50 내지 300nm로 하였다. 계속해서, 상부 전극(30)의 표면에 대해 에칭을 행하여, 중간 전위(Vdd/2)를 주기 위한 외부 회로 접속용의 콘택트 부분에 접속되도록 두께 200nm의 배선층(Al층)을 형성하였다. 다음에, 포스트 어닐 처리로서 진공 열처리로에서, 2시간, 300°C의 가열 처리를 시행한 후, 미세화 가공 프로세스를 행하여 메모리 소자로 하였다. 표 2는, 이 미세 가공중의 막 벗겨짐의 발생의 유무를 광학 현미경에 의해 관찰한 결과를 표시한 것이다. 또한, 표 2 중의 ○은 4kbit 어레이 중에서 95% 이상의 소자에서 정상적인 기록 및 소거가 행하여지고, 또한 막 벗겨짐이 인정되지 않는 것이고, ×은 정상 동작 비트가 95% 이하이고, 어레이의 단부(端部)에 육안으로 막 벗겨짐의 흔적이 인정된 것이다.

[0095]

[표 2]

	전극 (nm)	저항 변화층 (nm)	이온원층 (nm)	전극 (nm)	막벗겨짐 시험
샘플 2-1	W	AlOx(2)	[Te(1)/Al(1)/Cu(0.2)/Te(1)/Zr(0.35)] × 15	W(50)	Good
샘플 2-2	W	AlOx(2)	[Te(1)/Cu(0.2)/Te(1)/Zr(0.35)/Al(1)] × 15	W(50)	No Good
샘플 2-3	W	AlOx(2)	[Te(1)/Zr(0.35)/Cu(0.2)/Al(1)] × 15	W(50)	No Good
샘플 2-4	W	AlOx(2)	[Al(1)/Te(1)/Zr(0.35)/Cu(0.2)] × 15	W(50)	No Good
샘플 2-5	W	AlOx(2)	[Zr(0.35)/Te(1)/Al(1)/Cu(0.2)/Te(1)] × 15	W(50)	Good
샘플 2-6	W	AlOx(2)	[Al(1)/Cu(0.2)/Te(1)/Zr(0.35)/Te(1)] × 15	W(50)	Good

[0096]

[0097] 또한, 도 6은 샘플 2-1에서의 전류 전압 특성을 도시한 것이다. 초기 상태는 $10M\Omega$ 정도의 고저항 상태이지만, 하부 전극(10)측을 마이너스로 바이어스함에 의해 저저항 상태가 된다. 다음에 하부 전극(10)측을 플러스로 바이어스함에 의해, 재차 고저항 상태로 되돌아온다. 이와 같이, 샘플 2-1와 같은 기억층(20)의 조성을 갖는 기억 소자는 양호한 기억 동작을 나타내는 것을 알 수 있다. 도 7은 샘플 2-1의 반복 동작 특성을 도시한 것이다. 저저항측을 기록 상태, 고저항측을 소거 상태라고 정의하고, 기록 펄스로서 기록 전압(V_w)을 3V, 기록시 전류를 약 $100\mu A$, 펄스 폭 10ns, 소거 펄스로서 소거 전압(V_e)을 2V, 소거 전류를 약 $110\mu A$, 펄스 폭 10ns로 하여, 100만회의 반복 재기록 동작을 행하였다. 도 8로부터 알 수 있는 바와 같이, 샘플 2-1에서는 양호한 반복 동작 특성이 얻어져 있다. 또한, 도 9는 막 벗겨짐이 생긴 샘플 2-5의 전류 전압 특성을 도시한 것이다. 이와 같이 막 벗겨짐이 생긴 기억 소자에서는 기억 동작이 불량하게 된다.

[0098]

(평가)

[0099]

표 1 및 표 2의 결과를 비교하면, 점착 테이프에 의한 막 벗겨짐 시험 및 미세 가공 프로세스에 의한 막 벗겨짐 시험의 결과는 일치하고 있고, 표 1의 결과로부터 미세 가공 프로세스에서의 기억층(20, 40)의 밀착성을 평가할 수 있다고 생각된다.

[0100]

샘플 1-1 내지 1-4의 이온원층(20)을 그 성막시에 있어서의 적층순(A층, B층, C층)으로 나타내면, 이하와 같이 된다.

[0101]

(샘플 1-1): ABBAC/...../ABBAC

[0102]

(샘플 1-2): ABABC/...../ABABC

[0103]

(샘플 1-3): ACBB/...../ACBB

[0104]

(샘플 1-4): BACB/...../BACB

[0105]

샘플 1-1은, 샘플 2-1과 함께, 막 벗겨짐이 생기고 있지 않다. 이것은, 제조시에, 전해질인 이온원층(22)을 구성하는 원소중, 칼코겐 원소와 반응하기 쉽고, 전해질중의 이동이 용이한, 즉 가동성이 높은 원소(여기서는 Al 및 Cu)로 이루어지는 층(상기 B층)을 칼코겐 원소(여기서는 Te)로 이루어지는 층(상기 A층)으로 끼워 넣도록 적층하였기 때문에라고 생각된다. 한편, 샘플 1-2 내지 1-4(및 샘플 2-2 내지 2-4)에서는 막 벗겨짐이 생기고 있다. 이것은 B층이 A층에 의해 끼여 있지 않고, A층은, 이온원층(22) 중을 이동하기 어려운, 즉 칼코겐 원소와 반응하기 어려운 가동성이 낮은 원소(여기서는 Zr)로 이루어지는 층(상기 C층)과 접하여 있기 때문에라고 생각된다.

[0106]

또한, 샘플 1-5 내지 1-7에 대해서도 상기와 마찬가지의 표기를 행하면 이하와 같이 된다.

[0107]

(샘플 1-5): C(ABBA/C)ABBA/...../CABBA

[0108]

(샘플 1-6): BBAC(A/BBA)CA/...../BBACCA

[0109]

(샘플 1-7): AC(ABB/A)CABB/...../ACABB

[0110]

샘플 1-5 내지 1-7은, 등근 팔호로 나타낸 바와 같이, 그 등근 팔호 내에서 샘플 1-1과 동일한 주기 구조를 갖는다. 그러나, 샘플 1-5, 1-6에서는 막 벗겨짐이 생기지 않았지만, 샘플 1-7에서는 막 벗겨짐이 생기고 있다.

단, 샘플 1-8에서는 샘플 1-7과 같은 적층 주기를 갖지만, 그 종단에 다시 A층을 적층함으로써 막 벗겨짐의 발생이 억제되어 있다. 이 차이는, 이온원층(30)의 상단면, 환연하면 적층 주기의 종단의 차이에 의한다고 생각된다. 즉, 막 벗겨짐을 억제하기 위해서는, 그 적층 주기를 가동성이 높은 원소로 이루어지는 B층으로 종단하지 않고, 칼코겐 원소로 이루어지는 A층 또는 가동성이 낮은 원소로 이루어지는 C층으로 종단하고, 그 상부에 상부 전극(30)을 형성하는 것이 바람직함을 알 수 있다.

[0111] 또한, 샘플 1-9, 1-10은 각각 칼코겐층에 Ge를 첨가한 것이고, 샘플 1-21, 1-22는 각각 고정층에 Cu를 첨가한 것이다. 표 1의 결과로부터, 칼코겐층(A층), 이동층(B층) 및 고정층(C층)에는, 본 기술의 효과를 잊어버리지 않는 범위라면 그 밖의 원소를 포함하고 있어도 좋음을 알 수 있다.

[0112] 또한, 이들 샘플 1-9, 1-10, 1-11, 1-12를 상기와 마찬가지의 표기를 행하면 이하와 같이 된다.

[0113] (샘플 1-9): ABBAC/...../ABBAC

[0114] (샘플 1-10): AABBC/...../AABBC

[0115] (샘플 1-11): ABAC/...../ABAC

[0116] (샘플 1-12): ACB/...../ACB

[0117] 이것으로부터, 이온원층(20)은, 하단을 제외하고, 그 층 내에 B층이 A층에 의해 끼인 적층 구조를 가지며, 이온원층(20)의 상단에 B층으로 종단하지 않도록 함으로써 막 벗겨짐이 억제되는 것을 알 수 있다.

[0118] 또한, 샘플 1-13, 1-14로부터 저항변화층(21)은 Al0x로 한하지 않고, Gd0x로 하여도 좋음을 알 수 있다. 이것으로부터, 상기 실시의 형태에서의 기억 소자(1, 2)는, 저항변화층의 재료에 구애받지 않고, 상기 실시의 형태에서 설명한 구성으로 함으로써 막 벗겨짐의 발생을 억제할 수 있다. 또한, 샘플 1-15, 1-16으로부터 저항변화층(21)과 이온원층(22)과의 사이에 Te로 이루어지는 중간층(43)을 마련한 경우에도, 이온원층(22)을 상기 실시의 형태에서 설명한 구성으로 함으로써 막 벗겨짐의 발생을 억제할 수 있다. 또한, 저항변화층(21)은, 하부 전극(10)상에 Al층을 성막하고, 이것을 산화함으로써 형성하여도 좋다. 또한, 하부 전극(10)을 TiN로 형성하고, 이하부 전극(10)을 자연 산화하여 전극 열화 방지층으로 이루어지는 Ti0x를 형성한 후 중간층(43)을 마련한 경우에는, 이온원층(22) 내의 Al 등의 이동용이 원소가 중간층(43)을 통하여 하부 전극(10)상에 확산하여 Al0x 등의 산화막이 자기 형성된다. 이와 같은 경우에도, 본 발명의 주기성 층구조를 갖는 이온원층(22)을 이용함으로써, 각 층 사이의 막 들뜸이나 막 벗겨짐의 방지 효과를 얻을 수 있다.

[0119] 또한, 샘플 1-17 내지 1-24로부터 고정층(C층)을 구성하는 가동성이 낮은 원소로서 Zr 이외에, Ti(1-17, 18), Hf(1-19, 20), Nb(1-21, 22), Mo(1-23, 24) 등을 사용하여도 상기 실시의 형태에서 설명한 구성을 취함에 의해 막 벗겨짐의 발생을 억제할 수 있음을 알 수 있다. 이것으로부터, 고정층, 즉 제 2층으로서는, 칼코겐 원소에 대한 반응성이 Zr에 가까운 원소, 환연하면 주기율표(장주기율표)의 4족 내지 6족에 속하는 원소라면 본 기술과 같은 효과를 얻을 수 있다고 생각된다.

[0120] 이상, 제 1, 제 2의 실시의 형태 및 실시 예를 들여 본 발명을 설명하였지만, 본 발명은, 상기 실시의 형태 등으로 한정되는 것이 아니고, 여러가지 변형하는 것이 가능하다.

[0121] 예를 들면, 상기 실시의 형태 등에서는, 기억 소자(1, 2) 및 메모리 셀 어레이의 구성을 구체적으로 들어서 설명하였지만, 모든 층을 구비할 필요는 없고, 또한, 다른 층을 더 구비하고 있어도 좋다.

[0122] 또한, 예를 들면, 상기 실시의 형태 등에서 설명한 각 층의 재료, 또는 성막 방법 및 성막 조건 등을 한정되는 것이 아니고, 다른 재료로 하여도 좋고, 또는 다른 성막 방법으로 하여도 좋다. 예를 들면, 이온원층(22)에는, 상기 조성비율을 무너뜨리지 않는 범위에서, 다른 천이금속 원소, 예를 들면 Ti, Hf, V, Nb, Ta, Cr, Mo, W를 첨가하여도 좋다. 또한, Cu, Ag 또는 아연 Zn 이 외에도, 니켈(Ni) 등을 첨가하여도 좋다.

[0123] 또한, 상기 실시의 형태 등에서는, 제 1층(22A) 및 제 2층(22B)이 교대로 적층된 주기적층 구조를 갖는 이온원층(22)의 제조 공정에서, 제 1층(22A)이 되는 A층 및 B층과, 제 2층이 되는 C층이 주기 구조를 갖도록 성막한다고 하였지만, 반드시 모든 적층 순서가 일정할 필요는 없다. 구체적으로는, 적어도 C층과 B층이 직접 접하는 일 없고, 또한 적층의 종단이 B층 이외라면 좋다.

[0124] 또한, 본 기술은 이하와 같은 구성도 취할 수 있다.

[0125] (1) 기억 소자는:

[0126] 제 1 전극, 기억층 및 제 2 전극을 이 순서로 가지며,

[0127] 상기 기억층은,

[0128] 산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층, 및

[0129] 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층을 포함한다.

[0130] (2) 상기 단위 이온원층은 상기 제 1 전극측부터 제 1층, 제 2층의 순서로 적층되어 있는 상기 (1)에 기재된 기억 소자.

[0131] (3) 상기 단위 이온원층은 상기 제 1 전극측부터 제 2층, 제 1층의 순서로 적층되어 있는 상기 (1)에 기재된 기억 소자.

[0132] (4) 상기 제 1층 내에서의 상기 이동용이 원소의 농도는 상기 제 2층과의 접합 계면에서의 농도가 상기 제 1층의 다른 영역의 농도보다도 상대적으로 낮은 상기 (1) 내지 (3)의 어느 하나에 기재된 기억 소자.

[0133] (5) 상기 이동용이 원소는 양이온화 가능한 금속 원소인 상기 (1) 내지 (4)의 어느 하나에 기재된 기억 소자.

[0134] (6) 상기 이동용이 원소는 알루미늄(Al) 또는 구리(Cu)인 상기 (1) 내지 (5)의 어느 하나에 기재된 기억 소자.

[0135] (7) 상기 이동곤란 원소는 주기율표 4족 내지 6족에 속하는 금속 원소인 상기 (1) 내지 (6)의 어느 하나에 기재된 기억 소자.

[0136] (8) 상기 이동곤란 원소는 티탄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오브(Nb), 탄탈(Ta), 크롬(Cr), 몰리브덴(Mo) 또는 텉스텐(W)인 상기 (1) 내지 (7)의 어느 하나에 기재된 기억 소자.

[0137] (9) 상기 제 1 전극 및 상기 제 2 전극에의 전압 인가에 의해 상기 저항변화층 내에 상기 금속 원소를 포함하는 저저항부가 형성됨에 의해 저항치가 변화하는 상기 (1) 내지 (8)의 어느 하나에 기재된 기억 소자.

[0138] (10) 상기 기억층은 상기 이온원층과 저항변화층과의 사이에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 중간층을 갖는 상기 (1) 내지 (9)의 어느 하나에 기재된 기억 소자.

[0139] (11) 기억 장치는:

[0140] 제 1 전극, 기억층 및 제 2 전극을 이 순서로 갖는 복수의 기억 소자; 및

[0141] 상기 복수의 기억 소자에 대해 선택적으로 전압 또는 전류의 펄스를 인가하는 펄스 인가 수단을 구비하고,

[0142] 상기 기억층은,

[0143] 산화물을 포함함과 함께, 상기 제 1 전극측에 마련된 저항변화층, 및

[0144] 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소 및 상기 기억층 내의 이동이 용이한 이동용이 원소를 포함하고, 상기 제 1 전극으로부터 제 2 전극을 향하여 상기 이동용이 원소의 농도 분포를 갖는 제 1층과, 상기 기억층 내를 이동하기 어려운 이동곤란 원소를 포함하는 제 2층으로 이루어지는 단위 이온원층이 적어도 2층 적층되고, 상기 제 2 전극측에 마련된 이온원층을 포함한다.

[0145] (12) 기판상에 제 1 전극을 형성하는 공정과;

[0146] 상기 제 1 전극상에 산화물을 포함하는 저항변화층을 형성하는 공정과;

[0147] 상기 저항변화층상에 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 칼코겐층, 전해질중에서의 이동이 용이한 이동용이 원소를 적어도 1종 포함하는 이동층 및 전해질중에서 이동하기 어려운 이동곤란 원소를 적어도 1종 포함하는 고정층을 각각 1층 이상 적층하고, 적어도 일부가 칼코겐층, 이동층 및 칼코겐층의 순서로 적층된 단위 이온원층을 적어도 2층 적층된 이온원층을 형성하는 공정; 및

[0148] 상기 이온원층상에 제 2 전극상을 형성하는 공정을 포함하는 기억 소자의 제조 방법.

[0149] (13) 상기 제 2 전극을 형성한 후의 이동용이 원소의 확산에 의해, 상기 칼코겐층과 이동 금속층과의 혼합층을 형성하는 상기 (12)에 기재된 기억 소자의 제조 방법.

[0150] (14) 상기 저항변화층을 형성한 후, 텔루르(Te), 유황(S) 및 셀렌(Se) 중의 적어도 1종의 칼코겐 원소를 포함하는 중간층을 형성하는 상기 (12) 또는 (13)에 기재된 기억 소자의 제조 방법.

[0151] (15) 상기 이온원층의 상단이 이동층으로 종단하는 경우에는 상기 칼코겐층을 또한 적층하는 상기 (12) 내지 (14)의 어느 하나에 기재된 기억 소자의 제조 방법.

[0152] (16) 상기 칼코겐층, 이동층 및 고정층 중, 적어도 상기 칼코겐층을 2층 이상 가짐과 함께, 적어도 일부가 상기 칼코겐층, 이동층, 칼코겐층의 순서로 적층되어 있는 상기 (12) 내지 (15)의 어느 하나에 기재된 기억 소자의 제조 방법.

[0153] 본 발명은 2011년 6월 30일자로 일본특허청에 특허출원된 일본특허원 제2011-146114호를 우선권으로 주장한다.

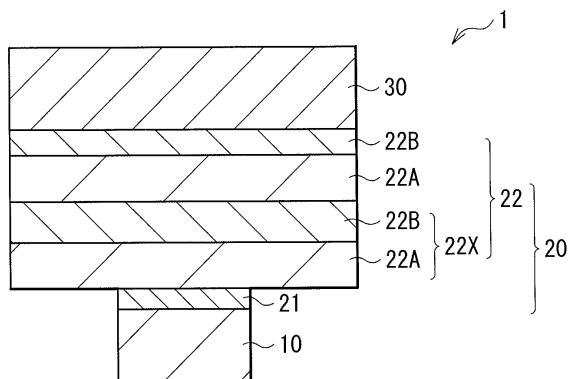
[0154] 당업자라면, 하기의 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 상기 실시의 형태에 대한 여러 가지 변형예, 조합예, 부분 조합예, 및 수정예를 실시할 수 있을 것이다.

부호의 설명

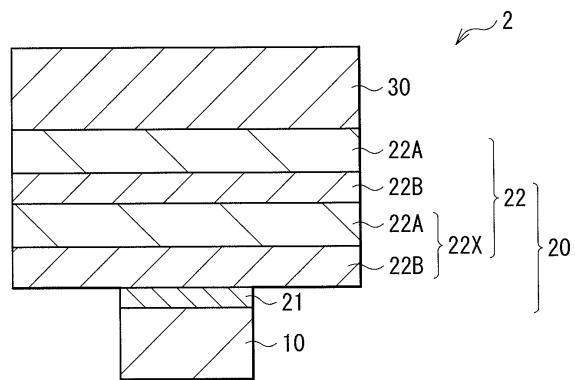
[0155] 1, 2 : 기억 소자	10 : 하부 전극
20, 40 : 기억층	21 : 저항변화층
22 : 이온원층	22A : 제 1층
22B : 제 2층	30 : 상부 전극
41 : 반도체 기판	43 : 소스/드레인 영역
44 : 케이트 전극	45, 47 : 플러그층
46 : 금속 배선층	48 : 액티브 영역
51, 52 : 콘택트부	

도면

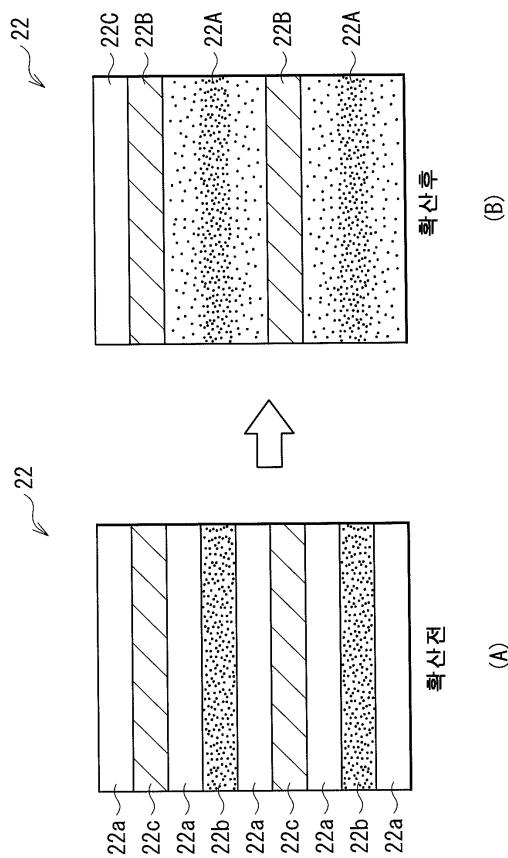
도면1



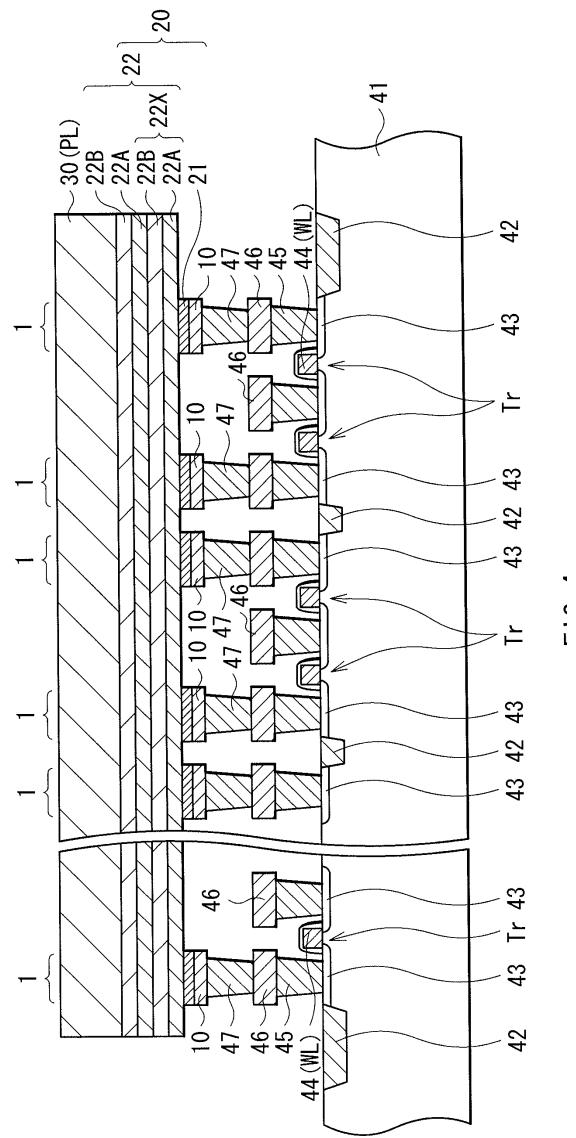
도면2



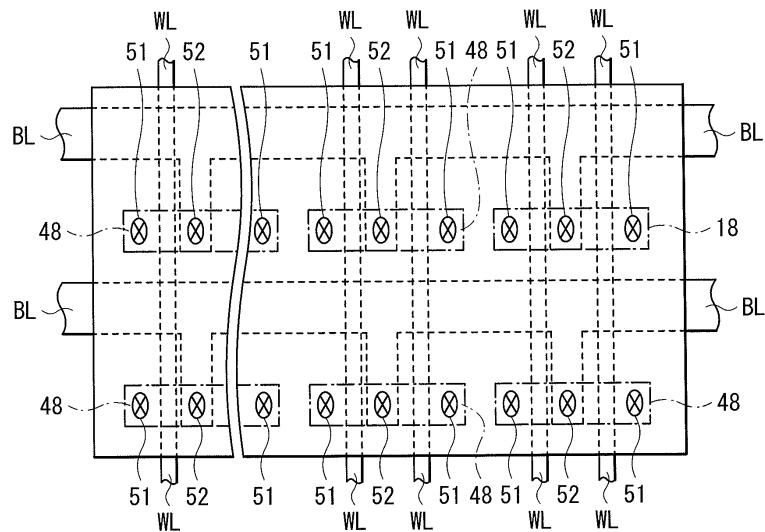
도면3



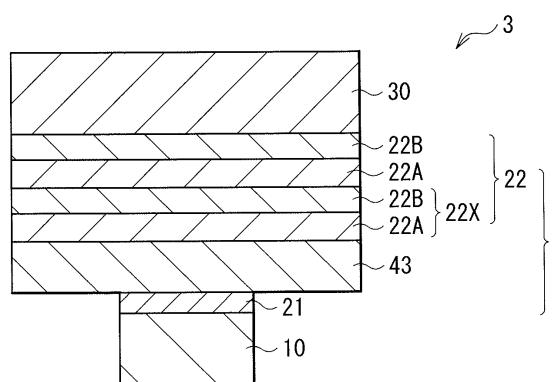
도면4



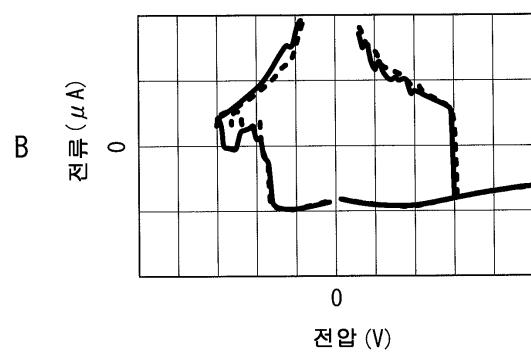
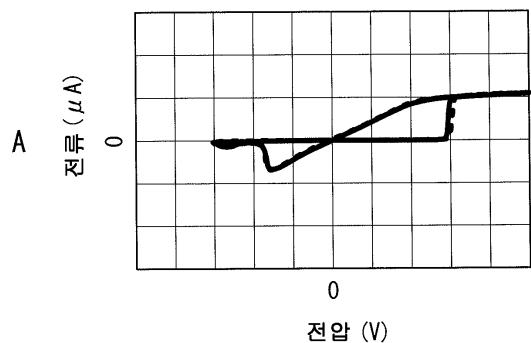
도면5



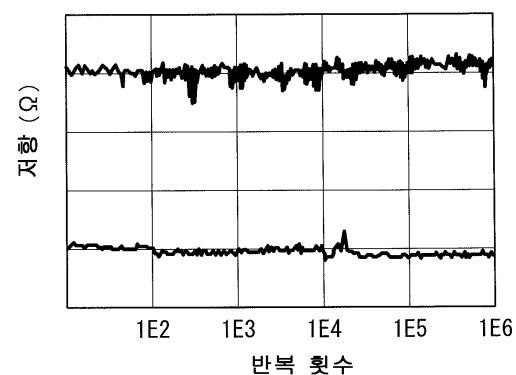
도면6



도면7



도면8



도면9

