



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0163977
(43) 공개일자 2022년12월12일

- (51) 국제특허분류(Int. Cl.)
H01L 27/11551 (2017.01) G06F 12/06 (2006.01)
G06F 7/544 (2017.01) G06N 3/063 (2006.01)
H01L 25/065 (2006.01) H01L 27/108 (2006.01)
H01L 27/11526 (2017.01) H01L 27/11548 (2017.01)
- (52) CPC특허분류
H01L 27/11551 (2013.01)
G06F 12/06 (2013.01)
- (21) 출원번호 10-2022-7036996
- (22) 출원일자(국제) 2021년03월22일
심사청구일자 없음
- (85) 번역문제출일자 2022년10월24일
- (86) 국제출원번호 PCT/IB2021/052351
- (87) 국제공개번호 WO 2021/198841
국제공개일자 2021년10월07일
- (30) 우선권주장
JP-P-2020-067168 2020년04월03일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
이토 미나토
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
코즈마 무네히로
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
오카모토 유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

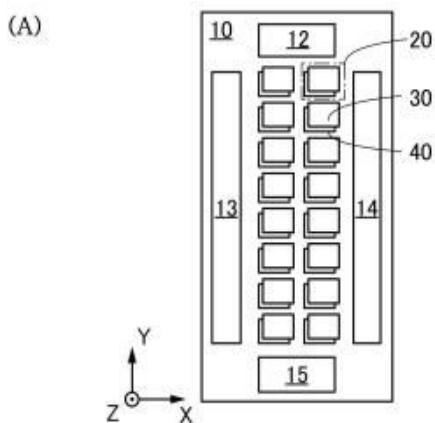
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **반도체 장치**

(57) 요약

신규 구성의 반도체 장치를 제공한다. 복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로를 포함한다. 복수의 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖는다. 전환 회로는 메모리 회로 중 어느 하나와 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖는다. 제 1 연산 회로는 입력 데이터와 전환 회로에 의하여 선택된 가중치 데이터의 적화 연산(product-sum operation) 처리에 기초한 제 1 출력 신호를 상기 제 2 연산 회로에 출력한다. 복수의 메모리 회로를 포함한 층은 전환 회로, 제 1 연산 회로, 및 제 2 연산 회로를 포함한 층 위에 적층되어 제공된다.

대표도



(52) CPC특허분류

G06F 7/5443 (2013.01)

G06N 3/063 (2013.01)

H01L 25/0652 (2013.01)

H01L 27/10897 (2013.01)

H01L 27/11526 (2013.01)

H01L 27/11548 (2013.01)

Y02D 10/00 (2020.08)

명세서

청구범위

청구항 1

반도체 장치로서,

복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로를 포함하고,

복수의 상기 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고,

상기 전환 회로는 복수의 상기 메모리 회로 중 어느 하나와 상기 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고,

상기 제 1 연산 회로는 입력 데이터와 상기 전환 회로에 의하여 선택된 상기 가중치 데이터의 적화 연산 (product-sum operation) 처리에 기초한 제 1 출력 신호를 상기 제 2 연산 회로에 출력하고,

복수의 상기 메모리 회로는 상기 전환 회로, 상기 제 1 연산 회로, 및 상기 제 2 연산 회로를 포함한 층 위에 적층되는 층에 제공되는, 반도체 장치.

청구항 2

반도체 장치로서,

복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로를 포함하고,

복수의 상기 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고,

상기 전환 회로는 복수의 상기 메모리 회로 중 어느 하나와 상기 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고,

상기 제 1 연산 회로는 입력 데이터와 상기 전환 회로에 의하여 선택된 상기 가중치 데이터의 적화 연산 처리에 기초한 제 1 출력 신호를 상기 제 2 연산 회로에 출력하고,

상기 제 2 연산 회로는 활성화 함수 연산 처리, 양자화 연산 처리, 및 제 1 풀링 연산 처리를 수행하는 기능을 갖고,

복수의 상기 메모리 회로는 상기 전환 회로, 상기 제 1 연산 회로, 및 상기 제 2 연산 회로를 포함한 층 위에 적층되는 층에 제공되는, 반도체 장치.

청구항 3

반도체 장치로서,

복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로와, 제 3 연산 회로를 포함하고,

복수의 상기 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고,

상기 전환 회로는 복수의 상기 메모리 회로 중 어느 하나와 상기 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고,

상기 제 1 연산 회로는 입력 데이터와 상기 전환 회로에 의하여 선택된 상기 가중치 데이터의 적화 연산 처리에 기초한 제 1 출력 신호를 상기 제 2 연산 회로에 출력하고,

상기 제 2 연산 회로는 활성화 함수 연산 처리, 양자화 연산 처리, 및 제 1 풀링 연산 처리를 수행하는 기능을 갖고,

상기 제 3 연산 회로는 상기 제 2 연산 회로가 출력하는 제 2 출력 신호의 제 2 풀링 연산 처리를 수행하는 기능을 갖고,

복수의 상기 메모리 회로는 상기 전환 회로, 상기 제 1 연산 회로, 및 상기 제 2 연산 회로를 포함한 층 위에

적층되는 층에 제공되는, 반도체 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 메모리 회로는 제 1 트랜지스터를 포함하고,
 상기 제 1 트랜지스터는 채널 형성 영역에 금속 산화물을 포함한 반도체층을 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,
 상기 금속 산화물은 In과, Ga과, Zn을 포함하는, 반도체 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
 상기 전환 회로, 상기 제 1 연산 회로, 및 상기 제 2 연산 회로는 제 2 트랜지스터를 포함하고,
 상기 제 2 트랜지스터는 채널 형성 영역에 실리콘을 포함한 반도체층을 포함하는, 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 명세서에서는 반도체 장치 등에 대하여 설명한다.
- [0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 본 발명의 일 형태의 기술분야로서는, 반도체 장치, 활상 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 표시 시스템, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로 들 수 있다.

배경 기술

- [0003] CPU(Central Processing Unit) 등을 포함한 반도체 장치를 포함하는 전자 기기가 보급되고 있다. 이러한 전자 기기에서는, 대량의 데이터를 고속으로 처리하기 위하여, 반도체 장치의 성능 향상을 위한 기술이 활발하게 개발되고 있다. 고성능화를 실현하는 기술로서는, 예를 들어 GPU(Graphics Processing Unit) 등의 액셀러레이터와 CPU를 밀접한, 소위 SoC(System on Chip)화가 있다. SoC화에 의하여 고성능화된 반도체 장치에서는, 발열 및 소비 전력 증가가 문제가 된다.
- [0004] AI(Artificial Intelligence) 기술에서는 계산량과 파라미터 수가 방대하기 때문에 연산량이 증대한다. 연산량의 증대는 발열 및 소비 전력 증가의 요인이 되기 때문에, 연산량을 줄이기 위한 아키텍처가 활발하게 제안되고 있다. 대표적인 아키텍처로서는 Binary Neural Network(BNN) 및 Ternary Neural Network(TNN)가 있고, 회로 규모 축소 및 소비 전력 절감에 있어서 특히 유효하다(예를 들어 특허문헌 1 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 국제공개공보 W02019/078924호

발명의 내용

해결하려는 과제

- [0006] AI 기술에서는 가중치 데이터와 입력 데이터를 사용한 적화 연산(product-sum operation)을 방대한 횟수 반복하기 때문에, 메모리 셀 어레이에서 대량의 가중치 데이터나 중간 데이터를 유지할 필요가 있다. 또한 AI 기술에

서는 적화 연산에 더하여 활성화 연산이나 풀링 연산 등의 적화 연산 이외의 처리가 수행되는 것이 일반적이다. 그러므로 AI 기술을 이용한 연산을 집적 회로로 실현하는 경우, 메모리 셀 어레이나 전용 연산 회로를 배치하기 위한 회로 면적이 매우 크게 될 우려가 있다.

- [0007] 또한 AI 기술에서는 연산 처리의 고속화가 요구된다. AI 기술을 이용한 연산을 집적 회로로 실현하는 경우, 메모리 셀 어레이에서는 비트선을 통하여 연산 회로에 가중치 데이터나 중간 데이터를 판독한다. 비트선에서는 가중치 데이터나 중간 데이터의 판독 빈도가 많아진다. 그러므로 비트선의 충방전 에너지가 증가되어 소비 전력이 증가될 우려가 있다.
- [0008] 비트선의 충방전 에너지를 저감하기 위해서는 비트선을 짧게 하는 것이 유효하다. 그러나 연산 회로와 메모리 셀 어레이가 교대로 나란히 배치되기 때문에, 주변 회로의 면적이 크게 확대될 우려가 있다.
- [0009] 본 발명의 일 형태는 소형화된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 절감된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 연산 처리 속도가 향상된 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 구성의 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0010] 또한 본 발명의 일 형태는 상기 과제 모두를 반드시 해결할 필요는 없고, 적어도 하나의 과제를 해결할 수 있으면 좋다. 또한 상기 과제의 기제는 다른 과제의 존재를 방해하는 것이 아니다. 이들 이외의 과제는 명세서, 청구범위, 도면 등의 기재에서 저절로 명백해지는 것이고, 명세서, 청구범위, 도면 등의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0011] 본 발명의 일 형태는 복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로를 포함하고, 복수의 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고, 전환 회로는 복수의 메모리 회로 중 어느 하나와 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고, 제 1 연산 회로는 입력 데이터와 전환 회로에 의하여 선택된 가중치 데이터의 적화 연산 처리에 기초한 제 1 출력 신호를 제 2 연산 회로에 출력하고, 복수의 메모리 회로는 전환 회로, 제 1 연산 회로, 및 제 2 연산 회로를 포함한 층 위에 적층되는 층에 제공되는 반도체 장치이다.
- [0012] 본 발명의 일 형태는 복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로를 포함하고, 복수의 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고, 전환 회로는 복수의 메모리 회로 중 어느 하나와 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고, 제 1 연산 회로는 입력 데이터와 전환 회로에 의하여 선택된 가중치 데이터의 적화 연산 처리에 기초한 제 1 출력 신호를 제 2 연산 회로에 출력하고, 제 2 연산 회로는 활성화 함수 연산 처리, 양자화 연산 처리, 및 제 1 풀링 연산 처리를 수행하는 기능을 갖고, 복수의 메모리 회로는 전환 회로, 제 1 연산 회로, 및 제 2 연산 회로를 포함한 층 위에 적층되는 층에 제공되는 반도체 장치이다.
- [0013] 본 발명의 일 형태의 반도체 장치에서, 복수의 메모리 회로와, 전환 회로와, 제 1 연산 회로와, 제 2 연산 회로와, 제 3 연산 회로를 포함하고, 복수의 메모리 회로는 각각 가중치 데이터를 유지하는 기능을 갖고, 전환 회로는 복수의 메모리 회로 중 어느 하나와 제 1 연산 회로의 도통 상태를 전환하는 기능을 갖고, 제 1 연산 회로는 입력 데이터와 전환 회로에 의하여 선택된 가중치 데이터의 적화 연산 처리에 기초한 제 1 출력 신호를 제 2 연산 회로에 출력하고, 제 2 연산 회로는 활성화 함수 연산 처리, 양자화 연산 처리, 및 제 1 풀링 연산 처리를 수행하는 기능을 갖고, 제 3 연산 회로는 제 2 연산 회로가 출력하는 제 2 출력 신호의 제 2 풀링 연산 처리를 수행하는 기능을 갖고, 복수의 메모리 회로는 전환 회로, 제 1 연산 회로, 및 제 2 연산 회로를 포함한 층 위에 적층되는 층에 제공되는 것이 바람직하다.
- [0014] 본 발명의 일 형태의 반도체 장치에서, 메모리 회로는 제 1 트랜지스터를 포함하고, 제 1 트랜지스터는 채널 형성 영역에 금속 산화물을 포함한 반도체층을 포함하는 것이 바람직하다.
- [0015] 본 발명의 일 형태의 반도체 장치에서, 금속 산화물은 In과, Ga과, Zn을 포함한다.
- [0016] 본 발명의 일 형태의 반도체 장치에서, 전환 회로, 제 1 연산 회로, 및 제 2 연산 회로는 제 2 트랜지스터를 포함하고, 제 2 트랜지스터는 채널 형성 영역에 실리콘을 포함한 반도체층을 포함한다.
- [0017] 또한 상술한 것 외의 본 발명의 일 형태에 대해서는, 이하의 실시형태에서의 설명 및 도면에 기재되어 있다.

발명의 효과

- [0018] 본 발명의 일 형태는 소형화된 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는 소비 전력이 절감된 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는 연산 처리 속도가 향상된 반도체 장치를 제공할 수 있다. 또는 신규 구성의 반도체 장치를 제공할 수 있다.
- [0019] 복수의 효과의 기제는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 예시한 효과를 모두 반드시 가질 필요는 없다. 또한 본 발명의 일 형태에서, 상기 이외의 과제, 효과, 및 신규 특징은 본 명세서의 기재 및 도면에서 저절로 명백해진다.

도면의 간단한 설명

- [0020] 도 1의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 2는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 3은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 4의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 5의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 6의 (A), (B), 및 (C)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 7의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 8은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 9의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 10은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 11은 반도체 장치의 구성예를 설명하는 도면이다.
- 도 12는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 13의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 14의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 15는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 16의 (A) 및 (B)는 반도체 장치의 구성예를 설명하는 도면이다.
- 도 17은 연산 처리 시스템의 구성예를 설명하는 도면이다.
- 도 18은 CPU의 구성예를 설명하는 도면이다.
- 도 19의 (A) 및 (B)는 CPU의 구성예를 설명하는 도면이다.
- 도 20은 CPU의 구성예를 나타낸 도면이다.
- 도 21은 트랜지스터의 구성예를 나타낸 도면이다.
- 도 22의 (A) 및 (B)는 트랜지스터의 구성예를 나타낸 도면이다.
- 도 23의 (A) 및 (B)는 집적 회로의 구성예를 설명하는 도면이다.
- 도 24의 (A) 및 (B)는 집적 회로의 적용예를 설명하는 도면이다.
- 도 25의 (A) 및 (B)는 집적 회로의 적용예를 설명하는 도면이다.
- 도 26의 (A), (B), 및 (C)는 집적 회로의 적용예를 설명하는 도면이다.
- 도 27은 집적 회로의 적용예를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하에서 본 발명의 실시형태에 대하여 설명한다. 다만 본 발명의 일 형태는 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명의 일 형태는 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0022] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서는 생략될 수도 있다.
- [0023] 도면에서 동일한 요소 또는 같은 기능을 갖는 요소, 동일한 재질의 요소, 혹은 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 이의 반복적인 설명은 생략하는 경우가 있다.
- [0024] 본 명세서에서 예를 들어 전원 전위(VDD)를 전위(VDD), VDD 등이라고 생략하여 기재하는 경우가 있다. 이는 다른 구성 요소(예를 들어 신호, 전압, 회로, 소자, 전극, 배선 등)에 대해서도 마찬가지로 적용된다.
- [0025] 또한 복수의 요소에 같은 부호를 사용하고, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "_1", "_2", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다. 예를 들어 두 번째 배선(GL)은 배선(GL[2])이라고 기재한다.
- [0026] (실시형태 1)
- [0027] 본 발명의 일 형태인 반도체 장치의 구성 및 동작 등에 대하여 설명한다.
- [0028] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 포함한다고 할 수 있는 경우가 있다.
- [0029] 도 1의 (A)는 본 발명의 일 형태인 반도체 장치(10)를 설명하기 위한 도면이다. 또한 도 1의 (B)는 반도체 장치(10)에 포함되는 연산 블록의 구성예를 설명하기 위한 도면이다.
- [0030] 반도체 장치(10)는 호스트 프로그램에서 불러낸 프로그램(커널 또는 커널 프로그램이라고도 함)을 실행하는 액셀러레이터로서의 기능을 갖는다. 반도체 장치(10)는 예를 들어 그래픽 처리에서의 행렬 연산의 병렬 처리, 신경망의 적화 연산의 병렬 처리, 과학 기술 계산에서의 부동 소수점 연산의 병렬 처리 등을 수행할 수 있다.
- [0031] 반도체 장치(10)는 도 1의 (A)에 나타난 바와 같이 복수의 연산 블록(20)을 포함한다. 연산 블록(20)은 메모리 회로부(30)(메모리 셀 어레이라고도 함) 및 연산 회로부(40)를 포함한다. 메모리 회로부(30) 및 연산 회로부(40)는 도 1의 (A) 및 (B)에 나타난 바와 같이, 도면의 xy 평면에 대하여 실질적으로 수직인 방향(도 1의 (A)에서 z 방향)으로 서로 다른 층에 제공된다. 즉 메모리 회로부(30)와 연산 회로부(40)는 적층되어 제공된다.
- [0032] 또한 "실질적으로 수직"이란, 85° 이상 95° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 본 명세서에서 도 1의 (B) 등에 나타난 X 방향, Y 방향, 및 Z 방향은 각각이 서로 직교 또는 교차되는 방향이다. 또한 X 방향 및 Y 방향은 기판면에 대하여 평행 또는 실질적으로 평행하고, Z 방향은 기판면에 대하여 수직 또는 실질적으로 수직이다.
- [0033] 메모리 회로부(30)는 복수의 회로 블록(31)을 포함한다. 각 회로 블록(31)은 복수의 메모리 회로(32)를 포함한다. 메모리 회로(32)에 대한 데이터의 기록 및 메모리 회로(32)로부터의 데이터의 판독은 구동 회로(12), 구동 회로(13)에 의하여 제어된다. 구동 회로(12), 구동 회로(13)는 데이터 제어 회로라고도 한다.
- [0034] 메모리 회로(32)에 저장되는 데이터는 신경망의 적화 연산에 사용되는 가중치 파라미터에 대응하는 데이터(가중치 데이터)이다. 가중치 데이터를 디지털 데이터로 함으로써, 노이즈에 강하고, 고속 연산이 가능한 반도체 장치로 할 수 있다. 또한 가중치 데이터는 아날로그 데이터이어도 좋다.
- [0035] 메모리 회로부(30)를 포함한 층에서는, 회로 블록(31)에 포함되는 메모리 회로(32)가, 일례로서 나타난 배선(LBL_1 내지 LBL_4)(로컬 비트선, 판독 비트선이라고도 함)을 통하여 연산 회로부(40)에 포함되는 전환 회로(41)에 접속된다. 메모리 회로부(30)에 포함되는 메모리 회로(32)는 채널 형성 영역에 산화물 반도체를 포함한

트랜지스터(OS 트랜지스터)를 포함한다.

- [0036] 연산 회로부(40)를 포함한 층은 전환 회로(41), 적화 연산 회로(42), 전용 연산 회로인 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 프리 풀링(pre-pooling) 연산 회로(45)를 포함한다. 연산 회로부(40)에서의 데이터의 입출력 등의 제어 및 처리는 제어 회로(14), 처리 회로(15)에 의하여 제어된다. 제어 회로(14), 처리 회로(15)는 연산 제어 회로, 연산 처리 회로, 또는 연산 회로라고도 한다.
- [0037] 전환 회로(41)는 복수의 회로 블록(31)의 각각으로부터 연장되는 배선(LBL_1 내지 LBL_4)의 전위를 선택하고, 배선(GBL)(글로벌 비트선이라고도 함)에 전달하는 기능을 갖는다. 전환 회로(41)에는 예를 들어 제어 신호로 출력 전위의 상태가 제어되는 3상태 버퍼를 사용할 수 있다. 또한 전환 회로(41)는 채널 형성 영역에 실리콘을 포함한 트랜지스터(Si 트랜지스터)로 구성되는 것이 바람직하다. 상기 구성으로 함으로써, 접속 상태를 고속으로 전환할 수 있다.
- [0038] 또한 배선(LBL_1 내지 LBL_4)(배선(LBL))은 가중치 데이터를 메모리 회로부(30)로부터 연산 회로부(40)에 전송(傳送)하기 위한 배선이다. 메모리 회로부(30)로부터 배선(LBL)에 가중치 데이터를 고속으로 판독하기 위하여, 배선(LBL)은 짧게 하는 것이 바람직하다. 또한 배선(LBL)은 층방전에 따른 소비 에너지를 작게 하기 위하여 짧게 하는 것이 바람직하다. 즉 전환 회로(41)는 z 방향으로 연장되어 제공되는 배선(LBL)(도면에서 z 방향으로 연장되는 화살표)의 가까이에 배치되는 것이 바람직하다. 연산 회로부(40)와 메모리 회로부(30)의 물리적인 거리를 근접시키는 것, 예를 들어 층을 적층하여 배선 거리를 짧게 하는 것이 가능하면, 신호선에 생기는 기생 용량을 삭감할 수 있기 때문에, 소비 전력을 절감할 수 있다.
- [0039] 적화 연산 회로(42)는 적화 연산 등의 연산 처리를 실행하는 기능을 갖는다. 적화 연산 회로(42)는 단순히 연산 회로 또는 제 1 연산 회로라고도 하는 경우가 있다. 적화 연산 회로(42)는 제어 회로(14)로부터 입력되는 입력 데이터와 배선(GBL)에 공급되는 가중치 데이터의 적화 연산을 수행한다. 입력 데이터 및 가중치 데이터는 디지털 데이터인 것이 바람직하다. 디지털 데이터는 노이즈의 영향을 받기 어렵다. 그러므로 적화 연산 회로(42)는 높은 정밀도의 연산 결과가 요구되는 연산 처리를 수행하는 데 적합하다. 또한 적화 연산 회로(42)는 Si 트랜지스터로 구성되는 것이 바람직하다.
- [0040] 활성화 함수 연산 회로(43)는 적화 연산에서 얻어진 데이터에 대하여 활성화 함수에 기초한 처리를 수행하는 기능을 갖는다. 활성화 함수로서는, 예를 들어 시그모이드 함수, tanh 함수, softmax 함수, ReLU(Rectified Linear Unit) 함수, 문턱값 함수 등을 사용할 수 있다. ReLU 함수는 입력값이 음인 경우에는 "0"을 출력하고, 입력값이 "0" 이상인 경우에는 입력값을 그대로 출력하는 함수이다. 또한 활성화 함수 연산 회로(43)는 Si 트랜지스터로 구성되는 것이 바람직하다.
- [0041] 양자화 연산 회로(44)는 뒤단의 연산에서의 연산량을 삭감하는 목적으로 입력 데이터의 비트 폭을 삭감하는 양자화 연산 처리를 수행하는 기능을 갖는다. 적화 연산에서는 연산 처리가 반복되므로 비트 폭이 증대된다. 그러므로 양자화 연산 회로(44)에서는 입력 데이터를 비트 시프트하고, 소수점의 위치에 있는 데이터를 반올림함으로써, 비트 폭을 삭감한다. 또한 양자화 연산 회로(44)는 Si 트랜지스터로 구성되는 것이 바람직하다.
- [0042] 프리 풀링 연산 회로(45)는 풀링 연산 처리의 일부의 연산을 수행하는 기능을 갖는다. 예를 들어 3×3 풀링의 경우, 3×3의 영역의 모든 수치를 사용한 연산이 아니라, 일부의 수치를 사용하여 연산을 수행하는 것을 프리 풀링, 프리 풀링 연산 처리, 또는 제 1 풀링 연산 처리라고 하는 경우가 있다. 또는 프리 풀링 연산 처리는 풀링 연산 처리의 일부를 수행하는 연산 처리이기 때문에, 부분 풀링 연산 처리 또는 제 1 부분 풀링 연산 처리라고 하는 경우가 있다. 프리 풀링 연산 회로(45)는 예를 들어 맥스 풀링에서는 일부의 영역, 예를 들어 1차원에 있는 데이터의 최댓값을 프리 풀링 연산 회로(45)의 출력 데이터로서 추출하는 회로에 상당한다. 또한 프리 풀링 연산 회로(45)는 Si 트랜지스터로 구성되는 것이 바람직하다.
- [0043] 또한 프리 풀링 연산 회로(45)에서 얻어지는 출력 데이터는 처리 회로(15)에 출력된다. 예를 들어 처리 회로(15) 내에 있는 포스트 풀링(post-pooling) 연산 회로에서 연산 처리를 수행함으로써, 풀링 연산 처리와 동등한 연산 처리가 수행된 데이터로 할 수 있다. 예를 들어 3×3 풀링의 경우, 3×1의 영역의 수치를 사용하여 프리 풀링 연산 처리를 수행하고, 프리 풀링 연산 처리에서 얻어진 데이터를 사용하여 3×3 풀링에 상당하는 풀링 연산 처리를 수행하는 것을 포스트 풀링, 포스트 풀링 연산 처리, 또는 제 2 풀링 연산 처리라고 하는 경우가 있다. 또는 포스트 풀링 연산 처리는 풀링 연산 처리의 일부를 수행하는 연산 처리이기 때문에, 부분 풀링 연산 처리 또는 제 2 부분 풀링 연산 처리라고 하는 경우가 있다. 포스트 풀링 연산 회로를 포함하는 처리 회로는 연산 회로 또는 제 3 연산 회로라고 하는 경우가 있다. 프리 풀링 연산 회로 및 포스트 풀링 연산 회로에서의

연산 처리의 구체적인 예에 대해서는 후술한다.

- [0044] 전환 회로(41), 적화 연산 회로(42), 전용 연산 회로인 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 프리 폴딩 연산 회로(45)의 각 회로는 Si 트랜지스터로 구성됨으로써, OS 트랜지스터와 적층되어 제공될 수 있다. 즉 OS 트랜지스터로 구성되는 메모리 회로부(30)는 Si 트랜지스터로 구성될 수 있는 연산 회로부(40)와 적층되어 제공될 수 있다. 그러므로 회로 면적의 확대를 초래하지 않고, 메모리 회로부(30)를 배치할 수 있는 면적을 확대할 수 있다. 메모리 회로부(30)를 연산 회로부(40)가 제공되는 기관 위의 영역에 제공함으로써, 메모리 회로부(30)와 연산 회로부(40)가 동일한 층 위에 배치되는 경우보다, 액셀러레이터로서 기능하는 반도체 장치(10)에서의 연산 처리에 필요한 기억 용량을 증가시킬 수 있다. 기억 용량이 증가되면, 외부 기억 장치로부터 반도체 장치에 대한 연산 처리에 필요한 데이터의 전송(轉送) 횟수를 감소시킬 수 있기 때문에, 소비 전력을 절감할 수 있다.
- [0045] 메모리 회로부(30)에 포함되는 메모리 회로(32)는 NOSRAM의 회로 구성을 가질 수 있다. "NOSRAM(등록 상표)"이란 "Nonvolatile Oxide Semiconductor RAM"의 약칭이다. NOSRAM은 메모리 셀이 2트랜지스터형(2T) 또는 3트랜지스터형(3T) 개인 셀이고, 액세스 트랜지스터가 OS 트랜지스터인 메모리를 말한다.
- [0046] OS 트랜지스터는 오프 상태에서 소스와 드레인 사이를 흐르는 전류, 즉 누설 전류가 매우 작다. NOSRAM은 누설 전류가 매우 작다는 특성을 사용하여 데이터에 대응하는 전하를 메모리 회로 내에 유지함으로써, 비휘발성 메모리로서 사용할 수 있다. 특히 NOSRAM은 유지되는 데이터를 파괴하지 않고 판독하는 것(비파괴 판독)이 가능하기 때문에, 데이터 판독 동작을 수없이 반복하는, 신경망의 적화 연산의 병렬 처리에 적합하다.
- [0047] 메모리 회로(32)에는 NOSRAM 또는 DOSRAM 등 OS 트랜지스터를 포함한 메모리(이하, OS 메모리라고도 함)가 적합하다. 산화물 반도체로서 기능하는 금속 산화물의 밴드 갭은 2.5eV 이상이기 때문에, OS 트랜지스터는 오프 전류가 매우 낮다. 일례로서, 소스와 드레인 사이의 전압이 3.5V이고, 실온(25℃)하에서의 채널 폭 1μm당 오프 전류를 1×10^{-20} A 미만, 1×10^{-22} A 미만, 또는 1×10^{-24} A 미만으로 할 수 있다. 그러므로 OS 메모리에서는, OS 트랜지스터를 통하여 유지 노드로부터 누설되는 전하의 양이 매우 적다. 따라서 OS 메모리는 비휘발성 메모리 회로로서 기능할 수 있기 때문에, 반도체 장치(10)의 파워 게이팅이 가능하다.
- [0048] 고밀도로 트랜지스터가 집적된 반도체 장치에서는 회로 구동으로 인하여 열이 발생하는 경우가 있다. 이 발열로 인하여 트랜지스터의 온도가 상승함으로써, 상기 트랜지스터의 특성이 변화되어 전계 효과 이동도의 변화나 동작 주파수의 저하 등이 일어나는 경우가 있다. OS 트랜지스터는 Si 트랜지스터보다 내열성이 높기 때문에, 온도 변화로 인한 전계 효과 이동도의 변화가 일어나기 어렵고, 또한 동작 주파수의 저하도 일어나기 어렵다. 또한 OS 트랜지스터는 온도가 상승되어도 드레인 전류가 게이트-소스 간 전압에 대하여 지수 함수적으로 증대하는 특성을 유지하기 쉽다. 그러므로 OS 트랜지스터를 사용함으로써, 높은 온도 환경하에서 안정된 동작을 수행할 수 있다.
- [0049] OS 트랜지스터에 적용되는 금속 산화물로서는 Zn 산화물, Zn-Sn 산화물, Ga-Sn 산화물, In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Ti, Ga, Y, Zr, La, Ce, Nd, Sn, 또는 Hf) 등이 있다. 특히 M으로서 Ga를 사용하는 금속 산화물을 OS 트랜지스터에 채용하는 경우, 원소의 비율을 조정함으로써 전계 효과 이동도 등의 전기 특성이 우수한 트랜지스터로 할 수 있기 때문에 바람직하다. 또한 인듐 및 아연을 포함한 산화물에 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등 중에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.
- [0050] OS 트랜지스터의 신뢰성, 전기 특성을 향상시키기 위하여, 반도체층에 적용되는 금속 산화물은 CAAC-OS, CAC-OS, nc-OS 등의 결정부를 갖는 금속 산화물인 것이 바람직하다. CAAC-OS란 c-axis-aligned crystalline oxide semiconductor의 약칭이다. CAC-OS란 Cloud-Aligned Composite oxide semiconductor의 약칭이다. nc-OS란 nanocrystalline oxide semiconductor의 약칭이다.
- [0051] CAAC-OS는 c축 배향성을 갖고, 또한 a-b면 방향에서 복수의 나노 결정이 연결되고, 변형을 갖는 결정 구조이다. 또한 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.
- [0052] CAC-OS는 캐리어가 되는 전자(또는 정공)를 흘리는 기능과, 캐리어가 되는 전자를 흘리지 않는 기능을 갖는다. 전자를 흘리는 기능과 전자를 흘리지 않는 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 즉 CAC-OS를 OS 트랜지스터의 채널 형성 영역에 사용함으로써, 높은 온 전류와 매우 낮은 오프 전류의 양쪽을 실현할

수 있다.

- [0053] 예를 들어 금속 산화물은 밴드 갭이 넓어 전자가 여기되기 어렵고, 정공의 유효 질량이 크기 때문에, OS 트랜지스터는 일반적인 Si 트랜지스터보다 애벌란시 항복 등이 일어나기 어려운 경우가 있다. 따라서 예를 들어 애벌란시 항복에 기인하는 핫 캐리어 열화 등을 억제할 수 있다. 핫 캐리어 열화를 억제할 수 있기 때문에, 높은 드레인 전압으로 OS 트랜지스터를 구동시킬 수 있다.
- [0054] OS 트랜지스터는 전자를 다수 캐리어로 하는 축적형 트랜지스터이다. 그러므로 pn 접합을 갖는 반전형 트랜지스터(대표적으로는, Si 트랜지스터)보다 단채널 효과의 하나인 DIBL(Drain-Induced Barrier Lowering)의 영향이 작다. 즉 OS 트랜지스터는 Si 트랜지스터보다 단채널 효과에 대한 내성이 높다.
- [0055] OS 트랜지스터는 단채널 효과에 대한 내성이 높아, 신뢰성을 저하시키지 않고 채널 길이를 축소할 수 있기 때문에, OS 트랜지스터를 사용함으로써 회로의 집적도를 높일 수 있다. 채널 길이가 미세화되면 드레인 전계가 강해지지만, 상술한 바와 같이, OS 트랜지스터는 Si 트랜지스터보다 애벌란시 항복이 일어나기 어렵다.
- [0056] 또한 OS 트랜지스터는 단채널 효과에 대한 내성이 높기 때문에, Si 트랜지스터보다 게이트 절연막을 두껍게 할 수 있다. 예를 들어 채널 길이 및 채널 폭이 50nm 이하인 미세한 트랜지스터에서도, 10nm 정도로 두꺼운 게이트 절연막을 제공할 수 있는 경우가 있다. 게이트 절연막을 두껍게 함으로써 기생 용량을 저감할 수 있기 때문에, 회로의 동작 속도를 향상시킬 수 있다. 또한 게이트 절연막을 두껍게 함으로써 게이트 절연막을 통한 누설 전류가 저감되기 때문에, 정적 소비 전류의 저감으로 이어진다.
- [0057] 상술한 바와 같이, 반도체 장치(10)는 OS 메모리인 메모리 회로(32)를 포함함으로써 전원 전압의 공급이 정지되어도 데이터를 유지할 수 있다. 그러므로 반도체 장치(10)의 파워 게이팅이 가능하고, 소비 전력을 대폭 절감할 수 있다.
- [0058] 이어서 도 2를 사용하여, AI 액셀러레이터로서 기능하는 반도체 장치(10)를 포함한 연산 처리 시스템(100)의 전체를 나타낸 블록도에 대하여 설명한다.
- [0059] 도 2에는, 도 1의 (A), (B)를 사용하여 설명한 반도체 장치(10)를 복수로 포함하는 액셀러레이터부(130) 외에, CPU(110) 및 버스(120)를 나타내었다. CPU(110)는 CPU 코어(200) 및 백업 회로(222)를 포함한다. 액셀러레이터부(130)는 복수의 반도체 장치(10) 외에, 반도체 장치들(10) 사이에서의 데이터의 입출력을 제어하기 위한 제어부(131)를 포함한다.
- [0060] CPU(110)는 운영 체제의 실행, 데이터의 제어, 각종 연산이나 프로그램의 실행 등, 범용적인 처리를 수행하는 기능을 갖는다. CPU(110)는 CPU 코어(200)를 포함한다. CPU 코어(200)는 하나 또는 복수의 CPU 코어에 상당한다. 또한 CPU(110)는 전원 전압의 공급이 정지되어도 CPU 코어(200) 내의 데이터를 유지할 수 있는 백업 회로(222)를 포함한다. 전원 전압의 공급은 전원 도메인(파워 도메인)으로부터의 파워 스위치 등에 의한 전기적인 분리에 의하여 제어할 수 있다. 또한 전원 전압을 구동 전압이라고 하는 경우가 있다. 백업 회로(222)에는, 예를 들어 OS 트랜지스터를 포함한 OS 메모리가 적합하다.
- [0061] OS 트랜지스터로 구성되는 백업 회로(222)는, Si 트랜지스터로 구성될 수 있는 CPU 코어(200)와 적층되어 제공될 수 있다. 백업 회로(222)의 면적은 CPU 코어(200)의 면적보다 작기 때문에, 회로 면적의 확대를 초래하지 않고, CPU 코어(200) 위에 백업 회로(222)를 배치할 수 있다. 백업 회로(222)는 CPU 코어(200)에 포함되는 레지스터의 데이터를 유지하는 기능을 갖는다. 백업 회로(222)를 데이터 유지 회로라고도 한다. 또한 OS 트랜지스터를 포함한 백업 회로(222)가 제공된 CPU 코어(200)의 구성의 자세한 사항에 대해서는 실시형태 3에서도 설명한다.
- [0062] 제어부(131)는 내부에 SRAM 등의 메모리 회로를 포함한다. 제어부(131)는 복수의 반도체 장치(10)에서 얻어지는 출력 데이터를 메모리 회로에 유지시킨다. 그리고 메모리 회로에 유지된 출력 데이터(MAC)를 복수의 반도체 장치에 출력하는 구성을 갖는다. 상기 구성으로 함으로써, 복수의 반도체 장치를 사용한, 병렬 수가 늘어난 병렬 계산을 수행할 수 있다.
- [0063] 버스(120)는 CPU(110)와 액셀러레이터부(130)를 전기적으로 접속한다. 즉 CPU(110)와 반도체 장치(10)는 버스(120)를 통하여 데이터 전송을 수행할 수 있다.
- [0064] 도 3은, 도 1의 (B)에 나타낸 연산 블록(20)에서 메모리 회로부(30), 연산 회로부(40)에 적합한 트랜지스터를 설명하기 위한 도면이다.

- [0065] 메모리 회로부(30)는 메모리 회로(32)를 포함한다. 메모리 회로(32)는 트랜지스터(21)를 포함한다. 트랜지스터(21)에 포함되는 반도체층(22)에 산화물 반도체(금속 산화물)를 사용함으로써, 상술한 OS 트랜지스터로 구성되는 메모리 회로(32)로 할 수 있다.
- [0066] 연산 회로부(40)는 전환 회로(41), 적화 연산 회로(42), 전용 연산 회로인 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 프리 폴링 연산 회로(45)를 포함한다. 연산 회로부(40)에 포함되는 각 회로는 트랜지스터(23)를 포함한다. 트랜지스터(23)에 포함되는 반도체층(24)에 실리콘을 사용함으로써, 상술한 Si 트랜지스터로 구성되는 연산 회로부(40)의 각 회로로 할 수 있다.
- [0067] 메모리 회로부(30)를 연산 회로부(40)가 제공되는 기관 위의 영역에 제공함으로써, 메모리 회로부(30)와 연산 회로부(40)가 동일한 층 위에 배치되는 경우보다, 액셀러레이터로서 기능하는 반도체 장치(10)에서의 연산 처리에 필요한 기억 용량, 즉 메모리 회로의 개수를 증가시킬 수 있다. 기억 용량이 증가되면, 외부 기억 장치로부터 반도체 장치에 대한 연산 처리에 필요한 데이터의 전송 횟수를 감소시킬 수 있기 때문에, 소비 전력을 절감할 수 있다.
- [0068] 도 4의 (A)는 본 발명의 일 형태의 반도체 장치(10)에서의 각 회로의 데이터의 입출력을 설명하기 위한 블록도이다. 도 4의 (A)에는 전환 회로(41), 적화 연산 회로(42), 전용 연산 회로인 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 및 프리 폴링 연산 회로(45)를 나타내었다.
- [0069] 전환 회로(41)는 메모리 회로(32) 중 어느 하나와 적화 연산 회로(42)의 공통 상태를 전환하는 기능을 갖는다. 예를 들어 전환 회로(41)는 메모리 회로부(30)의 회로 블록(31)에 있는 메모리 회로(32)에 유지된 데이터로부터 배선(GBL)에 출력되는 가중치 데이터(W_1 내지 W_N)(N 은 2 이상의 자연수)를 선택한다. 그리고 전환 회로(41)는 선택된 가중치 데이터를 가중치 데이터(W_{SEL})로서 배선(GBL)을 통하여 적화 연산 회로(42)에 출력한다.
- [0070] 적화 연산 회로(42)는 입력 데이터와 전환 회로(41)에 의하여 선택된 가중치 데이터의 적화 연산 처리에 기초한 데이터(출력 신호)를 전용 연산 회로(46)에 출력한다. 예를 들어 적화 연산 회로(42)는 가중치 데이터(W_{SEL})와 제어 회로(14)로부터 입력되는 입력 데이터(A_{IN})에 기초한 적화 연산을 수행한다. 상기 적화 연산에 의하여 얻어지는 데이터(MAC)는 전용 연산 회로(46)에 있는 활성화 함수 연산 회로(43)에 출력된다.
- [0071] 전용 연산 회로(46)는 합성곱 연산에 사용하는 신경망의 적화 연산의 연산 처리, 예를 들어 활성화 함수에 기초한 연산 처리, 양자화를 위한 연산 처리, 폴링 연산 처리를 위한 연산 처리, 또는 정규화를 위한 연산 처리(normalization) 등을 수행하기 위한 회로이다. 전용 연산 회로(46)는 연산 회로 또는 제 2 연산 회로라고 하는 경우가 있다. 일례로서 전용 연산 회로(46)가 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 및 프리 폴링 연산 회로(45)를 포함하는 구성을 나타내었지만, 다른 구성을 가져도 좋다.
- [0072] 활성화 함수 연산 회로(43)는 입력되는 데이터(MAC)에 대하여 활성화 함수에 기초한 연산 처리를 수행하여, 활성화 함수에 기초한 연산 처리에서 얻어지는 데이터(FUNC)로서 출력하기 위한 회로이다. 데이터(FUNC)는 전용 연산 회로(46)에 있는 양자화 연산 회로(44)에 출력된다.
- [0073] 양자화 연산 회로(44)는 입력되는 데이터(FUNC)에 대하여 양자화 연산 처리를 수행하여, 데이터(QUA)로서 출력하기 위한 회로이다. 양자화 연산 처리에서는, 입력되는 데이터의 비트 폭을 조정하기 위하여, 입력되는 데이터의 비트 시프트나 소수점의 위치에 있는 데이터를 반올림한다. 데이터(QUA)는 전용 연산 회로(46)에 있는 프리 폴링 연산 회로(45)에 출력된다.
- [0074] 프리 폴링 연산 회로(45)는 입력되는 데이터(QUA)에 대하여 폴링 연산 처리의 일부의 연산을 수행함으로써, 프리 폴링 연산 처리가 수행된 데이터(PPD)를 출력하기 위한 회로이다. 프리 폴링 연산 회로(45)를 포함함으로써, 전용 연산 회로(46)는 폴링 연산 처리의 일부를 수행할 수 있다. 데이터(PPD)는 도 4의 (B)에 나타낸 바와 같이, 처리 회로(15)에 포함되는 포스트 폴링 연산 회로(47)에 출력된다. 또한 포스트 폴링 연산 회로(47)를 포함하는 처리 회로(15)는 연산 회로 또는 제 3 연산 회로라고 하는 경우가 있다.
- [0075] 포스트 폴링 연산 회로(47)는 입력되는 데이터(PPD)에 대하여 연산 처리를 수행하여, 데이터(QUA)에 대하여 폴링 연산 처리가 수행된 데이터(PD)를 출력하기 위한 회로이다. 포스트 폴링 연산 회로(47)를 포함함으로써, 처리 회로(15)는 폴링 연산 처리의 모든 연산 처리를 수행하는 경우보다 면적이 축소될 수 있다. 데이터(PD)는 제어 회로(14)에서 입력 데이터(A_{IN})로서 사용된다.
- [0076] 도 5의 (A)는 본 발명의 반도체 장치(10)에서 메모리 회로부(30)에 포함되는 회로 블록(31)에 적용할 수 있는

회로 구성예를 설명하는 도면이다. 도 5의 (A)에는, M행 N열(M, N은 2 이상의 자연수)의 행렬 방향으로 나란히 배치된 기록용 워드선(WWL_1 내지 WWL_M), 판독용 워드선(RWL_1 내지 RWL_M), 기록용 비트선(WBL_1 내지 WBL_N), 및 배선(LBL_1 내지 LBL_N)을 나타내었다. 또한 각 워드선 및 비트선에 접속된 메모리 회로(32)를 나타내었다.

[0077] 도 5의 (B)는 메모리 회로(32)에 적용할 수 있는 회로 구성예를 설명하는 도면이다. 메모리 회로(32)는 트랜지스터(61), 트랜지스터(62), 트랜지스터(63), 용량 소자(64)(커패시터라고도 함)를 포함한다.

[0078] 트랜지스터(61)의 소스 및 드레인 중 한쪽은 기록용 비트선(WBL)에 접속된다. 트랜지스터(61)의 게이트는 기록용 워드선(WWL)에 접속된다. 트랜지스터(61)의 소스 및 드레인 중 다른 쪽은 용량 소자(64)의 한쪽 전극 및 트랜지스터(62)의 게이트에 접속된다. 트랜지스터(62)의 소스 및 드레인 중 한쪽, 그리고 용량 소자(64)의 다른 쪽 전극은 고정 전위, 예를 들어 접지 전위를 공급하는 배선에 접속된다. 트랜지스터(62)의 소스 및 드레인 중 다른 쪽은 트랜지스터(63)의 소스 및 드레인 중 한쪽에 접속된다. 트랜지스터(63)의 게이트는 판독용 워드선(RWL)에 접속된다. 트랜지스터(63)의 소스 및 드레인 중 다른 쪽은 배선(LBL)에 접속된다. 배선(LBL)은 전환 회로(41)를 통하여 배선(GBL)에 접속된다. 배선(LBL)은 연산 회로부(40)에서 Si 트랜지스터가 제공된 기판 표면에 대하여 실질적으로 수직인 방향으로 연장되어 제공되는 배선을 통하여 전환 회로(41)에 접속된다.

[0079] 도 5의 (B)에 나타난 메모리 회로(32)의 회로 구성은 3트랜지스터형(3T) 게인 셀의 NOSRAM에 상당한다. 트랜지스터(61) 내지 트랜지스터(63)는 OS 트랜지스터이다. OS 트랜지스터는 오프 상태에서 소스와 드레인 사이를 흐르는 전류, 즉 누설 전류가 매우 작다. NOSRAM은 누설 전류가 매우 작다는 특성을 사용하여 데이터에 대응하는 전하를 메모리 회로 내에 유지함으로써, 비휘발성 메모리로서 사용할 수 있다.

[0080] 도 5의 (A)의 메모리 회로(32)에 적용할 수 있는 회로 구성은 도 5의 (B)의 3T형 NOSRAM에 한정되지 않는다. 예를 들어 도 6의 (A)에 나타난 DOSRAM에 상당하는 회로이어도 좋다. 도 6의 (A)에는 트랜지스터(61A) 및 용량 소자(64A)를 포함한 메모리 회로(32A)를 나타내었다. 트랜지스터(61A)는 OS 트랜지스터이다. 메모리 회로(32A)는 비트선(BL), 워드선(WL), 및 백 게이트선(BGL)에 접속되는 예를 나타낸 것이다.

[0081] 도 5의 (A)의 메모리 회로(32)에 적용할 수 있는 회로 구성은 도 6의 (B)에 나타난 2T형 NOSRAM에 상당하는 회로이어도 좋다. 도 6의 (B)에는 트랜지스터(61B), 트랜지스터(62B), 및 용량 소자(64B)를 포함한 메모리 회로(32B)를 나타내었다. 트랜지스터(61B) 및 트랜지스터(62B)는 OS 트랜지스터이다. 트랜지스터(61B) 및 트랜지스터(62B)는 서로 다른 층에 반도체층이 배치되는 OS 트랜지스터이어도 좋고, 같은 층에 반도체층이 배치되는 OS 트랜지스터이어도 좋다. 메모리 회로(32B)는 기록용 비트선(WBL), 판독용 비트선으로서 기능하는 배선(LBL), 기록용 워드선(WWL), 판독용 워드선(RWL), 소스선(SL), 및 백 게이트선(BGL)에 접속되는 예를 나타낸 것이다.

[0082] 도 5의 (A)의 메모리 회로(32)에 적용할 수 있는 회로 구성은 도 6의 (C)에 나타난 3T형 NOSRAM을 조합한 회로이어도 좋다. 도 6의 (C)에는 논리가 다른 데이터를 유지할 수 있는 메모리 회로(32_P)와 메모리 회로(32_N)를 포함한 메모리 회로(32C)를 나타내었다. 도 6의 (C)에는 트랜지스터(61_P), 트랜지스터(62_P), 트랜지스터(63_P), 및 용량 소자(64_P)를 포함한 메모리 회로(32_P)와, 트랜지스터(61_N), 트랜지스터(62_N), 트랜지스터(63_N), 및 용량 소자(64_N)를 포함한 메모리 회로(32_N)를 나타내었다. 메모리 회로(32_P) 및 메모리 회로(32_N)에 포함되는 각 트랜지스터는 OS 트랜지스터이다. 메모리 회로(32_P) 및 메모리 회로(32_N)에 포함되는 각 트랜지스터는 서로 다른 층에 반도체층이 배치되는 OS 트랜지스터이어도 좋고, 같은 층에 반도체층이 배치되는 OS 트랜지스터이어도 좋다. 메모리 회로(32C)는 기록용 비트선(WBL_P), 배선(LBL_P), 기록용 비트선(WBL_N), 배선(LBL_N), 기록용 워드선(WWL), 판독용 워드선(RWL)에 접속되는 예를 나타낸 것이다. 메모리 회로(32C)는 논리가 다른 데이터를 유지하고, 논리가 다른 데이터를 배선(LBL_P) 및 배선(LBL_N)에 판독할 수 있다.

[0083] 또한 도 6의 (C)의 구성에서는, 메모리 회로(32_P)와 메모리 회로(32_N)에 유지되는 데이터의 곱셈에 대응하는 데이터가 배선(LBL)에 출력되도록 배타적 논리합 회로(XOR 회로)를 제공하여도 좋다. 상기 구성으로 함으로써, 적화 연산 회로(42)에서의 곱셈에 대응하는 연산을 생략할 수 있기 때문에, 소비 전력을 절감할 수 있다.

[0084] 도 7의 (A)는 전환 회로(41)에 대하여 설명하는 도면이다. 도 7의 (A)에서는, 회로 블록(31)에 있는 메모리 회로(32)로부터 가중치 데이터(W₁ 내지 W₆)가 배선(LBL_1 내지 LBL_6)에 판독되는 것으로 설명한다. 또한 전환 회로(41)에 의하여 가중치 데이터(W₁ 내지 W₆)로부터 선택되고, 배선(GBL)에 공급되는 가중치 데이터를 가중치 데이터(W_{SEL})로서 설명한다. 적화 연산 회로(42)에는 각각 입력 데이터(A_{IN})가 공급되고, 적화 연산이 수행된 데

이터에 상당하는 데이터(MAC)를 얻는 것으로 설명한다.

- [0085] 배선(LBL₁ 내지 LBL₆)에서의 위층과 아래층을 연결하는 수직 방향으로 연장되는 배선(LBL_p)은 수평 방향으로 연장되는 배선보다 짧다. 그러므로 배선(LBL₁ 내지 LBL₆)의 기생 용량을 작게 할 수 있어, 배선의 충방전에 필요한 전하를 감소시킬 수 있기 때문에, 소비 전력 절감 및 연산 효율 향상을 도모할 수 있다. 또한 메모리 회로(32)로부터 배선(LBL₁ 내지 LBL₆)에 대한 판독을 고속으로 수행할 수 있다.
- [0086] 적화 연산 회로(42)에서는, 가중치 데이터(W_{SEL})를 사용한 연산 처리를 배선(GBL)을 통하여 수행할 수 있다. 가중치 데이터(W_{SEL})는 배선(GBL)을 통하여 복수의 적화 연산 회로(42)에 공급되는 구성으로 할 수 있다. 상기 구성은 동일한 가중치 데이터를 사용한 연산 처리를 수행하는 합성곱 신경망의 연산 처리에 적합하다.
- [0087] 도 7의 (B)는, 도 7의 (A)에 나타난 전환 회로(41)에 적용할 수 있는 회로 구성의 일례를 나타낸 것이다. 도 7의 (B)에 나타난 3상태 버퍼는 배선(LBL)의 전위를 제어 신호(EN)에 따라 증폭하여 배선(GBL)에 전달하는 기능을 갖는다. 전환 회로(41)는 멀티플렉서로 간주할 수 있다. 복수의 입력 신호로부터 하나를 선택하는 기능을 갖는다.
- [0088] 또한 도 7의 (A)에는 전환 회로(41)가 복수의 배선(LBL)으로부터 하나의 배선을 선택하고 가중치 데이터(W_{SEL})를 배선(GBL)에 공급하는 구성을 나타내었지만, 다른 구성으로 하여도 좋다. 예를 들어 전환 회로로서 복수의 전환 회로를 제공하는 구성으로 하여도 좋다. 또한 도 7의 (A)에는, 각 메모리 회로(32)가 1비트의 데이터(즉 '1' 또는 '0'의 데이터)를 유지하고, 상기 데이터를 사용하여 연산 처리를 수행하는 구성을 나타내었지만, 멀티비트의 데이터를 사용하여 연산 처리를 수행하는 구성에도 본 발명의 일 형태는 적용될 수 있다. 멀티비트(예를 들어 n비트)의 데이터의 경우, 비트 수에 대응한 개수의 배선(LBL₁ 내지 LBL_n)에 접속된 전환 회로(41)를 사용하여, 배선(GBL)에 공급되는 멀티비트의 가중치 데이터를 선택하는 구성으로 하면 좋다.
- [0089] 메모리 회로부(30)와 연산 회로부(40)가 다른 칩에 제공되는 경우, 칩의 핀 수에 따라 버스 폭이 제한된다. 한편, 본 발명의 일 형태의 구성과 같이 메모리 회로부(30)와 연산 회로부(40)를 적층하는 구성에서는, 배선(LBL)을 제공하는 개구에 따라 연산 처리에 필요한 데이터의 병렬 수를 늘릴 수 있기 때문에, 효율적인 연산 처리를 수행할 수 있다.
- [0090] 도 8에는, 도 7의 (A)에 나타난 각 구성의 동작을 설명하기 위한 타이밍 차트를 나타내었다. 적화 연산 회로(42)에서는 클록 신호(CLK)의 토글 동작(예를 들어 시각 T0 내지 시각 T6)에 따라 연산 처리를 수행한다. 클록 신호(CLK)의 주파수를 높이는 구성으로 함으로써, 연산 처리의 고속화를 도모할 수 있다.
- [0091] 입력 데이터(A_{IN})를 클록 신호(CLK)에 따라 고속으로 전환하는 경우, 가중치 데이터가 공급되는 배선(GBL)의 데이터를 고속으로 전환할 필요가 있다.
- [0092] 본 발명의 일 형태의 구성에서는, 배선(LBL)으로부터 전환 회로(41)를 통하여 배선(GBL)에 판독하는 가중치 데이터를 미리 배선(LBL₁ 내지 LBL₆)에 판독함으로써, 가중치 데이터가 공급되는 배선(GBL)의 데이터를 고속으로 전환할 수 있다. 예를 들어 시각 T0에 배선(LBL₁)에 가중치 데이터(W₁)를 판독하고, 시각 T1에 전환 회로(41)를 전환하여 배선(LBL₁)으로부터 배선(GBL)에 가중치 데이터(W₁)를 출력하는 구성으로 할 수 있다. 시각 T1 내지 시각 T6에도 배선(LBL)에 대한 가중치 데이터(W₁ 내지 W₆)의 판독과, 배선(GBL)에서의 가중치 데이터(W_{SEL})의 판독의 시각을 다르게 함으로써, 클록 신호(CLK)에 따른 가중치 데이터(W_{SEL})의 전환을 수행하는 구성으로 할 수 있다.
- [0093] 도 9의 (A)는 적화 연산 회로(42)의 구체적인 구성예를 나타낸 것이다. 도 9의 (A)에는 8비트의 가중치 데이터와 8비트의 입력 데이터의 적화 연산을 수행할 수 있는 적화 연산 회로(42)의 구성예를 나타내었다. 도 9의 (A)에는 곱셈 회로(51), 가산 회로(52), 및 레지스터(53)를 나타내었다. 곱셈 회로(51)에서 곱셈된 16비트의 데이터는 가산 회로(52)에 입력된다. 가산 회로(52)의 출력이 레지스터(53)에 유지되고, 곱셈 회로(51)에서 곱셈되는 데이터와 가산 회로(52)에서 더해짐으로써 적화 연산이 수행된다. 레지스터(53)는 클록 신호(CLK) 및 리셋 신호(reset_B)에 의하여 제어된다. 또한 도면의 "17+a"에서의 "a"는 곱셈 데이터를 가산함으로써 발생하는 자리 올림수를 나타낸 것이다. 상기 구성으로 함으로써, 가중치 데이터(W_{SEL})와 입력 데이터(A_{IN})의 적화 연산에 대응하는 데이터(MAC)를 얻을 수 있다.
- [0094] 또한 도 9의 (A)에는, 8비트의 데이터를 사용한 연산 처리를 수행하는 구성을 나타내었지만, 1비트의 데이터를

사용한 구성에도 본 발명의 일 형태는 적용될 수 있다. 상기 구성을 도 9의 (A)와 같은 식으로 도 9의 (B)에 나타내었다. 1비트의 데이터의 경우, 도 9의 (B)에 나타낸 바와 같이, 비트 수에 따른 연산 처리를 수행하면 좋다.

- [0095] 도 10은 상술한 활성화 함수 연산 회로(43)의 구성예를 나타낸 도면이다. 도 10에 나타낸 활성화 함수 연산 회로(43)는 일례로서 ReLU 함수에 기초한 활성화 함수의 연산을 수행하는 기능을 갖는다.
- [0096] 도 10에 나타낸 활성화 함수 연산 회로(43)는 복수의 멀티플렉서(54)를 포함한다. 멀티플렉서(54)에는 예를 들어 8비트의 데이터(MAC[0] 내지 MAC[7])가 입력된다. 또한 멀티플렉서(54)에는 데이터(0)가 입력된다. 멀티플렉서(54)에서는 데이터(MAC)의 최상위 비트인 데이터(MAC[7])에 따라, 데이터(MAC[0] 내지 MAC[7]) 또는 데이터(0)가 데이터(FUNC[0] 내지 FUNC[7])로서 출력된다. 데이터(MAC)가 부호 있는 정수(整數)인 경우, 데이터(MAC)의 최상위 비트가 0이면 양의 값을, 1이면 음의 값을 나타내기 때문에, 활성화 함수 연산 회로(43)에서는 ReLU 함수에 기초한 활성화 함수의 연산을 수행할 수 있다.
- [0097] 도 11은 상술한 프리 폴링 연산 회로(45)의 구성예를 나타낸 도면이다. 도 11에 나타낸 프리 폴링 연산 회로(45)는 일례로서 맥스 폴링에 기초한 프리 폴링 연산 처리의 연산을 수행하는 기능을 갖는다.
- [0098] 도 11에 나타낸 프리 폴링 연산 회로(45)는 비교 회로(55) 및 레지스터(56)를 포함한다. 비교 회로(55)에는 초깃값이 되는 데이터 또는 레지스터(56)로부터 입력되는 데이터와, 양자화 연산 회로(44)로부터 출력되는 데이터(QUA)가 입력된다. 비교 회로(55)는 입력되는 2개의 데이터를 비교하여, 값이 큰 쪽의 데이터를 데이터(QUA[C])로서 레지스터(56)에 출력한다. 데이터(QUA[C])는 레지스터(56)에 유지된다. 유지된 데이터(QUA[C])는 프리 폴링 연산 회로(45)의 출력 신호인 데이터(PPD) 또는 비교 회로(55)에 입력되는 데이터(QUA[MAX])가 된다.
- [0099] 프리 폴링 연산 회로(45)의 동작에 대하여 도 12를 참조하여 설명한다. 도 12에서는, 양자화 연산 회로(44)로부터 출력되는 데이터(QUA)로서, 데이터(QUA[1]), 데이터(QUA[2]) 내지 데이터(QUA[N])가 클럭 신호(CLK)의 변화에 따라 차례로 입력되는 것으로 한다. 비교 회로(55)에 초깃값으로서 입력되는 데이터를 데이터(QUA[0])로 한다.
- [0100] 기간 P1에는 데이터(QUA[0])와 데이터(QUA[1])가 비교 회로(55)에 입력된다. 데이터(QUA[1])가 데이터(QUA[0])보다 큰 경우, 데이터(QUA[1])가 비교 회로(55)의 출력 데이터, 즉 데이터(QUA[C])로서 레지스터(56)에 유지된다.
- [0101] 이어서, 기간 P2에는 데이터(QUA[2])가 클럭 신호(CLK)의 변화에 따라 비교 회로(55)에 입력된다. 또한 비교 회로(55)에는 기간 P1에 레지스터(56)에 유지된 데이터(QUA[1])가 입력된다. 데이터(QUA[2])가 데이터(QUA[1])보다 큰 경우, 데이터(QUA[2])가 비교 회로(55)의 출력 데이터, 즉 데이터(QUA[C])로서 레지스터(56)에 유지된다.
- [0102] 비교 회로(55)에서, 순차적으로 입력되는 데이터(QUA)의 값의 크기를 비교하여, 큰 쪽의 데이터를 레지스터(56)에 유지함으로써, 레지스터(56)에는 입력된 데이터(QUA) 중 가장 큰 데이터(QUA[MAX])가 유지된다. 기간 PN에는 데이터(QUA[N])가 비교 회로(55)에 입력된다. 또한 비교 회로(55)에는 기간 P(N-1)까지 레지스터(56)에 유지된 데이터(QUA[MAX])가 입력된다. 데이터(QUA[MAX])가 데이터(QUA[N])보다 큰 경우, 데이터(QUA[MAX])가 비교 회로(55)의 출력 데이터, 즉 데이터(QUA[C])로서 레지스터(56)에 유지된다. 그리고 레지스터(56)에 유지되는 데이터(QUA[MAX])가 데이터(PPD)로서 출력된다.
- [0103] 도 12를 사용하여 설명한 동작을 복수의 전용 연산 회로에서 수행하고, 얻어지는 데이터(PPD)를 다시 비교함으로써, 폴링 연산 처리가 수행된 데이터(PD)를 얻을 수 있다.
- [0104] 예를 들어 도 13의 (A)에 나타낸 구성예와 같이 전용 연산 회로(46_1 내지 46_3)를 포함하고, 3×3의 폴링 연산 처리를 수행하는 경우에 대하여 설명한다. 전용 연산 회로(46_1 내지 46_3)에서는 양자화 연산 회로(44)로부터 데이터(QUA[1] 내지 QUA[9])를 분할하여 처리하여, 프리 폴링 연산 회로(45)에서 데이터(PPD[1] 내지 PPD[3])를 얻을 수 있다. 즉 프리 폴링 연산 회로(45)는 1차원에 있는 데이터의 최댓값을 프리 폴링 연산 회로(45)로부터 출력되는 데이터(PPD)로서 추출할 수 있다. 데이터(PPD[1] 내지 PPD[3])는 처리 회로(47)에 있는 포스트 폴링 연산 회로(47)에서 비교되고, 데이터(PD)를 얻을 수 있다. 포스트 폴링 연산 회로(47)는 입력되는 데이터(PPD)의 값의 크기를 비교하는 비교 회로의 기능을 갖는다. 즉 포스트 폴링 연산 회로(47)는 3×3이 되는 2차원의 데이터의 최댓값, 즉 3×3의 맥스 폴링이 수행된 데이터(PD)를 출력 데이터로서 추출할 수 있다.

- [0105] 도 13의 (A)의 예에서는, 구체적으로는 도 13의 (B)에 나타난 동작에 의하여 데이터(QUA[1] 내지 QUA[9])를 분할하여 처리하여, 프리 폴링 연산 회로(45)에서 데이터(PPD[1] 내지 PPD[3])를 얻을 수 있다. 예를 들어 전용 연산 회로(46_1)에서는 데이터(QUA[1] 내지 QUA[3])를 비교하여 데이터(PPD[1])를 얻는다. 또한 전용 연산 회로(46_2)에서는 데이터(QUA[4] 내지 QUA[6])를 비교하여 데이터(PPD[2])를 얻는다. 또한 전용 연산 회로(46_3)에서는 데이터(QUA[7] 내지 QUA[9])를 비교하여 데이터(PPD[3])를 얻는다. 상기 구성의 경우, 서로 다른 전용 연산 회로를 사용하여 데이터(PPD)를 얻기 때문에, 적은 클록 수로 데이터(PPD)를 얻을 수 있다.
- [0106] 예를 들어 도 14의 (A)에 나타난 바와 같이, 프리 폴링 연산 회로(45)에서 데이터(PPD)를 얻지 않고, 복수의 양자화 연산 회로(44_1 내지 44_9)로부터 데이터(QUA[1] 내지 QUA[9])를 포스트 폴링 연산 회로(47)에 출력하여 데이터(PD)를 얻는 경우, 데이터를 전송하는 배선 수가 증가된다. 그러므로 반도체 장치(10)의 소형화 및 소비 전력 절감이 어려워지는 경우가 있다.
- [0107] 또한 예를 들어 도 14의 (B)에 나타난 바와 같이, 하나의 프리 폴링 연산 회로(45)에 입력되는 데이터(QUA[1] 내지 QUA[9])를 비교하여 데이터(PD)를 얻는 경우, 데이터(QUA)의 수에 따라서는 데이터(PD)를 얻는 데 시간이 걸리기 때문에, 반도체 장치(10)에서의 연산 처리의 고속화가 어려워지는 경우가 있다.
- [0108] 본 실시형태에서의 반도체 장치(10)에서는, 신경망의 각 연산 처리를 전용 연산 회로에서 수행하는 경우, 폴링 연산 처리와 같은 복수의 데이터를 사용하여 연산 처리를 수행하는 구성으로 하면, 분산된 연산 처리를 수행할 수 있다. 또한 전용 연산 회로와 적화 연산 회로를 접속하는 배선을 짧게 할 수 있기 때문에, 전용 연산 회로를 배치하기 위한 면적의 확대를 억제할 수 있다. 또한 전용 연산 회로에 복수의 메모리 회로를 배치하는 구성으로 할 수 있기 때문에, 메모리 회로를 배치할 수 있는 면적을 확대할 수 있다. 그 결과, 방대한 수의 가중치 데이터를 메모리 회로부에서 유지할 수 있어, 외부의 메모리 회로로부터 가중치 데이터를 전송하는 횟수를 삭감할 수 있기 때문에, 소비 전력을 절감할 수 있다.
- [0109] 도 15는, 도 1의 (A) 및 (B)를 사용하여 설명한 연산 회로부(40) 위에 적층되어 제공되는 메모리 회로부(30) 및 그 주변 회로의 구성예를 나타낸 것이다. 구체적으로는, 도 15에는 구동 회로(12), 구동 회로(13), 제어 회로(14), 처리 회로(15), 전환 회로(41), 적화 연산 회로(42), 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 및 프리 폴링 연산 회로(45)를 나타내었다. 또한 도 15에는 처리 회로(15) 내에 있는 포스트 폴링 연산 회로(47)를 나타내었다.
- [0110] 또한 도 15에는 나타내지 않았지만, 도 15에서는 각 회로를 제어하기 위한 제어 신호, 입력 데이터, 및 출력 데이터가 외부의 회로와 각 회로 사이에서 입출력된다.
- [0111] 도 16의 (A)는 도 15에 나타난 각 구성에서 메모리 회로부(30)를 제어하는 블록을 추출하여 나타낸 도면이다. 도 16의 (A)에는, 메모리 회로부(30)에서의 회로 블록(31)에 포함되는 메모리 회로(32) 외에, 구동 회로(12), 구동 회로(13)를 추출하여 나타내었다.
- [0112] 구동 회로(12) 및 구동 회로(13)는 외부로부터의 입력 신호를 처리하여 메모리 회로에 가중치 데이터를 기록하기 위한 신호 및 메모리 회로로부터 가중치 데이터를 판독하기 위한 신호를 생성한다. 생성된 신호는 배선을 통하여 메모리 회로에 공급된다.
- [0113] 도 16의 (B)는 도 15에 나타난 각 구성에서 연산 회로부(40)를 제어하는 블록을 추출하여 나타낸 도면이다. 도 16의 (B)에는 연산 회로부(40)에 포함되는 전환 회로(41), 적화 연산 회로(42), 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 및 프리 폴링 연산 회로(45) 외에, 제어 회로(14), 처리 회로(15), 및 처리 회로(15) 내에 있는 포스트 폴링 연산 회로(47)를 나타내었다.
- [0114] 제어 회로(14)는 입력 데이터(A_{IN})를 생성하여 적화 연산 회로(42)에 출력한다. 제어 회로(14)는 전환 회로(41)를 제어하는 제어 신호를 출력한다. 전환 회로(41)는 메모리 회로(32)로부터 판독되는 가중치 데이터를 선택하여 가중치 데이터(W_{SEL})로서 연산 회로(42)에 출력한다. 전용 연산 회로인 활성화 함수 연산 회로(43), 양자화 연산 회로(44), 및 프리 폴링 연산 회로(45)에서는, 적화 연산 회로(42)에서 생성되는 데이터(MAC)의 연산 처리가 수행되고, 프리 폴링 연산 처리가 수행된 데이터(PPD)가 처리 회로(15) 내에 있는 포스트 폴링 연산 회로(47)에 출력된다. 처리 회로(15) 내에 있는 포스트 폴링 연산 회로(47)는 폴링 연산 처리가 수행된 데이터(PD)를 제어 회로(14)에 출력하고, 제어 회로(14)에서는 입력 데이터(A_{IN})가 생성된다. 생성된 데이터는 연산 회로부(40)에 다시 입력된다.
- [0115] 반도체 장치(10)에서는, 제어 회로(14)가 연산 처리가 수행된 데이터를 연산 회로부(40)에 대한 입력 데이터로

서 다시 출력할 수 있다. 그러므로 연산 도중의 데이터를 반도체 장치(10)의 외부에 있는 메인 메모리 등에 판독하지 않고 연산 처리를 실행할 수 있다. 또한 반도체 장치(10)에서는, 절연막 등에 제공하는 개구부의 배선을 통하여 메모리 회로부와 연산 회로부를 전기적으로 접속할 수 있기 때문에, 배선 수를 늘림으로써 병렬 수를 늘릴 수 있다. 그러므로 반도체 장치(10)에서는, CPU(110)의 데이터 버스 폭 이상의 비트 수의 병렬 계산이 가능하다. 또한 적화 연산 회로에 더하여, 활성화 함수 연산 처리 등의 전용 연산 처리를 수행하는 회로를 메모리 회로와 적층시켜 제공하는 구성으로 하기 때문에, 메모리 회로가 배치될 수 있는 면적을 확대할 수 있다. 그 결과, 방대한 수의 가중치 데이터를 메모리 회로부에서 유지할 수 있어, 외부의 메모리 회로로부터 가중치 데이터를 전송하는 횟수를 삭감할 수 있기 때문에, 소비 전력을 절감할 수 있다.

[0116] 또한 본 발명의 일 형태에서 폴링 연산 처리와 같이 하나의 연산 처리를 복수의 장소에서 분산하여 수행하는 구성은 전용 연산 회로와 적화 연산 회로를 접속하는 배선을 짧게 할 수 있다. 그러므로 연산 처리를 복수의 장소에서 분산하여 수행하는 구성은 전용 연산 회로를 배치하기 위한 면적의 확대를 억제하는 데 유효하다. 상기 구성은 도 1에 나타난 메모리 회로부와 연산 회로부를 적층하지 않는 구성, 예를 들어 도 15, 도 16의 (A), (B)에 나타난 구성에서 메모리 회로부(30), 연산 회로부(40), 그리고 구동 회로(12), 구동 회로(13), 제어 회로(14), 및 처리 회로(15) 등의 주변 회로를 Si 트랜지스터로 구성하고, 메모리 회로부(30)와 연산 회로부(40)를 적층하지 않는 경우에도 유효하다.

[0117] 상술한 바와 같이, 본 발명의 일 형태는 소형화되고, 액셀러레이터로서 기능하는 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태는 소비 전력이 절감되고, 액셀러레이터로서 기능하는 반도체 장치를 제공할 수 있다. 또는 신규 구성을 갖고, 액셀러레이터로서 기능하는 반도체 장치를 제공할 수 있다.

[0118] (실시형태 2)

[0119] 본 실시형태에서는, 앞의 실시형태에서 설명한 CPU(110)에 의하여 실행되는 프로그램의 연산의 일부를, 반도체 장치(10)로서 설명한 액셀러레이터가 실행하는 경우의 동작의 일례를 설명한다.

[0120] 도 17은 CPU에 의하여 실행되는 프로그램의 연산의 일부를 액셀러레이터가 실행하는 경우의 동작의 일례를 설명하는 도면이다.

[0121] CPU에 의하여 호스트 프로그램이 실행된다(호스트 프로그램 실행; 단계 S1).

[0122] 액셀러레이터를 사용하여 연산을 수행할 때 필요한 데이터용 영역을 메모리 회로부에 확보하라는 명령을 CPU가 확인한 경우(메모리 확보 명령; 단계 S2), 상기 데이터용 영역을 메모리 회로부에 확보한다(메모리 확보; 단계 S3).

[0123] 다음으로, CPU는 입력 데이터인 가중치 데이터를 메인 메모리 또는 외부 기억 장치로부터 상기 메모리 회로부에 전송한다(데이터 전송; 단계 S4). 상기 메모리 회로부는 상기 가중치 데이터를 수신하고, 상기 가중치 데이터를 단계 S3에서 확보된 영역에 저장한다(데이터 수신; 단계 S5).

[0124] 커널 프로그램을 기동하라는 명령을 CPU가 확인한 경우(커널 프로그램의 기동; 단계 S6), 액셀러레이터는 커널 프로그램의 실행을 시작한다(연산 시작; 단계 S7).

[0125] 액셀러레이터가 커널 프로그램의 실행을 시작한 직후, CPU는 연산을 수행하는 상태로부터 PG(과워 게이팅) 상태로 전환되어도 좋다(PG 상태 이행; 단계 S8). 그 경우, 액셀러레이터가 커널 프로그램의 실행을 종료하는 직전에 CPU는 PG 상태에서부터 연산을 수행하는 상태로 전환된다(PG 상태 정지; 단계 S9). 단계 S8부터 단계 S9까지의 기간 CPU를 PG 상태로 함으로써, 연산 처리 시스템 전체로서 소비 전력 및 발열을 억제할 수 있다.

[0126] 액셀러레이터가 커널 프로그램의 실행을 종료하면, 액셀러레이터 내에 있는 연산 결과를 유지하는 저장부에 출력 데이터가 저장된다(연산 종료; 단계 S10).

[0127] 커널 프로그램의 실행이 종료된 후, 저장부에 저장된 출력 데이터를 메인 메모리 또는 외부 기억 장치에 전송하라는 명령을 CPU가 확인한 경우(데이터 전송 리퀘스트; 단계 S11)에는, 상기 출력 데이터는 메인 메모리 또는 외부 기억 장치에 전송되고, 메인 메모리 또는 외부 기억 장치에 저장된다(데이터 전송; 단계 S12).

[0128] 상술한 단계 S1부터 단계 S12까지의 동작을 반복함으로써, CPU 및 액셀러레이터의 소비 전력 및 발열을 억제하면서, CPU에 의하여 실행되는 연산의 일부를 액셀러레이터가 실행할 수 있다. 본 발명의 일 형태의 반도체 장치는 비노이만형 아키텍처를 갖고, 처리 속도의 상승에 따라 소비 전력이 증가되는 노이만형 아키텍처에 비하여 매우 낮은 소비 전력으로 연산 처리를 수행할 수 있다.

- [0129] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0130] (실시형태 3)
- [0131] 본 실시형태에서는, 파워 게이팅을 할 수 있는 CPU 코어를 포함한 CPU의 일례를 설명한다.
- [0132] 도 18에 CPU(110)의 구성예를 나타내었다. CPU(110)는 CPU 코어(CPU Core)(200), L1(레벨 1) 캐시 메모리 장치(L1 Cache)(202), L2 캐시 메모리 장치(L2 Cache)(203), 버스 인터페이스부(Bus I/F)(205), 파워 스위치(210 내지 212), 레벨 시프터(LS)(214)를 포함한다. CPU 코어(200)는 플립플롭(220)을 포함한다.
- [0133] 버스 인터페이스부(205)를 통하여, CPU 코어(200), L1 캐시 메모리 장치(202), L2 캐시 메모리 장치(203)가 서로 접속된다.
- [0134] 외부로부터 입력되는 인터럽트 신호(Interrupts), CPU(110)가 발행하는 신호(SLEEP1) 등의 신호에 따라, PMU(193)는 클록 신호(GCLK1), 각종 PG(파워 게이팅) 제어 신호(PG control signals)를 생성한다. 클록 신호(GCLK1), PG 제어 신호는 CPU(110)에 입력된다. PG 제어 신호는 파워 스위치(210 내지 212), 플립플롭(220)을 제어한다.
- [0135] 파워 스위치(210, 211)는 가상 전원선(V_VDD)(이하, V_VDD선이라고 부름)에 대한 전압(VDDD, VDD1)의 공급을 각각 제어한다. 파워 스위치(212)는 레벨 시프터(LS)(214)에 대한 전압(VDDH)의 공급을 제어한다. CPU(110) 및 PMU(193)에는 파워 스위치를 통하지 않고 전압(VSSS)이 입력된다. PMU(193)에는 파워 스위치를 통하지 않고 전압(VDDD)이 입력된다.
- [0136] 전압(VDDD, VDD1)은 CMOS 회로용 구동 전압이다. 전압(VDD1)은 전압(VDDD)보다 낮고, 슬리프 상태에서의 구동 전압이다. 전압(VDDH)은 OS 트랜지스터용 구동 전압이고, 전압(VDDD)보다 높다.
- [0137] L1 캐시 메모리 장치(202), L2 캐시 메모리 장치(203), 버스 인터페이스부(205)의 각각은 파워 게이팅을 할 수 있는 파워 도메인을 적어도 하나 포함한다. 파워 게이팅을 할 수 있는 파워 도메인에는 하나 또는 복수의 파워 스위치가 제공되어 있다. 이들 파워 스위치는 PG 제어 신호에 의하여 제어된다.
- [0138] 플립플롭(220)은 레지스터에 사용된다. 플립플롭(220)에는 백업 회로가 제공되어 있다. 이하에서, 플립플롭(220)에 대하여 설명한다.
- [0139] 도 19의 (A)에 플립플롭(Flip-flop)(220)의 회로 구성예를 나타내었다. 플립플롭(220)은 스캔 플립플롭(Scan Flip-flop)(221), 백업 회로(Backup Circuit)(222)를 포함한다.
- [0140] 스캔 플립플롭(221)은 노드(D1, Q1, SD, SE, RT, CK), 클록 버퍼 회로(221A)를 포함한다.
- [0141] 노드(D1)는 데이터(data) 입력 노드이고, 노드(Q1)는 데이터 출력 노드이고, 노드(SD)는 스캔 테스트용 데이터의 입력 노드이다. 노드(SE)는 신호(SCE)의 입력 노드이다. 노드(CK)는 클록 신호(GCLK1)의 입력 노드이다. 클록 신호(GCLK1)는 클록 버퍼 회로(221A)에 입력된다. 스캔 플립플롭(221)의 아날로그 스위치는 클록 버퍼 회로(221A)의 노드(CK1, CKB1)에 접속된다. 노드(RT)는 리셋 신호(reset signal)의 입력 노드이다.
- [0142] 신호(SCE)는 스캔 인에이블 신호이고, PMU(193)에서 생성된다. PMU(193)는 신호(BK, RC)를 생성한다. 레벨 시프터(214)는 신호(BK, RC)를 레벨 시프트하여 신호(BKH, RCH)를 생성한다. 신호(BK)는 백업 신호이고, 신호(RC)는 리커버리 신호이다.
- [0143] 스캔 플립플롭(221)의 회로 구성은 도 19에 한정되지 않는다. 표준적인 회로 라이브러리에 준비되어 있는 플립플롭을 적용할 수 있다.
- [0144] 백업 회로(222)는 노드(SD_IN, SN11), 트랜지스터(M11 내지 M13), 용량 소자(C11)를 포함한다.
- [0145] 노드(SD_IN)는 스캔 테스트 데이터의 입력 노드이고, 스캔 플립플롭(221)의 노드(Q1)에 접속된다. 노드(SN11)는 백업 회로(222)의 유지 노드이다. 용량 소자(C11)는 노드(SN11)의 전압을 유지하기 위한 유지 용량이다.
- [0146] 트랜지스터(M11)는 노드(Q1)와 노드(SN11) 사이의 도통 상태를 제어한다. 트랜지스터(M12)는 노드(SN11)와 노드(SD) 사이의 도통 상태를 제어한다. 트랜지스터(M13)는 노드(SD_IN)와 노드(SD) 사이의 도통 상태를 제어한다. 트랜지스터(M11, M13)의 온/오프는 신호(BKH)에 의하여 제어되고, 트랜지스터(M12)의 온/오프는 신호(RCH)에 의하여 제어된다.
- [0147] 트랜지스터(M11 내지 M13)는 상술한 메모리 회로(32)에 포함되는 트랜지스터(61 내지 63)와 마찬가지로 OS 트랜

지스터이다. 트랜지스터(M11 내지 M13)가 백 게이트를 갖는 구성을 나타내었다. 트랜지스터(M11 내지 M13)의 백 게이트는 전압(VBG1)을 공급하는 전원선에 접속되어 있다.

- [0148] 적어도 트랜지스터(M11, M12)가 OS 트랜지스터인 것이 바람직하다. 오프 전류가 매우 낮다는 OS 트랜지스터의 장점에 의하여 노드(SN11)의 전압의 저하를 억제할 수 있고, 데이터의 유지에 전력이 거의 소비되지 않기 때문에, 백업 회로(222)는 비휘발성의 특성을 갖는다. 용량 소자(C11)의 충방전에 의하여 데이터를 재기록하기 때문에, 백업 회로(222)는 원리적으로 재기록 횟수에 제약이 없고, 낮은 에너지로 데이터의 기록 및 판독을 할 수 있다.
- [0149] 백업 회로(222)의 트랜지스터는 모두 OS 트랜지스터인 것이 매우 바람직하다. 도 19의 (B)에 나타낸 바와 같이, 실리콘 CMOS 회로로 구성되는 스캔 플립플롭(221) 위에 백업 회로(222)를 적층할 수 있다.
- [0150] 백업 회로(222)는 스캔 플립플롭(221)보다 소자 수가 매우 적기 때문에, 백업 회로(222)를 적층하는 데 있어 스캔 플립플롭(221)의 회로 구성 및 레이아웃을 변경할 필요가 없다. 즉 백업 회로(222)는 범용성이 매우 높은 백업 회로이다. 또한 스캔 플립플롭(221)이 형성되어 있는 영역 내에 백업 회로(222)를 제공할 수 있기 때문에, 백업 회로(222)를 제공하여도 플립플롭(220)의 면적 오버헤드를 0으로 할 수 있다. 따라서 백업 회로(222)를 플립플롭(220)에 제공함으로써, CPU 코어(200)의 파워 게이팅이 가능하다. 파워 게이팅에 필요한 에너지가 적기 때문에, CPU 코어(200)의 파워 게이팅을 고효율로 수행할 수 있다.
- [0151] 백업 회로(222)를 제공하면 트랜지스터(M11)의 기생 용량이 노드(Q1)에 부가되지만, 노드(Q1)에 접속되는 논리 회로의 기생 용량보다 작기 때문에, 스캔 플립플롭(221)의 동작에 대한 영향은 없다. 즉 백업 회로(222)를 제공하여도 플립플롭(220)의 성능은 실질적으로 저하되지 않는다.
- [0152] CPU 코어(200)는 저소비 전력 상태로서, 예를 들어 클록 게이팅 상태, 파워 게이팅 상태, 휴지 상태로 설정될 수 있다. PMU(193)는 인터럽트 신호, 신호(SLEEP1) 등에 기초하여, CPU 코어(200)의 저소비 전력 모드를 선택한다. 예를 들어 통상 동작 상태에서부터 클록 게이팅 상태로 이행하는 경우, PMU(193)는 클록 신호(GCLK1)의 생성을 정지한다.
- [0153] 예를 들어 통상 동작 상태에서부터 휴지 상태로 이행하는 경우에는, PMU(193)는 전압 및/또는 주파수 스케일링을 수행한다. 예를 들어 전압 스케일링을 수행하는 경우, PMU(193)는 전압(VDD1)을 CPU 코어(200)에 입력하기 위하여, 파워 스위치(210)를 오프로 하고, 파워 스위치(211)를 온으로 한다. 전압(VDD1)은 스캔 플립플롭(221)의 데이터가 소실되지 않는 전압이다. 주파수 스케일링을 수행하는 경우, PMU(193)는 클록 신호(GCLK1)의 주파수를 저하시킨다.
- [0154] CPU 코어(200)를 통상 동작 상태에서부터 파워 게이팅 상태로 이행하는 경우에는, 스캔 플립플롭(221)의 데이터를 백업 회로(222)에 백업하는 동작이 수행된다. CPU 코어(200)를 파워 게이팅 상태에서부터 통상 동작 상태로 복귀시키는 경우에는, 백업 회로(222)의 데이터를 스캔 플립플롭(221)에 리커버리하는 동작이 수행된다.
- [0155] 도 20에 CPU 코어(200)의 파워 게이팅 시퀀스의 일례를 나타내었다. 또한 도 20에서, t1 내지 t7은 시각을 나타낸다. 신호(PSE0 내지 PSE2)는 파워 스위치(210 내지 212)의 제어 신호이고, PMU(193)에서 생성된다. 신호(PSE0)가 "H"/"L"일 때, 파워 스위치(210)는 온/오프이다. 신호(PSE1, PSE2)에 대해서도 마찬가지이다.
- [0156] 시각 t1 이전은 통상 동작 상태(Normal Operation)이다. 파워 스위치(210)는 온이고, CPU 코어(200)에는 전압(VDDD)이 입력된다. 스캔 플립플롭(221)은 통상 동작을 수행한다. 이때, 레벨 시프터(214)를 동작시킬 필요가 없기 때문에, 파워 스위치(212)는 오프이고, 신호(SCE, BK, RC)는 "L"이다. 노드(SE)가 "L"이기 때문에, 스캔 플립플롭(221)은 노드(D1)의 데이터를 저장한다. 또한 도 20의 예에서, 시각 t1에 백업 회로(222)의 노드(SN11)는 "L"이다.
- [0157] 백업(Backup) 시의 동작에 대하여 설명한다. 시각 t1에 PMU(193)는 클록 신호(GCLK1)를 정지하고, 신호(PSE2, BK)를 "H"로 한다. 레벨 시프터(214)는 액티브가 되고, "H"의 신호(BKH)를 백업 회로(222)에 출력한다.
- [0158] 백업 회로(222)의 트랜지스터(M11)가 온이 되고, 스캔 플립플롭(221)의 노드(Q1)의 데이터가 백업 회로(222)의 노드(SN11)에 기록된다. 스캔 플립플롭(221)의 노드(Q1)이 "L"이면 노드(SN11)는 그대로 "L"이고, 노드(Q1)이 "H"이면 노드(SN11)는 "H"가 된다.
- [0159] PMU(193)는 시각 t2에 신호(PSE2, BK)를 "L"로 하고, 시각 t3에 신호(PSE0)를 "L"로 한다. 시각 t3에 CPU 코어(200)의 상태는 파워 게이팅 상태로 이행한다. 또한 신호(BK)를 하강시키는 타이밍에 신호(PSE0)를 하강시켜

도 좋다.

- [0160] 파워 게이팅(Power-gating) 시의 동작에 대하여 설명한다. 신호(PSE0)가 "L"이 되면 V_VDD선의 전압이 저하되기 때문에, 노드(Q1)의 데이터는 소실된다. 노드(SN11)는 시각 t3의 노드(Q1)의 데이터를 계속 유지한다.
- [0161] 리커버리(Recovery) 시의 동작에 대하여 설명한다. 시각 t4에 PMU(193)가 신호(PSE0)를 "H"로 함으로써, 파워 게이팅 상태에서부터 리커버리 상태로 이행한다. V_VDD선의 충전이 시작되고, V_VDD선의 전압이 VDDD가 된 상태(시각 t5)에서 PMU(193)는 신호(PSE2, RC, SCE)를 "H"로 한다.
- [0162] 트랜지스터(M12)는 온이 되고, 용량 소자(C11)의 전하가 노드(SN11)와 노드(SD)에 분배된다. 노드(SN11)가 "H"이면, 노드(SD)의 전압은 상승된다. 노드(SE)는 "H"이기 때문에, 스캔 플립플롭(221)의 입력 측 래치 회로에 노드(SD)의 데이터가 기록된다. 시각 t6에 노드(CK)에 클록 신호(GCLK1)가 입력되면, 입력 측 래치 회로의 데이터가 노드(Q1)에 기록된다. 즉 노드(SN11)의 데이터가 노드(Q1)에 기록된다.
- [0163] 시각 t7에 PMU(193)는 신호(PSE2, SCE, RC)를 "L"로 하여, 리커버리 동작이 종료된다.
- [0164] OS 트랜지스터를 사용한 백업 회로(222)는 동적 및 정적 소비 전력이 모두 낮기 때문에, 노멀리 오프 컴퓨팅에 매우 적합하다. 또한 OS 트랜지스터를 사용한 백업 회로(222)가 포함된 CPU 코어(200)를 포함하는 CPU(110)는 NoffCPU(등록 상표)라고 부를 수 있다. NoffCPU는 비휘발성 메모리를 포함하고, 동작이 불필요한 경우에는 전력 공급을 정지할 수 있다. 플립플롭(220)을 탑재하여도 CPU 코어(200)의 성능 저하, 동적 전력의 증가가 거의 일어나지 않도록 할 수 있다.
- [0165] 또한 CPU 코어(200)는 파워 게이팅을 할 수 있는 복수의 파워 도메인을 포함하여도 좋다. 복수의 파워 도메인에는 전압의 입력을 제어하기 위한 하나 또는 복수의 파워 스위치가 제공된다. 또한 CPU 코어(200)는 파워 게이팅을 수행하지 않는 하나 또는 복수의 파워 도메인을 포함하여도 좋다. 예를 들어 파워 게이팅을 수행하지 않는 파워 도메인에 플립플롭(220), 파워 스위치(210 내지 212)의 제어를 수행하기 위한 파워 게이팅 제어 회로를 제공하여도 좋다.
- [0166] 또한 플립플롭(220)의 적용은 CPU(110)에 한정되지 않는다. CPU(110)에서, 파워 게이팅을 할 수 있는 파워 도메인에 제공되는 레지스터에 플립플롭(220)을 적용할 수 있다.
- [0167] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0168] (실시형태 4)
- [0169] 본 실시형태에서는, 앞의 실시형태에서 설명한 CPU(110) 및 반도체 장치(10)로서 설명한 액셀러레이터에 적용할 수 있는 트랜지스터의 구성의 일례를 설명한다. 일례로서, 서로 다른 전기 특성을 갖는 트랜지스터를 적층하여 제공하는 구성에 대하여 설명한다. 상기 구성으로 함으로써, 반도체 장치의 설계 자유도를 높일 수 있다. 또한 서로 다른 전기 특성을 갖는 트랜지스터를 적층하여 제공함으로써, 반도체 장치의 집적도를 높일 수 있다.
- [0170] 반도체 장치의 단면 구조의 일부를 도 21에 나타내었다. 도 21에 나타낸 반도체 장치는 트랜지스터(550)와, 트랜지스터(500)와, 용량 소자(600)를 포함한다. 도 22의 (A)는 트랜지스터(500)의 채널 길이 방향의 단면도이고, 도 22의 (B)는 트랜지스터(500)의 채널 폭 방향의 단면도이다. 예를 들어 트랜지스터(500)는 앞의 실시형태에서 설명한 메모리 회로(32)에 포함되는 OS 트랜지스터, 즉 채널 형성 영역에 산화물 반도체를 포함한 트랜지스터에 상당한다. 또한 트랜지스터(550)는 앞의 실시형태에서 설명한 연산 회로부(40)에 포함되는 Si 트랜지스터, 즉 채널 형성 영역에 실리콘을 포함한 트랜지스터에 상당한다. 또한 용량 소자(600)는 메모리 회로(32)에 포함되는 용량 소자에 상당한다.
- [0171] 트랜지스터(500)는 OS 트랜지스터이다. OS 트랜지스터는 오프 전류가 매우 낮다. 따라서 트랜지스터(500)를 통하여 기억 노드에 기록한 데이터 전압 또는 전하가 장기간 유지될 수 있다. 즉 기억 노드의 리프레시 동작의 빈도가 저감되거나 리프레시 동작이 불필요하기 때문에, 반도체 장치의 소비 전력을 절감할 수 있다.
- [0172] 도 21에서 트랜지스터(500)는 트랜지스터(550)의 위쪽에 제공되고, 용량 소자(600)는 트랜지스터(550) 및 트랜지스터(500)의 위쪽에 제공되어 있다.
- [0173] 트랜지스터(550)는 기관(311)에 제공된다. 기관(311)은 예를 들어 p형 실리콘 기관이다. 기관(311)은 n형 실리콘 기관이어도 좋다. 산화물층(314)은 기관(311)에 매립 산화(Burried oxide)에 의하여 형성된 절연층(BOX층이라고도 함), 예를 들어 산화 실리콘인 것이 바람직하다. 트랜지스터(550)는 산화물층(314)을 개재(介在)하여 기관(311)에 제공된 단결정 실리콘, 소위 SOI(Silicon On Insulator) 기관에 제공된다.

- [0174] SOI 기판에서의 기판(311)에는 소자 분리층으로서 기능하는 절연체(313)가 제공된다. 또한 기판(311)은 웰 영역(312)을 포함한다. 웰 영역(312)은 트랜지스터(550)의 도전형에 따라 n형 또는 p형의 도전성이 부여된 영역이다. SOI 기판에서의 단결정 실리콘에는 반도체 영역(315), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(316a), 저저항 영역(316b)이 제공된다. 또한 웰 영역(312) 위에는 저저항 영역(316c)이 제공된다.
- [0175] 트랜지스터(550)는 도전성을 부여하는 불순물 원소가 첨가된 웰 영역(312)에 중첩시켜 제공할 수 있다. 저저항 영역(316c)의 전위를 독립적으로 변화시킴으로써, 웰 영역(312)은 트랜지스터(550)의 보텀 게이트 전극으로서 기능할 수 있다. 그러므로 트랜지스터(550)의 문턱 전압을 제어할 수 있다. 특히, 웰 영역(312)에 음의 전위를 인가함으로써, 트랜지스터(550)의 문턱 전압을 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 웰 영역(312)에 음의 전위를 인가함으로써, Si 트랜지스터의 게이트 전극에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다. 그 결과, 트랜지스터(550)를 포함한 연산 회로부(40)에서의 관통 전류 등에 기초한 소비 전력을 절감할 수 있고, 연산 효율을 향상시킬 수 있다.
- [0176] 트랜지스터(550)는 반도체층의 상면 및 채널 폭 방향에서의 측면이 절연체(317)를 개재하여 도전체(318)로 덮인, 소위 Fin형인 것이 바람직하다. 트랜지스터(550)를 Fin형으로 하면 실효적인 채널 폭이 증대되기 때문에, 트랜지스터(550)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(550)의 오프 특성을 향상시킬 수 있다.
- [0177] 또한 트랜지스터(550)는 p채널형 트랜지스터 및 n채널형 트랜지스터 중 어느 쪽이어도 좋다.
- [0178] 도전체(318)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 웰 영역(312)은 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 웰 영역(312)에 인가하는 전위는 저저항 영역(316c)을 통하여 제어할 수 있다.
- [0179] 반도체 영역(315)에서 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(316a) 및 저저항 영역(316b), 웰 영역(312)의 전위를 제어하는 전극에 접속되는 저저항 영역(316c) 등은, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 포함한 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(550)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.
- [0180] 웰 영역(312), 저저항 영역(316a), 저저항 영역(316b), 및 저저항 영역(316c)은 반도체 영역(315)에 적용되는 반도체 재료에 더하여, 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0181] 게이트 전극으로서 기능하는 도전체(318)에는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 또한 도전체(318)에는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0182] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써, 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료의 적층을 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0183] 저저항 영역(316a), 저저항 영역(316b), 및 저저항 영역(316c)은 다른 도전체, 예를 들어 니켈 실리사이드 등의 실리사이드를 적층하여 제공하여도 좋다. 상기 구성으로 함으로써, 전극으로서 기능하는 영역의 도전성을 높일 수 있다. 또한 이때, 게이트 전극으로서 기능하는 도전체(318)의 측면 및 게이트 절연막으로서 기능하는 절연체의 측면에는 사이드 웰 스페이서(측벽 절연층이라고도 함)로서 기능하는 절연체를 제공하여도 좋다. 상기 구성으로 함으로써, 도전체(318)와 저저항 영역(316a) 및 저저항 영역(316b)이 도통 상태가 되는 것을 방지할 수 있다.
- [0184] 트랜지스터(550)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0185] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화

산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.

- [0186] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0187] 절연체(322)는 그 아래쪽에 제공되는 트랜지스터(550) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0188] 또한 절연체(324)에는, 기판(311) 또는 트랜지스터(550) 등으로부터 트랜지스터(500)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 갖는 막을 사용하는 것이 바람직하다.
- [0189] 수소에 대한 배리어성을 갖는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0190] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여 10×10^{15} atoms/cm² 이하, 바람직하게는 5×10^{15} atoms/cm² 이하이면 좋다.
- [0191] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0192] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(600) 또는 트랜지스터(500)에 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 갖는다. 또한 플러그 또는 배선으로서의 기능을 갖는 도전체에는, 복수의 구성을 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0193] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.
- [0194] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 21에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 갖는다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0195] 또한 예를 들어 절연체(350)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(350)의 개구부에 수소에 대한 배리어성을 갖는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0196] 또한 수소에 대한 배리어성을 갖는 도전체에는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(550)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 갖는 질화 탄탈럼층이, 수소에 대한 배리어

성을 갖는 절연체(350)와 접하는 구성이 바람직하다.

- [0197] 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 예를 들어 도 21에서는 절연체(360), 절연체(362), 및 절연체(364)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(360), 절연체(362), 및 절연체(364)에는 도전체(366)가 형성되어 있다. 도전체(366)는 플러그 또는 배선으로서의 기능을 갖는다. 또한 도전체(366)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0198] 또한 예를 들어 절연체(360)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 도전체(366)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(360)의 개구부에 수소에 대한 배리어성을 갖는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0199] 절연체(364) 및 도전체(366) 위에 배선층을 제공하여도 좋다. 예를 들어 도 21에서는 절연체(370), 절연체(372), 및 절연체(374)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(370), 절연체(372), 및 절연체(374)에는 도전체(376)가 형성되어 있다. 도전체(376)는 플러그 또는 배선으로서의 기능을 갖는다. 또한 도전체(376)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0200] 또한 예를 들어 절연체(370)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 도전체(376)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(370)의 개구부에 수소에 대한 배리어성을 갖는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0201] 절연체(374) 및 도전체(376) 위에 배선층을 제공하여도 좋다. 예를 들어 도 21에서는 절연체(380), 절연체(382), 및 절연체(384)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(380), 절연체(382), 및 절연체(384)에는 도전체(386)가 형성되어 있다. 도전체(386)는 플러그 또는 배선으로서의 기능을 갖는다. 또한 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0202] 또한 예를 들어 절연체(380)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 갖는 절연체를 사용하는 것이 바람직하다. 또한 도전체(386)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(380)의 개구부에 수소에 대한 배리어성을 갖는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0203] 도전체(356)를 포함하는 배선층, 도전체(366)를 포함하는 배선층, 도전체(376)를 포함하는 배선층, 및 도전체(386)를 포함하는 배선층에 대하여 앞에서 설명하였지만, 본 실시형태에 따른 반도체 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층과 같은 배선층을 3층 이하로 하여도 좋고, 도전체(356)를 포함하는 배선층과 같은 배선층을 5층 이상으로 하여도 좋다.
- [0204] 절연체(384) 위에는 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)가 순차적으로 적층되어 제공되어 있다. 절연체(510), 절연체(512), 절연체(514), 및 절연체(516) 중 어느 것에는, 산소나 수소에 대한 배리어성을 갖는 물질을 사용하는 것이 바람직하다.
- [0205] 예를 들어 절연체(510) 및 절연체(514)에는, 기관(311) 또는 트랜지스터(550)가 제공되는 영역 등으로부터 트랜지스터(500)가 제공되는 영역으로 확산되는 수소나 불순물에 대한 배리어성을 갖는 막을 사용하는 것이 바람직하다. 따라서 절연체(324)와 같은 재료를 사용할 수 있다.
- [0206] 수소에 대한 배리어성을 갖는 막에는, 예를 들어 CVD법에 의하여 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(500) 등 산화물 반도체를 포함한 반도체 소자로 수소가 확산되면, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서 트랜지스터(500)와 트랜지스터(550) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다.
- [0207] 또한 수소에 대한 배리어성을 갖는 막으로서, 예를 들어 절연체(510) 및 절연체(514)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0208] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중

및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.

- [0209] 또한 예를 들어 절연체(512) 및 절연체(516)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(512) 및 절연체(516)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.
- [0210] 또한 절연체(510), 절연체(512), 절연체(514), 및 절연체(516)에는 도전체(518), 및 트랜지스터(500)를 구성하는 도전체(예를 들어 도전체(503)) 등이 매립되어 있다. 또한 도전체(518)는 용량 소자(600) 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 갖는다. 도전체(518)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0211] 특히 절연체(510) 및 절연체(514)와 접하는 영역의 도전체(518)는 산소, 수소, 및 물에 대한 배리어성을 갖는 도전체인 것이 바람직하다. 상기 구성으로 함으로써, 트랜지스터(550)와 트랜지스터(500)를 산소, 수소, 및 물에 대한 배리어성을 갖는 층에 의하여 분리할 수 있기 때문에, 트랜지스터(550)로부터 트랜지스터(500)로 수소가 확산되는 것을 억제할 수 있다.
- [0212] 절연체(516) 위쪽에는 트랜지스터(500)가 제공되어 있다.
- [0213] 도 22의 (A) 및 (B)에 나타난 바와 같이, 트랜지스터(500)는 절연체(514) 및 절연체(516)에 매립되도록 배치된 도전체(503)와, 절연체(516) 및 도전체(503) 위에 배치된 절연체(522)와, 절연체(522) 위에 배치된 절연체(524)와, 절연체(524) 위에 배치된 산화물(530a)과, 산화물(530a) 위에 배치된 산화물(530b)과, 산화물(530b) 위에서 떨어져 배치된 도전체(542a) 및 도전체(542b)와, 도전체(542a) 및 도전체(542b) 위에 배치되고 도전체(542a)와 도전체(542b) 사이에 중첩하여 개구가 형성된 절연체(580)와, 개구의 밑면 및 측면에 배치된 절연체(545)와, 절연체(545)의 형성면에 배치된 도전체(560)를 포함한다.
- [0214] 또한 도 22의 (A) 및 (B)에 나타난 바와 같이, 산화물(530a), 산화물(530b), 도전체(542a), 및 도전체(542b)와 절연체(580) 사이에 절연체(544)가 배치되는 것이 바람직하다. 또한 도 22의 (A) 및 (B)에 나타난 바와 같이, 도전체(560)는 절연체(545)의 내측에 제공된 도전체(560a)와, 도전체(560a)의 내측에 매립되도록 제공된 도전체(560b)를 포함하는 것이 바람직하다. 또한 도 22의 (A) 및 (B)에 나타난 바와 같이, 절연체(580), 도전체(560), 및 절연체(545) 위에 절연체(574)가 배치되는 것이 바람직하다.
- [0215] 또한 본 명세서 등에서, 산화물(530a) 및 산화물(530b)을 통틀어 산화물(530)이라고 하는 경우가 있다.
- [0216] 또한 채널이 형성되는 영역과 그 근방에서 산화물(530a) 및 산화물(530b)의 2층이 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 산화물(530b)의 단층 또는 3층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다.
- [0217] 또한 트랜지스터(500)에서 도전체(560)는 2층의 적층 구조를 갖지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(560)는 단층 구조를 가져도 좋고, 3층 이상의 적층 구조를 가져도 좋다. 또한 도 21, 도 22의 (A), 및 (B)에 나타난 트랜지스터(500)는 일례이고, 그 구성에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0218] 여기서, 도전체(560)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(542a) 및 도전체(542b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 상술한 바와 같이, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이에 끼워진 영역에 매립되도록 형성된다. 도전체(560), 도전체(542a), 및 도전체(542b)의 배치는 절연체(580)의 개구에 대하여 자기 정합(self-aligned)적으로 선택된다. 즉 트랜지스터(500)에서, 게이트 전극을 소스 전극과 드레인 전극 사이에 자기 정합적으로 배치할 수 있다. 따라서 위치를 맞추기 위한 마진을 제공하지 않고 도전체(560)를 형성할 수 있기 때문에, 트랜지스터(500)의 점유 면적을 축소할 수 있다. 이로써, 반도체 장치의 미세화, 고집적화를 도모할 수 있다.
- [0219] 또한 도전체(560)가 도전체(542a)와 도전체(542b) 사이의 영역에 자기 정합적으로 형성되기 때문에, 도전체(560)는 도전체(542a) 또는 도전체(542b)와 중첩되는 영역을 갖지 않는다. 이로써, 도전체(560)와 도전체(542a) 및 도전체(542b) 사이에 형성되는 기생 용량을 저감할 수 있다. 따라서 트랜지스터(500)는 스위칭 속도가 향상되고, 높은 주파수 특성을 가질 수 있다.
- [0220] 도전체(560)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한 도전체(503)는 제 2

게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 이 경우, 도전체(503)에 인가하는 전위를 도전체(560)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(500)의 문턱 전압을 제어할 수 있다. 특히, 도전체(503)에 음의 전위를 인가함으로써, 트랜지스터(500)의 문턱 전압을 더 크게 하고, 오프 전류를 저감할 수 있다. 따라서 도전체(503)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(560)에 인가하는 전위가 0V일 때의 드레인 전류를 저감할 수 있다.

[0221] 도전체(503)는 산화물(530) 및 도전체(560)와 중첩되도록 배치된다. 이로써, 도전체(560) 및 도전체(503)에 전위를 인가한 경우, 도전체(560)로부터 발생하는 전계와 도전체(503)로부터 발생하는 전계가 연결되므로, 산화물(530)에 형성되는 채널 형성 영역을 덮을 수 있다.

[0222] 본 명세서 등에서는, 한 쌍의 게이트 전극(제 1 게이트 전극 및 제 2 게이트 전극)의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구성을 surrounded channel(S-channel) 구성이라고 부른다. 또한 본 명세서 등에서 개시하는 S-channel 구성은 Fin형 구성 및 플레이너형 구성과는 다르다. S-channel 구성을 채용하면, 단채널 효과에 대한 내성이 높은, 즉 단채널 효과가 발생하기 어려운 트랜지스터로 할 수 있다.

[0223] 또한 도전체(503)는 도전체(518)와 같은 구성을 갖고, 절연체(514) 및 절연체(516)의 개구의 내벽과 접하여 도전체(503a)가 형성되고, 그 내측에 도전체(503b)가 형성되어 있다. 또한 도전체(503a) 및 도전체(503b)가 적층된 트랜지스터(500)의 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어 도전체(503)를 단층 또는 3층 이상의 적층 구조로 하여도 좋다.

[0224] 여기서 도전체(503a)에는 수소 원자, 수소 분자, 물 분자, 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능이다.

[0225] 예를 들어 도전체(503a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(503b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다.

[0226] 또한 도전체(503)가 배선의 기능을 겸하는 경우, 도전체(503b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는, 도전성이 높은 도전성 재료를 사용하는 것이 바람직하다. 또한 본 실시형태에서 도전체(503)는 도전체(503a)와 도전체(503b)의 적층을 갖지만, 도전체(503)는 단층 구조이어도 좋다.

[0227] 절연체(522) 및 절연체(524)는 제 2 게이트 절연막으로서의 기능을 갖는다.

[0228] 여기서, 산화물(530)과 접하는 절연체(524)로서는, 화학량론적 조성을 만족하는 산소보다 많은 산소를 포함하는 절연체를 사용하는 것이 바람직하다. 상기 산소는 가열에 의하여 막 내로부터 방출되기 쉽다. 본 명세서 등에서는, 가열에 의하여 방출되는 산소를 "과잉 산소"라고 부르는 경우가 있다. 즉 절연체(524)에는 과잉 산소를 포함하는 영역("과잉 산소 영역"이라고도 함)이 형성되어 있는 것이 바람직하다. 이와 같은 과잉 산소를 포함하는 절연체를 산화물(530)과 접하여 제공함으로써, 산화물(530) 내의 산소 결손(V_0 : oxygen vacancy라고도 함)을 저감하여, 트랜지스터(500)의 신뢰성을 향상시킬 수 있다. 또한 산화물(530) 내의 산소 결손에 수소가 들어간 경우, 상기 결합(이하 V_0H 라고 부르는 경우가 있음)은 도너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 또한 산화물 반도체 내의 수소는 열, 전계 등의 스트레스에 의하여 이동하기 쉽기 때문에, 산화물 반도체에 수소가 많이 포함되면, 트랜지스터의 신뢰성이 악화될 우려도 있다. 본 발명의 일 형태에서는, 산화물(530) 내의 V_0H 를 가능한 한 저감하고, 고순도 진성 또는 실질적으로 고순도 진성으로 하는 것이 바람직하다. 이와 같이, V_0H 가 충분히 저감된 산화물 반도체를 얻기 위해서는, 산화물 반도체 내의 수분, 수소 등의 불순물을 제거하는 것("탈수" 또는 "탈수소화 처리"라고도 함)과, 산화물 반도체에 산소를 공급하여 산소 결손을 보전하는 것("가산소화 처리"라고도 함)이 중요하다. V_0H 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0229] 과잉 산소 영역을 포함하는 절연체로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy)

분석에서 산소 원자로 환산한 산소의 이탈량이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 1.0×10^{19} atoms/cm³ 이상, 더 바람직하게는 2.0×10^{19} atoms/cm³ 이상 또는 3.0×10^{20} atoms/cm³ 이상인 산화물막이다. 또한 상기 TDS 분석 시의 막의 표면 온도는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.

[0230] 또한 상기 과잉 산소 영역을 포함하는 절연체와, 산화물(530)이 접한 상태로 가열 처리, 마이크로파 처리, 및 RF 처리 중 어느 하나 또는 복수가 수행되어도 좋다. 상기 처리를 수행함으로써, 산화물(530) 내의 물 또는 수소를 제거할 수 있다. 예를 들어 산화물(530)에서, VoH의 결합이 절단되는 반응, 즉 "VoH→Vo+H"라는 반응이 일어나, 탈수소화될 수 있다. 이때 발생한 수소의 일부는, 산소와 결합하여 H₂O가 되고, 산화물(530) 또는 산화물(530) 근방의 절연체로부터 제거되는 경우가 있다. 또한 수소의 일부는 도전체(542)에 게터링되는 경우가 있다.

[0231] 또한 상기 마이크로파 처리에는, 예를 들어 고밀도 플라즈마를 발생시키는 전원을 갖는 장치 또는 기관 측에 RF를 인가하는 전원을 갖는 장치를 사용하는 것이 적합하다. 예를 들어 산소를 포함하는 가스와 고밀도 플라즈마를 사용함으로써, 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써, 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 산화물(530) 또는 산화물(530) 근방의 절연체 내에 효율적으로 도입할 수 있다. 또한 상기 마이크로파 처리에서는, 압력을 133Pa 이상, 바람직하게는 200Pa 이상, 더 바람직하게는 400Pa 이상으로 하면 좋다. 또한 마이크로파 처리를 수행하는 장치 내에 도입되는 가스로서는, 예를 들어 산소와 아르곤을 사용하고, 산소 유량비(O₂/(O₂+Ar))가 50% 이하, 바람직하게는 10% 이상 30% 이하에서 수행하는 것이 좋다.

[0232] 또한 트랜지스터(500)의 제작 공정에서는, 산화물(530)의 표면이 노출된 상태로 가열 처리를 수행하는 것이 적합하다. 상기 가열 처리는, 예를 들어 100℃ 이상 450℃ 이하, 더 바람직하게는 350℃ 이상 400℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 또는 불활성 가스의 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 가열 처리는 산소 분위기에서 수행하는 것이 바람직하다. 이 경우, 산화물(530)에 산소를 공급함으로써, 산소 결손(V_o)을 저감할 수 있다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행한 후에, 연속하여 질소 가스 또는 불활성 가스의 분위기에서 가열 처리를 수행하여도 좋다.

[0233] 또한 산화물(530)에 가산소화 처리를 수행함으로써, 공급된 산소에 의하여 산화물(530) 내의 산소 결손을 수복(修復)하는, 바꿔 말하면 "Vo+O→null"이라는 반응을 촉진시킬 수 있다. 또한 공급된 산소와 산화물(530) 내에 잔존한 수소가 반응함으로써, 상기 수소를 H₂O로서 제거(탈수화)할 수 있다. 이에 의하여, 산화물(530) 내에 잔존한 수소가 산소 결손과 재결합하여 VoH가 형성되는 것을 억제할 수 있다.

[0234] 또한 절연체(524)가 과잉 산소 영역을 포함하는 경우, 절연체(522)는 산소(예를 들어 산소 원자, 산소 분자 등)의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 것이 바람직하다.

[0235] 절연체(522)가 산소나 불순물의 확산을 억제하는 기능을 가지면, 산화물(530)에 포함되는 산소가 도전체(503) 측으로 확산되지 않기 때문에 바람직하다. 또한 도전체(503)가 절연체(524)나 산화물(530)에 포함되는 산소와 반응하는 것을 억제할 수 있다.

[0236] 절연체(522)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트), 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO₃), 또는 (Ba,Sr)TiO₃(BST) 등의 소위 high-k 재료를 포함하는 절연체를 단층으로 또는 적층하여 사용하는 것이 바람직하다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연막으로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.

[0237] 특히 불순물 및 산소 등의 확산을 억제하는 기능을 갖는(상기 산소가 투과하기 어려운) 절연성 재료인 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄, 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체에는, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(522)를 형성한 경우, 절연체(522)는 산화물(530)로부터의 산소의 방출이나, 트랜지스터(500)의 주변부로부터 산화물(530)로

의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

- [0238] 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층시켜 사용하여도 좋다.
- [0239] 또한 도 22의 (A) 및 (B)의 트랜지스터(500)에서는, 3층의 적층 구조를 갖는 제 2 게이트 절연막으로서 절연체(522) 및 절연체(524)가 도시되어 있지만, 제 2 게이트 절연막은 단층, 2층, 또는 4층 이상의 적층 구조를 가져도 좋다. 이 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 서로 다른 재료로 이루어지는 적층 구조를 가져도 좋다.
- [0240] 트랜지스터(500)에서는, 채널 형성 영역을 포함하는 산화물(530)로서, 산화물 반도체로서 기능하는 금속 산화물을 사용한다. 예를 들어 산화물(530)로서, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다.
- [0241] 산화물 반도체로서 기능하는 금속 산화물의 형성은 스퍼터링법에 의하여 수행하여도 좋고, ALD(Atomic Layer Deposition)법에 의하여 수행하여도 좋다. 또한 산화물 반도체로서 기능하는 금속 산화물에 대해서는, 다른 실시형태에서 자세히 설명한다.
- [0242] 또한 산화물(530)에서 채널 형성 영역으로서 기능하는 금속 산화물로서는, 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이 밴드 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0243] 산화물(530)은 산화물(530b) 아래에 산화물(530a)을 포함함으로써, 산화물(530a)보다 아래쪽에 형성된 구성물로부터 산화물(530b)로의 불순물의 확산을 억제할 수 있다.
- [0244] 또한 산화물(530)은 각 금속 원자의 원자수비가 다른 복수의 산화물층의 적층 구조를 갖는 것이 바람직하다. 구체적으로는, 산화물(530a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530a)에 사용하는 금속 산화물에서, In에 대한 원소 M의 원자수비가 산화물(530b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 높은 것이 바람직하다. 또한 산화물(530b)에 사용하는 금속 산화물에서, 원소 M에 대한 In의 원자수비가 산화물(530a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 높은 것이 바람직하다.
- [0245] 또한 산화물(530a)의 전도대 하단의 에너지가 산화물(530b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한 바꿔 말하면, 산화물(530a)의 전자 친화력이 산화물(530b)의 전자 친화력보다 작은 것이 바람직하다.
- [0246] 여기서, 산화물(530a) 및 산화물(530b)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 산화물(530a) 및 산화물(530b)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화되거나 연속 접합한다고 바꿔 말할 수도 있다. 이와 같이 하기 위해서는, 산화물(530a)과 산화물(530b)의 계면에 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.
- [0247] 구체적으로는, 산화물(530a)과 산화물(530b)이 산소 이외에 공통의 원소를 포함함으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어 산화물(530b)이 In-Ga-Zn 산화물인 경우, 산화물(530a)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.
- [0248] 이때, 캐리어의 주된 경로는 산화물(530b)이다. 산화물(530a)을 상술한 구성으로 함으로써, 산화물(530a)과 산화물(530b)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 따라서 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지므로, 트랜지스터(500)는 높은 온 전류를 얻을 수 있다.
- [0249] 산화물(530b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(542a) 및 도전체(542b)가 제공된다. 도전체(542a) 및 도전체(542b)에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화

타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 질화 탄탈럼 등의 금속 질화물막은 수소 또는 산소에 대한 배리어성을 갖기 때문에 바람직하다.

[0250] 또한 도 22의 (A)에서는 도전체(542a) 및 도전체(542b)를 단층 구조로 나타내었지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 질화 탄탈럼막과 텅스텐막을 적층하는 것이 좋다. 또한 타이타늄막과 알루미늄막을 적층하여도 좋다. 또한 텅스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 위에 구리막을 적층하는 2층 구조, 텅스텐막 위에 구리막을 적층하는 2층 구조로 하여도 좋다.

[0251] 또한 타이타늄막 또는 질화 타이타늄막과, 그 타이타늄막 또는 질화 타이타늄막 위에 증착시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 타이타늄막 또는 질화 타이타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과, 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 증착시켜 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한 산화 인듐, 산화 주석, 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0252] 또한 도 22의 (A)에 나타낸 바와 같이, 산화물(530)과 도전체(542a)(도전체(542b))의 계면과 그 근방에는 저저항 영역으로서 영역(543a) 및 영역(543b)이 형성되는 경우가 있다. 이때, 영역(543a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(543b)은 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 또한 영역(543a)과 영역(543b) 사이에 끼워진 영역에 채널 형성 영역이 형성된다.

[0253] 상기 도전체(542a)(도전체(542b))를 산화물(530)과 접하도록 제공함으로써, 영역(543a)(영역(543b))의 산소 농도가 저감되는 경우가 있다. 또한 영역(543a)(영역(543b))에, 도전체(542a)(도전체(542b))에 포함되는 금속과, 산화물(530)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(543a)(영역(543b))의 캐리어 밀도가 증가되어 영역(543a)(영역(543b))은 저저항 영역이 된다.

[0254] 절연체(544)는 도전체(542a) 및 도전체(542b)를 덮도록 제공되어, 도전체(542a) 및 도전체(542b)의 산화를 억제한다. 이때 절연체(544)는 산화물(530)의 측면을 덮어 절연체(524)와 접하도록 제공되어도 좋다.

[0255] 절연체(544)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 네오디뮴, 란타넘, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 또한 절연체(544)에는 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수도 있다.

[0256] 특히, 절연체(544)에는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로 추후의 공정에서의 가열 처리에서 결정화되기 어렵기 때문에 바람직하다. 또한 도전체(542a) 및 도전체(542b)가 내산화성을 갖는 재료이거나, 산소를 흡수하여도 도전성이 현저하게 저하되지 않는 경우에는, 절연체(544)는 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.

[0257] 절연체(544)를 포함함으로써, 절연체(580)에 포함되는 물 및 수소 등의 불순물이 절연체(545)를 통하여 산화물(530b)로 확산되는 것을 억제할 수 있다. 또한 절연체(580)에 포함되는 과잉 산소에 의하여 도전체(560)가 산화되는 것을 억제할 수 있다.

[0258] 절연체(545)는 제 1 게이트 절연막으로서 기능한다. 절연체(545)는 상술한 절연체(524)와 마찬가지로, 산소를 과잉으로 포함하고 또한 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다.

[0259] 구체적으로는, 과잉 산소를 포함하는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 갖는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0260] 과잉 산소를 포함하는 절연체를 절연체(545)로서 제공함으로써, 절연체(545)로부터 산화물(530b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한 절연체(524)와 마찬가지로 절연체(545) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(545)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다. 또한 절연체(545)의 형성 전 및/또는 형성 후에 상술한 마이크로파 처리를 수행하여도 좋다.

- [0261] 또한 절연체(545)에 포함되는 과잉 산소를 산화물(530)에 효율적으로 공급하기 위하여, 절연체(545)와 도전체(560) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(545)로부터 도전체(560)로의 산소의 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(545)로부터 도전체(560)로의 과잉 산소의 확산이 억제된다. 즉 산화물(530)에 공급하는 과잉 산소량의 감소를 억제할 수 있다. 또한 과잉 산소로 인한 도전체(560)의 산화를 억제할 수 있다. 상기 금속 산화물에는, 절연체(544)에 사용할 수 있는 재료를 사용하면 좋다.
- [0262] 또한 절연체(545)는 제 2 게이트 절연막과 마찬가지로 적층 구조로 하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연막의 박막화로 인하여 누설 전류 등의 문제가 발생하는 경우가 있기 때문에, 게이트 절연막으로서 기능하는 절연체를 high-k 재료와 열적으로 안정적인 재료의 적층 구조로 함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다. 또한 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.
- [0263] 제 1 게이트 전극으로서 기능하는 도전체(560)는 도 22의 (A) 및 (B)에서는 2층 구조로 나타내었지만, 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.
- [0264] 도전체(560a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 갖는 도전성 재료를 사용하는 것이 바람직하다. 도전체(560a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(545)에 포함되는 산소에 의하여 도전체(560b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 갖는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한 도전체(560a)로서, 산화물(530)에 적용할 수 있는 산화물 반도체를 사용할 수 있다. 그 경우, 도전체(560b)를 스퍼터링법에 의하여 성막함으로써, 도전체(560a)의 전기 저항값을 저하시켜 도전체로 할 수 있다. 이를 OC(Oxide Conductor) 전극이라고 부를 수 있다.
- [0265] 또한 도전체(560b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(560b)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(560b)를 적층 구조로 하여도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0266] 절연체(580)는 절연체(544)를 개재하여 도전체(542a) 및 도전체(542b) 위에 제공된다. 절연체(580)는 과잉 산소 영역을 포함하는 것이 바람직하다. 예를 들어 절연체(580)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 갖는 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이므로 바람직하다. 특히, 산화 실리콘, 공공을 갖는 산화 실리콘은 추후의 공정에서 과잉 산소 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0267] 절연체(580)는 과잉 산소 영역을 포함하는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(580)를 제공함으로써, 절연체(580) 내의 산소를 산화물(530)에 효율적으로 공급할 수 있다. 또한 절연체(580) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0268] 절연체(580)의 개구는 도전체(542a)와 도전체(542b) 사이의 영역과 중첩하여 형성된다. 이에 의하여, 도전체(560)는 절연체(580)의 개구, 및 도전체(542a)와 도전체(542b) 사이에 끼워진 영역에 매립되도록 형성된다.
- [0269] 반도체 장치를 미세화하기 위하여 게이트 길이를 짧게 하는 것이 요구되지만, 도전체(560)의 도전성이 저하되지 않도록 할 필요가 있다. 이를 위하여 도전체(560)의 막 두께를 두껍게 하면, 도전체(560)는 종횡비가 높은 형상을 가질 수 있다. 본 실시형태에서는 절연체(580)의 개구에 매립되도록 도전체(560)를 제공하기 때문에, 도전체(560)를 종횡비가 높은 형상으로 하여도, 공정 중에 무너지는 일 없이 도전체(560)를 형성할 수 있다.
- [0270] 절연체(574)는 절연체(580)의 상면, 도전체(560)의 상면, 및 절연체(545)의 상면과 접하여 제공되는 것이 바람직하다. 절연체(574)를 스퍼터링법에 의하여 성막함으로써, 절연체(545) 및 절연체(580)에 과잉 산소 영역을 제공할 수 있다. 이로써, 이 과잉 산소 영역으로부터 산화물(530) 내에 산소를 공급할 수 있다.
- [0271] 예를 들어 절연체(574)에는 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마

늄, 및 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.

- [0272] 특히 산화 알루미늄은 배리어성이 높아 0.5nm 이상 3.0nm 이하의 박막이어도 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법에 의하여 성막한 산화 알루미늄은 산소 공급원이면서 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다.
- [0273] 또한 절연체(574) 위에 층간막으로서 기능하는 절연체(581)를 제공하는 것이 바람직하다. 절연체(581)는 절연체(524) 등과 마찬가지로 막 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.
- [0274] 또한 절연체(581), 절연체(574), 절연체(580), 및 절연체(544)에 형성된 개구에 도전체(540a) 및 도전체(540b)를 배치한다. 도전체(540a) 및 도전체(540b)는 도전체(560)를 사이에 두고 마주 보고 제공된다. 도전체(540a) 및 도전체(540b)는 후술하는 도전체(546) 및 도전체(548)와 같은 구성을 갖는다.
- [0275] 절연체(581) 위에는 절연체(582)가 제공되어 있다. 절연체(582)에는 산소나 수소에 대한 배리어성을 갖는 물질을 사용하는 것이 바람직하다. 따라서 절연체(582)에는 절연체(514)와 같은 재료를 사용할 수 있다. 예를 들어 절연체(582)에는 산화 알루미늄, 산화 하프늄, 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.
- [0276] 특히 산화 알루미늄은 산소, 및 트랜지스터의 전기 특성의 변동 요인이 되는 수소, 수분 등의 불순물의 양쪽에 대하여 막을 투과시키지 않도록 하는 차단 효과가 크다. 따라서 산화 알루미늄은 트랜지스터의 제작 공정 중 및 제작 후에 수소, 수분 등의 불순물이 트랜지스터(500)에 혼입되는 것을 방지할 수 있다. 또한 트랜지스터(500)를 구성하는 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 트랜지스터(500)에 대한 보호막으로서 사용하는 것에 적합하다.
- [0277] 또한 절연체(582) 위에는 절연체(586)가 제공되어 있다. 절연체(586)에는 절연체(320)와 같은 재료를 사용할 수 있다. 또한 이들 절연체에 유전율이 비교적 낮은 재료를 적용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어 절연체(586)로서 산화 실리콘막이나 산화질화 실리콘막 등을 사용할 수 있다.
- [0278] 또한 절연체(522), 절연체(524), 절연체(544), 절연체(580), 절연체(574), 절연체(581), 절연체(582), 및 절연체(586)에는 도전체(546) 및 도전체(548) 등이 매립되어 있다.
- [0279] 도전체(546) 및 도전체(548)는 용량 소자(600), 트랜지스터(500), 또는 트랜지스터(550)에 접속되는 플러그 또는 배선으로서의 기능을 갖는다. 도전체(546) 및 도전체(548)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0280] 또한 트랜지스터(500)를 형성한 후, 트랜지스터(500)를 둘러싸도록 개구를 형성하고, 상기 개구를 덮도록 수소 또는 물에 대한 배리어성이 높은 절연체를 형성하여도 좋다. 상술한 배리어성이 높은 절연체로 트랜지스터(500)를 감싸므로써, 외부로부터 수분 및 수소가 들어가는 것을 방지할 수 있다. 또는 복수의 트랜지스터(500)를 함께 수소 또는 물에 대한 배리어성이 높은 절연체로 감싸도 좋다. 또한 트랜지스터(500)를 둘러싸도록 개구를 형성하는 경우, 예를 들어 절연체(522) 또는 절연체(514)에 도달하는 개구를 형성하고, 절연체(522) 또는 절연체(514)와 접하도록 상술한 배리어성이 높은 절연체를 형성하면, 트랜지스터(500)의 제작 공정의 일부를 겸할 수 있기 때문에 적합하다. 또한 수소 또는 물에 대한 배리어성이 높은 절연체에는, 예를 들어 절연체(522) 또는 절연체(514)와 같은 재료를 사용하면 좋다.
- [0281] 다음으로, 트랜지스터(500) 위쪽에는 용량 소자(600)가 제공되어 있다. 용량 소자(600)는 도전체(610)와, 도전체(620)와, 절연체(630)를 포함한다.
- [0282] 또한 도전체(546) 및 도전체(548) 위에 도전체(612)를 제공하여도 좋다. 도전체(612)는 트랜지스터(500)에 접속되는 플러그 또는 배선으로서의 기능을 갖는다. 도전체(610)는 용량 소자(600)의 전극으로서의 기능을 갖는다. 또한 도전체(612) 및 도전체(610)는 동시에 형성할 수 있다.
- [0283] 도전체(612) 및 도전체(610)에는 몰리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 몰리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0284] 본 실시형태에서는 도전체(612) 및 도전체(610)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층

이상의 적층 구조로 하여도 좋다. 예를 들어 배리어성을 갖는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 갖는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

- [0285] 절연체(630)를 개재하여 도전체(610)와 중첩되도록 도전체(620)를 제공한다. 또한 도전체(620)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한 도전체 등의 다른 구성과 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리)나 Al(알루미늄) 등을 사용하면 좋다.
- [0286] 도전체(620) 및 절연체(630) 위에는 절연체(640)가 제공되어 있다. 절연체(640)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한 절연체(640)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.
- [0287] 본 구성을 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서, 미세화 또는 고집적화를 도모할 수 있다.
- [0288] 본 실시형태에서 기재한 구성, 구조, 방법 등은 다른 실시형태 및 실시예 등에서 기재한 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0289] (실시형태 5)
- [0290] 본 실시형태에서는, 앞의 실시형태에서 설명한 연산 처리 시스템(100)의 각 구성을 포함한 집적 회로의 구성에 대하여 도 23의 (A), (B)를 참조하여 설명한다.
- [0291] 도 23의 (A)는 연산 처리 시스템(100)의 각 구성을 포함한 집적 회로를 설명하기 위한 모식도의 일례이다. 도 23의 (A)에 나타난 집적 회로(390)는 CPU(110) 및 반도체 장치(10)로서 설명한 액셀러레이터에 포함되는 회로의 일부를 OS 트랜지스터로 구성함으로써, 각 회로를 일체화한 하나의 집적 회로로 할 수 있다.
- [0292] 도 23의 (A)에 나타난 바와 같이, CPU(110)는 CPU 코어(200)의 위층에 있는 OS 트랜지스터를 포함한 층에 백업 회로(222)가 제공된 구성을 가질 수 있다. 또한 도 23의 (A)에 나타난 바와 같이, 반도체 장치(10)로서 설명한 액셀러레이터는, 연산 회로부(40)를 구성하는 Si 트랜지스터를 포함한 층의 위층에 있는, OS 트랜지스터를 포함한 층에 메모리 회로부(30)가 제공된 구성을 가질 수 있다. 그 외에도, OS 트랜지스터를 포함한 층에는 OS 메모리(300N) 등이 제공된 구성으로 할 수 있다. OS 메모리(300N)에는, 앞의 실시형태에서 설명한 NOSRAM 외에, DOSRAM을 적용할 수 있다. 또한 OS 메모리(300N)에서는 Si 트랜지스터를 포함한 층에 제공되는 구동 회로 위에 OS 트랜지스터를 포함한 층을 적층함으로써, 메모리 밀도를 향상시킬 수 있다.
- [0293] 도 23의 (A)에 나타난 바와 같이, CPU(110), 반도체 장치(10)로서 설명한 액셀러레이터, 및 OS 메모리(300N) 등의 각 회로를 밀결합시킨 SoC의 경우, 발열의 문제는 있지만, OS 트랜지스터는 열로 인한 전기 특성의 변동량이 Si 트랜지스터보다 작기 때문에 적합하다. 또한 도 23의 (A)에 나타난 바와 같이 3차원 방향으로 회로를 집적함으로써, 실리콘 관통 전극(Through Silicon Via: TSV) 등을 사용한 적층 구조 등보다 기생 용량을 작게 할 수 있다. 각 배선의 층방전에 필요한 소비 전력을 절감할 수 있다. 그러므로 연산 처리 효율을 향상시킬 수 있다.
- [0294] 도 23의 (B)는 집적 회로(390)가 포함된 반도체 칩의 일례를 나타낸 것이다. 도 23의 (B)에 나타난 반도체 칩(391)은 리드(392) 및 집적 회로(390)를 포함한다. 도 23의 (A)를 사용하여 설명한 바와 같이, 집적 회로(390)에서는 앞의 실시형태에서 설명한 각종 회로가 하나의 다이에 제공되어 있다. 집적 회로(390)는 적층 구조를 갖고, Si 트랜지스터를 포함한 층(Si 트랜지스터층(393)), 배선층(394), OS 트랜지스터를 포함한 층(OS 트랜지스터층(395))으로 크게 나누어진다. OS 트랜지스터층(395)은 Si 트랜지스터층(393) 위에 적층되어 제공될 수 있기 때문에, 반도체 칩(391)의 소형화가 용이하다.
- [0295] 도 23의 (B)에서는 반도체 칩(391)의 패키지에 QFP(Quad Flat Package)를 적용하였지만, 패키지의 형태는 이에 한정되지 않는다. 그 외의 구성예로서는, 삽입 실장형인 DIP(Dual In-line Package), PGA(Pin Grid Array), 표면 실장형인 SOP(Small Outline Package), SSOP(Shrink Small Outline Package), TSOP(Thin-Small Outline Package), LCC(Leaded Chip Carrier), QFN(Quad Flat Non-leaded package), BGA(Ball Grid Array), FBGA(Fine pitch Ball Grid Array), 접촉 실장형인 DTP(Dual Tape carrier Package), QTP(Quad Tape-carrier Package) 등의 구조를 적절히 사용할 수 있다.
- [0296] Si 트랜지스터를 포함한 연산 회로 및 전환 회로와, OS 트랜지스터를 포함한 메모리 회로는 모두 Si 트랜지스터

층(393), 배선층(394), 및 OS 트랜지스터층(395)에 형성할 수 있다. 즉 상기 반도체 장치를 구성하는 소자는 동일한 제조 공정으로 형성할 수 있다. 그러므로 도 23의 (B)에 나타난 IC는 구성하는 소자가 많아져도 제조 공정을 늘릴 필요가 없기 때문에, 상기 반도체 장치를 낮은 비용으로 포함시킬 수 있다.

- [0297] 상술한 본 발명의 일 형태에 의하여, 신규 반도체 장치 및 전자 기기를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 소비 전력이 낮은 반도체 장치 및 전자 기기를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 발열을 억제할 수 있는 반도체 장치 및 전자 기기를 제공할 수 있다.
- [0298] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0299] (실시형태 6)
- [0300] 본 실시형태에서는, 앞의 실시형태에서 설명한 집적 회로(390)를 적용할 수 있는 전자 기기, 이동체, 연산 시스템에 대하여 도 24 내지 도 27을 참조하여 설명한다.
- [0301] 도 24의 (A)에는 이동체의 일례로서 자동차의 외관도를 나타내었다. 도 24의 (B)는 자동차 내에서의 데이터 송수신을 간략화하여 나타낸 도면이다. 자동차(590)는 복수의 카메라(591) 등을 포함한다. 또한 자동차(590)는 적외선 레이더, 밀리파 레이더, 레이저 레이더 등의 각종 센서(도시하지 않았음) 등을 포함한다.
- [0302] 자동차(590)에서는, 카메라(591) 등에 상기 집적 회로(390)(또는 상기 집적 회로(390)가 포함된 반도체 칩(391))를 사용할 수 있다. 자동차(590)는, 복수의 촬상 방향(592)에서 카메라(591)가 얻은 복수의 화상을 앞의 실시형태에서 설명한 집적 회로(390)를 사용하여 처리하여, 버스(593) 등을 통하여 호스트 컨트롤러(594) 등에 의하여 함께 해석함으로써, 가드레일이나 보행자의 유무 등, 주위의 교통 상황을 판단하여 자동 운전을 수행할 수 있다. 또한 도로 안내, 위험 예측 등을 수행하는 시스템에 사용할 수 있다.
- [0303] 집적 회로(390)에서, 얻어진 화상 데이터에 대하여 신경망 등의 연산 처리를 수행함으로써, 예를 들어 화상의 해상도 향상, 화상 노이즈의 저감, 얼굴 인식(방법 목적 등), 물체 인식(자동 운전 목적 등), 화상 압축, 화상 보정(와이드 다이내믹 레인지), 렌즈리스 이미지 센서의 화상 복구, 위치 잡기, 문자 인식, 반사 및 눈부심 저감 등의 처리를 수행할 수 있다.
- [0304] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 컴퓨터를 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.
- [0305] 도 25의 (A)는 휴대용 전자 기기의 일례를 나타낸 외관도이다. 도 25의 (B)는 휴대용 전자 기기 내에서의 데이터 송수신을 간략화하여 나타낸 도면이다. 휴대용 전자 기기(595)는 인쇄 배선 기판(596), 스피커(597), 카메라(598), 마이크로폰(599) 등을 포함한다.
- [0306] 휴대용 전자 기기(595)에서 인쇄 배선 기판(596)에 상기 집적 회로(390)를 제공할 수 있다. 휴대용 전자 기기(595)는, 스피커(597), 카메라(598), 마이크로폰(599) 등이 얻는 복수의 데이터를 앞의 실시형태에서 설명한 집적 회로(390)를 사용하여 처리 및 해석함으로써, 사용자의 편의성을 향상시킬 수 있다. 또한 음성 안내, 화상 검색 등을 수행하는 시스템에 사용할 수 있다.
- [0307] 집적 회로(390)에서, 얻어진 화상 데이터에 대하여 신경망 등의 연산 처리를 수행함으로써, 예를 들어 화상의 해상도 향상, 화상 노이즈의 저감, 얼굴 인식(방법 목적 등), 물체 인식(자동 운전 목적 등), 화상 압축, 화상 보정(와이드 다이내믹 레인지), 렌즈리스 이미지 센서의 화상 복구, 위치 잡기, 문자 인식, 반사 및 눈부심 저감 등의 처리를 수행할 수 있다.
- [0308] 도 26의 (A)에 나타난 휴대용 게임기(1100)는 하우징(1101), 하우징(1102), 하우징(1103), 표시부(1104), 접속부(1105), 조작 키(1107) 등을 포함한다. 하우징(1101), 하우징(1102), 및 하우징(1103)은 떼어낼 수 있다. 하우징(1101)에 제공되어 있는 접속부(1105)를 하우징(1108)에 장착함으로써, 표시부(1104)에 출력되는 영상을 다른 영상 기기에 출력할 수 있다. 또한 하우징(1102) 및 하우징(1103)을 하우징(1109)에 장착함으로써, 하우징(1102) 및 하우징(1103)이 일체화되어 조작부로서 기능한다. 하우징(1102) 및 하우징(1103)의 기판에 제공되어 있는 칩 등에 앞의 실시형태에서 설명한 집적 회로(390)를 포함시킬 수 있다.
- [0309] 도 26의 (B)는 USB 접속 형태의 스틱형 전자 기기(1120)를 나타낸 것이다. 전자 기기(1120)는 하우징(1121), 캡(1122), USB 커넥터(1123), 및 기판(1124)을 포함한다. 기판(1124)은 하우징(1121)에 수납되어 있다. 예를 들어 기판(1124)에는 메모리 칩(1125), 컨트롤러 칩(1126)이 장착되어 있다. 기판(1124)의 컨트롤러 칩(1126)

등에 앞의 실시형태에서 설명한 집적 회로(390)를 포함시킬 수 있다.

- [0310] 도 26의 (C)는 휴머노이드 로봇(1130)을 나타낸 것이다. 로봇(1130)은 센서(2101 내지 2106) 및 제어 회로(2110)를 포함한다. 예를 들어 제어 회로(2110)에는 앞의 실시형태에서 설명한 집적 회로(390)를 포함시킬 수 있다.
- [0311] 앞의 실시형태에서 설명한 집적 회로(390)는 전자 기기에 내장되는 대신 전자 기기와 통신을 수행하는 서버에 사용할 수도 있다. 이 경우, 전자 기기와 서버로 연산 시스템이 구성된다. 도 27에 시스템(3000)의 구성예를 나타내었다.
- [0312] 시스템(3000)은 전자 기기(3001)와 서버(3002)로 구성된다. 전자 기기(3001)와 서버(3002) 사이의 통신은 인터넷 회선(3003)을 통하여 수행할 수 있다.
- [0313] 서버(3002)는 복수의 랙(3004)을 포함한다. 복수의 랙에는 복수의 기관(3005)이 제공되고, 상기 기관(3005) 위에 앞의 실시형태에서 설명한 집적 회로(390)를 탑재할 수 있다. 이에 의하여, 서버(3002)에 신경망이 구성된다. 그리고 서버(3002)는 전자 기기(3001)로부터 인터넷 회선(3003)을 통하여 입력된 데이터를 사용하여 신경망의 연산을 수행할 수 있다. 서버(3002)에 의한 연산의 결과는 필요에 따라 인터넷 회선(3003)을 통하여 전자 기기(3001)에 송신할 수 있다. 이에 의하여, 전자 기기(3001)에서의 연산의 부담을 경감할 수 있다.
- [0314] 본 실시형태는 다른 실시형태의 기재와 적절히 조합할 수 있다.
- [0315] (본 명세서 등의 기재에 관한 부기)
- [0316] 상기 실시형태 및 실시형태에서의 각 구성의 설명에 대하여 이하에서 부기한다.
- [0317] 각 실시형태에 기재된 구성은, 다른 실시형태 또는 실시예에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 적절히 조합할 수 있다.
- [0318] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음) 및/또는 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음)에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.
- [0319] 또한 실시형태에서 설명하는 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0320] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은, 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 및/또는 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음)과 조합함으로써, 더 많은 도면을 구성할 수 있다.
- [0321] 또한 본 명세서 등에 있어서, 블록도에서는 구성 요소를 기능마다 분류하고 서로 독립된 블록으로서 나타내었다. 그러나 실제의 회로 등에서는 구성 요소를 기능마다 분류하기가 어렵고, 하나의 회로에 복수의 기능이 관련되는 경우나, 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 그러므로 블록도의 블록은 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0322] 또한 도면에서, 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 나타내었다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 명확성을 기하기 위하여 모식적으로 나타낸 것이며, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈로 인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0323] 또한 도면 등에 나타난 구성 요소의 위치 관계는 상대적이다. 따라서 도면을 참조하여 구성 요소에 대하여 설명하는 경우, 위치 관계를 나타내는 "위에", "아래에" 등의 어구는 편의상 사용되는 경우가 있다. 구성 요소의 위치 관계는 본 명세서의 기재 내용에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0324] 본 명세서 등에서 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), 소스 및 드레인 중 다른 쪽에는 "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 이는, 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인이라는 호칭은, 소스(드레인) 단자나 소스(드레인) 전극 등, 상황에 따라 적절히 바꿔 말할 수 있다.

- [0325] 또한 본 명세서 등에서 "전극"이나 "배선"이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0326] 또한 본 명세서 등에서 전압과 전위는 적절히 바꿔 말할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 말하고, 예를 들어 기준이 되는 전위가 그라운드 전압(접지 전압)인 경우, 전압을 전위라고 바꿔 말할 수 있다. 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 인가되는 전위를 변화시키는 경우가 있다.
- [0327] 또한 본 명세서 등에서 노드는 회로 구성이나 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바꿔 말할 수 있다. 또한 단자, 배선 등을 노드로 바꿔 말할 수 있다.
- [0328] 본 명세서 등에서 "A와 B가 접속되어 있다"란, A와 B가 전기적으로 접속되는 경우를 말한다. 여기서, "A와 B가 전기적으로 접속되어 있다"란, A와 B 간에 대상물(스위치, 트랜지스터 소자, 또는 다이오드 등의 소자, 혹은 상기 소자 및 배선을 포함하는 회로 등을 가리킴)이 존재하는 경우에 A와 B 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 또한 A와 B가 전기적으로 접속되어 있는 경우에는 A와 B가 직접 접속되어 있는 경우가 포함된다. 여기서 "A와 B가 직접 접속되어 있다"란, 상기 대상물을 통하지 않고, 배선(또는 전극) 등을 통하여 A와 B 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 바꿔 말하면, 직접 접속이란, 등가 회로로 나타낸 경우에 같은 회로도 간주할 수 있는 접속을 말한다.
- [0329] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 갖는 것을 말한다.
- [0330] 본 명세서 등에서 채널 길이란, 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다.
- [0331] 본 명세서 등에서 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 대향하는 부분의 길이를 말한다.
- [0332] 또한 본 명세서 등에서 "막", "층" 등의 어구는, 경우에 따라 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

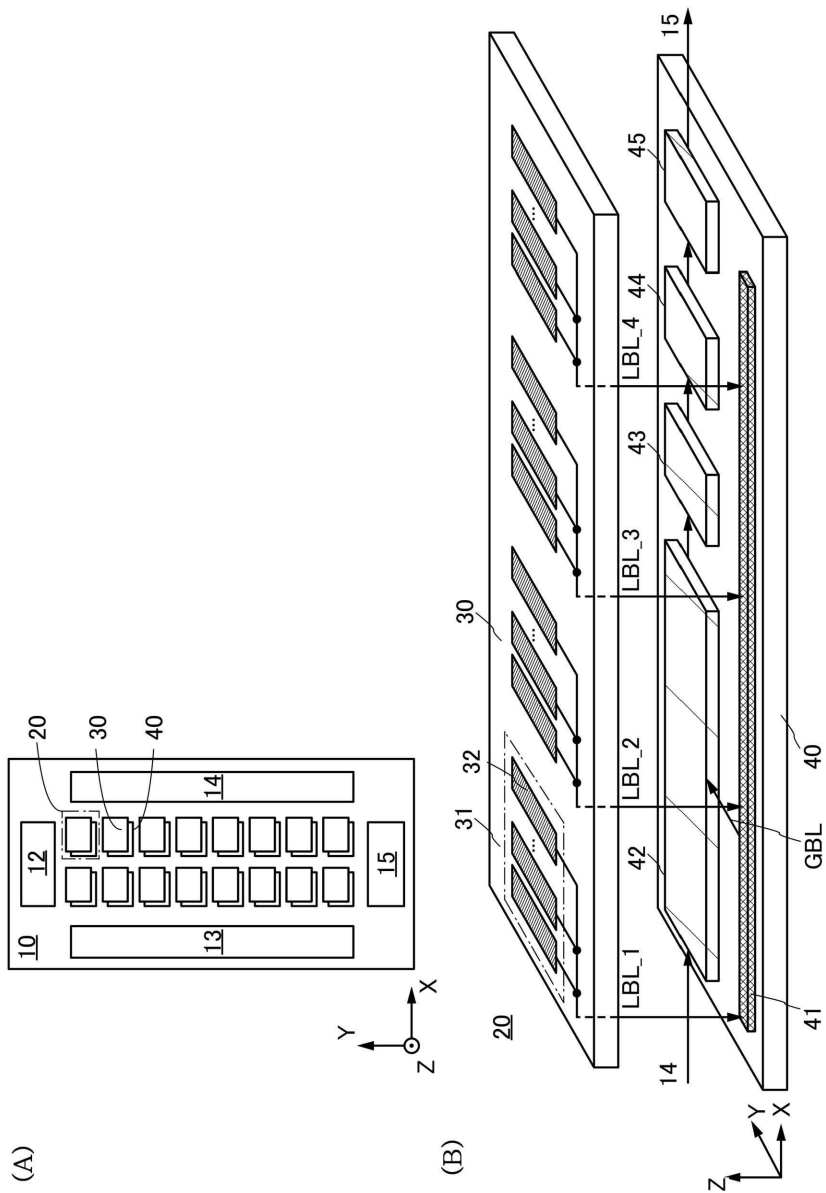
부호의 설명

- [0333] C11: 용량 소자, CK1: 노드, D1: 노드, GCLK1: 클록 신호, LBL_n: 배선, LBL_N: 배선, LBL_1: 배선, LBL_4: 배선, LBL_6: 배선, M11: 트랜지스터, M12: 트랜지스터, M13: 트랜지스터, PSE0: 신호, PSE1: 신호, PSE2: 신호, Q1: 노드, RWL_M: 판독용 워드선, RWL_1: 판독용 워드선, SLEEP1: 신호, SN11: 노드, t1: 시각, t2: 시각, t3: 시각, t4: 시각, t5: 시각, t6: 시각, t7: 시각, T0: 시각, T1: 시각, T6: 시각, WBL_1: 기록용 비트선, WWL_M: 기록용 워드선, WWL_1: 기록용 워드선, 10: 반도체 장치, 12: 구동 회로, 13: 구동 회로, 14: 제어 회로, 15: 처리 회로, 20: 연산 블록, 21: 트랜지스터, 22: 반도체층, 23: 트랜지스터, 24: 반도체층, 30: 메모리 회로부, 31: 회로 블록, 32: 메모리 회로, 32_N: 메모리 회로, 32_P: 메모리 회로, 32A: 메모리 회로, 32B: 메모리 회로, 32C: 메모리 회로, 40: 연산 회로부, 41: 전환 회로, 42: 전환 연산 회로, 43: 활성화 함수 연산 회로, 44: 양자화 연산 회로, 44_1: 양자화 연산 회로, 44_9: 양자화 연산 회로, 45: 프리 풀링(pre-pooling) 연산 회로, 47: 포스트 풀링(post-pooling) 연산 회로, 46: 전용 연산 회로, 46_1: 전용 연산 회로, 46_2: 전용 연산 회로, 46_3: 전용 연산 회로, 51: 곱셈 회로, 52: 가산 회로, 53: 레지스터, 54: 멀티플렉서, 55: 비교 회로, 56: 레지스터, 61: 트랜지스터, 61_N: 트랜지스터, 61_P: 트랜지스터, 61A: 트랜지스터, 61B: 트랜지스터, 62: 트랜지스터, 62_N: 트랜지스터, 62_P: 트랜지스터, 62B: 트랜지스터, 63: 트랜지스터, 63_N: 트랜지스터, 63_P: 트랜지스터, 64: 용량 소자, 64_N: 용량 소자, 64_P: 용량 소자, 64A: 용량 소자, 64B: 용량 소자, 100: 연산 처리 시스템, 110: CPU, 120: 버스, 130: 액셀러레이터부, 131: 제어부, 193: PMU, 200: CPU 코어, 202: 캐시 메모리 장치, 203: 캐시 메모리 장치, 205: 버스 인터페이스부, 210: 파워 스위치, 211: 파워 스위치, 212: 파워 스위치, 214: 레벨 시프터, 220: 플립플롭, 221: 스캔 플립플롭, 221A: 클록 버퍼 회로, 222: 백업 회로, 300N: OS 메모리, 311: 기관, 312: 웰 영역, 313: 절연체, 314: 산화물층, 315: 반도체 영역, 316a: 저

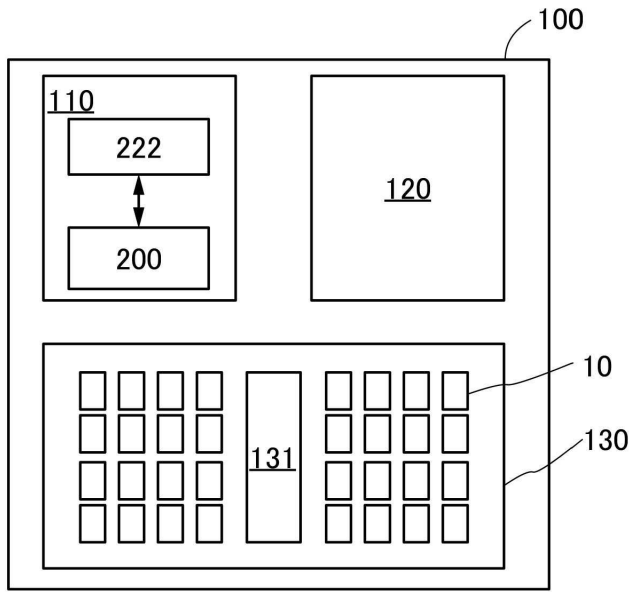
저항 영역, 316b: 저저항 영역, 316c: 저저항 영역, 317: 절연체, 318: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 360: 절연체, 362: 절연체, 364: 절연체, 366: 도전체, 370: 절연체, 372: 절연체, 374: 절연체, 376: 도전체, 380: 절연체, 382: 절연체, 384: 절연체, 386: 도전체, 390: 집적 회로, 391: 반도체 칩, 392: 리드, 393: Si 트랜지스터층, 394: 배선층, 395: OS 트랜지스터층, 500: 트랜지스터, 503: 도전체, 503a: 도전체, 503b: 도전체, 510: 절연체, 512: 절연체, 514: 절연체, 516: 절연체, 518: 도전체, 522: 절연체, 524: 절연체, 530: 산화물, 530a: 산화물, 530b: 산화물, 540a: 도전체, 540b: 도전체, 542: 도전체, 542a: 도전체, 542b: 도전체, 543a: 영역, 543b: 영역, 544: 절연체, 545: 절연체, 546: 도전체, 548: 도전체, 550: 트랜지스터, 560: 도전체, 560a: 도전체, 560b: 도전체, 574: 절연체, 580: 절연체, 581: 절연체, 582: 절연체, 586: 절연체, 590: 자동차, 591: 카메라, 592: 촬상 방향, 593: 버스, 594: 호스트 컨트롤러, 595: 휴대용 전자 기기, 596: 인쇄 배선 기판, 597: 스피커, 598: 카메라, 599: 마이크로폰, 600: 용량 소자, 610: 도전체, 612: 도전체, 620: 도전체, 630: 절연체, 640: 절연체, 1100: 휴대용 게임기, 1101: 하우징, 1102: 하우징, 1103: 하우징, 1104: 표시부, 1105: 접속부, 1107: 조작 키, 1108: 하우징, 1109: 하우징, 1120: 전자 기기, 1121: 하우징, 1122: 캡, 1123: USB 커넥터, 1124: 기판, 1125: 메모리 칩, 1126: 컨트롤러 칩, 1130: 로봇, 2101: 센서, 2106: 센서, 2110: 제어 회로, 3000: 시스템, 3001: 전자 기기, 3002: 서버, 3003: 인터넷 회선, 3004: 랙, 3005: 기판

도면

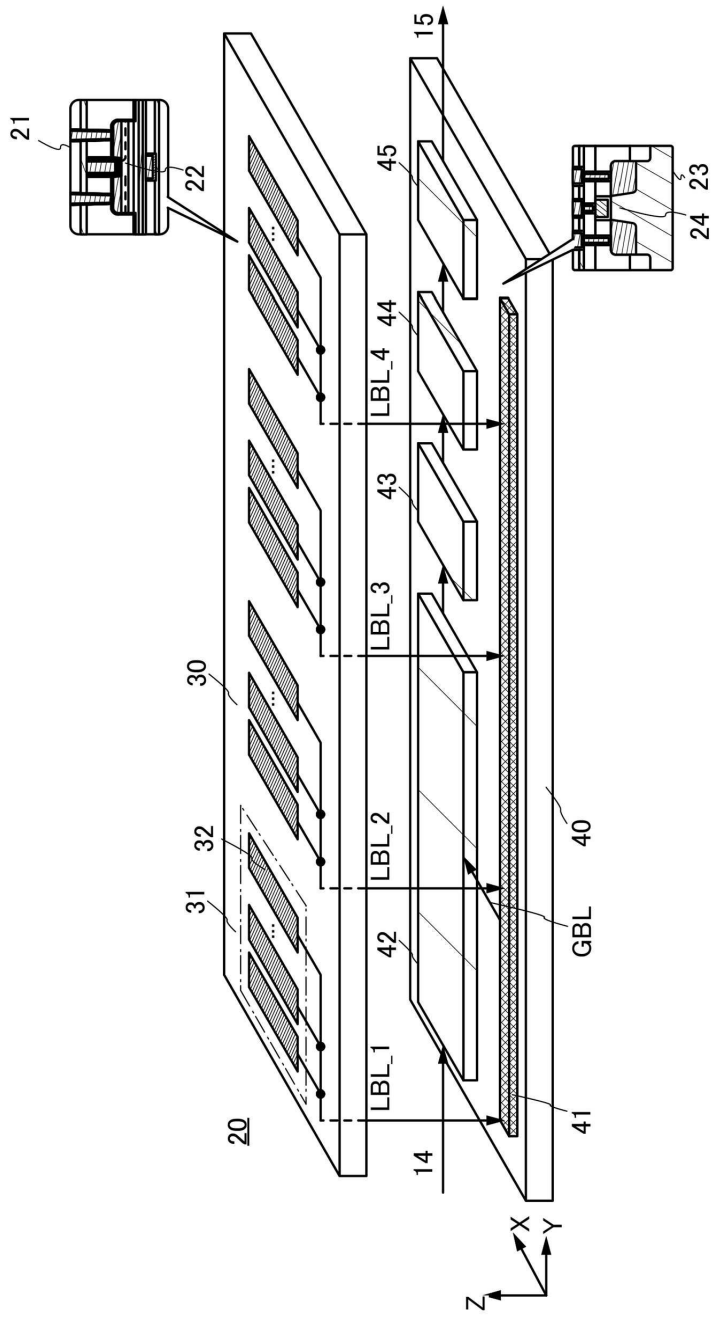
도면1



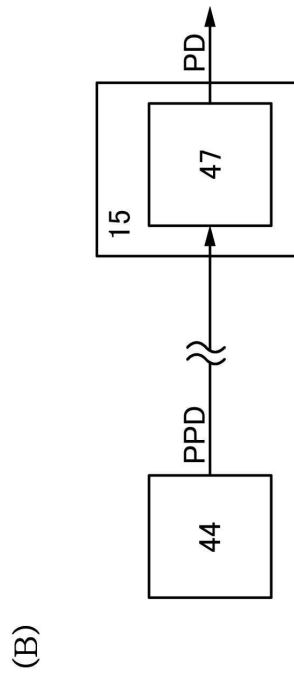
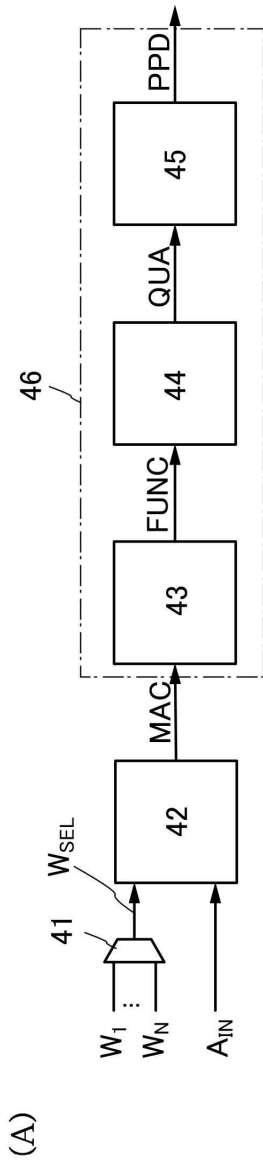
도면2



도면3

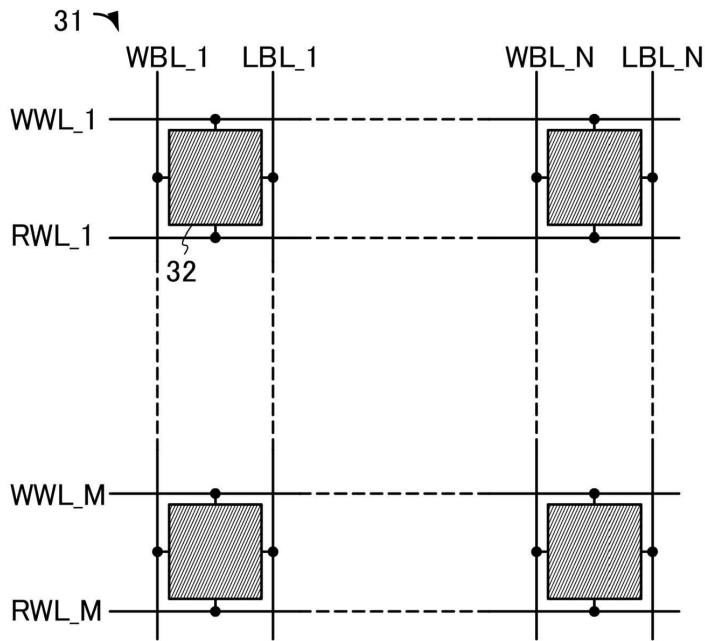


도면4

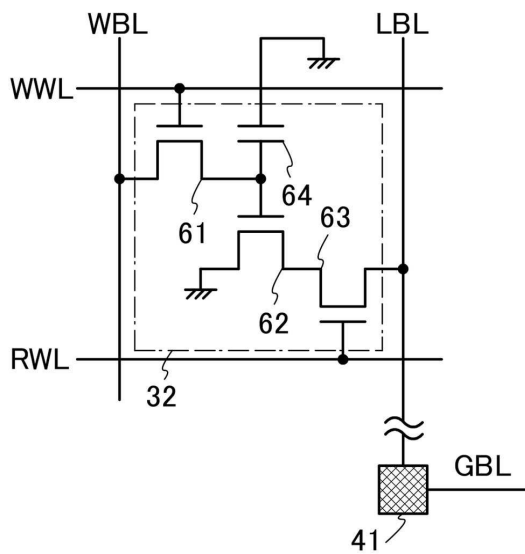


도면5

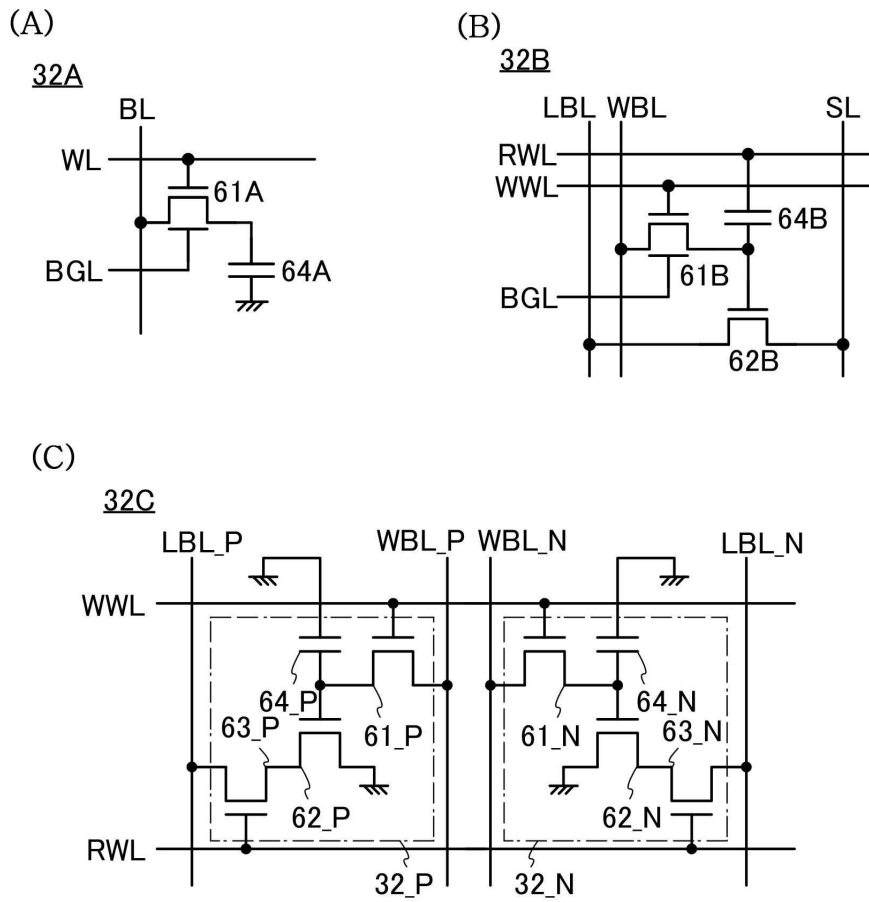
(A)



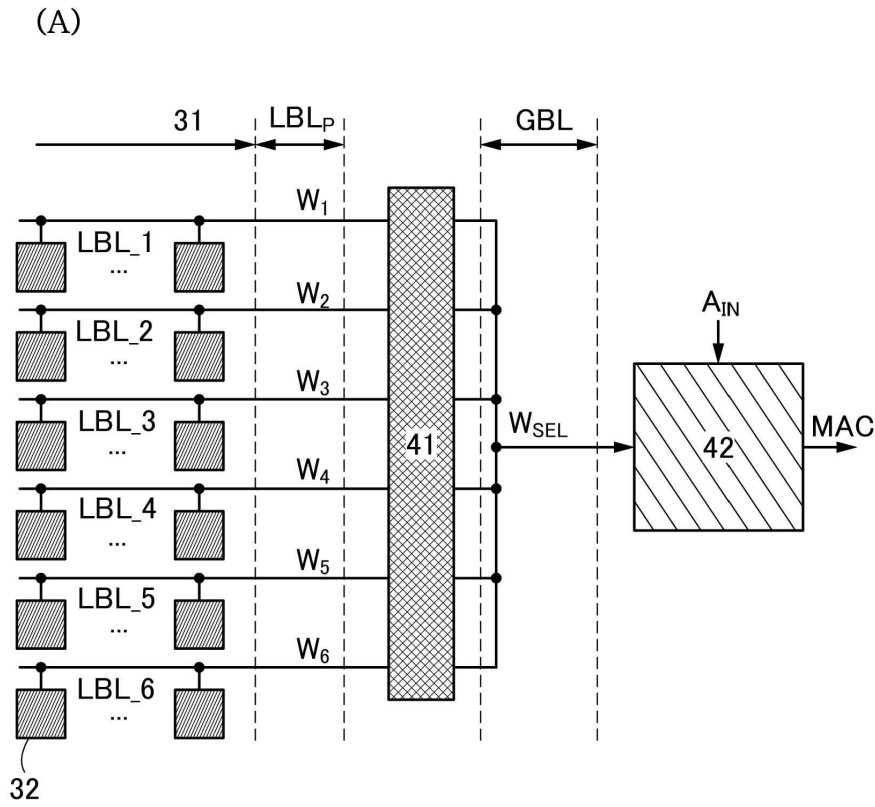
(B)



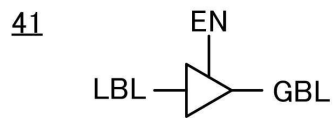
도면6



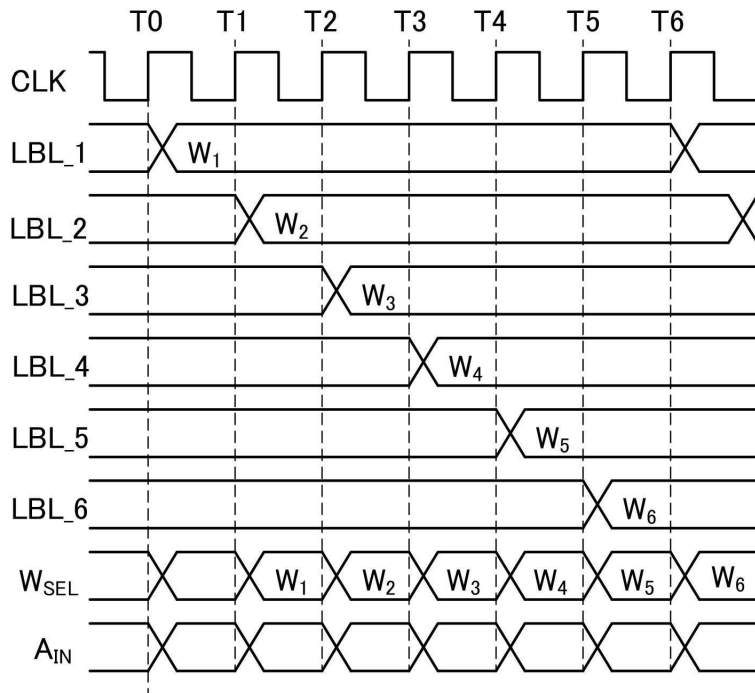
도면7



(B)

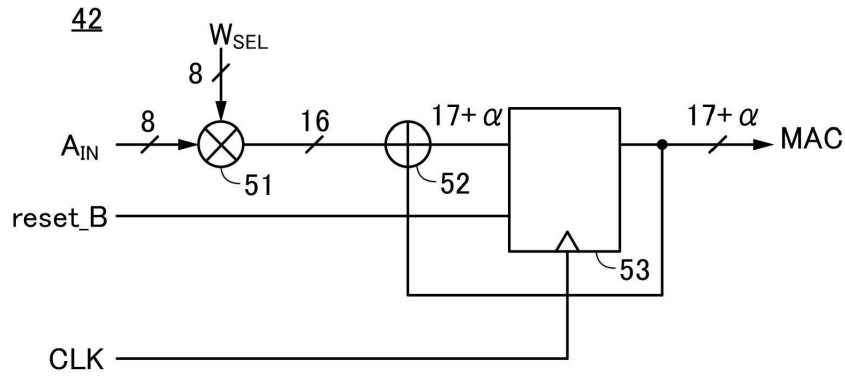


도면8

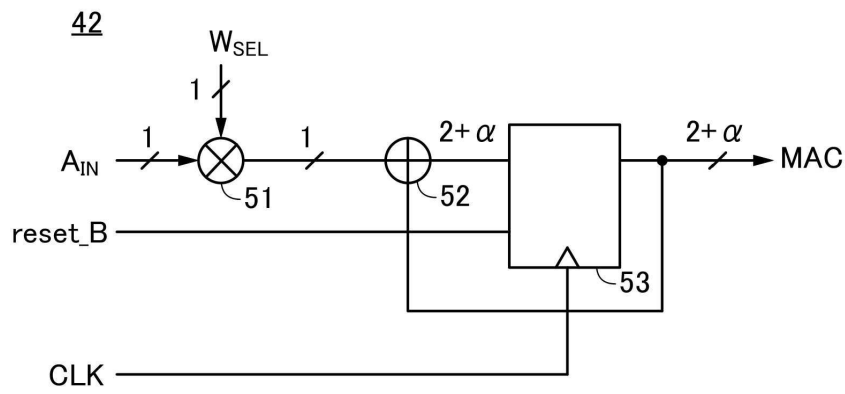


도면9

(A)

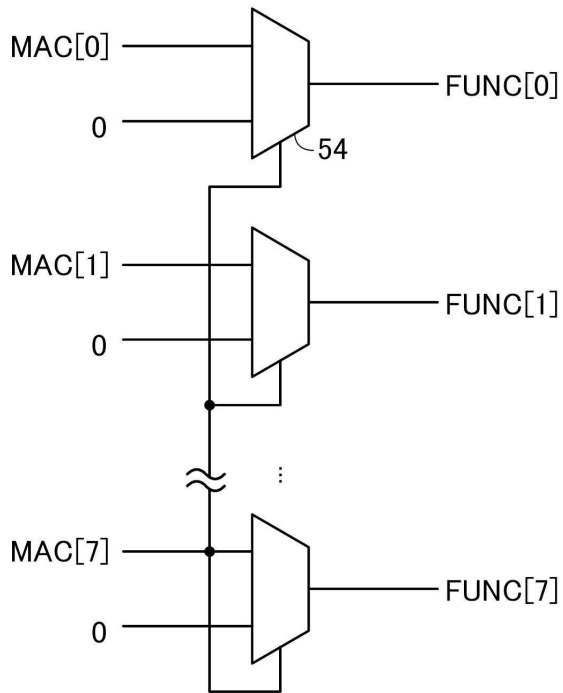


(B)

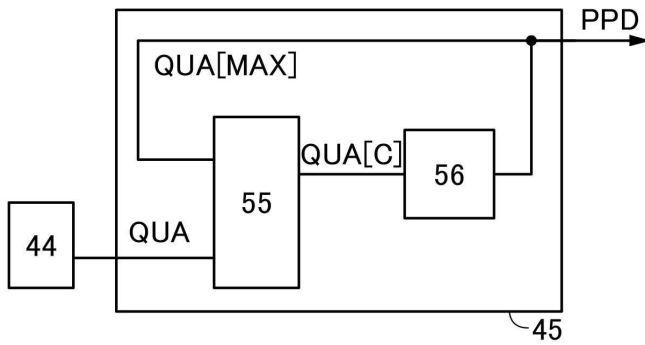


도면10

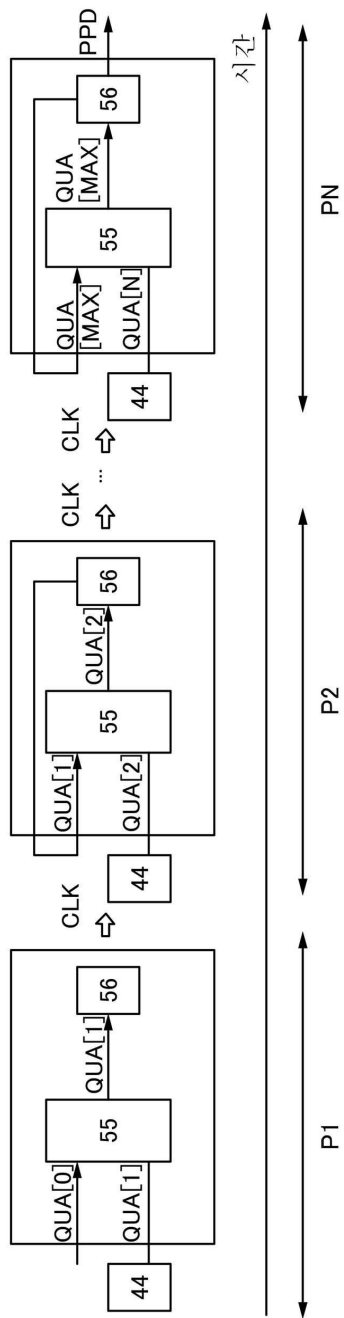
43



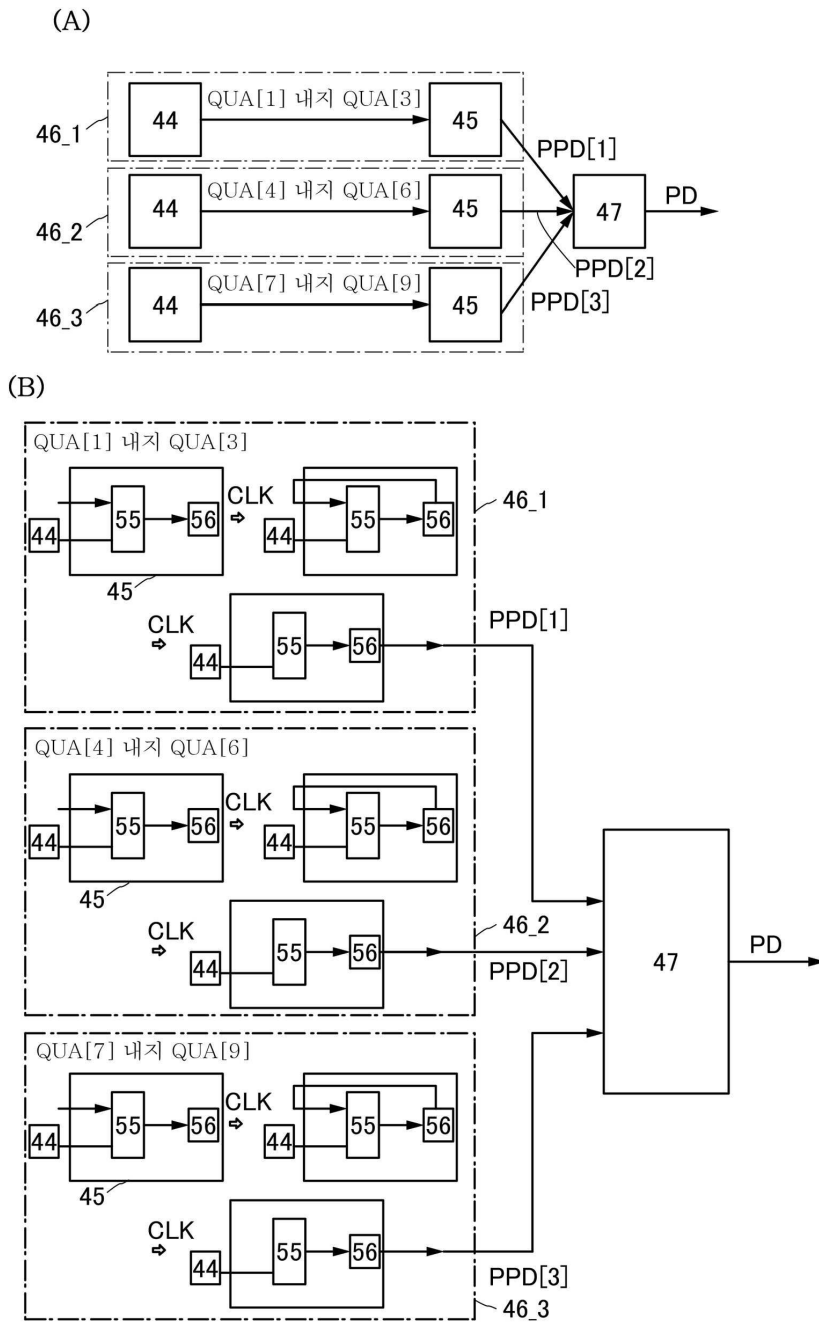
도면11



도면12

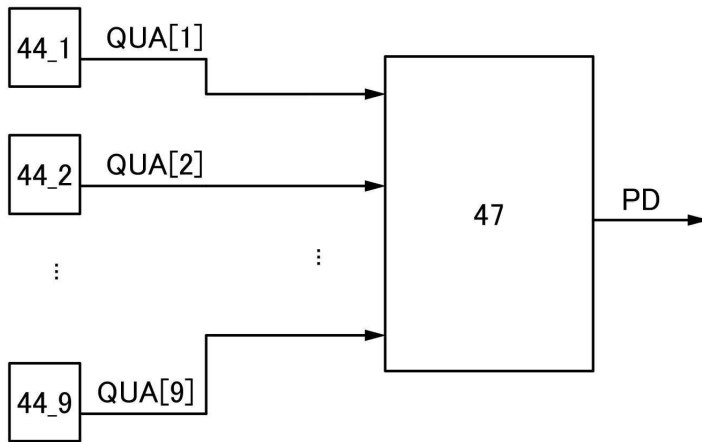


도면13

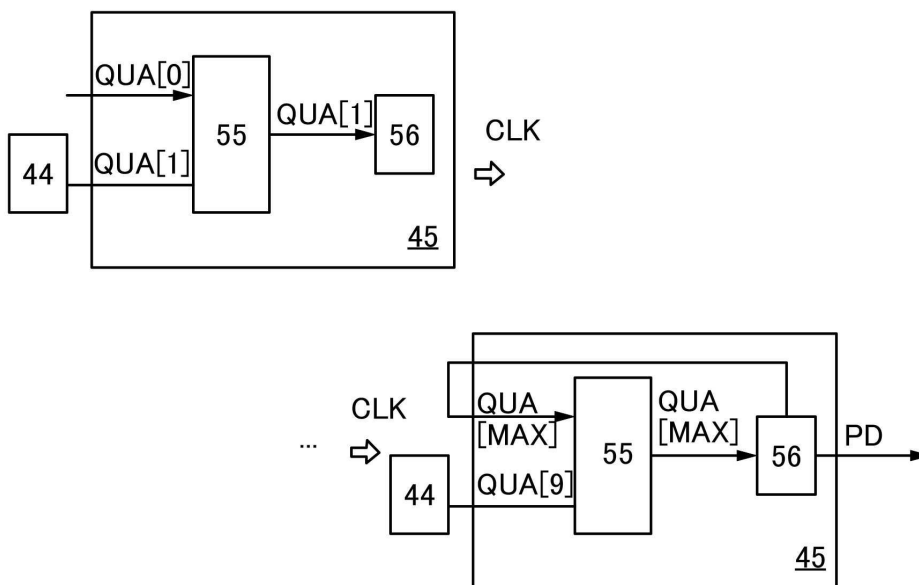


도면14

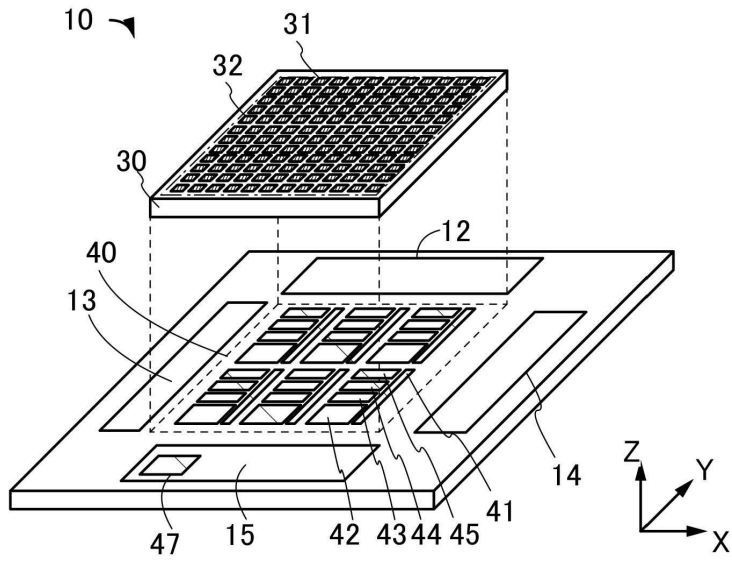
(A)



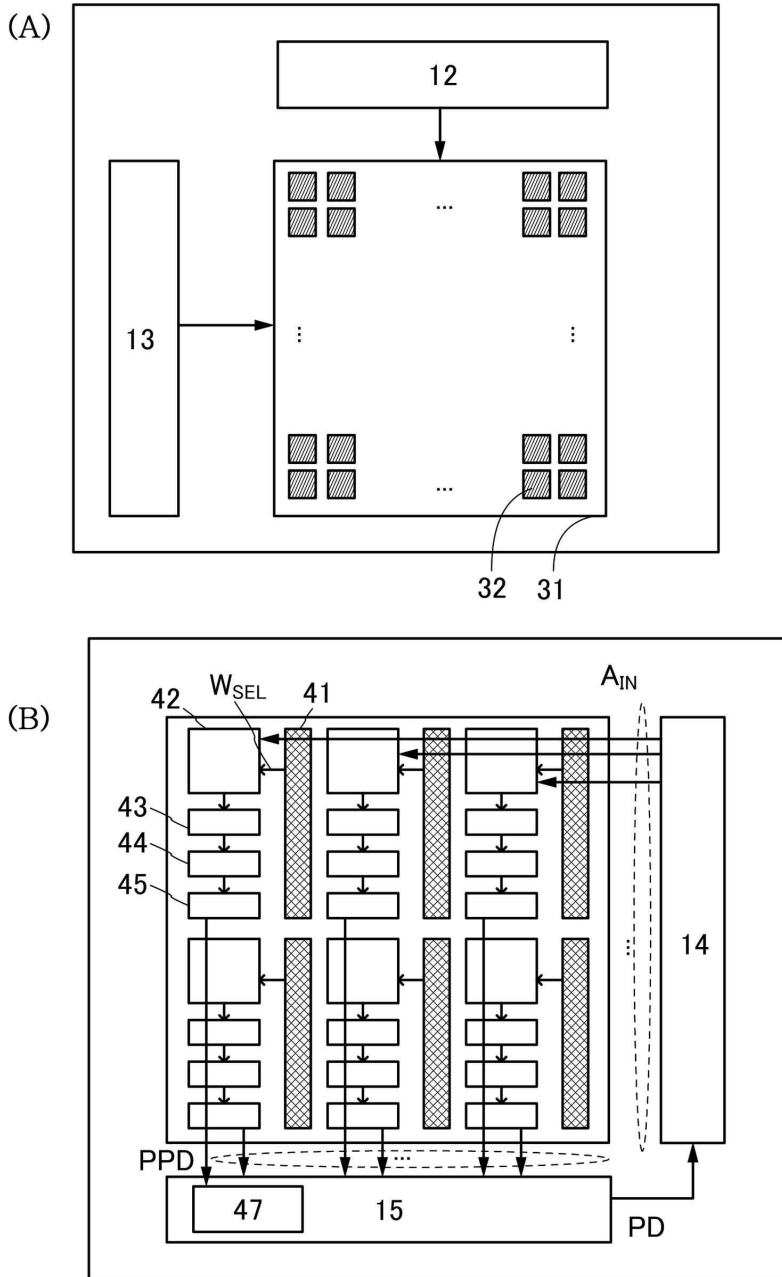
(B)



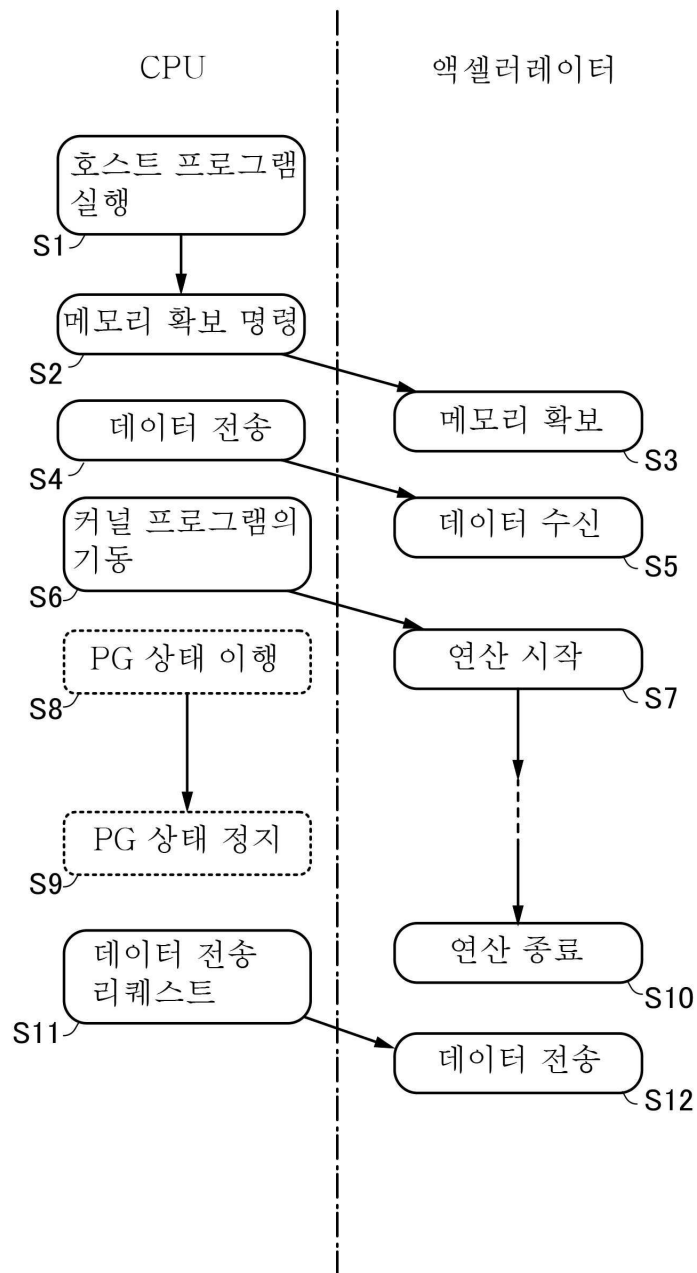
도면15



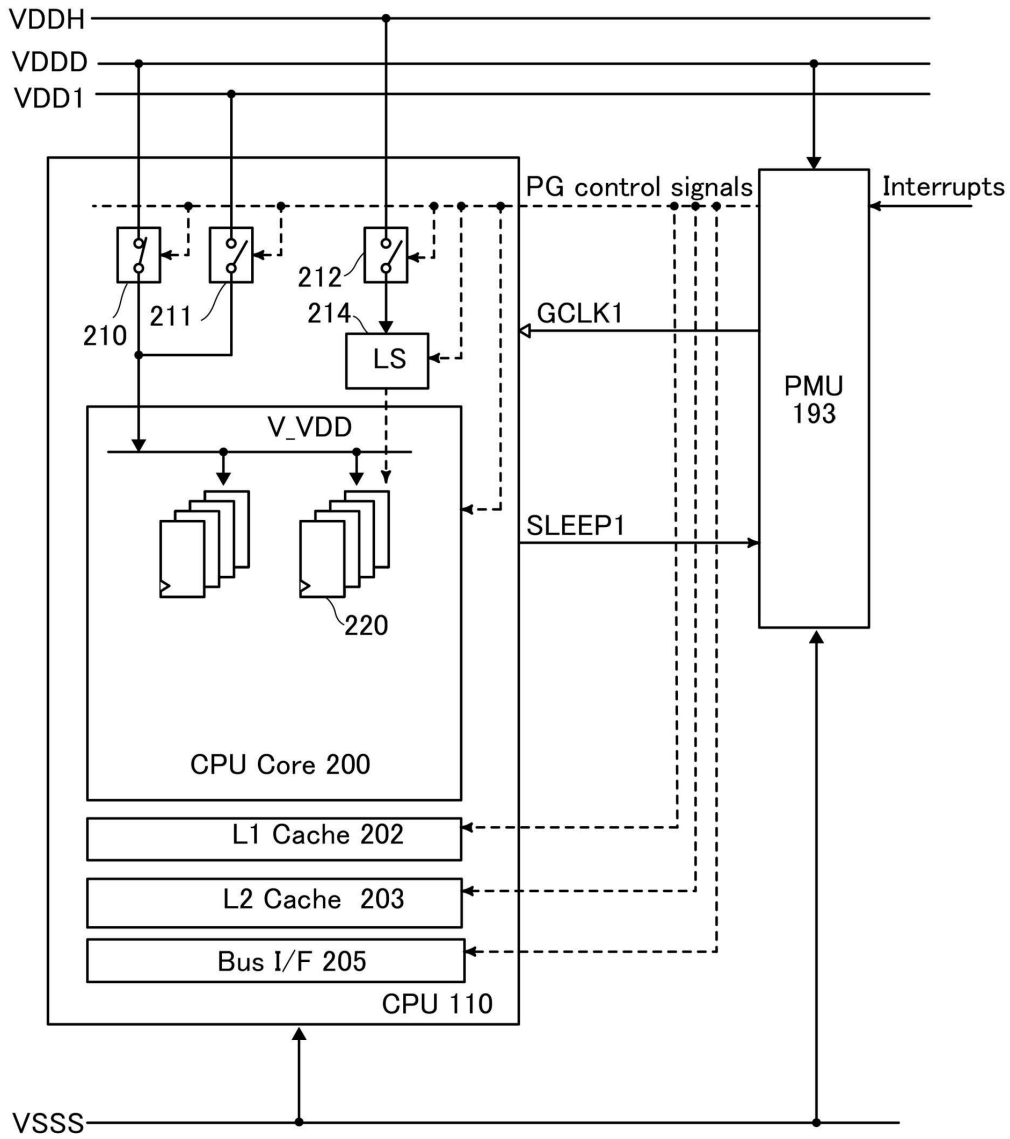
도면16



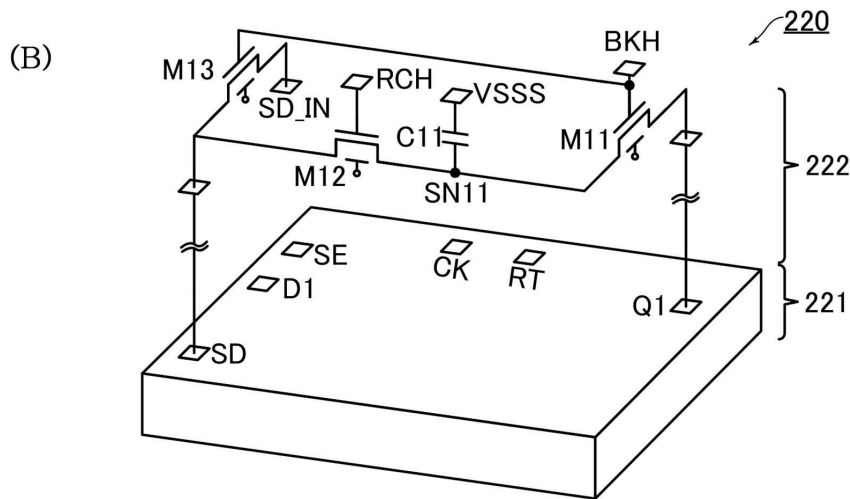
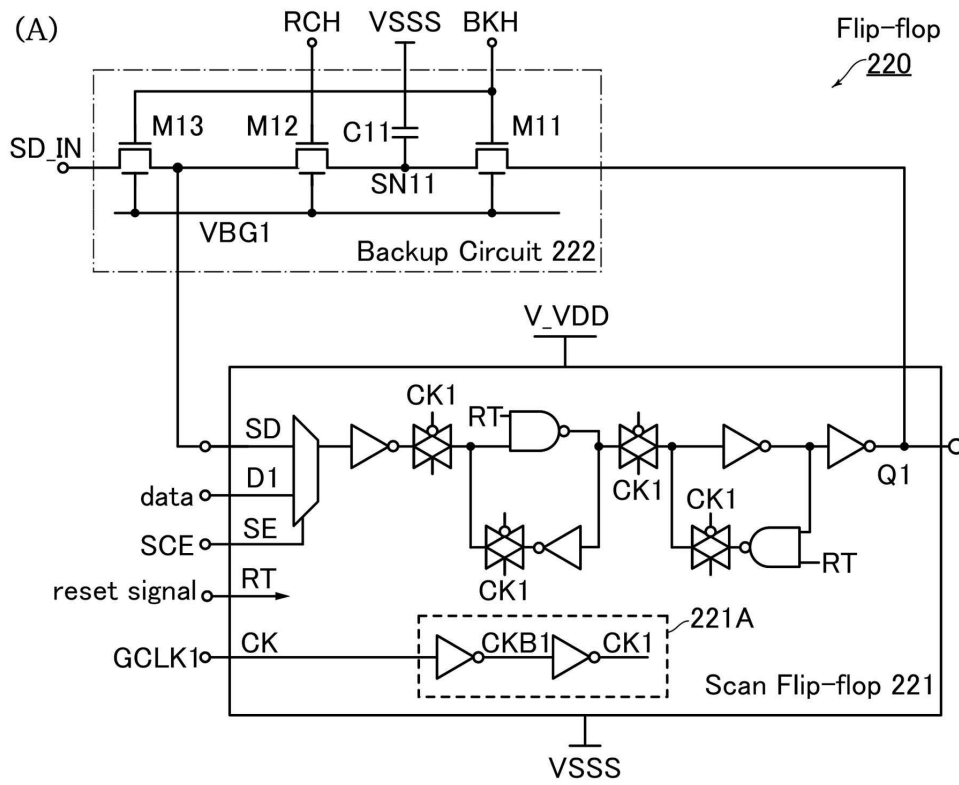
도면17



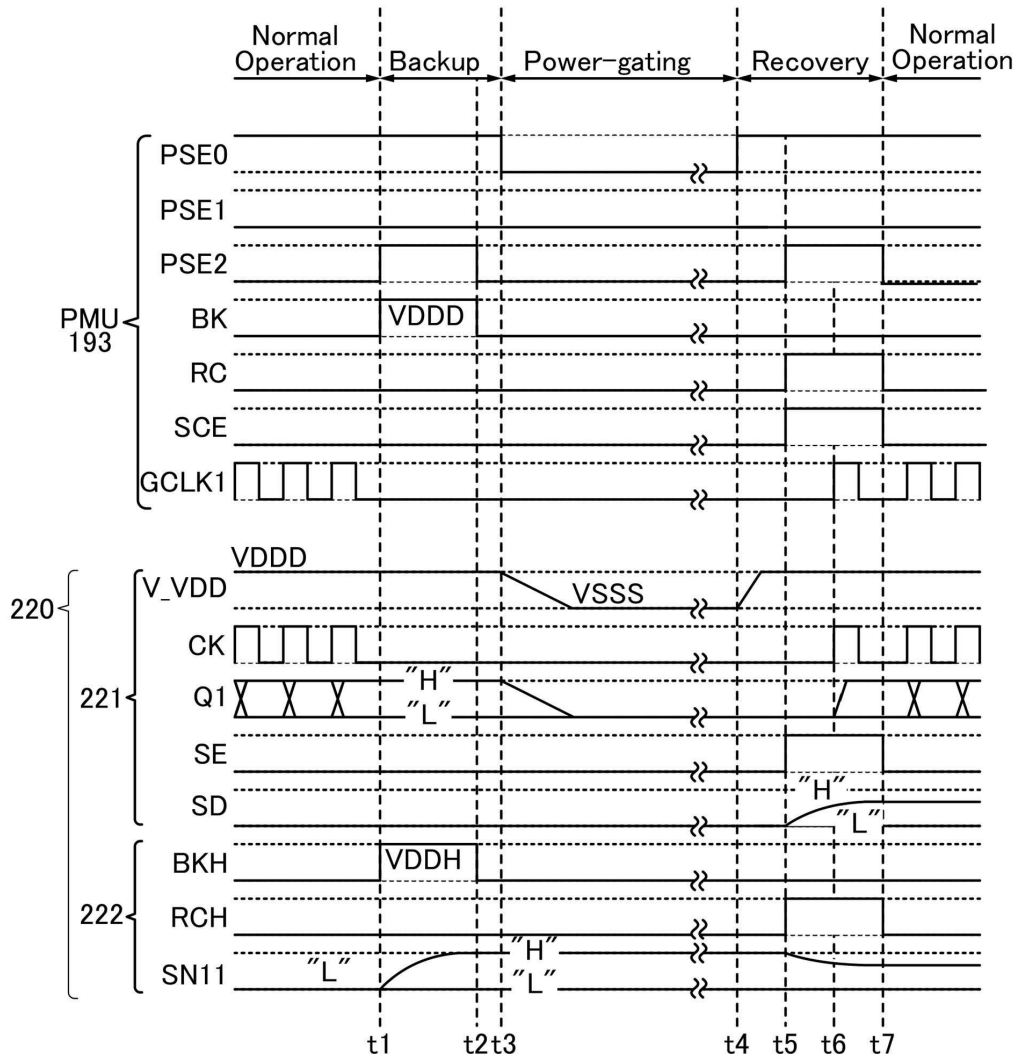
도면18



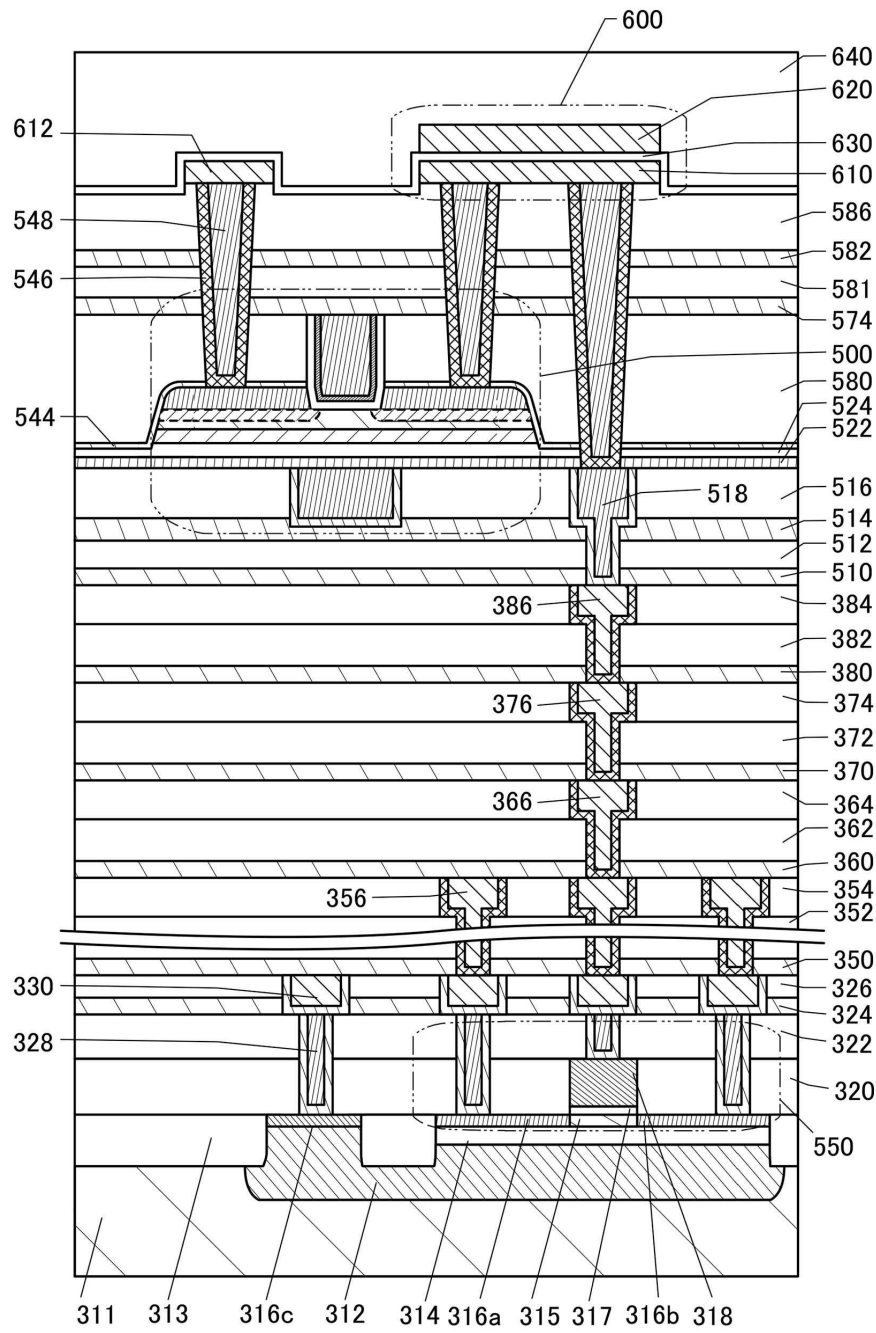
도면19



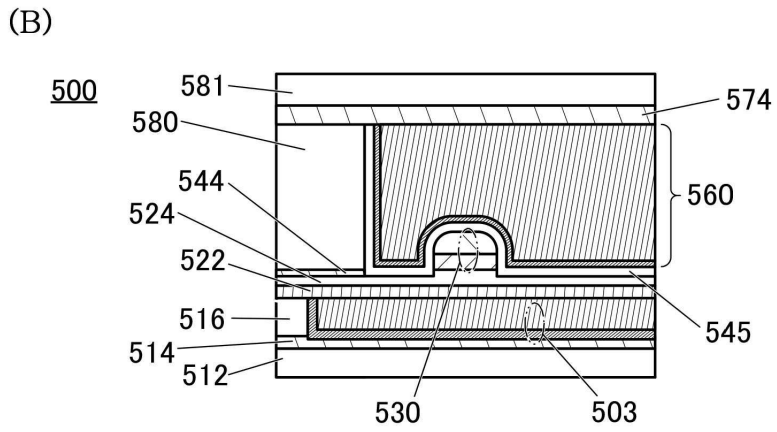
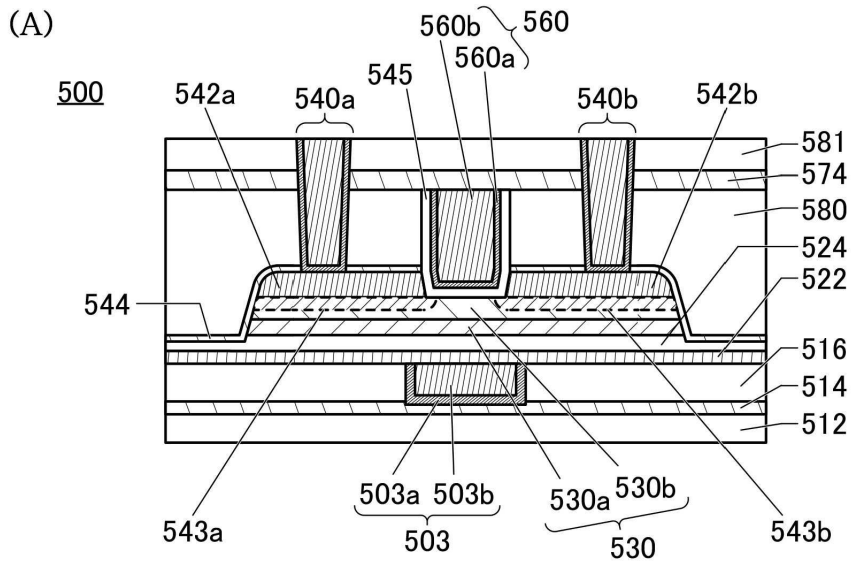
도면20



도면21

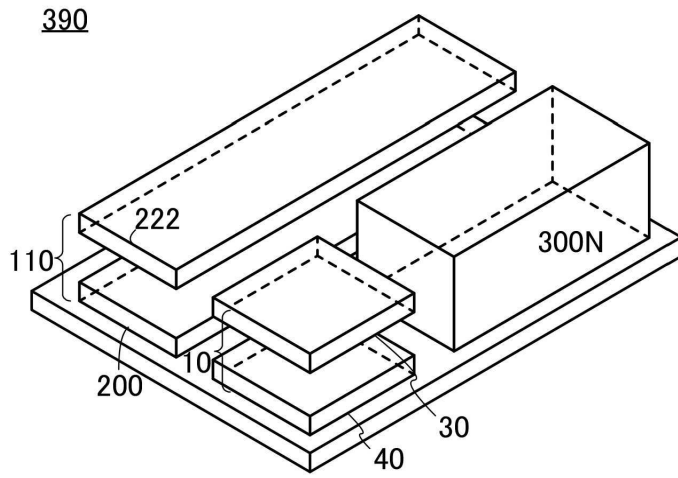


도면22

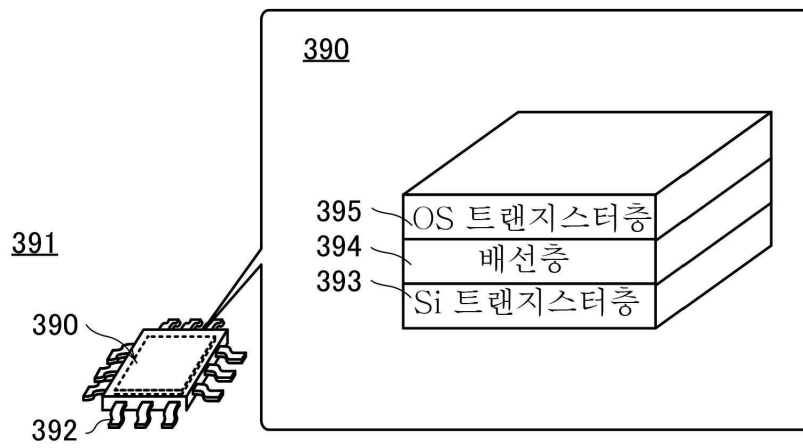


도면23

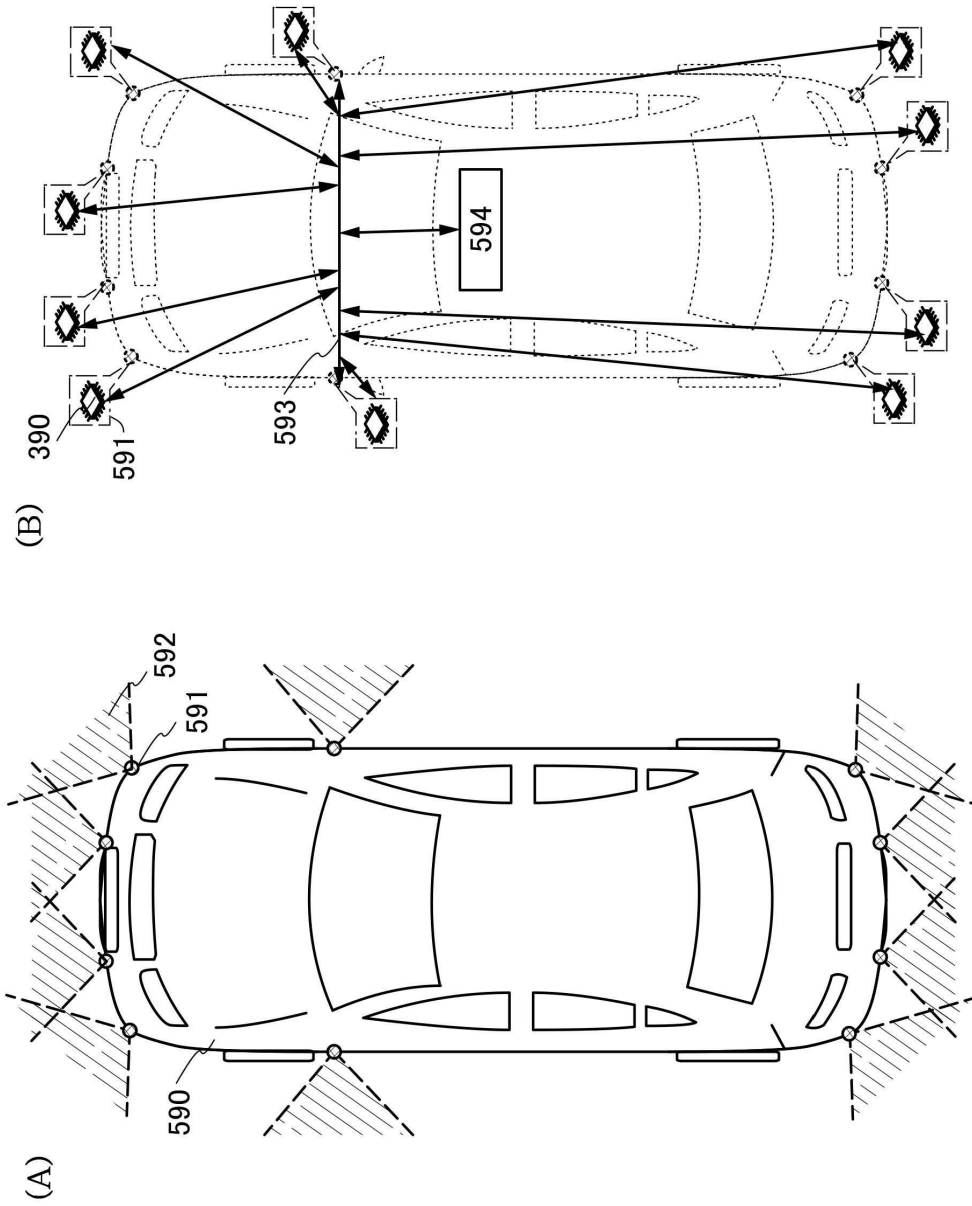
(A)



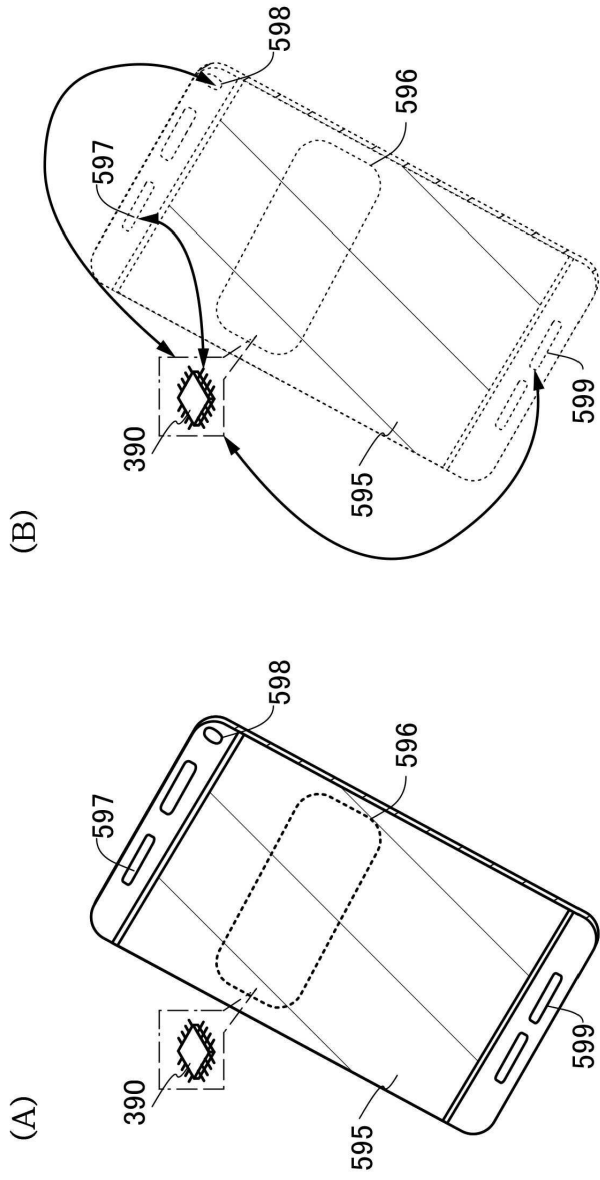
(B)



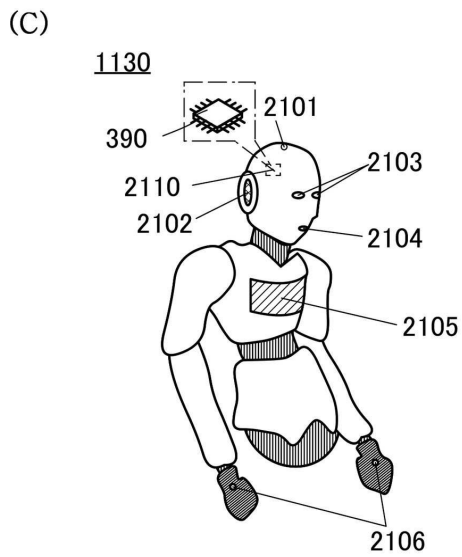
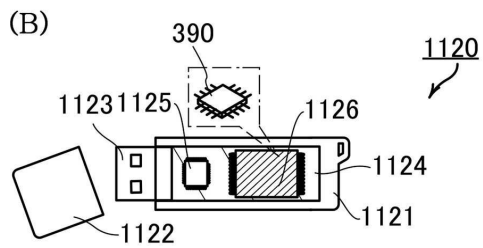
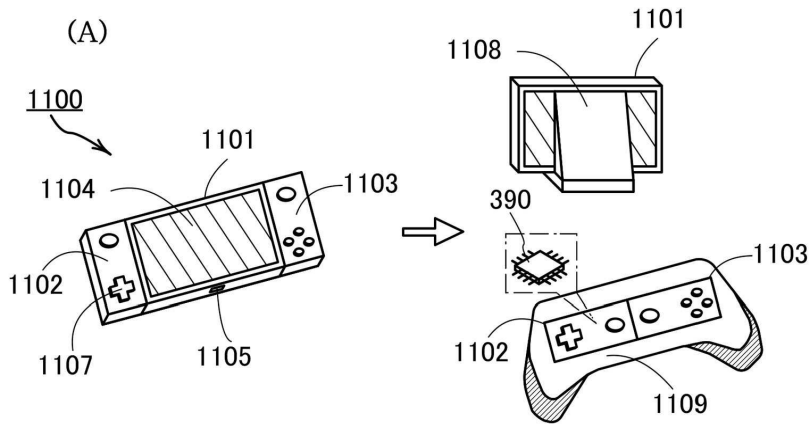
도면24



도면25



도면26



도면27

