



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I774007 B

(45) 公告日：中華民國 111 (2022) 年 08 月 11 日

(21) 申請案號：109120246

(22) 申請日：中華民國 109 (2020) 年 06 月 16 日

(51) Int. Cl. : H01L21/033 (2006.01)

G03F7/00 (2006.01)

(71) 申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72) 發明人：謝竺君 HSIEH, CHU-CHUN (TW)；吳庭璋 WU, TING-WEI (TW)；倪志榮 NI, CHIH-JUNG (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

US 2010/0055914A1

US 2011/0104894A1

審查人員：陳聖

申請專利範圍項數：9 項 圖式數：1 共 28 頁

(54) 名稱

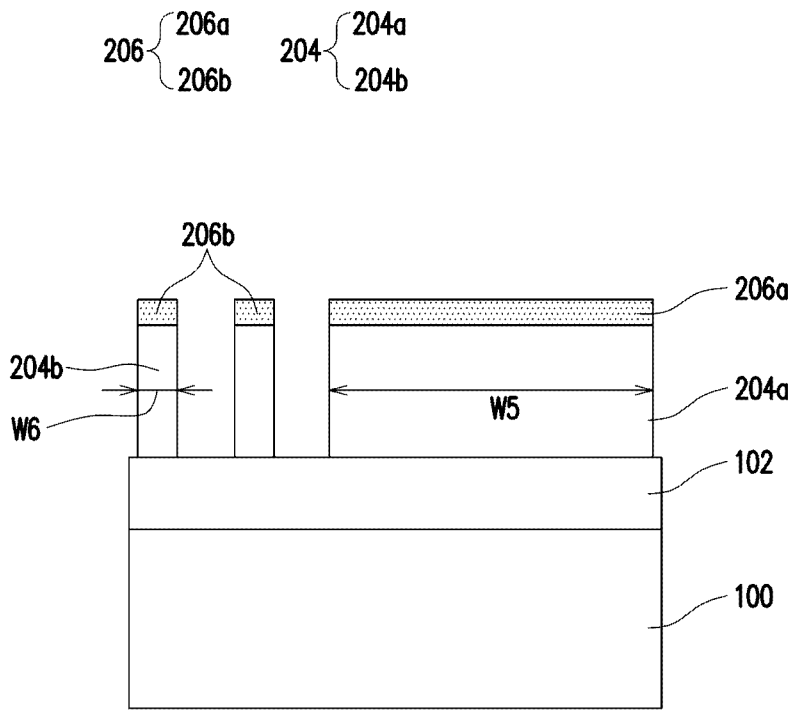
圖案化的方法

(57) 摘要

一種圖案化的方法包括以下步驟。在目標層上依序形成經摻雜多晶矽層、核心層以及未摻雜多晶矽層。圖案化未摻雜多晶矽層，以形成多晶矽圖案。以多晶矽圖案為罩幕，進行第一蝕刻製程，以移除部分核心層並形成核心圖案。進行第二蝕刻製程，以移除多晶矽圖案。進行原子層沉積製程，以於核心圖案與經摻雜多晶矽層上形成間隙壁材料。移除部分間隙壁材料，以於核心圖案的側壁上形成間隙壁。移除部分核心圖案及其下方的經摻雜多晶矽層。

Provided is a patterning method including following steps. A doped polysilicon layer, a core layer, and an undoped polysilicon layer are sequentially formed on a target layer. The undoped polysilicon layer are patterned to form a polysilicon pattern. A first etching process is performed by using the polysilicon pattern as a mask to remove a portion of the core layer to form a core pattern. A second etching process is performed to remove the polysilicon pattern. An atomic layer deposition (ALD) process is performed to form a spacer material on the core pattern and the doped polysilicon layer. A portion of the spacer material is removed to form a spacer on a sidewall of the core pattern. A portion of the core pattern and an underlying doped polysilicon are removed.

指定代表圖：



【圖1N】

符號簡單說明：

100:目標層

102:氮化物層

204:氧化物圖案

204a、206a:第一部分

204b、206b:第二部分

206:多晶矽圖案

W5、W6:寬度



I774007

**【發明摘要】****【中文發明名稱】** 圖案化的方法**【英文發明名稱】** PATTERNING METHOD

**【中文】** 一種圖案化的方法包括以下步驟。在目標層上依序形成經摻雜多晶矽層、核心層以及未摻雜多晶矽層。圖案化未摻雜多晶矽層，以形成多晶矽圖案。以多晶矽圖案為罩幕，進行第一蝕刻製程，以移除部分核心層並形成核心圖案。進行第二蝕刻製程，以移除多晶矽圖案。進行原子層沉積製程，以於核心圖案與經摻雜多晶矽層上形成間隙壁材料。移除部分間隙壁材料，以於核心圖案的側壁上形成間隙壁。移除部分核心圖案及其下方的經摻雜多晶矽層。

**【英文】** Provided is a patterning method including following steps. A doped polysilicon layer, a core layer, and an undoped polysilicon layer are sequentially formed on a target layer. The undoped polysilicon layer are patterned to form a polysilicon pattern. A first etching process is performed by using the polysilicon pattern as a mask to remove a portion of the core layer to form a core pattern. A second etching process is performed to remove the polysilicon pattern. An atomic layer deposition (ALD) process is performed to form a spacer material on the core pattern and the doped polysilicon layer. A portion of the spacer material is removed to form a spacer

on a sidewall of the core pattern. A portion of the core pattern and an underlying doped polysilicon are removed.

【指定代表圖】圖 1N。

【代表圖之符號簡單說明】

100：目標層

102：氮化物層

204：氧化物圖案

204a、206a：第一部分

204b、206b：第二部分

206：多晶矽圖案

W5、W6：寬度

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】圖案化的方法

【英文發明名稱】PATTERNING METHOD

【技術領域】

【0001】本發明是有關於一種圖案化的方法。

【先前技術】

【0002】隨著科技的進步，各類電子產品皆朝向輕薄短小的趨勢發展。在這趨勢之下，半導體元件的關鍵尺寸亦逐漸縮小，進而使得微影製程愈來愈困難。在習知微影製程中，縮小關鍵尺寸的方法包括使用較大數值孔徑（numerical aperture，NA）的光學元件、較短的曝光波長（例如 EUV）或是除了空氣以外的界面介質（例如水浸入）。隨著習知微影製程的解析度接近理論極限，製造商已開始轉向雙重圖案化（double-patterning，DP）方法來克服光學極限，進而提升半導體元件的積集度。

【0003】然而，在目前的雙重圖案化方法中，核心圖案的側壁上的間隙壁的形貌具有較差的粗糙度。因此，目前的雙重圖案化方法仍需面臨一些挑戰。

【發明內容】

【0004】本發明提供一種圖案化的方法，其可改善核心圖案的側

壁上的間隙壁的粗糙度，以使後續形成的目標圖案具有較好的側壁均勻度。

**【0005】** 本發明提供一種圖案化的方法包括以下步驟。在目標層上依序形成經摻雜多晶矽層、核心層以及未摻雜多晶矽層。圖案化未摻雜多晶矽層，以形成多晶矽圖案。以多晶矽圖案為罩幕，進行第一蝕刻製程，以移除部分核心層並形成核心圖案。進行第二蝕刻製程，以移除多晶矽圖案。進行原子層沉積製程，以於核心圖案與經摻雜多晶矽層上形成間隙壁材料。移除部分間隙壁材料，以於核心圖案的側壁上形成間隙壁。移除部分核心圖案及其下方的經摻雜多晶矽層。

### **【圖式簡單說明】**

#### **【0006】**

圖 1A 至圖 1N 是本發明一實施例的半導體結構的製造流程的剖面示意圖。

#### **【實施方式】**

**【0007】** 參照本實施例之圖式以更全面地闡述本發明。然而，本發明亦可以各種不同的形式體現，而不應限於本文中所述之實施例。圖式中的層與區域的厚度會為了清楚起見而放大。相同或相似之參考號碼表示相同或相似之元件，以下段落將不再一一贅述。

**【0008】** 圖 1A 至圖 1N 是本發明一實施例的半導體結構的製造流

程的剖面示意圖。此半導體結構可以是記憶體的控制閘極 (CG)，但本發明不以此為限。在其他實施例中，此半導體結構也可以是記憶體的接觸窗、動態隨機存取記憶體 (DRAM) 的主動區 (AA)、邏輯元件的內連線結構或其組合。

**【0009】** 請參照圖 1A，本實施例提供一種半導體結構的製造方法，其步驟如下。首先，提供目標層 100。在一些實施例中，目標層 100 可以是多晶矽層，其可用以當作記憶體的控制閘極。但本發明不以此為限，在其他實施例中，目標層 100 也可以是金屬層 (例如鎢層)、矽基底、介電層或其組合。

**【0010】** 接著，在目標層 100 上依序形成氮化物層 102、氧化物層 104、經摻雜多晶矽層 106、核心層 108、未摻雜多晶矽層 110、硬罩幕層 112 以及光阻圖案 118。在一實施例中，氮化物層 102 可以是氮化矽，其厚度為 1 nm 至 1000 nm。氧化物層 104 可以是電漿增強四乙氧基矽烷 (PETEOS) 層，其厚度為 1 nm 至 1000 nm。經摻雜多晶矽層 106 可使用摻質進行離子佈植製程來形成，其厚度為 1 nm 至 1000 nm。在本實施例中，所述摻質可以是 N 型以及/或 P 型摻質，例如是  $\text{BF}^{2+}$ 、 $\text{B}^+$ 、 $\text{F}^+$ 、 $\text{P}^+$  或其組合。核心層 108 可以是低壓四乙氧基矽烷 (LPTEOS) 層、任何氧化矽或其組合，其厚度為 1 nm 至 1000 nm。未摻雜多晶矽層 110 可以是本徵 (intrinsic) 多晶矽層，其厚度為 1 nm 至 1000 nm。硬罩幕層 112 可包括碳化物層 114 與位於碳化物層 114 上的抗反射層 116。碳化物層 114 的材料包括旋塗碳 (spin-on-carbon, SoC)；而抗反射層

116 的材料包括氮氧化矽。硬罩幕層 112 的厚度為 1 nm 至 1000 nm。光阻圖案 118 可包括正型光阻或是負型光阻，其厚度為 1 nm 至 1000 nm。

**【0011】** 值得注意的是，在本實施例中，經摻雜多晶矽層 106 與未摻雜多晶矽層 110 具有不同摻雜濃度。具體來說，經摻雜多晶矽層 106 的摻雜濃度可大於未摻雜多晶矽層 110 的摻雜濃度。因此，本實施例可拉大經摻雜多晶矽層 106 與未摻雜多晶矽層 110 在後續第二蝕刻製程中的蝕刻選擇比，以避免下層的經摻雜多晶矽層 106 被移除，詳細內容請參照以下段落。

**【0012】** 請參照圖 1B 與圖 1C，以光阻圖案 118 為罩幕，圖案化硬罩幕層 112 與未摻雜多晶矽層 110，以形成多晶矽圖案 210 與硬罩幕圖案 212（其包括碳化物圖案 214 與抗反射圖案 216）。在一實施例中，核心層 108 可視為上述的圖案化製程中的蝕刻停止層。在此情況下，核心層 108 的頂面外露於多晶矽圖案 210 與硬罩幕圖案 212。然後，移除光阻圖案 118 與硬罩幕圖案 212。

**【0013】** 請參照圖 1C 至圖 1E，以多晶矽圖案 210 為罩幕，進行第一蝕刻製程，以移除部分核心層 108 並形成核心圖案 208。具體來說，第一蝕刻製程包括進行乾式蝕刻步驟，以於核心層 108a 中形成開口 10。在此情況下，如圖 1D 所示，核心層 108a 的側壁 108s 與多晶矽圖案 210a 的側壁 210s 齊平。第一蝕刻製程還包括進行濕式蝕刻步驟，以修整（trim）核心層 108a，以使核心圖案 208 的側壁 208s 內凹於多晶矽圖案 210 的側壁 210s。從另一角度來

看，開口 10 擴大為開口 12，使得核心圖案 208 的寬度小於核心層 108a 的寬度。在一實施例中，經摻雜多晶矽層 106 可視為上述的第一蝕刻製程中的蝕刻停止層。換言之，在上述的第一蝕刻製程中，大部分的核心層 108 被移除，而經摻雜多晶矽層 106 不被移除或僅少量移除。

**【0014】** 請參照圖 1E 至圖 1F，進行第二蝕刻製程，以移除多晶矽圖案 210a。在一實施例中，上述的第二蝕刻製程可以是濕式蝕刻製程，其包括使用氫氧化銨（ $\text{NH}_4\text{OH}$ ）、四甲基氫氧化銨（Tetramethylazanium Hydroxide，TMAH）或其組合的蝕刻溶液。在上述的第二蝕刻製程中，多晶矽圖案 210a 的蝕刻速率大於經摻雜多晶矽層 106 的蝕刻速率。也就是說，在上述的第二蝕刻製程中，多晶矽圖案 210a 被完全移除，而經摻雜多晶矽層 106 不被移除或僅少量移除。如圖 1F 所示，開口 12 可向下延伸，以於經摻雜多晶矽層 106 上形成凹陷 14。但本發明不以此為限，在其他實施例中，外露於開口 12 的經摻雜多晶矽層 106 的頂面亦可以是平坦的表面。在本實施例中，在上述的第二蝕刻製程中，經摻雜多晶矽層 106 與多晶矽圖案 210a 的蝕刻選擇比為 15 至 100，以確保多晶矽圖案 210a 被完全移除，而經摻雜多晶矽層 106 仍保留且覆蓋下方的氧化物層 104。

**【0015】** 請參照圖 1G，進行原子層沉積（ALD）製程，以於核心圖案 208 與經摻雜多晶矽層 106 上形成間隙壁材料 120。間隙壁材料 120 共形地覆蓋核心圖案 208 的表面與經摻雜多晶矽層 106 的

表面。在本實施例中，間隙壁材料 120 可以是介電材料，例如是 ALD 氮化矽、任何氮化矽（例如，化學氣相沉積（CVD）氮化矽）或其組合。此 ALD 氮化矽不僅具有較好的階梯覆蓋率（step coverage）還具有較佳的表面均勻度（uniformity）。具體來說，本實施例的間隙壁材料 120 的表面粗糙度可小於 3 nm。此表面粗糙度可視為間隙壁材料 120 的表面的最高點與最低點的高度差。在一些實施例中，間隙壁材料 120 可具有均勻的厚度，此厚度為 1 nm 至 100 nm。

**【0016】** 請參照圖 1G 與圖 1H，移除部分間隙壁材料 120，以於核心圖案 208 的側壁上形成間隙壁 220。具體來說，可藉由非等向性蝕刻製程（例如是反應性離子蝕刻法（RIE））移除核心圖案 208 的頂面上以及經摻雜多晶矽層 106 的頂面上的間隙壁材料 120。在一實施例中，間隙壁 220 包括彼此相對的第一側壁 220s1 與第二側壁 220s2。第一側壁 220s1 接觸核心圖案 208 的側壁且相對於核心圖案 208 的底面是垂直的。第二側壁 220s2 遠離核心圖案 208 的側壁且相對於核心圖案 208 的底面是傾斜的。在本實施例中，傾斜的第二側壁 220s2 可以是弧面。

**【0017】** 請參照圖 1I，在核心圖案 208 上依序形成介電層 122、罩幕層 124 以及光阻圖案 126。在一實施例中，介電層 122 可以是旋塗碳（SoC）層，其填入開口 12 中且延伸覆蓋核心圖案 208 的頂面。罩幕層 124 可以是旋塗矽抗反射層（Spin on Silicon ARC，SOSA），其厚度為 1 nm 至 100 nm。光阻圖案 126 可包括正型光阻

或是負型光阻，其厚度為 1 nm 至 1000 nm。

【0018】 值得注意的是，在本實施例中，光阻圖案 126 覆蓋核心圖案 208 的第一部分 208a，而未覆蓋核心圖案 208 的第二部分 208b。光阻圖案 126 的側壁可對應於開口 12。如圖 1I 所示，第一部分 208a 的寬度 W1 可大於第二部分 208b 的寬度 W2。在一實施例中，寬度 W1 與寬度 W2 的比為 1 至 10000。

【0019】 請參照圖 1I 與圖 1J，以光阻圖案 126 當作罩幕，移除部分罩幕層 124 與部分介電層 122，以暴露出第二部分 208b 及其側壁上的間隙壁 220b。在此情況下，如圖 1J 所示，光阻圖案 126 亦被移除。

【0020】 請參照圖 1J 與圖 1K，移除核心圖案 208 的第二部分 208b，以於間隙壁 220b 之間形成開口 16。開口 16 暴露出經摻雜多晶矽層 106 的頂面。在此情況下，如圖 1K 所示，罩幕層 124 亦被移除，而第一部分 208a 與間隙壁 220a 仍被介電層 122 所覆蓋。

【0021】 請參照圖 1K 與圖 1L，移除覆蓋第一部分 208a 與間隙壁 220a 的介電層 122。在此情況下，如圖 1L 所示，第一部分 208a 仍存在於間隙壁 220a 之間。

【0022】 請參照圖 1L 與圖 1M，以第一部分 208a、間隙壁 220a 以及間隙壁 220b 為罩幕，移除部分經摻雜多晶矽層 106，以形成多晶矽圖案 206。在一實施例中，氧化物層 104 可視為上述的移除製程中的蝕刻停止層。在此情況下，氧化物層 104 的頂面外露於多晶矽圖案 206，如圖 1M 所示。多晶矽圖案 206 包括第一部分 206a

與第二部分 206b。多晶矽圖案 206 的第一部分 206a 位於核心圖案 208 的第一部分 208a 以及間隙壁 220a 的正下方，且第一部分 206a 的寬度  $W3$  可以是核心圖案 208 的第一部分 208a 以及間隙壁 220a 的寬度總合。多晶矽圖案 206 的第二部分 206b 位於間隙壁 220b 的正下方，且第二部分 206b 的寬度  $W4$  小於第一部分 206a 的寬度  $W3$ 。

**【0023】** 請參照圖 1M 與圖 1N，在移除核心圖案 208 的第一部分 208a、間隙壁 220a 以及間隙壁 220b 之後，以多晶矽圖案 206 為罩幕，移除部分氧化物層 104，以形成氧化物圖案 204。在此情況下，氧化物圖案 204 暴露出氮化物層 102 的頂面，如圖 1N 所示。氧化物圖案 204 包括第一部分 204a 與第二部分 204b。第一部分 204a 的寬度  $W5$  大於第二部分 204b 的寬度  $W6$ 。從另一角度來看，第二部分 204b 的佈局密度（或圖案密度）可大於第一部分 204a 的佈局密度（或圖案密度）。因此，第一部分 204a 可用以當作周邊電路的佈局；而第二部分 204b 則可用以當作記憶體陣列的佈局。在替代實施例中，氧化物圖案 204 的第一部分 204a 的寬度  $W5$  大於核心圖案 208 的第一部分 208a 的寬度  $W1$ （如圖 1I 所示）；而氧化物圖案 204 的第二部分 204b 的寬度  $W6$  小於核心圖案 208 的第二部分 208b 的寬度  $W2$ 。也就是說，在經過本實施例之自對準雙重圖案化（Self-Aligning Double Patterning, SADP）方法之後，可增加或減少半導體結構的佈局密度（或圖案密度），以達到更靈活的佈局設計。

【0024】此外，在形成氧化物圖案 204 之後，可圖案化下方的氮化物層 102 與目標層 100，藉此形成目標圖案（未繪示）。此目標圖案可複製氧化物圖案 204。在此情況下，此目標圖案的佈局密度（或圖案密度）可大於或是小於核心圖案 208 的佈局密度（或圖案密度）。

【0025】綜上所述，本發明實施例可藉由在核心層的下方與上方分別形成經摻雜多晶矽層與未摻雜多晶矽層，以拉大經摻雜多晶矽層與未摻雜多晶矽層在第二蝕刻製程中的蝕刻選擇比。因此，在第二蝕刻製程中，可完全移除上層的未摻雜多晶矽層，同時保留下層的經摻雜多晶矽層。另外，本發明實施例可藉由原子層沉積（ALD）製程來形成間隙壁材料，以在核心圖案的側壁上獲得形貌較好的間隙壁。在此情況下，以間隙壁為罩幕來移除下層的目標層時，可形成側壁形貌較佳的目标圖案。

### 【符號說明】

#### 【0026】

10、12、16：開口

14：凹陷

100：目標層

102：氮化物層

104：氧化物層

106：經摻雜多晶矽層

108、108a：核心層

108s、210s、208s：側壁

110：未摻雜多晶矽層

112：硬罩幕層

114：碳化物層

116：抗反射層

118、126：光阻圖案

120：間隙壁材料

122：介電層

124：罩幕層

204：氧化物圖案

208：核心圖案

204a、206a、208a：第一部分

204b、206b、208b：第二部分

206、210、210a：多晶矽圖案

212：硬罩幕圖案

214：碳化物圖案

216：抗反射圖案

220、220a、220b：間隙壁

220s1：第一側壁

220s2：第二側壁

W1、W2、W3、W4、W5、W6：寬度

## 【發明申請專利範圍】

【請求項1】 一種圖案化的方法，包括：

在目標層上依序形成經摻雜多晶矽層、核心層以及未摻雜多晶矽層；

圖案化所述未摻雜多晶矽層，以形成多晶矽圖案；

以所述多晶矽圖案為罩幕，進行第一蝕刻製程，以移除部分所述核心層並形成核心圖案，其中進行所述第一蝕刻製程包括：

進行乾式蝕刻步驟，以於所述核心層中形成開口；以及

進行濕式蝕刻步驟，以修整（trim）所述核心層，以擴大所述開口並使得所述核心圖案的側壁內凹於所述多晶矽圖案的側壁；

進行第二蝕刻製程，以完全移除所述多晶矽圖案；

在完全移除所述多晶矽圖案之後，進行原子層沉積（ALD）製程，以於所述核心圖案與所述經摻雜多晶矽層上形成間隙壁材料；

移除部分所述間隙壁材料，以於所述核心圖案的側壁上形成間隙壁；以及

移除部分所述核心圖案及其下方的所述經摻雜多晶矽層。

【請求項2】 如請求項1所述的圖案化的方法，其中形成所述經摻雜多晶矽層包括使用摻質進行離子佈植製程，其中所述摻質包括  $\text{BF}^{2+}$ 、 $\text{B}^+$ 、 $\text{F}^+$ 、 $\text{P}^+$ 或其組合。

110-6-24

【請求項3】 如請求項1所述的圖案化的方法，其中所述經摻雜多晶矽層的摻雜濃度大於所述未摻雜多晶矽層的摻雜濃度。

【請求項4】 如請求項1所述的圖案化的方法，其中所述核心層的材料包括低壓四乙氧基矽烷（LPTEOS）、氧化矽或其組合。

【請求項5】 如請求項1所述的圖案化的方法，其中在所述第二蝕刻製程中，所述多晶矽圖案的蝕刻速率大於所述經摻雜多晶矽層的蝕刻速率。

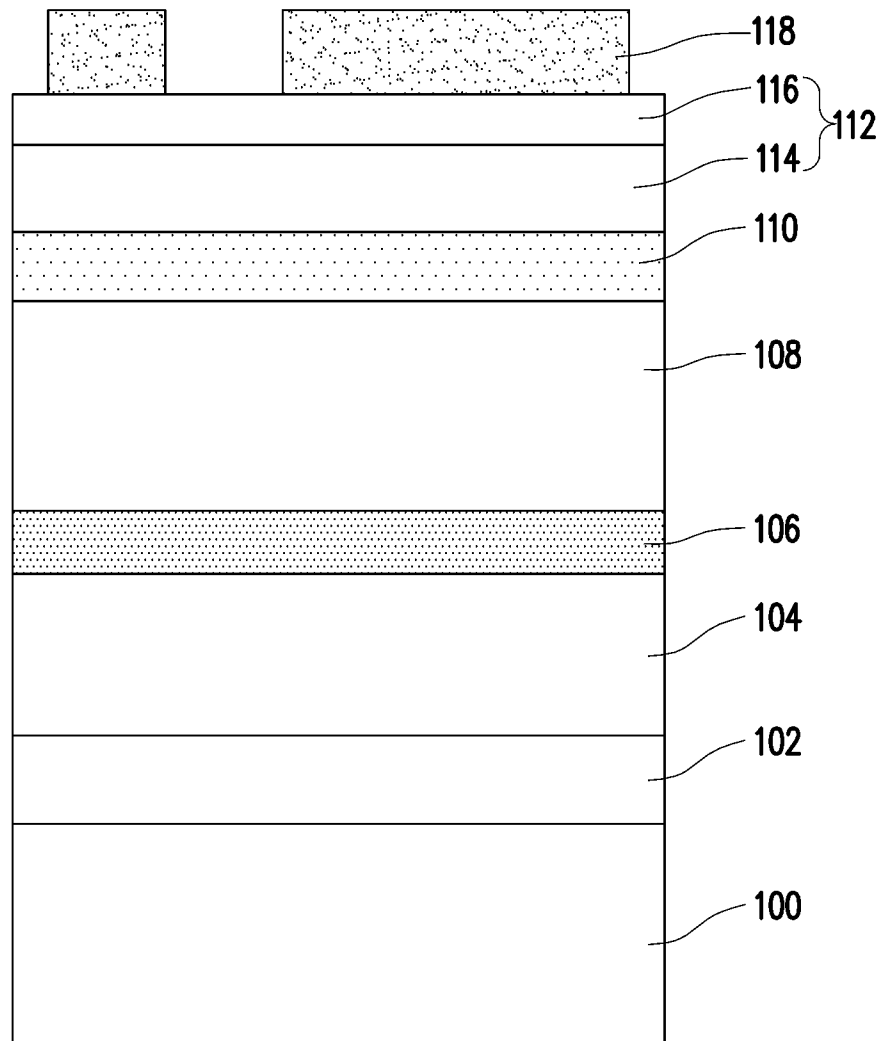
【請求項6】 如請求項1所述的圖案化的方法，其中所述第二蝕刻製程包括使用 $\text{NH}_4\text{OH}$ 、TMAH或其組合的蝕刻溶液。

【請求項7】 如請求項1所述的圖案化的方法，其中所述間隙壁材料包括ALD氮化矽或CVD氮化矽。

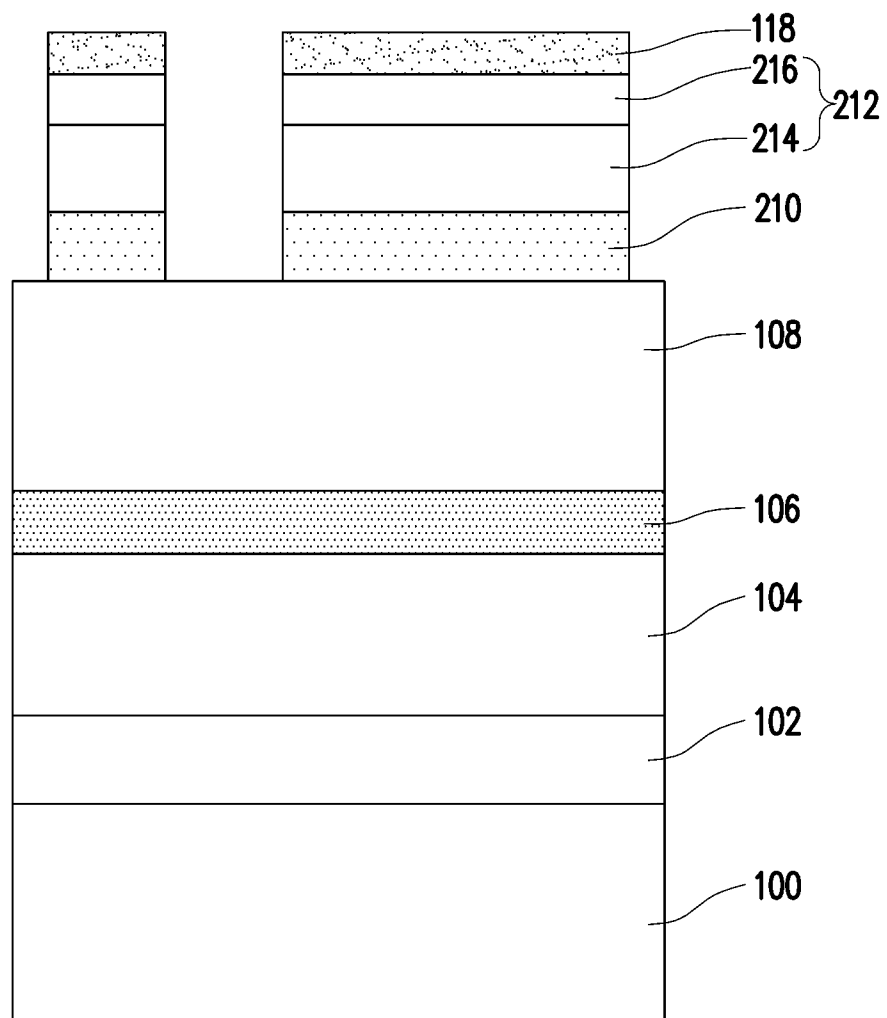
【請求項8】 如請求項1所述的圖案化的方法，更包括：以所述間隙壁及其下方的所述經摻雜多晶矽層為罩幕，移除部分目標層，以形成目標圖案。

【請求項9】 如請求項8所述的圖案化的方法，其中所述目標圖案的圖案密度大於所述核心圖案的圖案密度。

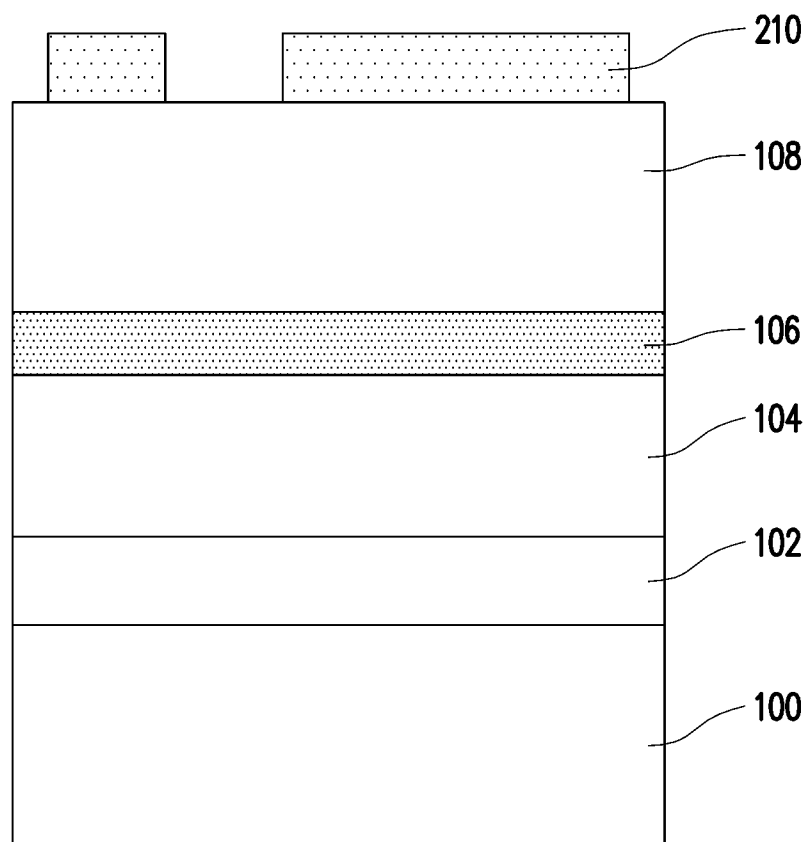
【發明圖式】



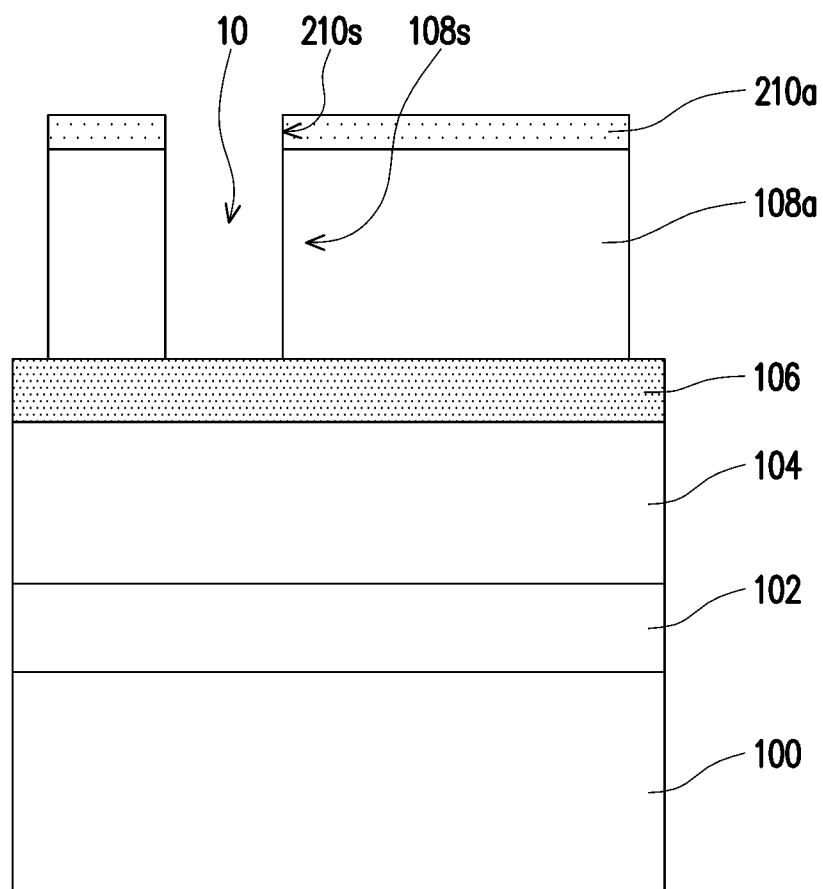
【圖1A】



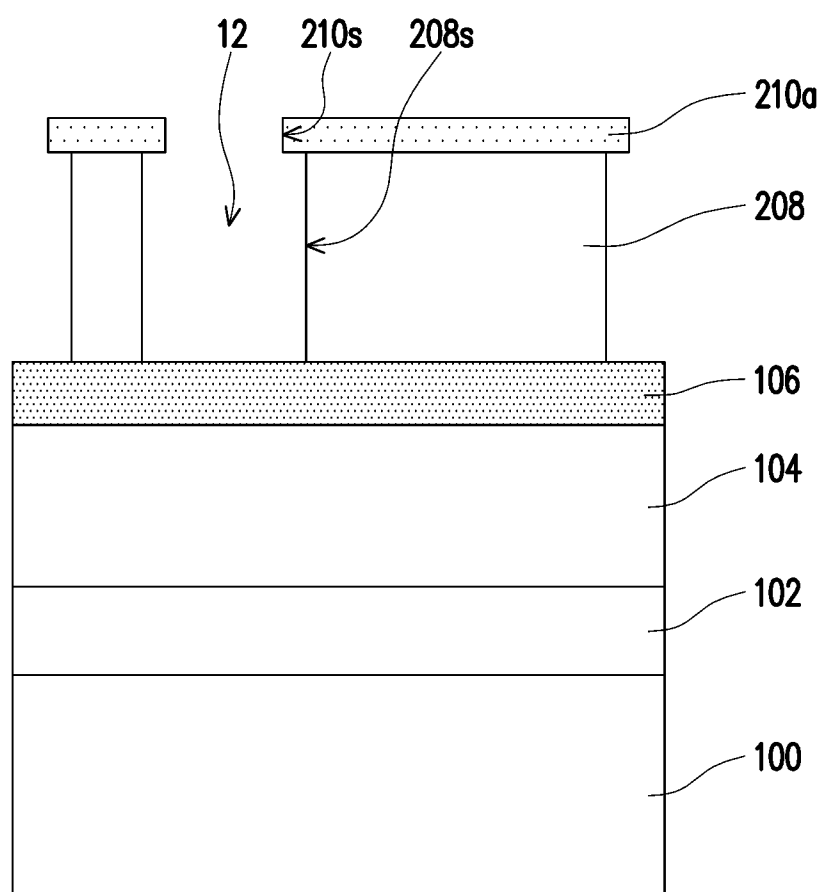
【圖1B】



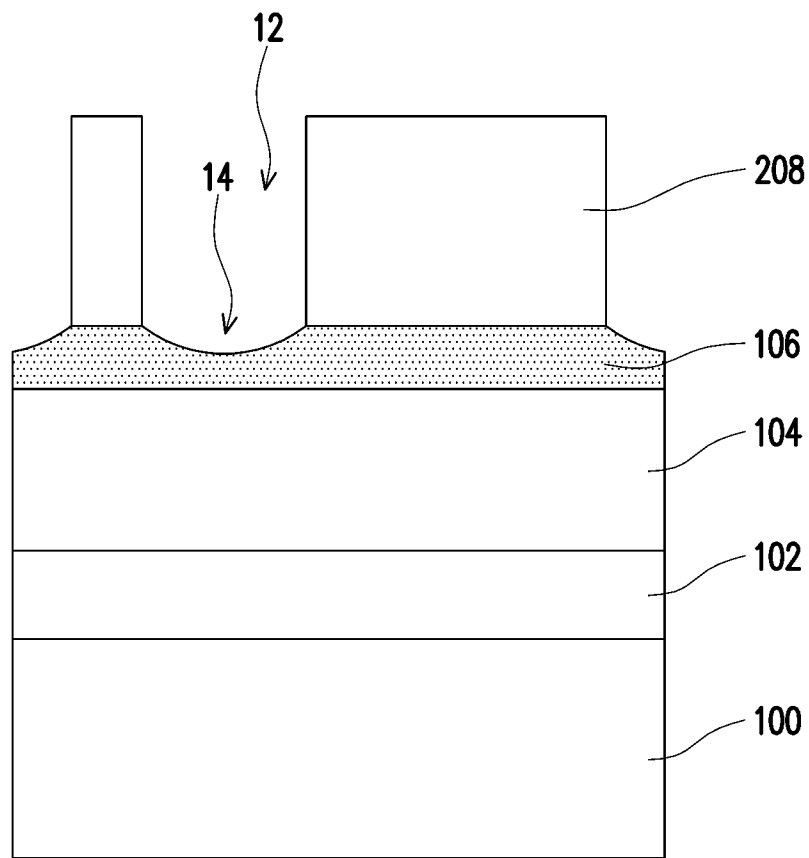
【圖1C】



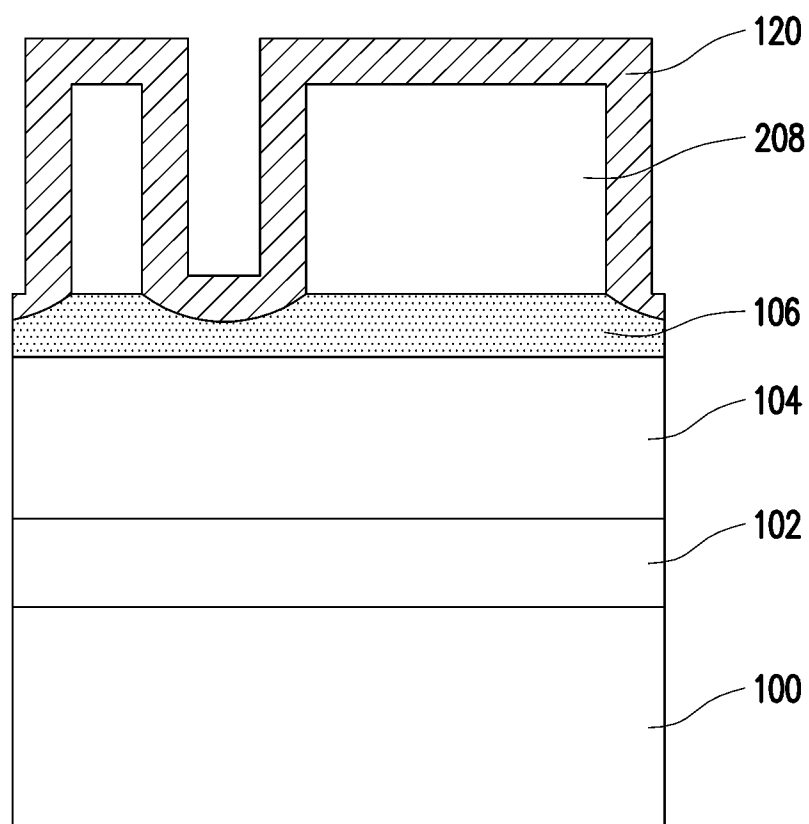
【圖1D】



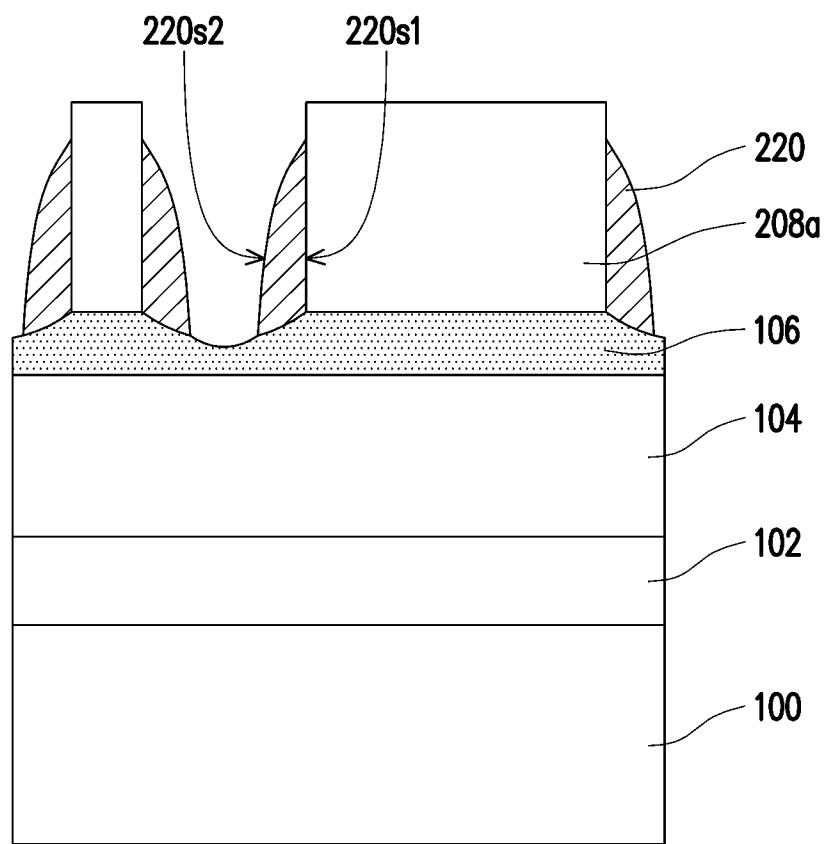
【圖1E】



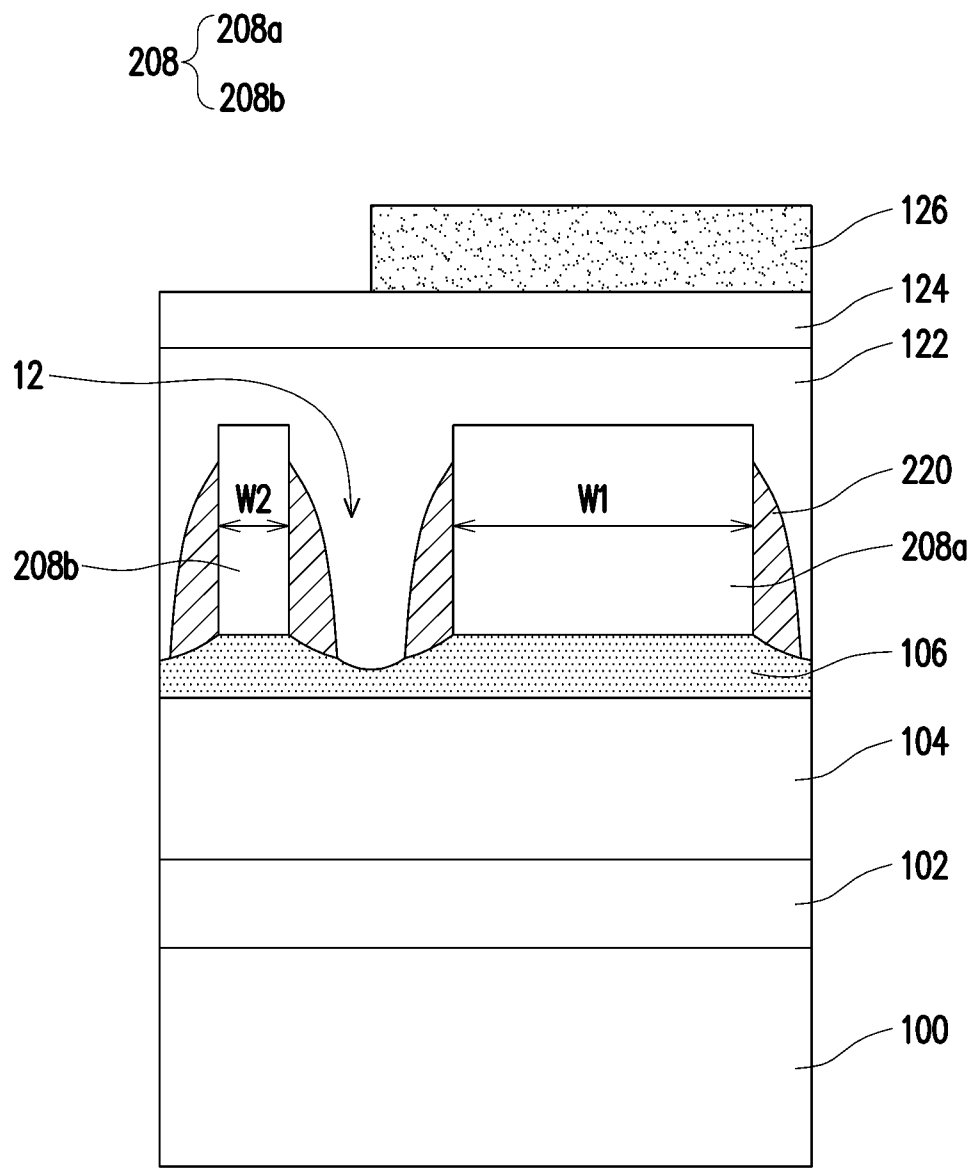
【圖1F】



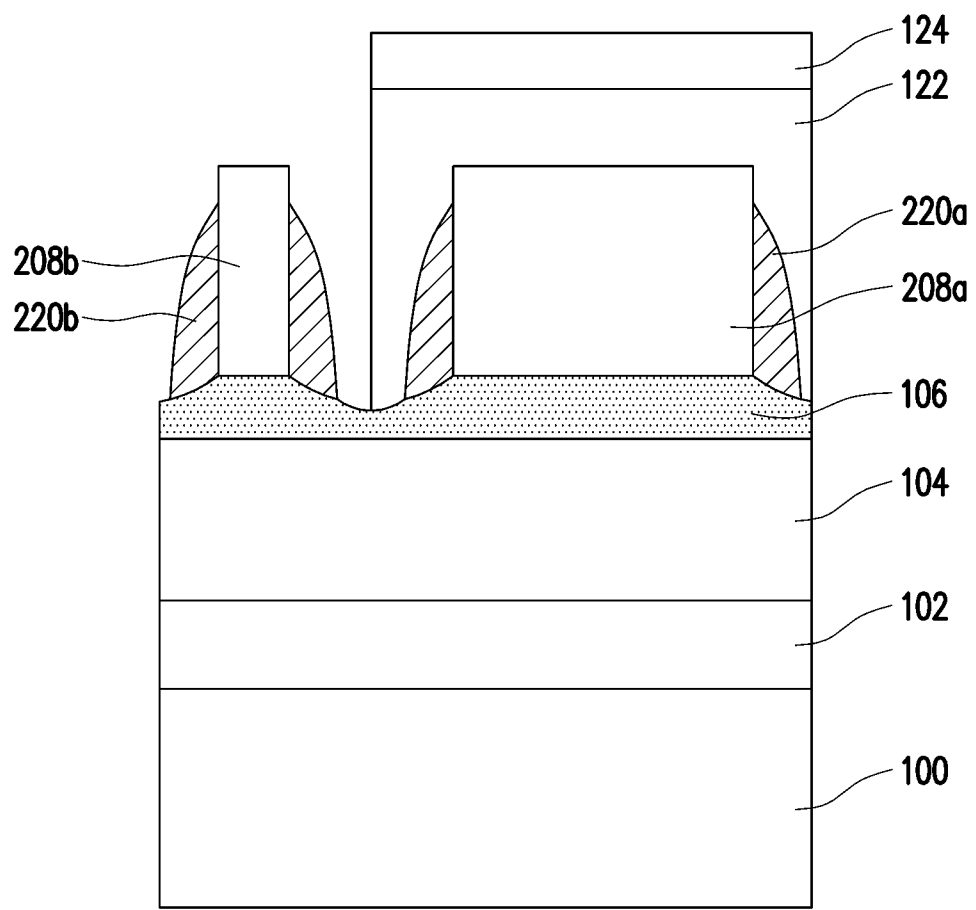
【圖1G】



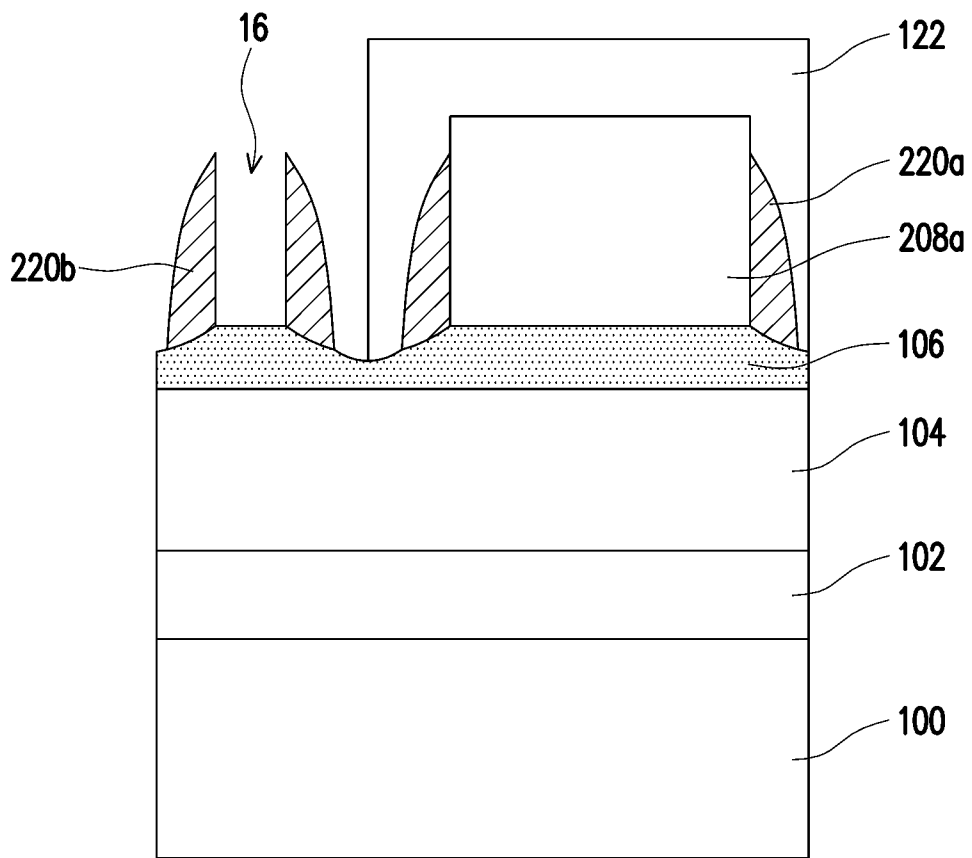
【圖1H】



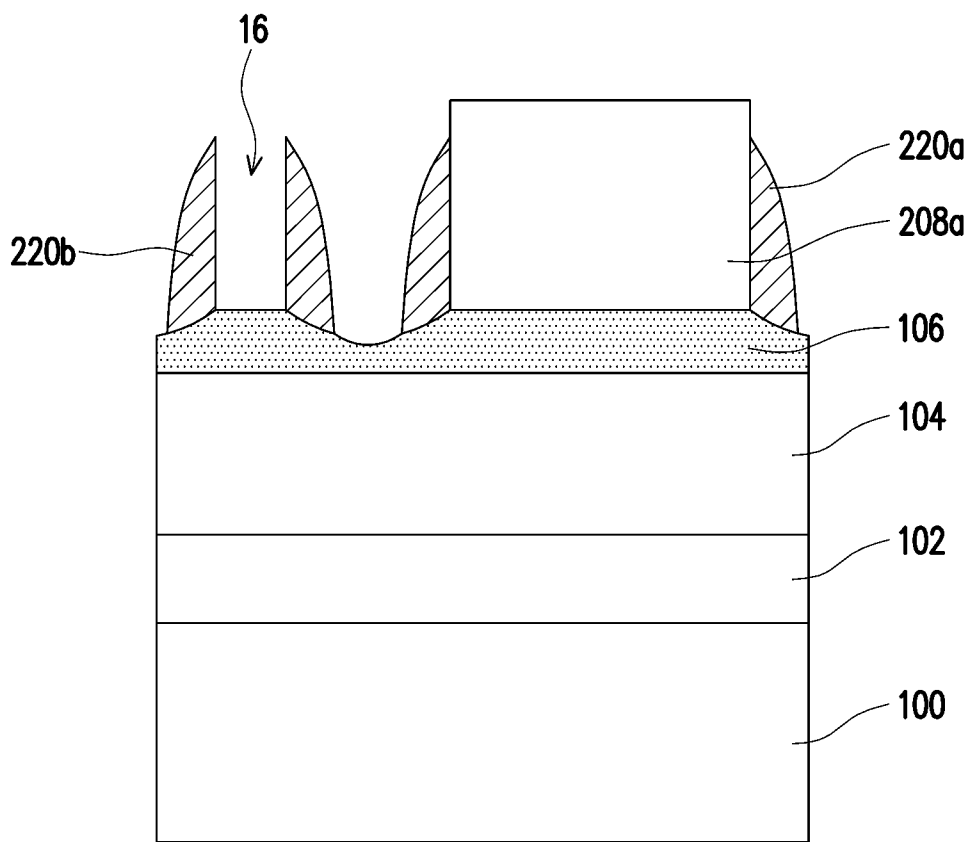
【圖11】



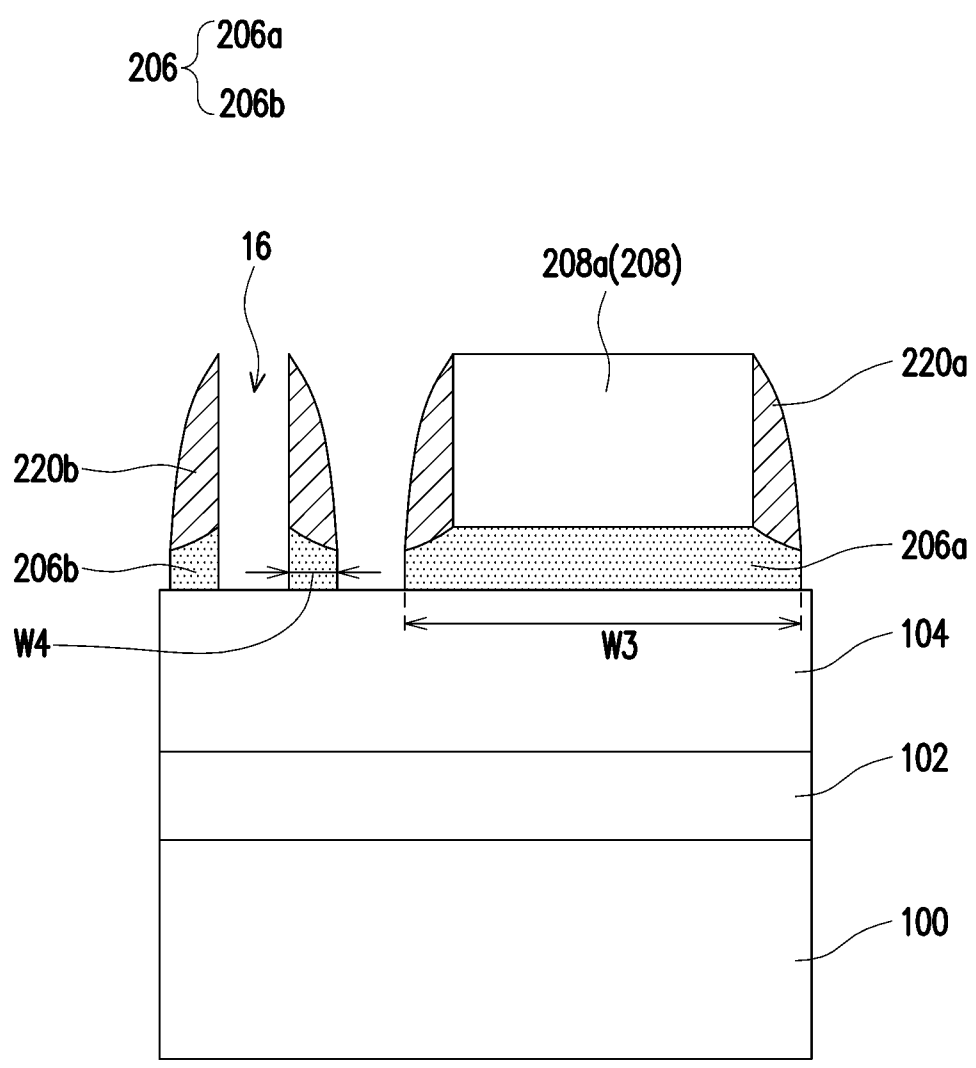
【圖1J】



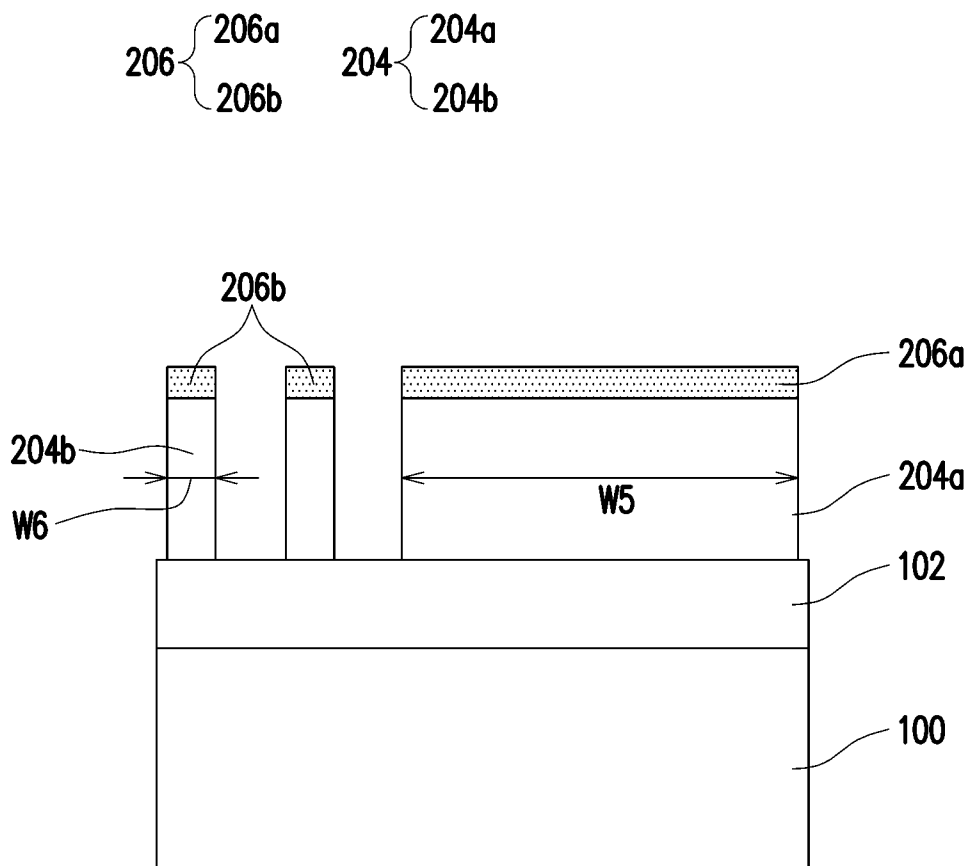
【圖1K】



【圖1L】



【圖1M】



【圖1N】