(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年8月5日(05.08.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/153352 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *H01L 27/32* (2006.01)
G09G 3/3233 (2016.01) *H05B 33/02* (2006.01)
G09G 3/3291 (2016.01) *H01L 51/50* (2006.01)

(21) 国際出願番号： PCT/JP2021/001704

(22) 国際出願日： 2021年1月19日(19.01.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-011184 2020年1月27日(27.01.2020) JP

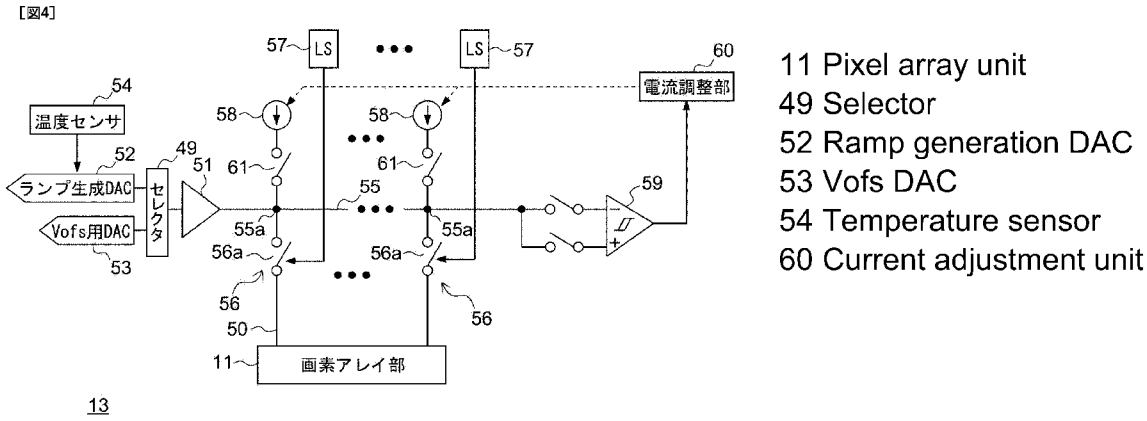
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 松尾 星耶(**MATSUO Seiya**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 吉岡 雅樹(**YOSHIOKA Masaki**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 橋柿 光一(**HASHIKAKI Kouichi**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP).

(74) 代理人: 中村 行孝, 外(**NAKAMURA Yukitaka** et al.); 〒1000005 東京都千代田区丸の内１

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置



(57) **Abstract:** [Problem] To improve display quality when pixel driving is performed by using ramp wave voltage. [Solution] This display device is provided with: a plurality of pixel circuits that are disposed in at least one direction; a plurality of signal lines for supplying signal voltage according to gradations to the plurality of pixel circuits; a voltage output unit for generating ramp wave voltage in which the voltage level is changed in accordance with time; a ramp wire for supplying the ramp wave voltage generated by the voltage output unit; a plurality of voltage holding units that are connected between the ramp wire and the plurality of signal lines, hold the ramp wave voltage at a timing according to brightness of the plurality of pixel circuits, and thereby generate signal voltage; a plurality of correction current sources for supplying correction current to a plurality of connection paths between the ramp wire and the plurality of voltage holding units; and a current adjustment unit that, in a case where correction current is flowed/is not flowed from the plurality of correction current sources to the plurality of connection paths, adjusts the correction current on the basis of voltage

WO 2021/153352 A1

[続葉有]

丁目６番６号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

difference at predetermined connection paths when predetermined brightness is set to the pixel circuits connected to the predetermined connection paths.

(57) 要約：［課題］ランプ波電圧を用いて画素駆動を行う場合の表示品質を向上する。［解決手段］表示装置は、少なくとも一方向に配置される複数の画素回路と、複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、電圧レベルが時間に応じて変化するランプ波電圧を生成する電圧出力部と、電圧出力部で生成されたランプ波電圧を供給するランプ配線と、ランプ配線と複数の信号線との間に接続され、複数の画素回路の輝度に応じたタイミングでランプ波電圧を保持して信号電圧を生成する複数の電圧保持部と、ランプ配線と複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、複数の補正電流源から補正電流を複数の接続経路に流す場合と流さない場合とにおいて、所定の接続経路に繋がる画素回路に所定の輝度を設定する際の所定の接続経路での電圧差に基づいて、補正電流を調整する電流調整部と、を備える。

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 有機ＥＬ（Electroluminescence）装置や液晶表示装置では、画質に対する要求が高まっており、画質向上のための種々の工夫がなされている。例えば、有機ＥＬ装置は、自発光素子を用いることから、液晶表示装置よりもコントラストに優れているが、自発光素子を駆動するための画素回路内のトランジスタの閾値電圧や移動度に製造上のばらつきが生じるため、これらのばらつきを補正するための画素回路が開発されている（特許文献１参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－１３３２４０号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、表示画面の同一の水平ラインに、輝度が著しく異なる画像を表示させる場合、隣接画素の影響を受けて、本来の輝度とは異なる明るさで表示される場合がある。例えば、表示画面の左端側又は右端側の一部の画素領域と、残りの画素領域とで、輝度が著しく異なる画像を表示させる場合、一部の画素領域だけ本来の輝度とは異なる明るさで表示され、一部の表示領域の境界部分に筋が視認されることがある。

[0005] この現象は、１水平ライン上の全画素に繋がるランプ配線にランプ波電圧を供給して、各画素の輝度に応じた信号電圧を画素ごとに保持する方式の画素駆動を行う場合に生じる。具体的には、ランプ配線の配線抵抗や画素負荷容量による電圧降下が原因で生じる。

[0006] そこで、本開示では、ランプ波電圧を用いて画素駆動を行う場合の表示品

質を向上できる表示装置を提供するものである。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示によれば、少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

電圧レベルが時間に応じて変化するランプ波電圧を生成する電圧出力部と、

前記電圧出力部で生成された前記ランプ波電圧を供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合と流さない場合とにおいて、所定の接続経路に繋がる画素回路に所定の輝度を設定する際の前記所定の接続経路での電圧差に基づいて、前記補正電流を調整する電流調整部と、を備える表示装置が提供される。

[0008] 前記複数の補正電流源は、前記ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給してもよい。

[0009] 前記所定の接続経路は、前記電圧出力部の位置から前記ランプ配線上の最遠端の接続経路であり、

前記所定の輝度は、白色輝度であってもよい。

[0010] 前記電流調整部は、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流さずに前記複数の画素回路に第１輝度を設定する際の前記電圧出力部から最遠端の前記接続経路の電圧を検出する第１電圧検出部と、

前記複数の補正電流源から前記最遠端の接続経路を除く接続経路に前記補正電流を流して前記最遠端の接続経路に繋がる画素回路に前記第１輝度を設定し、それ以外の画素回路に第２輝度を設定する際の前記最遠端の接続経路の電圧を検出する第２電圧検出部と、を有し、

前記電流調整部は、前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に基づいて、前記補正電流を調整してもよい。

[0011] 前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧に一致するように前記補正電流を調整してもよい。

[0012] 前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも低い場合には、前記補正電流をより大きくし、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも高い場合には、前記補正電流をより小さくする処理を、水平ラインの走査に合わせて１回ずつ複数回行ってもよい。

[0013] 前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、を有し、

前記電流調整部は、前記調整信号に基づいて前記補正電流を調整してもよい。

[0014] 前記調整信号生成部は、前記補正電流の調整のたびに、前記調整信号を１ビットずつ調整してもよい。

[0015] 前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じ

た信号を出力する位相比較器と、

前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、

前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整してもよい。

[0016] 前記所定の基準信号は、水平ラインの走査期間に応じた周波数を有し、

前記電圧比較器は、水平ラインに１回の割合で、前記電圧差に応じた信号を出力してもよい。

[0017] 前記補正電流源は、ゲート電圧に応じて前記補正電流を可変させるトランジスタを有し、

前記チャージポンプから出力された電圧により、前記ゲート電圧を制御するバイアス回路をさらに備えてもよい。

[0018] 前記第１輝度は白色の輝度であり、

前記第２輝度は黒色の輝度であってもよい。

[0019] 前記電圧出力部は、前記ランプ配線に前記ランプ波電圧を出力する前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、

前記電流調整部は、前記電圧出力部が前記オフセット電圧を前記ランプ配線に供給する際に、前記電圧差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整してもよい。

[0020] 前記電流調整部は、前記電圧出力部が前記ランプ配線に前記オフセット電圧を供給する場合と前記ランプ電圧を供給する場合とで、同一の前記補正電流を前記複数の補正電流源から前記複数の接続経路に供給してもよい。

[0021] 前記電流調整部は、連続する２つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整してもよい。

[0022] 本開示によれば、少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と

、

前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧と、電圧レベルが時間に応じて変化するランプ波電圧とを生成する電圧出力部と、

前記オフセット電圧と前記ランプ波電圧とを切り替えて供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記複数の画素回路に所定の輝度を設定する際に前記複数の電圧保持部から前記電圧出力部に流れる電流によって生じる前記複数の接続経路の電圧差に基づいて、前記オフセット電圧及び前記ランプ波電圧を前記ランプ配線に供給する際に前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する電流調整部と、を備える表示装置が提供される。

図面の簡単な説明

[0023] [図1]第１の実施形態による表示装置を備えた表示システム２の概略構成を示すブロック図。

[図2]画素回路の内部構成を示す回路図。

[図3]画素回路の内部構成を示す回路図。

[図4]Ｈ－ＤＲＶ部の内部構成を示すブロック図。

[図5]ランプ配線に３つの電圧保持部を接続した場合の等価回路図。

[図6]水平方向クロストークの一例を示す図。

[図7A]電流調整部の動作を模式的に示す図。

[図7B]ランプ配線上の各電圧保持部との接続経路の電圧レベルを模式的に示す図。

[図8]電流調整部の動作を模式的に示す図。

[図9]本実施形態による電流調整部の概略構成を示すブロック図。

[図10]逐次比較方式の電流調整部の内部構成を示すブロック図。

[図11]図１０の電流調整部の処理動作を示すフローチャート。

[図12]チャージポンプ制御方式の電流調整部の内部構成を示すブロック図。

[図13]図１２の電流調整部の処理動作を示すフローチャート。

[図14]水平方向シェーディングの一例を示す図。

[図15]第３の実施形態によるＨ－ＤＲＶ部の内部構成を示すブロック図。

[図16]ランプ配線上の電圧波形図。

発明を実施するための形態

[0024] 以下、図面を参照して、表示装置の実施形態について説明する。以下では、表示装置の主要な構成部分を中心に説明するが、表示装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0025] （第１の実施形態）

図１は第１の実施形態による表示装置１を備えた表示システム２の概略構成を示すブロック図である。図１の表示システム２は、マイクロＯＬＥＤ（Organic Light Emitting Diode）システムの構成を示している。なお、本実施形態による表示装置１は、ＴＶやＰＣモニタ等の大画面の表示装置１を備えた表示システム２にも適用可能である。

[0026] 図１の表示システム２は、表示装置１と、ディスプレイコントローラ３と、タイミングコントローラ４と、データ入出力Ｉ／Ｆ部５とを備えている。なお、図１では、ディスプレイコントローラ３等を表示装置１とは別体にしているが、ディプレイコントローラ等を表示装置１に統合させてもよい。

[0027] 表示装置１は、画素アレイ部１１と、Ｖ－ＤＲＶ部１２と、Ｈ－ＤＲＶ部１３と、信号処理部１４と、を有する。

[0028] 画素アレイ部１１は、水平方向及び垂直方向に配置される複数の画素回路１５を有する。各画素回路１５は、例えば有機ＥＬ素子等の発光部と、発光部を制御する複数のトランジスタと、複数の容量とを有する。画素回路１５

の内部構成は後述する。

[0029] 信号処理部１４は、画素アレイ部１１に表示されるべき映像信号の信号処理を行う。信号処理の具体的内容は問わないが、例えばガンマ補正などである。信号処理部１４で信号処理された映像信号は、Ｈ－ＤＲＶ部１３に送られる。

[0030] Ｖ－ＤＲＶ部１２は、後述する図２及び図３に示すように、書き込み走査部１６と駆動走査部１７とを有する。書き込み走査部１６は、各画素回路１５に信号電圧を書き込むに際して、各走査線に書き込み走査信号を順次供給して、各走査線ＷＳ１～ＷＳｎを順次駆動する。駆動走査部１７は、書き込み走査部１６による線順次走査に同期して、各駆動線に発光制御信号を供給し、発光部の発光と非発光を制御する。

[0031] Ｈ－ＤＲＶ部１３は、図２及び図３に示すように信号出力部１８を有する。信号出力部１８は、ランプ波電圧を、各画素の階調に応じたタイミングで保持して信号電圧を生成する。信号出力部１８は、信号電圧又はオフセット電圧Ｖofsを選択的に選択して、対応する信号線に供給する。オフセット電圧Ｖofsは、信号電圧の基準となる電圧（例えば、映像信号の黒レベルに相当する電圧）であり、後述する閾値補正動作を行うために用いられる。

[0032] 信号出力部１８から択一的に出力される信号電圧又はオフセット電圧Ｖofsは、信号線を介して各画素回路１５に供給され、書き込み走査部１６による走査で選択された行単位で、各画素回路１５に設定される。

[0033] ディスプレイコントローラ３は、ＨＬＯＧＩＣ部２１とＶＬＯＧＩＣ部２２を有し、画素アレイ部１１に対する表示制御を行う。

[0034] ＨＬＯＧＩＣ部２１は、映像信号をＨ－ＤＲＶ部１３に供給する。ＶＬＯＧＩＣ部２２は、走査線及び駆動線のタイミングを規定する信号をＶ－ＤＲＶ部１２に供給する。

[0035] タイミングコントローラ４は、クロック生成器２３と、タイミング生成器２４と、画像処理部２５とを有する。クロック生成器２３は、表示装置１の垂直同期クロックと水平同期クロックを生成して、ディスプレイコントロー

ラ３に供給する。タイミング生成器２４は、ディスプレイコントローラ３の動作タイミングを規定する信号を生成して、ディスプレイコントローラ３に供給する。画像処理部２５は、データ入出力Ｉ／Ｆ部５に入力された映像信号に対して、種々の画像処理を施す。画像処理を行った後の映像信号は、ディスプレイコントローラ３内のＨＬＯＧＩＣ部２１に供給される。

[0036] データ入出力Ｉ／Ｆ部５は、画像Ｉ／Ｆ部３１と、データＳ／Ｐ部３２と、クロック制御部３３と、Ｈ／Ｖ同期部３４とを有する。画像Ｉ／Ｆ部３１は、外部からの映像信号を受信する。映像信号は、シリアルのデジタルデータである。データＳ／Ｐ部３２は、映像信号をパラレルデータに変換した後、タイミングコントローラ４内の画像処理部２５に送る。クロック制御部３３は、表示装置１の表示周波数に適合するクロックを生成する。Ｈ／Ｖ同期部３４は、表示装置１の水平同期タイミングと垂直同期タイミングを規定する信号を生成して、タイミング生成器２４に送る。

[0037] 図２は画素回路１５の内部構成を示す回路図である。図２の画素回路１５は、有機ＥＬ素子を有する発光部４１と、駆動トランジスタ４２と、サンプリングトランジスタ４３と、発光制御トランジスタ４４と、保持容量４５と、補助容量４６とを有する。画素回路１５は、シリコン等の半導体基板上に形成され、駆動トランジスタ４２、サンプリングトランジスタ４３及び発光制御トランジスタ４４は例えばＰＭＯＳトランジスタである。各トランジスタはバックゲートには電源電圧が印加されている。

[0038] サンプリングトランジスタ４３は、信号出力部１８から信号線を介して供給される信号電圧Ｖsigをサンプリングすることによって保持容量４５に書き込む。発光制御トランジスタ４４は、電源電圧Ｖccの電源ノードと駆動トランジスタ４２のソース電極との間に接続され、発光制御信号ＤＳによる駆動の下に、発光部４１の発光／非発光を制御する。

[0039] 保持容量４５は、駆動トランジスタ４２のゲート電極とソース電極との間に接続されている。この保持容量４５は、サンプリングトランジスタ４３によるサンプリングによって書き込まれた信号電圧Ｖsigを保持する。駆動トラ

ンジスタ４２は、保持容量４５の保持電圧に応じた駆動電流を発光部４１に流すことによって発光部４１を駆動する。補助容量４６は、駆動トランジスタ４２のソース電極と、固定電位のノード、例えば、電源電圧Ｖccの電源ノードとの間に接続されている。この補助容量４６は、信号電圧Ｖsigを書き込んだときに駆動トランジスタ４２のソース電位が変動するのを抑制するとともに、駆動トランジスタ４２のゲート－ソース間電圧Ｖｇｓを駆動トランジスタ４２の閾値電圧Ｖthに合わせる作用を行う。

[0040] 画素回路１５の内部構成は図２に示したものに限定されない。例えば、図３は図２とは異なる内部構成を有する画素回路１５の回路図である。発光制御トランジスタ４４は電源電位Ｖｃｃと駆動トランジスタ４２のソースＳとの間に接続されており、発光部４１のオン／オフを制御する。発光制御トランジスタ４４のゲートは走査線ＤＳに接続されている。

[0041] サンプリングトランジスタ４３は信号線ＳＬと、保持容量４５及び補助容量４６の接続ノードＡとの間に接続されている。サンプリングトランジスタ４３のゲートは走査線ＷＳに接続されている。接続ノードＡと駆動トランジスタ４２のソースＳとの間に検出トランジスタ４７が接続されている。検出トランジスタ４７のゲートは走査線ＡＺに接続されている。スイッチングトランジスタ４８は、駆動トランジスタ４２のゲートＧと所定のオフセット電位Ｖｏｆｓとの間に接続されている。スイッチングトランジスタ４８のゲートは走査線ＡＺに接続されている。検出トランジスタ４７とスイッチングトランジスタ４８はＶｔｈキャンセル用の補正手段を構成している。保持容量４５は接続ノードＡと駆動トランジスタ４２のゲートＧとの間に接続され、補助容量４６は電源電位Ｖｃｃと接続ノードＡとの間に接続されている。

[0042] 駆動トランジスタ４２はソース／ゲート間に印加されるゲート電圧Ｖｇｓに応じてソース／ドレイン間にドレイン電流Ｉｄｓを流して、発光部４１を駆動する。信号線ＳＬから供給される映像信号Ｖｓｉｇに応じて駆動トランジスタ４２のゲート電圧Ｖｇｓが設定され、駆動トランジスタ４２のドレイン電流Ｉｄｓにより、映像信号の階調に応じて発光部４１の発光輝度を制御

できる。

[0043] 駆動トランジスタ４２の閾値電圧Ｖｔｈは画素毎に変動する。この閾値電圧をキャンセルするため、予め駆動トランジスタ４２の閾値電圧Ｖｔｈを検出し、保持容量４５に保持しておく。この後サンプリングトランジスタ４３をオンして補助容量４６に信号電位Ｖｓｉｇを書き込む。これにより、駆動トランジスタ４２の閾値電圧Ｖｔｈのばらつきを補正したゲート電位Ｖｇｓが生成される。

[0044] 図２及び図３は、画素回路１５の一例であり、本実施形態による画素回路１５には、図２及び図３以外の内部構成の画素回路１５も適用可能である。

[0045] 図４はＨ－ＤＲＶ部１３の内部構成を示すブロック図である。Ｈ－ＤＲＶ部１３は、セレクタ４９と、ランプバッファ５１と、ランプ生成ＤＡＣ５２と、Ｖofs用ＤＡＣ５３と、温度センサ５４と、ランプ配線５５と、複数の電圧保持部５６と、複数のレベルシフタ（ＬＳ）５７と、複数の補正電流源５８と、コンパレータ５９と、電流調整部６０とを有する。

[0046] ランプバッファ５１は、画素回路１５内の駆動トランジスタ４２の閾値補正と移動度補正を行うためのオフセット電圧と、電圧レベルが連続的に変化するランプ波電圧との一方を、セレクタ４９にて切り替えた後に、バッファリングしてランプ配線５５に出力する。

[0047] ランプ配線５５には、複数の電圧保持部５６と、複数のスイッチ６１とが接続されている。複数の電圧保持部５６は、ランプ波電圧が画素回路１５の階調に応じた電圧になった時点で、その電圧を保持する。保持された電圧が信号電圧であり、信号線５０に供給される。

[0048] 各電圧保持部５６はスイッチ５６ａを有する。各電圧保持部５６内の各スイッチ５６ａは、対応するレベルシフタ５７の出力電圧に応じてオンまたはオフする。レベルシフタ５７には、各画素の階調データに応じたＰＷＭ信号が入力される。

[0049] 複数の補正電流源５８は、ランプ配線５５と複数の電圧保持部５６との複数の接続経路５５ａに補正電流を供給する。複数の補正電流源５８は、ラン

プ波電圧をランプ配線５５に供給する際には、複数の画素回路１５に設定される輝度によらず、同一の補正電流を複数の接続経路５５ａに供給する。

[0050] 複数の補正電流源５８と複数の接続経路５５ａとの間には、複数のスイッチ６１が設けられている。これらのスイッチ６１は個別にオン又はオフすることができる。

[0051] 電流調整部６０は、複数の補正電流源５８から補正電流を複数の接続経路５５ａに流す場合と流さない場合とにおいて、所定の接続経路５５ａに繋がる画素回路１５に所定の輝度を設定する際の所定の接続経路５５ａでの電圧差に基づいて、補正電流を調整する。所定の接続経路５５ａは、例えばランプバッファ５１の位置からランプ配線５５上の最遠端の接続経路５５ａである。所定の輝度は、例えば白色輝度である。

[0052] 電流調整部６０は、連続する２つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、補正電流を調整するようにしてもよい。

[0053] 電流調整部６０は、第１電圧検出部６２と、第２電圧検出部６３と、コンパレータ５９とを有してもよい。

[0054] 第１電圧検出部６２は、複数の補正電流源５８から補正電流を複数の接続経路５５ａに流さずに複数の画素回路１５に第１輝度を設定する際のランプバッファ５１から最遠端の接続経路５５ａの電圧を検出する。第１輝度は、例えば白色輝度である。

[0055] 第２電圧検出部６３は、複数の補正電流源５８から最遠端の接続経路５５ａを除く接続経路５５ａに補正電流を流して最遠端の接続経路５５ａに繋がる画素回路１５に第１輝度を設定し、それ以外の画素回路１５に第２輝度を設定する際の最遠端の接続経路５５ａの電圧を検出する。第２輝度は、例えば黒色輝度である。

[0056] コンパレータ５９は、第１電圧検出部６２で検出された電圧と、第２電圧検出部６３で検出された電圧との電圧差に応じた信号を出力する。

[0057] 本実施形態による表示装置１は、Ｈ－ＤＲＶ部１３の内部構成及び動作に

技術的特徴がある。以下、本実施形態のＨ－ＤＲＶ部１３の内部構成及び動作を詳細に説明する。本実施形態による表示装置１は、ランプ配線５５にオフセット電圧Ｖofsを供給して、画素回路１５内の駆動トランジスタ４２の閾値補正と移動度補正を行った後に、ランプ波電圧を供給して信号電圧を生成する方式を採用している。

[0058] ランプ配線５５の一端側には、オフセット電圧又はランプ波電圧を切り替えて出力するランプバッファ５１が接続されている。ランプ配線５５には、複数の電圧保持部５６を介して複数の信号線が接続されているが、ランプバッファ５１からの距離が長いほど、ランプ配線５５上の配線抵抗が大きくなる。このため、例えば、ランプバッファ５１がランプ配線５５にランプ波電圧を供給する場合、ランプ配線５５と複数の電圧保持部５６との接続経路５５ａの電圧が、接続経路５５ａの位置によって変動する場合がある。

[0059] 図５はランプ配線５５に３つの電圧保持部５６を接続した場合の等価回路図である。図５では省略しているが、各電圧保持部５６には、対応する信号線を介して画素回路１５が接続されている。実際には、ランプ配線５５に多数の電圧保持部５６が接続されるが、図５では簡略化して３つの電圧保持部５６のみを図示している。各電圧保持部５６は、等価的にはスイッチ５６ａと容量５６ｂで表される。容量５６ｂは、信号線５０上の寄生容量である。

[0060] 図５では、ランプ配線５５上の配線抵抗Ｒが、ランプバッファ５１と３つの電圧保持部５６との接続経路５５ａですべて等しいと仮定している。例えば、各画素回路１５に白色の輝度を設定する場合、補正電流源５８からの補正電流が接続経路５５ａに流れないように、複数の補正電流源５８と各接続経路５５ａとの間のスイッチ６１はオフである。各電圧保持部５６は、ランプ波電圧が十分に小さいときの電圧レベルを保持する。このとき、各電圧保持部５６からランプ配線５５を介してランプバッファ５１に電流が流れる。図５Ａでは、各電圧保持部５６とランプ配線５５との接続経路５５ａに流れる電流Ｉが等しいと仮定している。ランプバッファ５１から最遠端の接続経路５５ａと２番目に遠い接続経路５５ａとの間には、電流Ｉが流れるため、

この区間内の電圧降下はＩ×Ｒである。ランプバッファ５１から最近端の接続経路５５ａと２番目に遠い接続経路５５ａとの間には、２Ｉの電流が流れるため、この区間内の電圧降下は２Ｉ×Ｒである。ランプバッファ５１の出力オードから最近端の接続経路５５ａとの間には、３Ｉの電流が流れるため、この区間内の電圧降下は３Ｉ×Ｒである。

[0061] このように、各画素に白色の輝度を設定する場合には、複数の電圧保持部５６との接続経路５５ａ間に電圧降下が生じるために、各接続経路５５ａの電圧が相違し、ランプバッファ５１から遠い接続経路５５ａほど、電圧レベルが高くなる。ランプ配線５５上の複数の電圧保持部５６との接続経路５５ａの電圧にばらつきがあると、表示画面の輝度ばらつきが生じる要因になる。

[0062] 例えば、図６は表示画面の上半分に白色輝度の画像を表示し、下半分の水平方向一端側の領域に白色輝度の画像を表示し、下半分の残りの領域に黒色輝度の画像を表示する例を示している。水平方向一端側は、ランプバッファ５１から最遠端の場所であるとする。

[0063] 図６の例では、表示画面の上半分の白色輝度と、下半分の水平方向一端側の白色輝度とに明るさの違いが生じる。実際には、下半分の水平方向一端側の白色輝度が、上半分の白色輝度よりも暗くなる例を示している。場合によっては、下半分の水平方向一端側の白色輝度が、上半分の白色輝度よりも明るくなる場合もありうる。

[0064] このような輝度差は、ランプ配線５５上の配線抵抗と、補正電流源５８から各接続経路５５ａに補正電流を供給するか否かによって生じる。本明細書では、このような輝度差を便宜上、水平方向クロストークと呼ぶ。

[0065] なお、図６は、後述する第２の実施形態で説明するシェーディング現象がないと仮定した場合の表示例である。実際には、白色で表示される画面の上半分の表示領域は、水平方向に輝度が徐々に変化するシェーディングが生じるおそれがある。

[0066] 本実施形態は、図６のような水平方向クロストークが生じないように対策

を行うものである。本実施形態では、ランプ配線５５上の複数の電圧保持部５６との各接続経路５５ａに、複数の補正電流源５８から最適な電流量の補正電流を供給することで、水平方向クロストークを抑制する。

[0067] 図７Ａ及び図８は電流調整部６０の動作を模式的に示す図である。図７Ａ及び図８に示すように、ランプ配線５５上の複数の電圧保持部５６が接続される接続経路５５ａ上に、複数のスイッチ６１を介して複数の補正電流源５８が接続されている。図７Ａと図８は、簡略化のために、３つの接続経路５５ａに３つのスイッチ６１を介して３つの補正電流源５８が接続されている例を示している。複数の補正電流源５８が出力する補正電流は、電流調整部６０で調整される。複数の補正電流源５８は、同一の補正電流を出力する。各補正電流源５８と、対応する接続経路５５ａとの間には、スイッチ６１が設けられており、各スイッチ６１は個別にオン又はオフすることができる。よって、各接続経路５５ａに補正電流を流すか否かは、接続経路５５ａごとに設定することができる。

[0068] 図７Ａは各画素回路１５に白色輝度を設定する例を示している。この場合、補正電流源５８のスイッチ６１をすべてオフし、かつ３つの電圧保持部５６のスイッチ５６ａをオンする。これにより、図６と同様に、電圧保持部５６から接続経路５５ａを介してランプバッファ５１に電流が流れる。このため、ランプバッファ５１から最遠端の接続経路５５ａの電圧が最も高くなる。図７Ｂは、ランプ配線５５上の各電圧保持部５６との接続経路５５ａの電圧レベルを模式的に示す図である。図７Ｂの横軸は時間、縦軸は電圧レベルである。図示のように、ランプバッファ５１から遠い接続経路５５ａほど、電圧レベルが高くなる。図７Ｂは、ＶＧ０からＶＧ２５５まで電圧レベルが一定の傾きで下がるランプ波電圧の一例を示しているが、ＶＧ０からＶＧ２５５まで電圧レベルが一定の傾きで上がるランプ波電圧を用いてもよい。その場合でも、ランプバッファ５１から遠い接続経路５５ａほど、ランプ波電圧の電圧レベルが高くなる。

[0069] 図８はランプ配線５５上の最遠端の画素回路１５には白色輝度を設定し、

それ以外の画素回路１５には黒色輝度を設定する例を示している。この場合、黒色輝度を設定する画素回路１５に接続される電圧保持部５６のスイッチ５６ａはオフし、補正電流源５８のスイッチ６１はオンする。このため、ランプ配線５５上の電圧降下は起きなくなり、ランプバッファ５１から最遠端の接続経路５５ａの電圧上昇も抑制される。

[0070] 本実施形態による電流調整部６０は、図８の場合の最遠端の接続経路５５ａの電圧が図７Ａの場合の最遠端の接続経路５５ａの電圧に一致するように、補正電流源５８から出力される補正電流を調整する。すなわち、黒輝度の設定時（黒ラスタ時）に、意図的に最遠端の接続経路５５ａの電圧を引き上げる。これにより、図６のように、上半分が白色輝度で、下半分の水平方向一端側が白色輝度で残りの領域が黒色輝度の場合に、上半分の白色輝度と下半分の水平方向一端側の白色輝度との明るさの違いがなくなる。

[0071] 図９は本実施形態による電流調整部６０の概略構成を示すブロック図である。電流調整部６０は、第１電圧検出部６２と、第２電圧検出部６３と、コンパレータ５９と、調整信号生成部６４と、調整信号保持部６５とを有する。

[0072] 上述したように、コンパレータ５９は、第１電圧検出部６２で検出された電圧と、第２電圧検出部６３で検出された電圧との電圧差に応じた信号を出力する。調整信号生成部６４は、コンパレータ５９から出力された信号に基づいて、電流調整部６０が補正電流を調整するための複数ビットの調整信号を生成する。調整信号保持部６５は、調整信号生成部６４が生成した調整信号を保持する。補正電流源５８は、調整信号に応じた補正電流を出力する。

[0073] 電流調整部６０の具体的な動作方式として、逐次比較方式とチャージポンプ制御方式が考えられる。以下、順に説明する。

[0074] 図１０は逐次比較方式の電流調整部６０の内部構成を示すブロック図である。図１０の電流調整部６０は、コンパレータ５９の出力経路に接続された複数のＤＦＦ（Ｄ型フリップフロップ）７１と、複数のＤＦＦ７１の出力に基づいて複数ビットの調整信号を生成する調整信号生成部６４と、調整信号

に基づいてバイアス電圧を生成するバイアス回路７２とを有する。

[0075] 複数の補正電流源５８は、バイアス回路７２から出力されたバイアス電圧に応じて補正電流を制御する複数のＮＭＯＳトランジスタ５８ａを有する。これらＮＭＯＳトランジスタ５８ａのゲートにバイアス電圧が供給され、各ＮＭＯＳトランジスタ５８ａは、同一の補正電流をスイッチ６１を介して各接続経路５５ａに供給する。

[0076] 図１０の電流調整部６０は、コンパレータ５９の出力信号を、複数のＤＦＦ７１のいずれか一つに順繰りにラッチする。コンパレータ５９は、１水平ラインに１回ずつ比較動作を行うため、複数のＤＦＦ７１の数分の水平ライン数について、コンパレータ５９での比較結果をそれぞれ別個のＤＦＦ７１にラッチする。調整信号生成部６４は、複数のＤＦＦ７１のラッチ結果に基づいて、複数ビットからなる調整信号を生成する。

[0077] 図１１は図１０の電流調整部６０の処理動作を示すフローチャートである。まず、ある水平ラインに接続された全画素回路１５に白色輝度を設定した状態（白ラスタ時）で、ランプバッファ５１から最遠端の電圧保持部５６とランプ配線５５との接続経路５５ａの電圧を検出する（ステップＳ１）。このステップＳ１の処理は、第１電圧検出部６２にて行われる。

[0078] 次に、複数の補正電流源５８の電流量をＫ×2^{n-1}に初期化するとともに、調整回数を示す変数ｊをｎに初期設定する（ステップＳ２）。次に、ｊを１だけディクリメントする（ステップＳ３）。

[0079] 次に、ｊ＝０か否かを判定する（ステップＳ４）。ｊ＝０であれば処理を終了する。ｊ＝０でなければ、調整信号のｊビット目をＨに固定する（ステップＳ５）。次に、ランプバッファ５１から最遠端の補正電流源５８以外の全補正電流源５８を駆動する全電流源駆動時（黒ラスタ時）に、ランプバッファ５１から最遠端の電圧保持部５６とランプ配線５５との接続経路５５ａの電圧を検出する（ステップＳ６）。このステップＳ６の処理は、第２電圧検出部６３にて行われる。

[0080] 次に、ステップＳ１で検出された電圧がステップＳ６で検出された電圧よ

り高いか否かを判定する（ステップＳ７）。ステップＳ７の判定処理は、コンパレータ５９で行われ、コンパレータ５９の出力がステップＳ７の判定結果を示している。

[0081] ステップＳ７がＹＥＳの場合、調整信号のｊビット目をＬに変更する（ステップＳ８）。これにより、補正電流源５８から出力される補正電流が調整される。その後、ステップＳ３以降の処理を繰り返す。

[0082] 一方、ステップＳ７がＮＯの場合、調整信号のｊビット目をＨに固定させて（ステップＳ９）、ステップＳ３以降の処理を繰り返す。

[0083] このように、逐次比較方式では、調整信号の複数ビットを１ビットずつ、調整のたびに確定していく。

[0084] 図１２はチャージポンプ制御方式の電流調整部６０の内部構成を示すブロック図である。図１２の電流調整部６０は、コンパレータ５９の出力経路に接続された位相比較器７３と、チャージポンプ７４と、カスコードカレントミラー回路７５とを有する。

[0085] 図１２における複数の補正電流源５８は、図１０と同様に、同一のゲート電圧で動作する複数のＮＭＯＳトランジスタを有する。

[0086] 位相比較器７３は、コンパレータ５９の出力信号と、水平ラインごとに決まったタイミングでパルス出力する基準パルス信号との位相差パルスを出力する。チャージポンプ７４は、位相比較器７３から出力された位相差パルスの期間内はバイアス電圧源７５内の電流源７６が定電流を流すように電流源７６を制御する。バイアス電圧源７５は、ゲートとドレインが電流源７６に接続されたＰＭＯＳトランジスタＱ１を有する。このＰＭＯＳトランジスタＱ１のゲートからバイアス電圧が出力され、このバイアス電圧は、補正電流源５８の各ＰＭＯＳトランジスタ５８ａのゲートに入力される。

[0087] 図１３は図１２の電流調整部６０の処理動作を示すフローチャートである。まず、ある水平ラインに接続された全画素回路１５に白色輝度を設定した状態（白ラスタ時）で、ランプバッファ５１から最遠端の電圧保持部５６とランプ配線５５との接続経路５５ａの電圧を検出する（ステップＳ１１）。

このステップＳ１１の処理は、第１電圧検出部６２にて行われる。

[0088] 次に、ランプバッファ５１から最遠端の補正電流源５８以外の全補正電流源５８を駆動する全電流源７６駆動時（黒ラスタ時）に、ランプバッファ５１から最遠端の電圧保持部５６とランプ配線５５との接続経路５５ａの電圧を検出する（ステップＳ１２）。このステップＳ１２の処理は、第２電圧検出部６３にて行われる。

[0089] 次に、ステップＳ１１で検出された電圧がステップＳ１２で検出された電圧より高いか否かを判定する（ステップＳ１３）。ステップＳ１３の判定処理は、コンパレータ５９で行われ、コンパレータ５９の出力がステップＳ１３の判定結果を示している。

[0090] ステップＳ１３がＹＥＳの場合、補正電流を増やす制御を行い（ステップＳ１４）、ステップＳ１２以降の処理を繰り返す。一方、ステップＳ１３がＮＯの場合、補正電流を減らす制御を行う（ステップＳ１５）。

[0091] 次に、規定回数だけ補正電流の調整を行ったか否かを判定する（ステップＳ１６）。規定回数に達していなければ、ステップＳ１２以降の処理を繰り返す。規定回数に達していれば、処理を終了する。

[0092] このように、第１の実施形態では、ランプ配線５５の配線抵抗によって生じるランプ配線５５上の各電圧保持部５６との接続経路５５ａの電圧差に基づいて、複数の補正電流源５８から各接続経路５５ａに流す補正電流を調整するため、複数の画素回路１５に任意の輝度を設定する場合に、画素間での輝度差を目立たないようにすることができる。より具体的には、表示画面の上半分の領域を白色輝度に設定し、下半分の水平方向一端側の領域を白色輝度に設定し、下半分の残りを黒色輝度に設定するような場合に、上半分の白色輝度と、下半分の水平方向一端側の領域の白色輝度との輝度差を目立たなくすることができる。

[0093] （第２の実施形態）

上述したように、ランプ配線５５上のランプバッファ５１に近い側と遠い側では、ランプ配線５５に接続される電圧保持部５６との接続経路５５ａの

電圧が相違することがあり、これにより、表示画面内の輝度が水平方向に変化するシェーディングが起きる場合がある。

[0094] 図１４は表示画面の全体を白色輝度で表示する場合に、シェーディングが生じた例を示している。第２の実施形態は、このようなシェーディングを抑制するものである。

[0095] 第１の実施形態では、ランプ配線５５にランプ波電圧を供給して、ランプ配線５５に接続された各電圧保持部５６にて階調に応じた信号電圧を保持する際に、各電圧保持部５６とランプ配線５５との接続経路５５ａの電圧差によって表示画面に生じる水平方向クロストークを抑制するために、各補正電流源５８から各接続経路５５ａに供給する補正電流を調整している。第１の実施形態における補正電流の調整は、ランプ配線５５にランプ波電圧を供給する期間内に行われる。

[0096] 各画素回路１５は、オフセット電圧と信号電圧との電圧差に応じた輝度で発光部４１を発光させる。第１の実施形態の場合、補正電流源５８からの補正電流により、結果的に信号電圧を補正しており、これに合わせてオフセット電圧も補正しないと、発光部４１の輝度ばらつきが生じるおそれがある。

[0097] そこで、第２の実施形態では、ランプ配線５５にオフセット電圧を供給する期間内に、第１の実施形態と同様に、複数の補正電流源５８からランプ配線５５上の各電圧保持部５６との接続経路５５ａに供給する補正電流を調整するものである。各補正電流源５８から各接続経路５５ａに流す補正電流の電流量は、第１の実施形態と同じで構わない。よって、第１の実施形態で説明した手法で決定した補正電流を、オフセット電圧の供給期間中に、すべての補正電流源５８から、ランプ配線５５上の各電圧保持部５６との接続経路５５ａに供給する。

[0098] このように、第２の実施形態では、第１の実施形態で説明した電流調整部６０がそのまま適用でき、第１の実施形態で説明した電流調整部６０を利用して、第２の実施形態による水平方向シェーディング対策を行うことができる。

[0099] これにより、オフセット電圧供給期間と、ランプ波電圧供給期間とで、同じように、ランプ配線５５上の各電圧保持部５６との接続経路５５ａの電圧が補正され、各画素回路１５内の発光部４１の輝度ばらつきを抑制できる。よって、図１４のような水平方向のシェーディングが目立たなくなる。

[0100] また、オフセット電圧は、電圧レベルが一定のパルス電圧であり、ランプ波電圧の供給期間よりも短い期間で、各画素回路１５にオフセット電圧を供給でき、各画素回路１５内の駆動トランジスタ４２の閾値補正と移動度補正を迅速に行うことができる。

[0101] （第３の実施形態）

第３の実施形態は、第１及び２の実施形態と異なり、補正電流源５８と電流調整部６０を持たない。第１及び第２の実施形態におけるオフセット電圧は電圧レベルが一定のパルス電圧であったが、第３の実施形態におけるオフセット電圧は、電圧レベルが連続的に変化する電圧である。すなわち、第３の実施形態では、画素回路１５内の駆動トランジスタ４２の閾値補正と移動度補正を行うためのオフセット電圧をランプ波にする。

[0102] 第３の実施形態による表示装置１は、Ｈ－ＤＲＶ部１３の内部構成が第１及び第２の実施家形態とは異なっている。図１５は第３の実施形態によるＨ－ＤＲＶ部１３の内部構成を示すブロック図である。図１５のＨ－ＤＲＶ部１３は、図４と比べて、補正電流源５８と、スイッチ６１と、電流調整部６０を備えていない。

[0103] ランプバッファ５１の入力端子に接続されたVofs用ＤＡＣ５３は、ランプ波からなるオフセット電圧を生成する。よって、ランプバッファ５１からランプ配線５５に供給されるオフセット電圧は、電圧レベルが連続的に変化するランプ波になる。

[0104] 図１６は、ランプ配線５５上の電圧波形図である。時刻ｔ１～ｔ２はオフセット電圧供給期間であり、時刻ｔ２～ｔ３は信号電圧を生成するためのランプ波電圧供給期間である。

[0105] 画素回路１５は、ランプ配線５５上のオフセット電圧を保持するが、オフ

セット電圧の電圧レベルが下がり始める前の電圧を保持することで、第１及び第２の実施形態で用いたオフセット電圧と同一の電圧レベルのオフセット電圧を用いて、駆動トランジスタ４２の閾値補正と移動度補正を行うことができる。

[0106] 図１６に示すように、ランプ配線５５には配線抵抗があるため、ランプバッファ５１からの距離によって、ランプ配線５５上の複数の電圧保持部５６との接続経路５５ａの電圧レベルは変化する。しかしながら、オフセット電圧を供給する期間内の各接続経路５５ａの電圧差は、ランプ波電圧を供給する期間内の各接続経路５５ａの電圧差と同じである。各画素回路１５は、信号電圧とオフセット電圧との電圧差に応じた輝度で発光するため、信号電圧とオフセット電圧との電圧差を検出する段階で、ランプ配線５５上の配線抵抗による電圧差を相殺することができ、水平方向シェーディングが目立たなくなる。

[0107] このように、第３の実施形態では、図４のＨ－ＤＲＶ部１３から補正電流源５８、スイッチ６１、電流調整部６０を省略した簡易な構成にし、かつオフセット電圧をランプ波形にすることで、ランプ配線５５上の配線抵抗による電圧差を相殺した上で発光部４１を発光させることができ、第２の実施形態よりも簡易な構成でありながら、水平方向シェーディングを抑制することができる。

[0108] なお、本技術は以下のような構成を取ることができる。

（１）少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

電圧レベルが時間に応じて変化するランプ波電圧を生成する電圧出力部と、

前記電圧出力部で生成された前記ランプ波電圧を供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を

生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合と流さない場合とにおいて、所定の接続経路に繋がる画素回路に所定の輝度を設定する際の前記所定の接続経路での電圧差に基づいて、前記補正電流を調整する電流調整部と、を備える表示装置。

（２）前記複数の補正電流源は、前記ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給する、（１）に記載の表示装置。

（３）前記所定の接続経路は、前記電圧出力部の位置から前記ランプ配線上の最遠端の接続経路であり、

前記所定の輝度は、白色輝度である、（１）又は（２）に記載の表示装置。

（４）前記電流調整部は、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流さずに前記複数の画素回路に第１輝度を設定する際の前記電圧出力部から最遠端の前記接続経路の電圧を検出する第１電圧検出部と、

前記複数の補正電流源から前記最遠端の接続経路を除く接続経路に前記補正電流を流して前記最遠端の接続経路に繋がる画素回路に前記第１輝度を設定し、それ以外の画素回路に第２輝度を設定する際の前記最遠端の接続経路の電圧を検出する第２電圧検出部と、を有し、

前記電流調整部は、前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に基づいて、前記補正電流を調整する、（１）乃至（３）のいずれか一項に記載の表示装置。

（５）前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧に一致するように前記補正電流を調整する、（４）に記載の表示装置。

（６）前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも低い場合には、前記補正電流をより大きくし、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも高い場合には、前記補正電流をより小さくする処理を、水平ラインの走査に合わせて１回ずつ複数回行う、（４）又は（５）に記載の表示装置。

（７）前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、を有し、

前記電流調整部は、前記調整信号に基づいて前記補正電流を調整する、（４）乃至（６）のいずれか一項に記載の表示装置。

（８）前記調整信号生成部は、前記補正電流の調整のたびに、前記調整信号を１ビットずつ調整する、（７）に記載の表示装置。

（９）前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じた信号を出力する位相比較器と、

前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、

前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整する、（４）乃至（６）のいずれか一項に記載の表示装置。

（１０）前記所定の基準信号は、水平ラインの走査期間に応じた周波数を有し、

前記電圧比較器は、水平ラインに１回の割合で、前記電圧差に応じた信号を出力する、（９）に記載の表示装置。

（１１）前記補正電流源は、ゲート電圧に応じて前記補正電流を可変させるトランジスタを有し、

前記チャージポンプから出力された電圧により、前記ゲート電圧を制御するバイアス回路をさらに備える、（９）又は（１０）に記載の表示装置。

（１２）前記第１輝度は白色の輝度であり、

前記第２輝度は黒色の輝度である、（４）乃至（１１）のいずれか一項に記載の表示装置。

（１３）前記電圧出力部は、前記ランプ配線に前記ランプ波電圧を出力する前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、

前記電流調整部は、前記電圧出力部が前記オフセット電圧を前記ランプ配線に供給する際に、前記電圧差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する、（１）乃至（１２）のいずれか一項に記載の表示装置。

（１４）前記電流調整部は、前記電圧出力部が前記ランプ配線に前記オフセット電圧を供給する場合と前記ランプ電圧を供給する場合とで、同一の前記補正電流を前記複数の補正電流源から前記複数の接続経路に供給する、（１３）に記載の表示装置。

（１５）前記電流調整部は、連続する２つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整する、（１）乃至（１４）のいずれか一項に記載の表示装置。

（１６）少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧と、電圧レベルが時間に応じて変化するランプ波電圧とを生成する電圧出力部と

、

前記オフセット電圧と前記ランプ波電圧とを切り替えて供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記複数の画素回路に所定の輝度を設定する際に前記複数の電圧保持部から前記電圧出力部に流れる電流によって生じる前記複数の接続経路の電圧差に基づいて、前記オフセット電圧及び前記ランプ波電圧を前記ランプ配線に供給する際に前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する電流調整部と、を備える表示装置。

[0109] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0110] １　表示装置、２　表示システム、３　ディスプレイコントローラ、４　タイミングコントローラ、５　データ入出力Ｉ／Ｆ部、１１　画素アレイ部、１２　Ｖ－ＤＲＶ部、１３　Ｈ－ＤＲＶ部、１４　信号処理部、１５　画素回路、１６　書き込み走査部、１７　駆動走査部、２１　ＨＬＯＧＩＣ部、２２　ＶＬＯＧＩＣ部、２３　クロック生成器、２４　タイミング生成器、２５　画像処理部、３１　画像Ｉ／Ｆ部、３２　データＳ／Ｐ部、３３　クロック制御部、３４　Ｈ／Ｖ同期部、４１　発光部、４２　駆動トランジスタ、４３　サンプリングトランジスタ、４４　発光制御トランジスタ、４５　保持容量、４６　補助容量、５１　ランプバッファ、５２　ランプ生成

ＤＡＣ、５３　Ｖofs用ＤＡＣ、５４　温度センサ、５５　ランプ配線、５６　電圧保持部、５６ａ　スイッチ、５７　レベルシフタ、５８　補正電流源、５９　コンパレータ、６０　電流調整部、６１　スイッチ、６２　第１電圧検出部、６３　第２電圧検出部

請求の範囲

[請求項1] 少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

電圧レベルが時間に応じて変化するランプ波電圧を生成する電圧出力部と、

前記電圧出力部で生成された前記ランプ波電圧を供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流す場合と流さない場合とにおいて、所定の接続経路に繋がる画素回路に所定の輝度を設定する際の前記所定の接続経路での電圧差に基づいて、前記補正電流を調整する電流調整部と、を備える表示装置。

[請求項2] 前記複数の補正電流源は、前記ランプ波電圧を前記ランプ配線に供給する際には、前記複数の画素回路に設定される輝度によらず、同一の前記補正電流を前記複数の接続経路に供給する、請求項１に記載の表示装置。

[請求項3] 前記所定の接続経路は、前記電圧出力部の位置から前記ランプ配線上の最遠端の接続経路であり、

前記所定の輝度は、白色輝度である、請求項１に記載の表示装置。

[請求項4] 前記電流調整部は、

前記複数の補正電流源から前記補正電流を前記複数の接続経路に流さずに前記複数の画素回路に第１輝度を設定する際の前記電圧出力部から最遠端の前記接続経路の電圧を検出する第１電圧検出部と、

前記複数の補正電流源から前記最遠端の接続経路を除く接続経路に前記補正電流を流して前記最遠端の接続経路に繋がる画素回路に前記第１輝度を設定し、それ以外の画素回路に第２輝度を設定する際の前記最遠端の接続経路の電圧を検出する第２電圧検出部と、を有し、

前記電流調整部は、前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に基づいて、前記補正電流を調整する、請求項１に記載の表示装置。

[請求項5] 前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧に一致するように前記補正電流を調整する、請求項４に記載の表示装置。

[請求項6] 前記電流調整部は、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも低い場合には、前記補正電流をより大きくし、前記第２電圧検出部で検出された電圧が前記第１電圧検出部で検出された電圧よりも高い場合には、前記補正電流をより小さくする処理を、水平ラインの走査に合わせて１回ずつ複数回行う、請求項４に記載の表示装置。

[請求項7] 前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号に基づいて、前記電流調整部が前記補正電流を調整するための複数ビットの調整信号を生成する調整信号生成部と、を有し、

前記電流調整部は、前記調整信号に基づいて前記補正電流を調整する、請求項４に記載の表示装置。

[請求項8] 前記調整信号生成部は、前記補正電流の調整のたびに、前記調整信号を１ビットずつ調整する、請求項７に記載の表示装置。

[請求項9] 前記電流調整部は、

前記第１電圧検出部で検出された電圧と、前記第２電圧検出部で検

出された電圧との電圧差に応じた信号を出力する電圧比較器と、

前記電圧比較器から出力された信号と、所定の基準信号との位相差に応じた信号を出力する位相比較器と、

前記位相比較器から出力された信号に応じた電圧を出力するチャージポンプと、を有し、

前記電流調整部は、前記チャージポンプから出力された電圧に基づいて、前記補正電流を調整する、請求項４に記載の表示装置。

[請求項10] 前記所定の基準信号は、水平ラインの走査期間に応じた周波数を有し、

前記電圧比較器は、水平ラインに１回の割合で、前記電圧差に応じた信号を出力する、請求項９に記載の表示装置。

[請求項11] 前記補正電流源は、ゲート電圧に応じて前記補正電流を可変させるトランジスタを有し、

前記チャージポンプから出力された電圧により、前記ゲート電圧を制御するバイアス回路をさらに備える、請求項９に記載の表示装置。

[請求項12] 前記第１輝度は白色の輝度であり、

前記第２輝度は黒色の輝度である、請求項４に記載の表示装置。

[請求項13] 前記電圧出力部は、前記ランプ配線に前記ランプ波電圧を出力する前に、前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧を前記ランプ配線に出力し、

前記電流調整部は、前記電圧出力部が前記オフセット電圧を前記ランプ配線に供給する際に、前記電圧差に基づいて、前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する、請求項１に記載の表示装置。

[請求項14] 前記電流調整部は、前記電圧出力部が前記ランプ配線に前記オフセット電圧を供給する場合と前記ランプ電圧を供給する場合とで、同一の前記補正電流を前記複数の補正電流源から前記複数の接続経路に供給する、請求項１３に記載の表示装置。

[請求項15] 前記電流調整部は、連続する２つのフレームの間のブランキング期間内に、水平ラインの走査に合わせて一回ずつ複数回にわたって、前記補正電流を調整する、請求項１に記載の表示装置。

[請求項16] 少なくとも一方向に配置される複数の画素回路と、

前記複数の画素回路に、階調に応じた信号電圧を供給する複数の信号線と、

前記複数の画素回路の特性ばらつきを補正するためのオフセット電圧と、電圧レベルが時間に応じて変化するランプ波電圧とを生成する電圧出力部と、

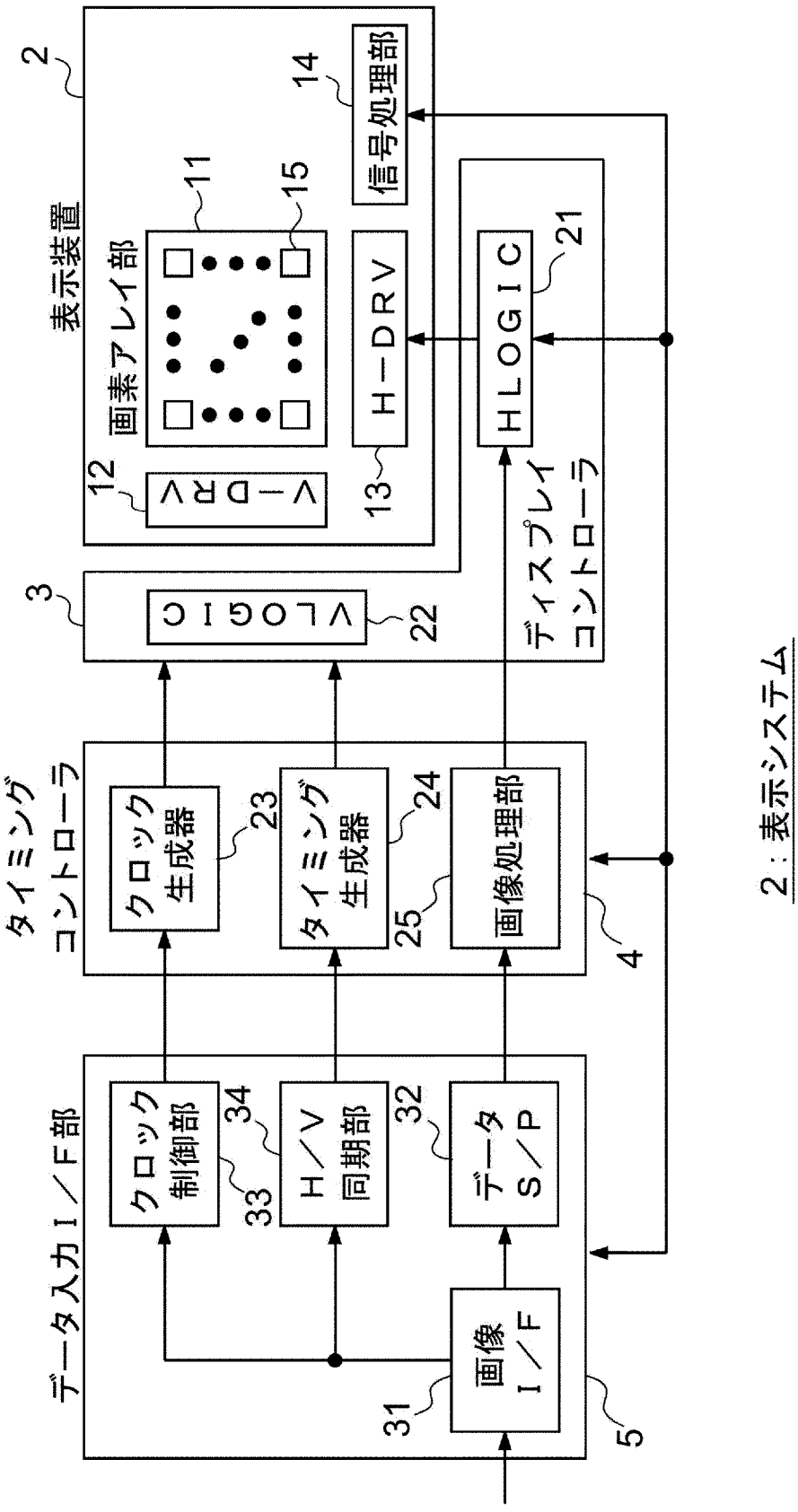
前記オフセット電圧と前記ランプ波電圧とを切り替えて供給するランプ配線と、

前記ランプ配線と前記複数の信号線との間に接続され、前記複数の画素回路の輝度に応じたタイミングで前記ランプ波電圧を保持して前記信号電圧を生成する複数の電圧保持部と、

前記ランプ配線と前記複数の電圧保持部との複数の接続経路に補正電流を供給する複数の補正電流源と、

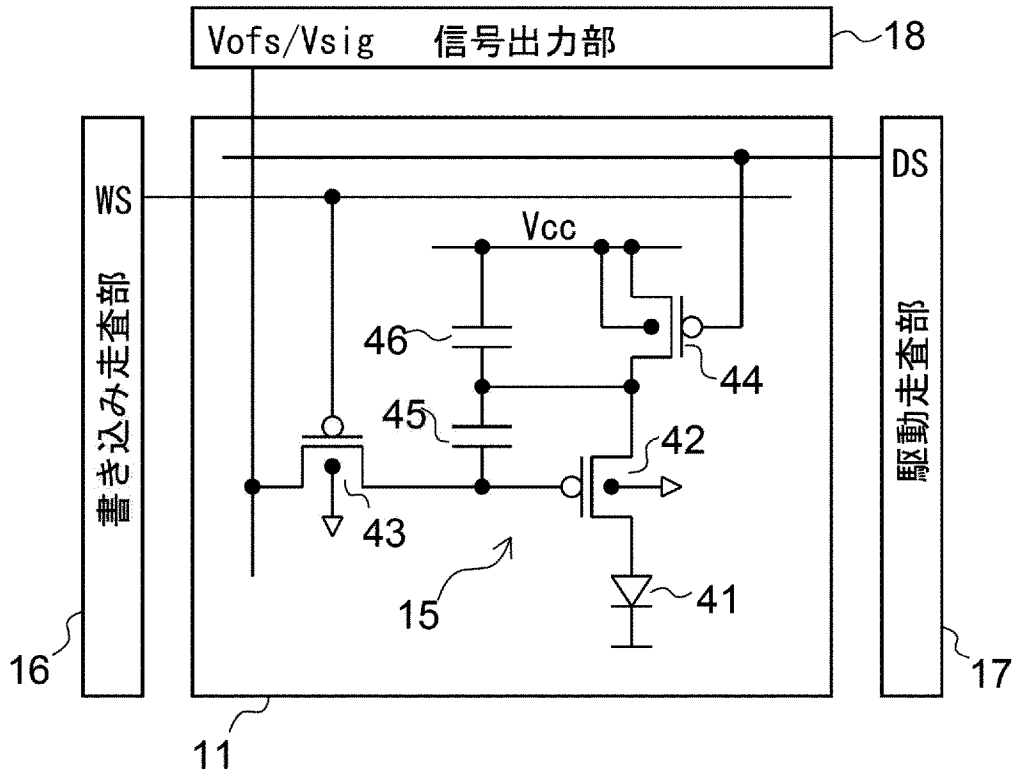
前記複数の画素回路に所定の輝度を設定する際に前記複数の電圧保持部から前記電圧出力部に流れる電流によって生じる前記複数の接続経路の電圧差に基づいて、前記オフセット電圧及び前記ランプ波電圧を前記ランプ配線に供給する際に前記複数の補正電流源が前記複数の接続経路に供給する前記補正電流を調整する電流調整部と、を備える表示装置。

[図1]

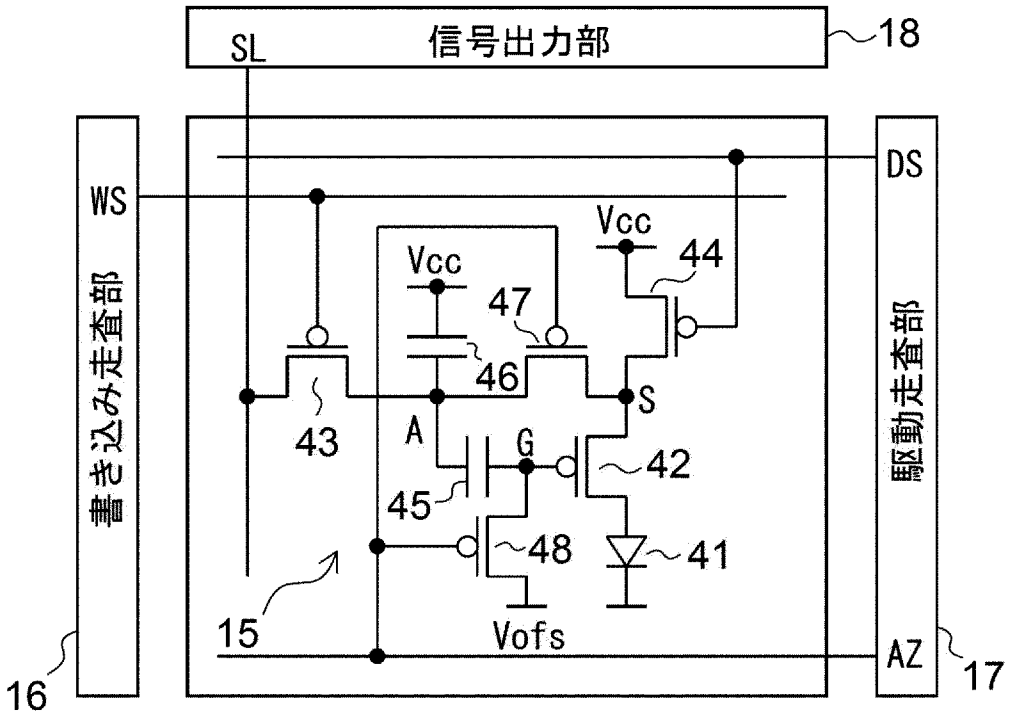

2
表示装置
14
信号処理部
11
15
画素アレイ部
12
ゲートドライバ
13
H－DRV
21
HLOGIC
3
LOGIC
22
ディスプレイ
コントローラ
タイミング
コントローラ
クロック
生成器
23
タイミング
生成器
24
25
画像処理部
4
データ入力I／F部
クロック
制御部
34
33
H／V
同期部
32
データ
S／P
画像
I／F
31
5

2：表示システム

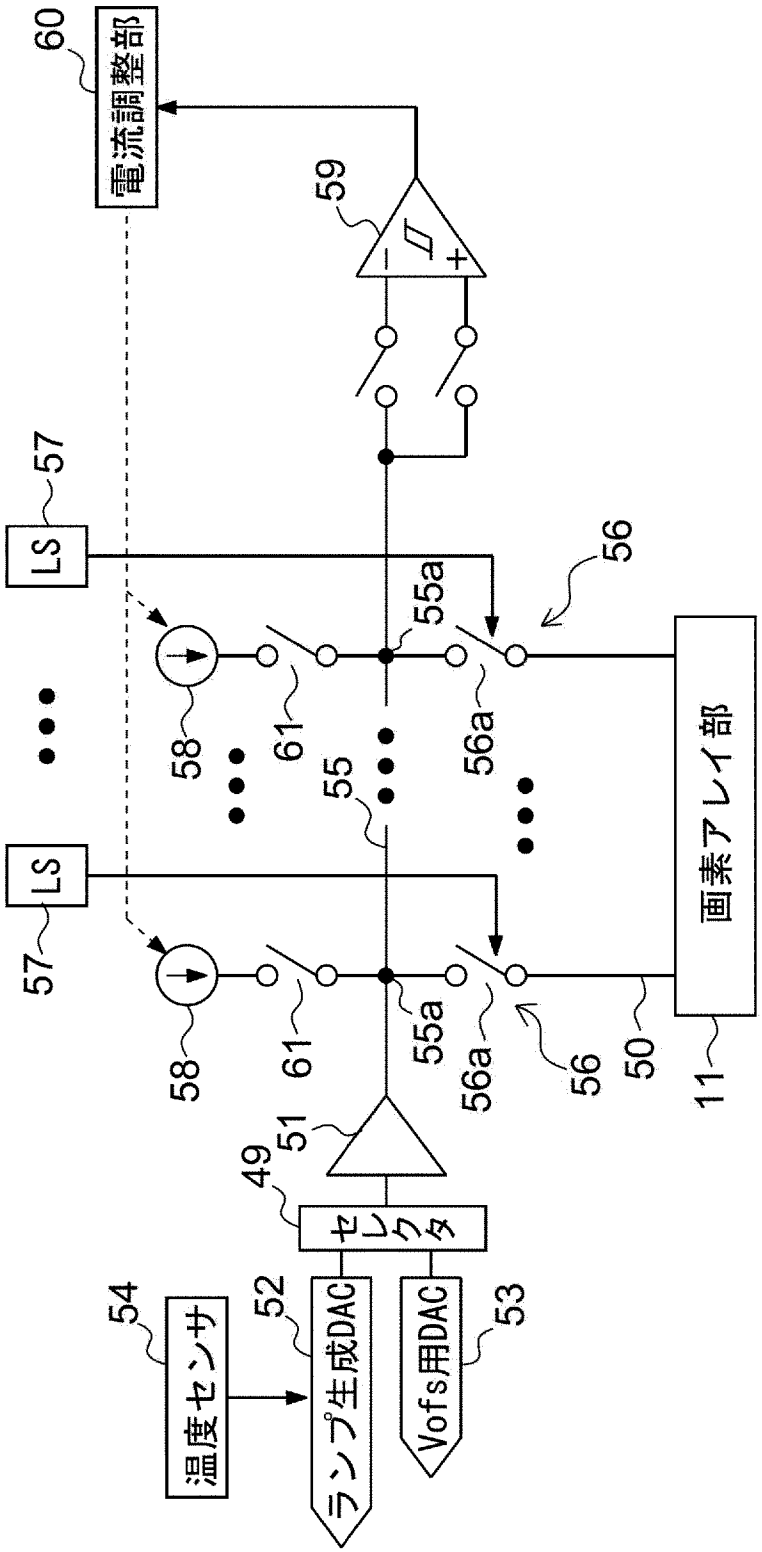
[図2]


Vofs/Vsig 信号出力部
18
WS
書き込み走査部
DS
駆動走査部
Vcc
46
44
45
42
43
41
15
16
17
11

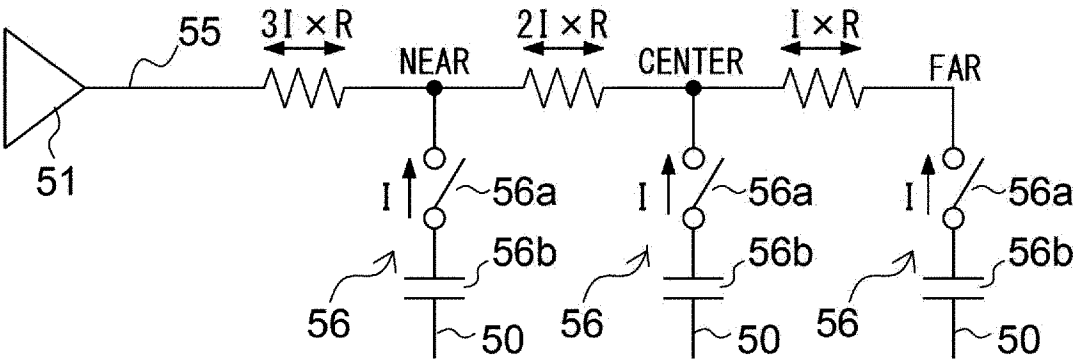
[図3]


SL
信号出力部
18
WS
書き込み走査部
DS
駆動走査部
Vcc
Vcc
44
47
46
43
A
G
S
42
45
48
41
15
Vofs
AZ
16
17

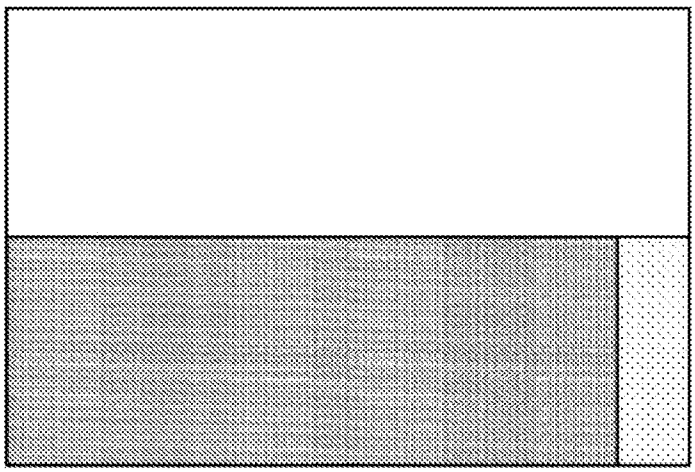
[図4]


60
電流調整部
59
57
LS
56
55a
58
61
56a
55
画素アレイ部
57
LS
58
61
55a
56a
56
50
11
51
49
セレクタ
54
温度センサ
52
ランプ生成DAC
53
Vofs用DAC
13

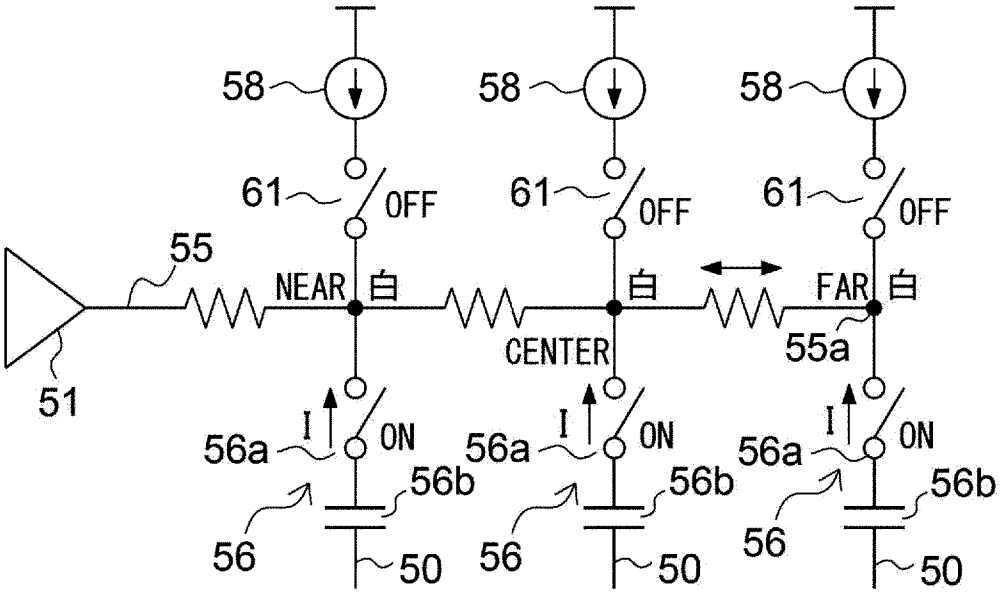
[図5]



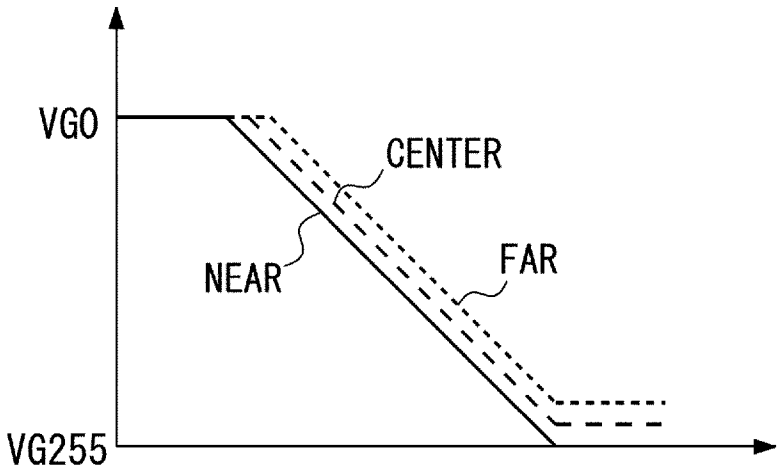
[図6]



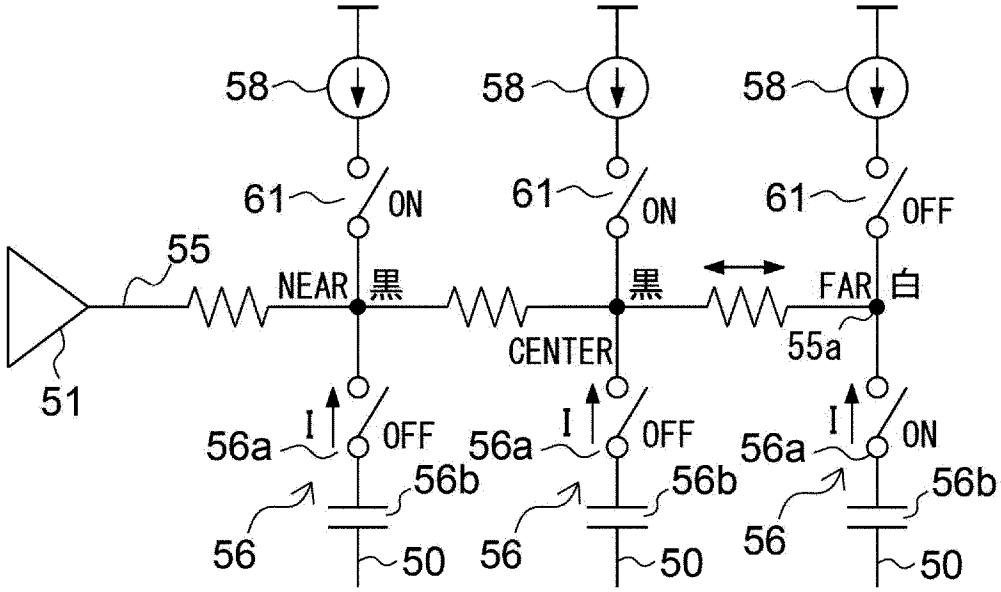
[図7A]


58
58
58
61
OFF
61
OFF
61
OFF
55
NEAR
白
白
FAR
白
CENTER
55a
51
56a
I
ON
56a
I
ON
56a
I
ON
56b
56b
56b
56
56
56
50
50
50

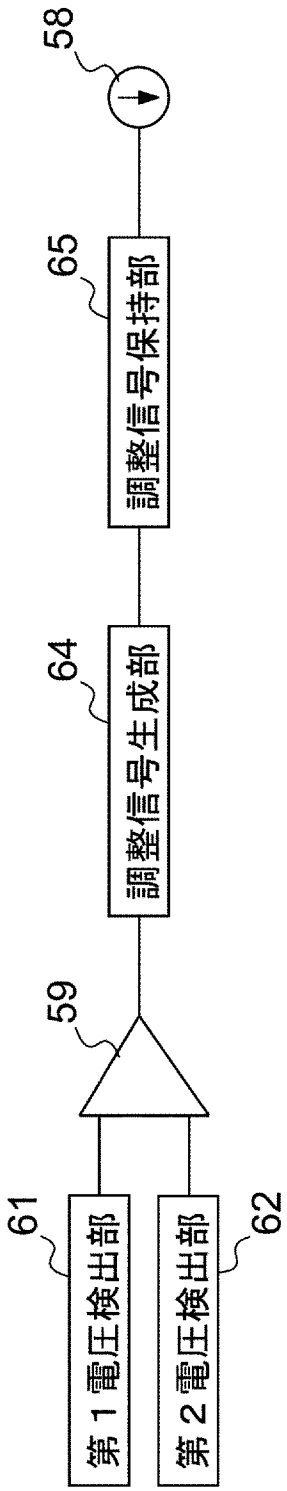
[図7B]


VG0
CENTER
NEAR
FAR
VG255

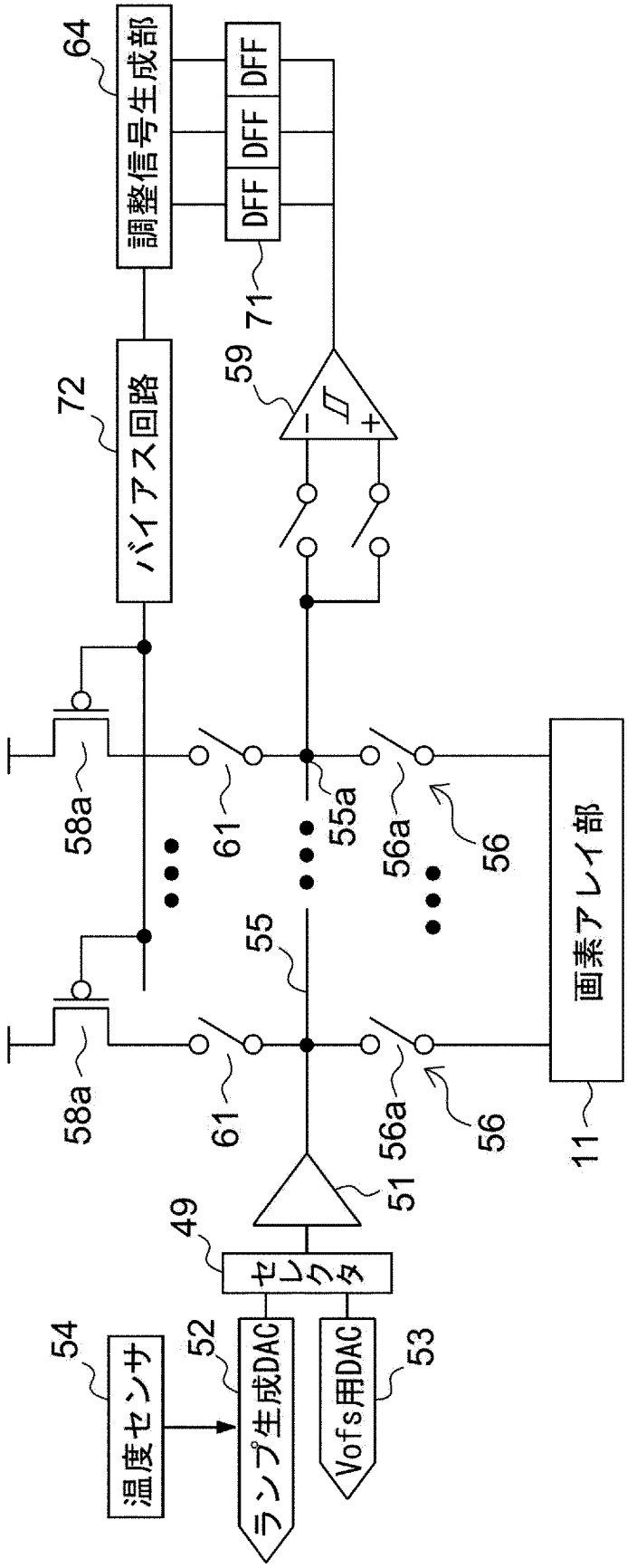
[図8]


58
58
58
61
ON
61
ON
61
OFF
55
NEAR
黒
黒
FAR
白
CENTER
55a
51
56a
I
OFF
56a
I
OFF
56a
I
ON
56b
56b
56b
56
56
56
50
50
50

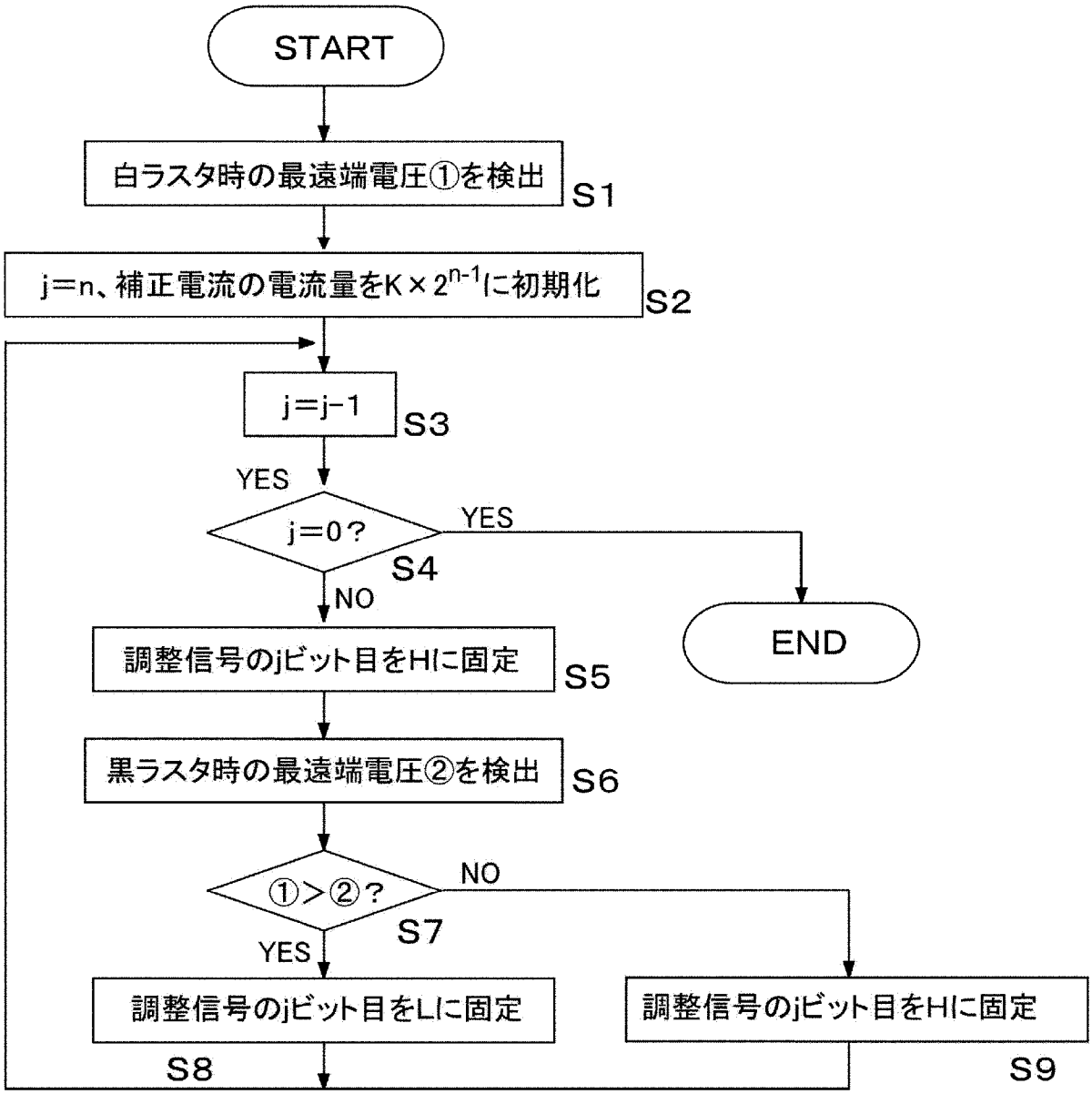
[図9]



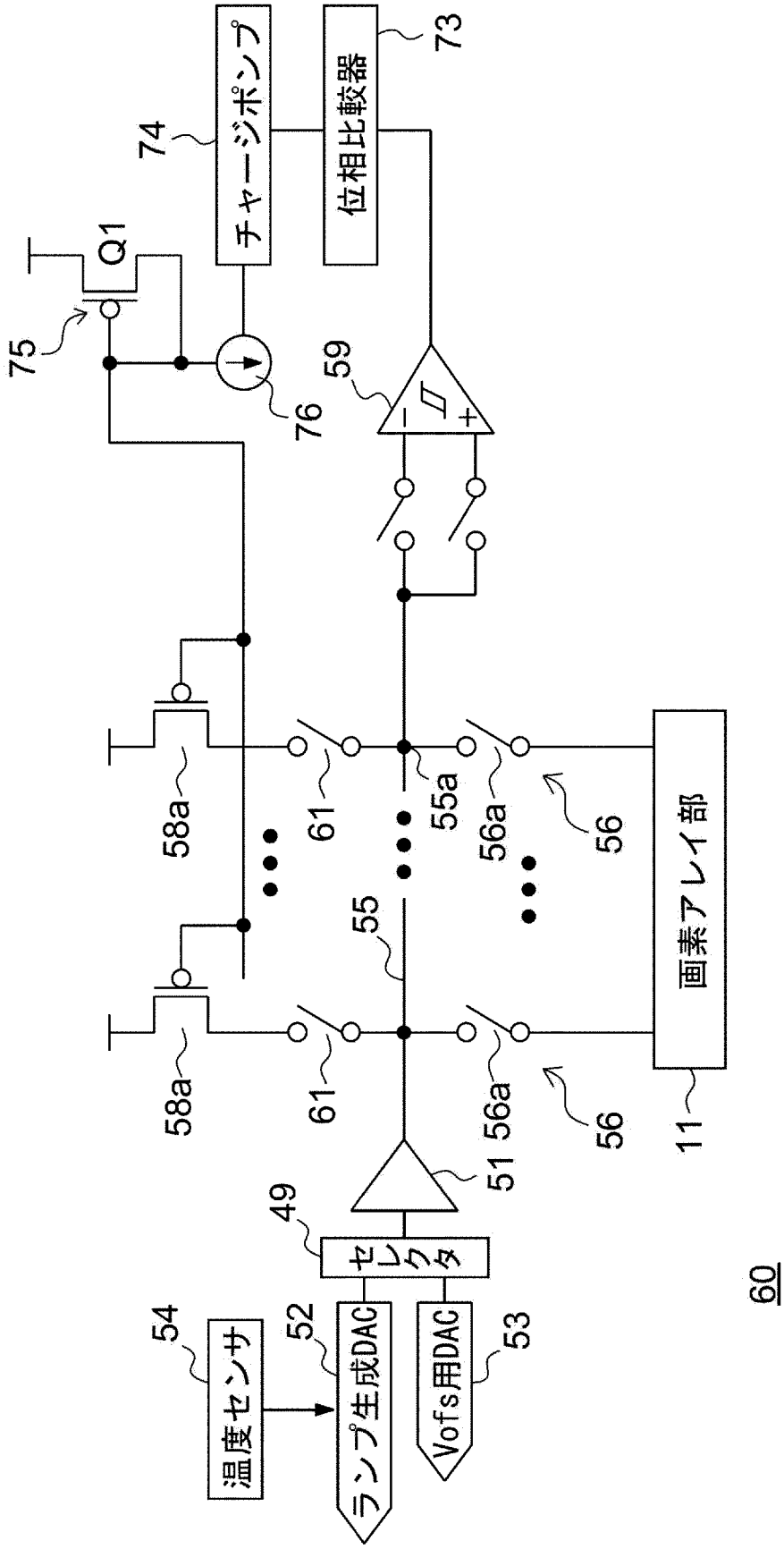
[図10]


64
調整信号生成部
DFF
DFF
DFF
71
72
バイアス回路
59
58a
61
55a
56a
56
55
画素アレイ部
11
51
49
セレクタ
54
温度センサ
52
ランプ生成DAC
53
Vofs用DAC
60

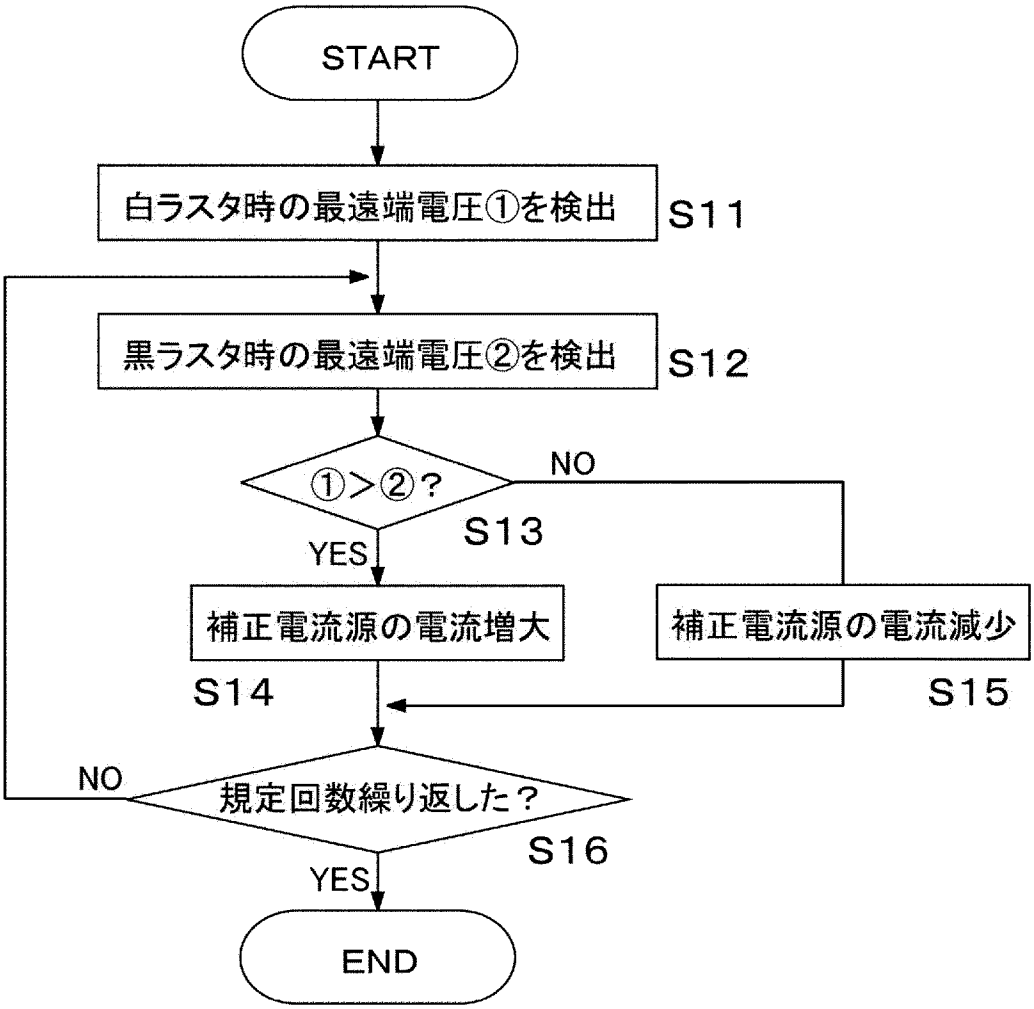
[図11]


START
白ラスタ時の最遠端電圧①を検出
S1
j=n、補正電流の電流量をK×2^(n-1)に初期化
S2
j=j-1
S3
YES
j=0？
S4
YES
NO
END
調整信号のjビット目をHに固定
S5
黒ラスタ時の最遠端電圧②を検出
S6
①>②？
S7
NO
YES
調整信号のjビット目をLに固定
S8
調整信号のjビット目をHに固定
S9

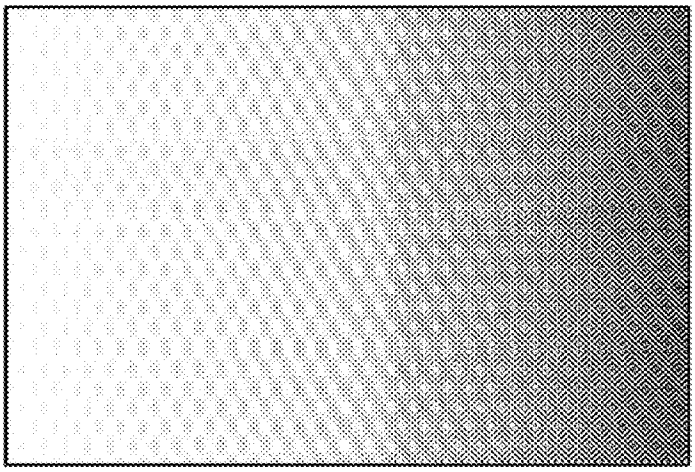
[図12]


チャージポンプ
位相比較器
Q1
画素アレイ部
セレクタ
温度センサ
ランプ生成DAC
Vofs用DAC
74
73
75
76
59
58a
61
55a
56a
56
55
11
51
49
54
52
53
60

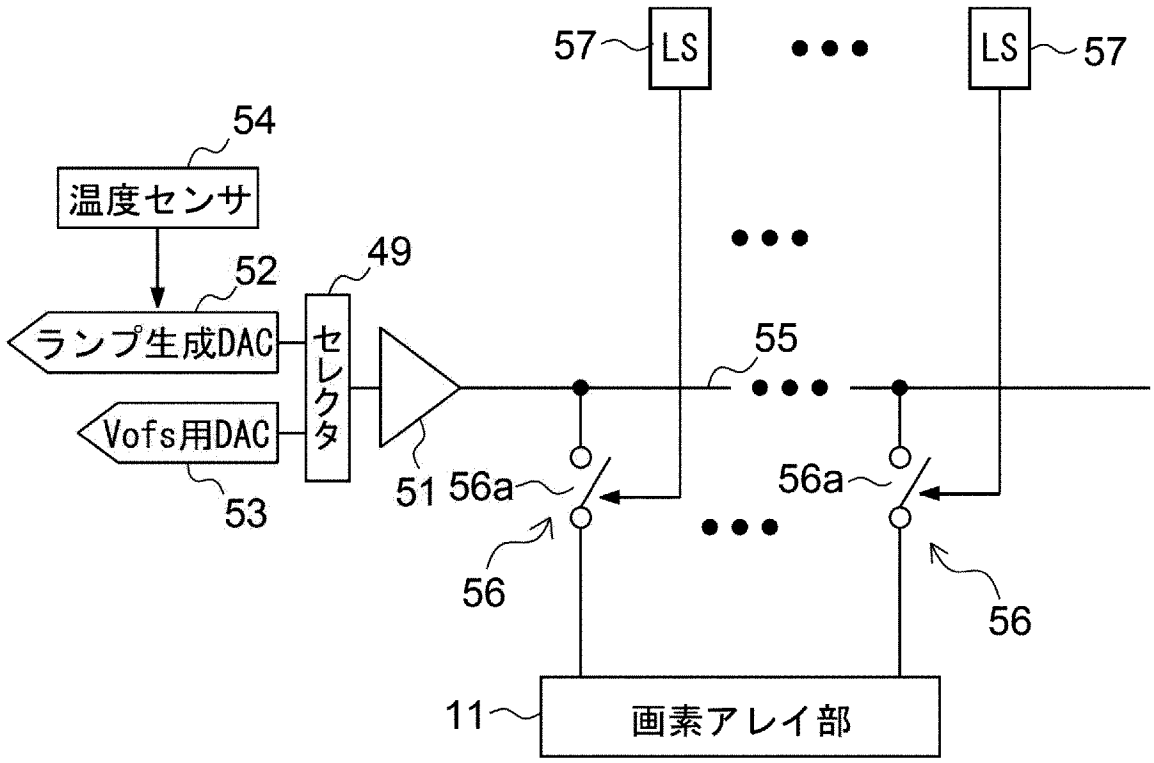
[図13]


START
白ラスタ時の最遠端電圧①を検出
S11
黒ラスタ時の最遠端電圧②を検出
S12
①＞②？
S13
NO
YES
補正電流源の電流増大
S14
補正電流源の電流減少
S15
規定回数繰り返した？
S16
NO
YES
END

[図14]

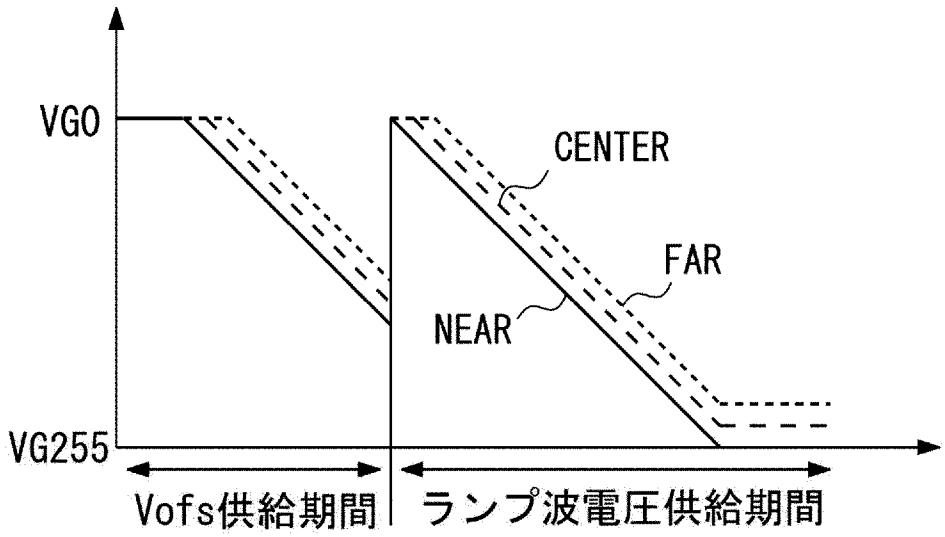


[図15]


57
LS
LS
57
54
温度センサ
52
49
ランプ生成DAC
セレクタ
55
Vofs用DAC
53
51
56a
56a
56
56
11
画素アレイ部

13

[図16]


VG0
CENTER
FAR
NEAR
VG255
Vofs供給期間
ランプ波電圧供給期間

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/001704

A. CLASSIFICATION OF SUBJECT MATTER
G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/3291(2016.01)i; H01L 27/32(2006.01)i; H05B 33/02(2006.01)i; H01L 51/50(2006.01)i
FI: G09G3/3233; G09G3/20 624B; G09G3/20 611 D; G09G3/20 642A; G09G3/20 611 J; G09G3/20 623F; G09G3/20 623R; G09G3/3291; H05B33/14 A; H05B33/02; H01L27/32
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/20; G09G3/3233; G09G3/3291; H01L27/32; H05B33/02; H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-44847 A (SEIKO EPSON CORP.) 04 March 2013 (2013-03-04) entire text, all drawings	1-16
A	WO 2017/056646 A1 (SONY CORP.) 06 April 2017 (2017-04-06) entire text, all drawings	1-16
A	JP 2002-40982 A (VICTOR COMPANY OF JAPAN, LTD.) 08 February 2002 (2002-02-08) entire text, all drawings	1-16
A	JP 5-503175 A (THOMSON S.A.) 27 May 1993 (1993-05-27) entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 February 2021 (12.02.2021)	23 March 2021 (23.03.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/001704

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2013-44847 A	04 Mar. 2013	(Family: none)	
WO 2017/056646 A1	06 Apr. 2017	US 2018/0247590 Al JP 2017-68033 A	
JP 2002-40982 A	08 Feb. 2002	(Family: none)	
JP 5-503175 A	27 May 1993	US 5170155 A WO 92/07351 A1	

国際調査報告

国際出願番号
PCT/JP2021/001704

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/3291(2016.01)i; H01L 27/32(2006.01)i; H05B 33/02(2006.01)i; H01L 51/50(2006.01)i
FI: G09G3/3233; G09G3/20 624B; G09G3/20 611D; G09G3/20 642A; G09G3/20 611J; G09G3/20 623F; G09G3/20 623R; G09G3/3291; H05B33/14 A; H05B33/02; H01L27/32

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/20; G09G3/3233; G09G3/3291; H01L27/32; H05B33/02; H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-44847 A (セイコーエプソン株式会社) 04.03.2013 (2013-03-04) 全文，全図	1-16
A	WO 2017/056646 A1 (ソニー株式会社) 06.04.2017 (2017-04-06) 全文，全図	1-16
A	JP 2002-40982 A (日本ビクター株式会社) 08.02.2002 (2002-02-08) 全文，全図	1-16
A	JP 5-503175 A (トムソン　エス．アー．) 27.05.1993 (1993-05-27) 全文，全図	1-16

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
12.02.2021	23.03.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西島　篤宏 2I 9308
電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/001704

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-44847 A	04.03.2013	（ファミリーなし）	
WO 2017/056646 A1	06.04.2017	US 2018/0247590 A1	
		JP 2017-68033 A	
JP 2002-40982 A	08.02.2002	（ファミリーなし）	
JP 5-503175 A	27.05.1993	US 5170155 A	
		WO 92/07351 A1	