

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成22年5月6日(2010.5.6)

【公表番号】特表2009-537933(P2009-537933A)

【公表日】平成21年10月29日(2009.10.29)

【年通号数】公開・登録公報2009-043

【出願番号】特願2009-511128(P2009-511128)

【国際特許分類】

G 1 1 C 11/407 (2006.01)

H 0 3 K 19/0185 (2006.01)

H 0 3 K 19/0948 (2006.01)

H 0 3 K 19/00 (2006.01)

【F I】

G 1 1 C 11/34 3 5 4 D

H 0 3 K 19/00 1 0 1 D

H 0 3 K 19/094 B

H 0 3 K 19/00 A

【手続補正書】

【提出日】平成22年3月17日(2010.3.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリの動作方法であって、前記メモリはアドレス・デコード回路(116)、ワード線ドライバ回路(118)、およびビットセルアレイ(120)を備え、

前記アドレス・デコード回路(116)は第1電圧において動作可能であり、

前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)は、それぞれ第2電圧において動作可能であり、

前記動作方法は、

アクティブ・モードにおいて、前記第1電圧を前記アドレス・デコード回路(116)に与え、且つ前記第2電圧を前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)に与えることと；

低電力モードにおいて、前記第1電圧未満の第3電圧を前記アドレス・デコード回路(116)に与え、前記第2電圧以下の第4電圧を前記ビットセルアレイ(120)に与えることと

を含み、

前記アドレス・デコード回路(116)は、前記第3電圧において実質的に動作不可能であり、

前記ビットセルアレイ(120)は、記憶したデータを前記第4電圧において保持するように動作可能であることを特徴とする、動作方法。

【請求項 2】

前記第3電圧はゼロである、請求項1記載の動作方法。

【請求項 3】

前記第4電圧は前記第2電圧に等しい、請求項1記載の動作方法。

【請求項 4】

前記第 2 電圧を前記ワード線ドライバ回路 ( 1 1 8 ) に与えることは、

前記第 2 電圧を、複数の出力を有する前記ワード線ドライバ回路 ( 1 1 8 ) に与えることであり、それぞれ前記出力は、前記ビットセルアレイ ( 1 2 0 ) の対応するワード線に接続され、

前記動作方法は更に、

前記出力を、前記第 1 電圧から前記第 2 電圧に電圧レベルシフトすることを含む、請求項 1 記載の動作方法。

【請求項 5】

前記アドレス・デコード回路 ( 1 1 6 ) は、複数の第 1 厚さトランジスタを備え、

前記第 1 厚さトランジスタは、第 1 ゲート酸化物厚さを有し、

前記ワード線ドライバ回路 ( 1 1 8 ) と前記ビットセルアレイ ( 1 2 0 ) は、複数の第 2 厚さトランジスタを備え、

前記第 2 厚さトランジスタは、前記第 1 ゲート酸化物厚さよりも大きな第 2 ゲート酸化物厚さを有する、請求項 1 記載の動作方法。

【請求項 6】

前記第 2 電圧を、前記ワード線ドライバ回路 ( 1 1 8 ) と前記ビットセルアレイ ( 1 2 0 ) に与えることは、前記第 2 電圧を、前記ワード線ドライバ回路 ( 1 1 8 ) の電圧レベルシフトに与えることを含み、

前記電圧レベルシフトは、第 1 トランジスタ ( 3 0 2 )、第 2 トランジスタ ( 3 0 4 )、第 3 トランジスタ ( 3 0 6 )、および第 4 トランジスタ ( 3 0 8 ) を有し、

前記第 1 トランジスタ ( 3 0 2 ) は、第 1 プレデコード値の対応するビット値を受信するように接続されるゲート電極と；第 2 プレデコード値の対応するビット値を受信するように接続される第 1 電流電極と；前記電圧レベルシフトの第 1 ノード ( 3 1 0 ) に接続される第 2 電流電極とを有し、

前記第 2 トランジスタ ( 3 0 4 ) は、第 2 電圧を受信するゲート電極と；接地電圧基準を受信するように接続される第 1 電流電極と；前記第 1 ノード ( 3 1 0 ) に接続される第 2 電流電極とを有し、

前記第 3 トランジスタ ( 3 0 6 ) は、前記第 1 ノード ( 3 1 0 ) に接続されるゲート電極と；前記第 2 電圧を受信する第 1 電流電極と；前記電圧レベルシフトの第 2 ノード ( 3 1 2 ) に接続される第 2 電流電極とを有し、

前記第 4 トランジスタ ( 3 0 8 ) は、前記第 1 ノード ( 3 1 0 ) に接続されるゲート電極と；前記第 2 ノード ( 3 1 2 ) に接続される第 1 電流電極と；前記第 2 電圧を受信する第 2 電流電極とを有し、前記第 2 ノード ( 3 1 2 ) は、前記ビットセルアレイ ( 1 2 0 ) の対応するワード線に接続され、

前記第 1 トランジスタ ( 3 0 2 )、前記第 2 トランジスタ ( 3 0 4 )、前記第 3 トランジスタ ( 3 0 6 )、および前記第 4 トランジスタ ( 3 0 8 ) は、それぞれ前記第 2 ゲート酸化物厚さを有する、請求項 5 記載の動作方法。

【請求項 7】

前記第 4 電圧は、前記第 5 電圧に等しい、請求項 1 記載の動作方法。