

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年5月6日(2010.5.6)

【公表番号】特表2009-537933(P2009-537933A)

【公表日】平成21年10月29日(2009.10.29)

【年通号数】公開・登録公報2009-043

【出願番号】特願2009-511128(P2009-511128)

【国際特許分類】

G 11 C 11/407 (2006.01)

H 03 K 19/0185 (2006.01)

H 03 K 19/0948 (2006.01)

H 03 K 19/00 (2006.01)

【F I】

G 11 C 11/34 3 5 4 D

H 03 K 19/00 1 0 1 D

H 03 K 19/094 B

H 03 K 19/00 A

【手続補正書】

【提出日】平成22年3月17日(2010.3.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリの動作方法であって、前記メモリはアドレス・デコード回路(116)、ワード線ドライバ回路(118)、およびビットセルアレイ(120)を備え、

前記アドレス・デコード回路(116)は第1電圧において動作可能であり、

前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)は、それぞれ第2電圧において動作可能であり、

前記動作方法は、

アクティブ・モードにおいて、前記第1電圧を前記アドレス・デコード回路(116)に与え、且つ前記第2電圧を前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)に与えることと；

低電力モードにおいて、前記第1電圧未満の第3電圧を前記アドレス・デコード回路(116)に与え、前記第2電圧以下の第4電圧を前記ビットセルアレイ(120)に与えることと

を含み、

前記アドレス・デコード回路(116)は、前記第3電圧において実質的に動作不可能であり、

前記ビットセルアレイ(120)は、記憶したデータを前記第4電圧において保持するよう^に動作可能であることを特徴とする、動作方法。

【請求項2】

前記第3電圧はゼロである、請求項1記載の動作方法。

【請求項3】

前記第4電圧は前記第2電圧に等しい、請求項1記載の動作方法。

【請求項4】

前記第2電圧を前記ワード線ドライバ回路(118)に与えることは、

前記第2電圧を、複数の出力を有する前記ワード線ドライバ回路(118)に与えることであり、それぞれ前記出力は、前記ビットセルアレイ(120)の対応するワード線に接続され、

前記動作方法は更に、

前記出力を、前記第1電圧から前記第2電圧に電圧レベルシフトすることとを含む、請求項1記載の動作方法。

【請求項5】

前記アドレス・デコード回路(116)は、複数の第1厚さトランジスタを備え、

前記第1厚さトランジスタは、第1ゲート酸化物厚さを有し、

前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)は、複数の第2厚さトランジスタを備え、

前記第2厚さトランジスタは、前記第1ゲート酸化物厚さよりも大きな第2ゲート酸化物厚さを有する、請求項1記載の動作方法。

【請求項6】

前記第2電圧を、前記ワード線ドライバ回路(118)と前記ビットセルアレイ(120)に与えることは、前記第2電圧を、前記ワード線ドライバ回路(118)の電圧レベルシフタに与えることを含み、

前記電圧レベルシフタは、第1トランジスタ(302)、第2トランジスタ(304)、第3トランジスタ(306)、および第4トランジスタ(308)を有し、

前記第1トランジスタ(302)は、第1プレデコード値の対応するビット値を受信するように接続されるゲート電極と；第2プレデコード値の対応するビット値を受信するように接続される第1電流電極と；前記電圧レベルシフタの第1ノード(310)に接続される第2電流電極とを有し、

前記第2トランジスタ(304)は、第2電圧を受信するゲート電極と；接地電圧基準を受信するように接続される第1電流電極と；前記第1ノード(310)に接続される第2電流電極とを有し、

前記第3トランジスタ(306)は、前記第1ノード(310)に接続されるゲート電極と；前記第2電圧を受信する第1電流電極と；前記電圧レベルシフタの第2ノード(312)に接続される第2電流電極とを有し、

前記第4トランジスタ(308)は、前記第1ノード(310)に接続されるゲート電極と；前記第2ノード(312)に接続される第1電流電極と；前記第2電圧を受信する第2電流電極とを有し、前記第2ノード(312)は、前記ビットセルアレイ(120)の対応するワード線に接続され、

前記第1トランジスタ(302)、前記第2トランジスタ(304)、前記第3トランジスタ(306)、および前記第4トランジスタ(308)は、それぞれ前記第2ゲート酸化物厚さを有する、請求項5記載の動作方法。

【請求項7】

前記第4電圧は、前記第5電圧に等しい、請求項1記載の動作方法。