



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 22 12 76
(21) (PV 8484-76)

(40) Zveřejněno 29 06 79

(45) Vydáno 15 06 82

195913
(11) (B1)

(51) Int. Cl.³
G 05 B 13/00

(75)

Autor vynálezu

SCHLIKSBIER EDUARD ing. CSc. a
ULLRICH GERT ing., PRAHA

(54) Zapojení číslicového adaptivního regulátoru

1

Vynález se týká zapojení číslicového adaptivního regulátoru.

Rozborem technických požadavků na řízení technologických procesů se dochází v řadě případů k závěrům, že je vyloučena realizace algoritmu řízení běžnými typy regulátorů. Široký rozsah samočinné přestavitelnosti parametrů regulátorů nelze také s potřebnou spolehlivostí a krátkodobou i dlouhodobou stabilitou řešit dostupnými analogovými prostředky. To spolu s častým požadavkem přenosu malých signálů na velkou vzdálenost vede k řešení regulace ve formě číslicové. Další podmínky, kupříkladu zachování konstantní přesnosti regulace (vztážené na okamžitou velikost žádané hodnoty) v celém pracovním rozsahu regulované veličiny, respektive změny dynamických vlastností regulace v závislosti na žádané hodnotě, vedou k využití regulátorů adaptivních. Dosud známé systémy pro řízení technologických procesů pomocí analogové techniky jsou řešeny jednoúčelově a jsou převážně složité a nákladné.

Tyto nedostatky v podstatě odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že výstup čítače žádané hodnoty je připojen na první vstup řídicího bloku, na jehož druhý vstup je připojen čítač skutečné hodnoty. Na třetí vstup řídicího

2

bloku je připojen výstup čítače rozdílu kmitočtu. Na první výstup řídicího bloku je zapojen jednak čítač žádané hodnoty, jednak čítač skutečné hodnoty, a jednak čítač rozdílu kmitočtu. Na čtvrtý vstup řídicího bloku je připojen výstup čítače platných měřicích cyklů, jehož vstup je připojen na druhý výstup řídicího bloku. Třetí výstup tohoto bloku je připojen na vstup akčního členu jedné poloviny a čtvrtý výstup na vstup akčního členu druhé polarity.

Zapojení podle vynálezu zajišťuje samočinné přizpůsobení pásma necitlivosti velikosti žádané hodnoty, samočinné přizpůsobení trvání měřicího cyklu dynamickým požadavkům systému v závislosti na pracovním bodě, příznivý průběh regulačního děje i při velkých odchylkách bez vnějších zásahů, pouze vlivem velikosti skutečné a žádané hodnoty a přímý třípolohový výstup pro ovládání kupříkladu servopohonů. Řízená soustava se tedy nachází pouze v konečném počtu vnitřních stavů a dále se o všech proměnných, vyskytujících se v logickém systému předpokládá, že mají logický charakter. Tento požadavek je zvláště výhodný, neboť umožňuje zařadit před číslicový adaptivní regulátor technicky jednoduché obvody — převodníky napětí/kmitočet.

Na přiložených výkresech je znázorněno na obr. 1 blokové zapojení číslicového adaptivního regulátoru, na obr. 2 je příklad jeho zapojení.

Jak je znázorněno na obr. 1 je výstup čítače žádané hodnoty **10** připojen na první vstup **401** řídicího bloku **40**, na jehož druhý vstup **402** je připojen čítač skutečné hodnoty **20**. Na třetí vstup **403** řídicího bloku **40** je připojen výstup čítače rozdílu kmitočtu **30**. První výstup **405** řídicího bloku **40** je připojen na čítač žádané hodnoty **10**, skutečné hodnoty **20** a rozdílu kmitočtu **30**. Na čtvrtý vstup **404** je připojen výstup čítače platných měřicích cyklů **50**. Jeho vstup je připojen na druhý výstup **406** řídicího bloku **40**. Jeho třetí výstup **407** je připojen na vstup akčního členu jedné polaridy **60** a jeho čtvrtý výstup **408** na vstup akčního členu druhé polaridy **70**.

Příklad zapojení je na obr. 2, kde čítač žádané hodnoty **10**, čítač skutečné hodnoty **20**, čítač rozdílu kmitočtu **30** a čítač platných měřicích cyklů **50**, jsou tvořeny obvody plnění **11**. Jejich výstupy jsou připojeny přes dopředné čítače a korekce kapacity **13** na vstup indikace stavu **14**.

Řídicí blok **40** sestává z obvodu nulování **41**, bloku plnění **42** čítače rozdílu kmitočtu **30**, obvodu sledování polaridy odchylky **43**, obvodu pásma necitlivosti **44**, výstupního obvodu nulování **45** a z prvního, druhého, třetího a čtvrtého obvodu buzení **46**, **47**, **48**, **49**. Vstup obvodu nulování čítačů **41** je paralelně spojen s výstupem čítače žádané hodnoty **10**, se vstupem bloku plnění čítače rozdílu kmitočtu **42**, vstupem třetího obvodu plnění **31**, se vstupem třetího obvodu polaridy odchylky **43**, se vstupem obvodu pásma necitlivosti **44** a prvního, druhého, třetího a čtvrtého obvodu buzení **46**, **47**, **48**, **49**. Druhý vstup obvodu nulování čítačů **41** je paralelně spojen se vstupem čtvrtého obvodu plnění **51**, s výstupem čítače rozdílu kmitočtu **30** a se vstupem prvního, druhého, třetího a čtvrtého obvodu buzení **46**, **47**, **48**, **49**.

Vstup obvodu nulování **41** je dále paralelně spojen se vstupem bloku plnění **42** čítače rozdílu kmitočtu **30** a vstupy plnění obvodů plnění **11** se vstupem obvodu sledování polaridy odchylky **43**, se vstupem obvodu pásma necitlivosti **44**, se vstupy prvního, druhého, třetího a čtvrtého obvodu buzení **46**, **47**, **48**, **49** a s výstupem čítače skutečné hodnoty **20**.

Výstup obvodu nulování **41** čítačů je paralelně spojen se vstupy dopředných čítačů **12**. Výstup bloku plnění **42** čítače rozdílu kmitočtu **30** je spojen s obvodem plnění **11** čítače **30**. Výstup obvodu sledování polaridy odchylky **43** a výstup obvodu pásma ne-

citlivosti jsou spojeny se vstupem výstupního obvodu nulování **45**. Jeho výstup je spojen se vstupem pro nulování dopředného čítače **12** čítače **50**. Výstupy prvního a druhého obvodu buzení **46**, **47** jsou spojeny se vstupy akčního členu jedné polaridy **60** a výstupy třetího a čtvrtého obvodu buzení **48**, **49** jsou spojeny se vstupy akčního členu druhé polaridy **70**. Na výstup čítače platných měřicích cyklů **50** jsou paralelně připojeny vstupy prvního, druhého, třetího a čtvrtého obvodu buzení **46**, **47**, **48**, **49**. Akční člen jedné polaridy **60** je tvořen pamětí **61** a s ní sériově spojeného bezkontaktního spínače **62**, akční člen druhé polaridy **70** je tvořen pamětí **71** a s ní sériově spojeného bezkontaktního spínače **72**.

Skutečná hodnota signálu V_B je zavedena a vyhodnocována v čítači skutečné hodnoty **20** a obdobně žádaná hodnota signálu V_A je zavedena a vyhodnocována v čítači žádané hodnoty **10**. Obsah obou výše uvedených čítačů je po cyklech vyhodnocován ve dvou stavech, a to: naplněný, popřípadě nenaplněný čítač, přičemž získané dvě proměnné — žádaný signál A , popřípadě skutečný signál B jsou zavedeny do řídicího bloku **40**. Tento řídicí blok **40** na základě vstupních informací žádaného signálu A a skutečného signálu B vyhodnocuje, zda sledovaný parametr soustavy ve formě skutečné hodnoty signálu V_B nedosahuje žádané hodnoty signálu V_A , respektive překračuje tuto žádanou hodnotu signálu V_A nebo je v jejím definovaném okolí.

Potřebné okolí žádané hodnoty signálu V_A , představované pásmem necitlivosti, je vytvářeno v čítači rozdílu kmitočtu **30** rozdílovým signálem C , a to na základě rozdílové hodnoty signálu V_C a řídicího bloku **40**. Rovněž u tohoto čítače rozdílu kmitočtu **30** jsou sledovány pouze dva stavy, a to naplněný, popřípadě nenaplněný čítač. Pomocí vhodně navržených kapacit čítače žádané hodnoty **10**, čítače skutečné hodnoty **20** a čítače rozdílu kmitočtu **30** jsou potom splněny základní požadavky, kladené na řízení technologického procesu. Cyklické vyhodnocování po naplnění čítače lze potom považovat za rozdělení času na takty, u nichž budou číslicovými adaptivními regulátory realizovány jednotlivé mikrooperace. Délka taktu T_t je přitom obecnou funkcí proměnného kmitočtu. Předpokládáme-li, že t_A je první časový interval, t_B druhý časový interval a t_C je třetí časový interval od počátku plnění čítače žádané hodnoty **10**, čítače skutečné hodnoty **20** a čítače rozdílu kmitočtu **30** ke změně příslušné proměnné — žádaného signálu A , skutečného signálu B a rozdílového signálu C do stavu logické **1**, je potom délka taktu T_t definována

když A, B, C , potom $T_t = \max. (t_A, t_B)$

když $\bar{A}, B, C$, potom $T_t = t_B + t_C$

když $A, \bar{B}, C$, potom $T_t = t_A + t_C$

$T_t = g(f)$, přičemž

Dopravní zpoždění, které je zařazeno před mikrooperace, je realizováno čítačem platných měřicích cyklů 50. Ke změně mikrooperací potom dochází v takttech, popsaných vztahem

$$T_T = \sum_{i=1}^n T_{ti},$$

přičemž T_T je celkový takt a T_{ti} označuje sumu mikrooperací. Tímto zásahem do struktury číslicového adaptivního regulátoru je vytvořena potřebná adaptivita. Čítač platných měřicích cyklů 50 je přitom ovládán z řídicího bloku 40 řídicí hodnotou signálu V_D , jeho stavy jsou popsány hodnotou výstupní proměnné řídicím signálem D .

Na základě cyklického vyhodnocování obsahu všech čítačů (čítače žádané hodnoty 10, čítače skutečné hodnoty 20, čítače rozdílu kmitočtu 30 a čítače platných měřicích cyklů 50) řídicím blokem 40 dojde v závislosti na hodnotách výstupů všech výše uvedených čítačů k regulačnímu zásahu akčního členu jedné polaritě 60 nebo akčního členu druhé polaritě 70, popřípadě nedojde k žádanému regulačnímu zásahu, a to podle vztahu

$$S_{1,2} = l_{1,2} (A, B, C, D)$$

$$R_{1,2} = m_{1,2} (A, B, C, D),$$

kdy S_1 , S_2 a R_1 , R_2 jsou budicí signály vycházející z řídicího bloku 40.

Jak je uvedeno na obr. 2, jsou čítač žádané hodnoty 10, čítač skutečné hodnoty 20, čítač kmitočtu 30 a čítač platných měřicích cyklů 50 shodné koncepce a jsou na ně přiváděny proměnné, přičemž označení jednotlivých signálů těchto logických proměnných je

V je plnění čítače,
 P je podmínka plnění,
 N je nulování čítačů a
 K je korekce kapacity čítačů.

Funkcí řídicího bloku 40 je stanovení počátku časové osy obvodem nulování 41 čítačů. Startovací signál je odvozen z obsahu žádaného signálu A nebo skutečného signálu B , případně rozdílového signálu C nulovaného čítače žádané hodnoty 10, čítače sku-

tečné hodnoty 20 nebo čítače rozdílu kmitočtu 30, kde

$$N = f (A, B, C).$$

Plnění čítače rozdílu kmitočtu 30 je ovládáno podmínkou plnění P z bloku plnění čítače rozdílu kmitočtu 42, jejíž funkční zápis je

$$P = g (A, B).$$

Při sledování odchylky (rozdílu obou kmitočtů) je nutné zaznamenávat i změnu polaritě této polaritě, což činí obvod sledování polaritě odchylky 43 svou zápornou výstupní proměnnou ZP , popsanou logickou funkcí

$$ZP = k (A, B).$$

Zjistit, zda odchylka je v pásmu necitlivosti, má za úkol obvod pásma necitlivosti 44 s kladnou výstupní proměnnou PN a zápisem funkce $PN = k (A, B)$.

Čítač platných měřicích cyklů 50 je třeba nulovat v závislosti na záporné výstupní proměnné ZP a kladné výstupní proměnné PN signálem nulování dopředných čítačů N_{-x} výstupního obvodu nulování 45, kde

$$N = j (ZP, PN).$$

Ke změně stavu akčního členu jedné polaritě 60, respektive akčního členu druhé polaritě 70, dochází v závislosti na hodnotách žádaného signálu A nebo skutečného signálu B nebo rozdílového signálu C nebo řídicího signálu D podle obecné logické funkce

$$S_{1,2} = l_{1,2} (A, B, C, D)$$

$$R_{1,2} = m_{1,2} (A, B, C, D),$$

Akční člen jedné polaritě 60 a akční člen druhé polaritě 70 sestávají z pamětí 61 a 71, zajišťující regulační zásah a z bezkontaktních spínačů 62 a 72, zajišťujících výkonové ovládání. Praktické využití číslicového adaptivního regulátoru podle vynálezu přichází v úvahu pro řízení rozsáhlých řídicích systémů technologických procesů, například víceúčelových galvanizačních linek ocelových pasů aj.

PŘEDMĚT VYNÁLEZU

1. Zapojení číslicového adaptivního regulátoru, vyznačené tím, že výstup čítače žádané hodnoty (10) je připojen na první vstup (401) řídicího bloku (40), na jehož druhý vstup (402) je připojen čítač skutečné hodnoty (20), na třetí vstup (403) řídicího bloku (40) je připojen výstup čítače rozdílu kmitočtu (30), přičemž na první vý-

stup (405) řídicího bloku (40) je zapojen jednak čítač žádané hodnoty (10), jednak čítač skutečné hodnoty (20) a jednak čítač rozdílu kmitočtu (30), na čtvrtý vstup (404) řídicího bloku (40) je připojen výstup čítače platných měřicích cyklů (50), jehož vstup je připojen na druhý výstup (406) řídicího bloku (40), jehož třetí výstup (407)

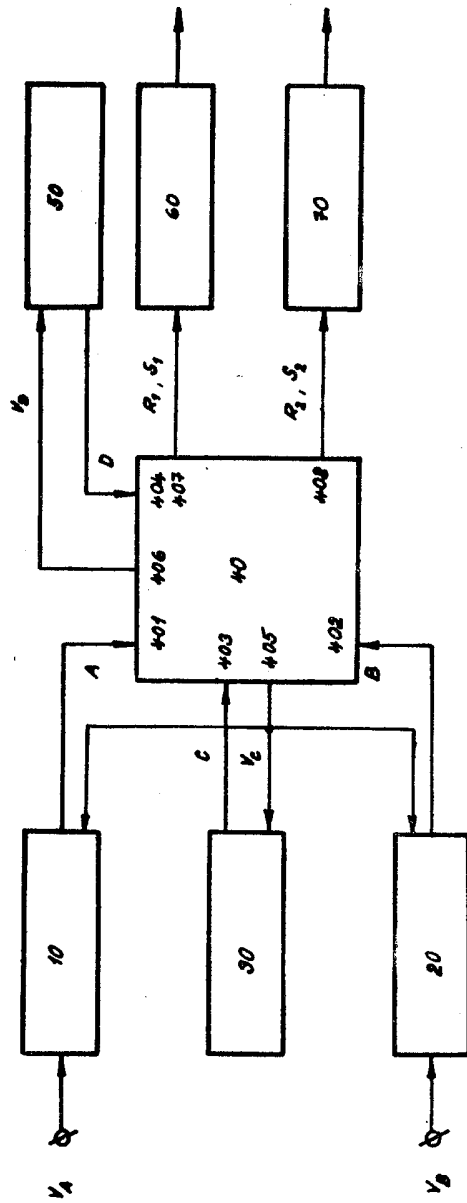
je připojen na vstup akčního členu jedné polarit (60), a jehož čtvrtý výstup (408) je připojen na vstup akčního členu druhé polarit (70).

2. Zapojení podle bodu 1 vyznačené tím, že v čítačích (10, 20, 30, 50) žádané hodnoty, skutečné hodnoty, rozdílu kmitočtu a platných měřicích cyklů jsou na obvody plnění (11) připojeny zdroje signálů podmínek plnění (P), obvody plnění (11) jsou zapojeny na indikaci stavů (14) přes dopředné čítače (12) a korekce kapacity (13), přičemž korekce kapacity (13) jsou připojeny na zdroje signálu korekce (K).

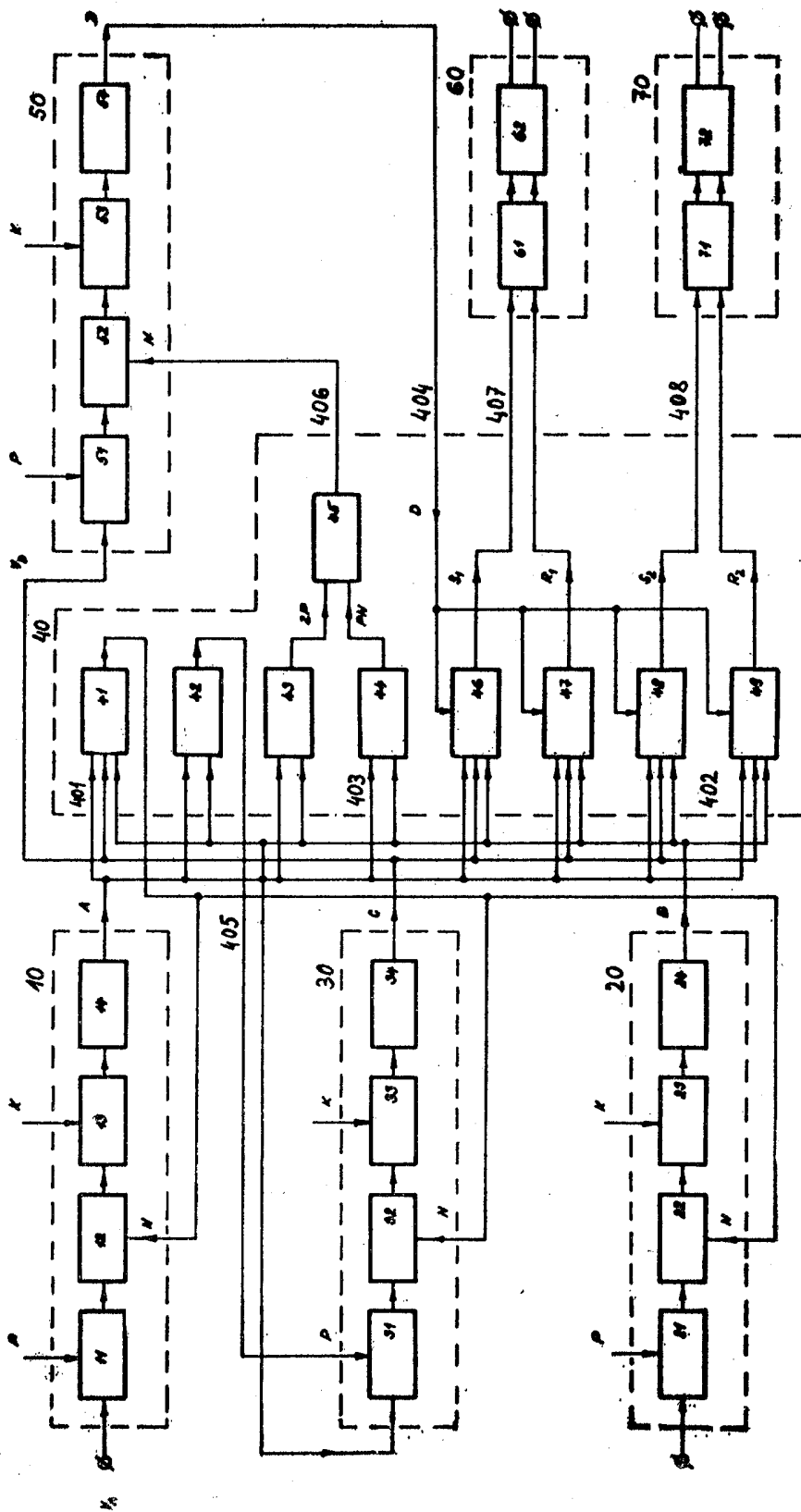
3. Zapojení podle bodů 1 a 2 vyznačené tím, že řídicí blok (40) je tvořen obvodem nulování (41) čítačů, blokem plnění (42) čítače rozdílu kmitočtu (30), obvodem sledování polarit odchylky (43), obvodem

pásma necitlivosti (44), výstupním obvodem nulování (45), prvním (46), druhým (47), třetím (48) a čtvrtým (49) obvodem buzení, přičemž výstup obvodu nulování (41) je připojen na dopředné čítače (12) čítače žádané hodnoty (10), čítače skutečné hodnoty (20) a čítače rozdílu kmitočtu (30), výstup bloku plnění (42) je zapojen na obvod plnění (11) čítače rozdílu kmitočtu (30), výstupy obvodu sledování polarit odchylky (43) a obvodu pásma necitlivosti (44) jsou připojeny na dopředný čítač (12) čítače platných měřicích cyklů (50) přes výstupní obvod nulování (45), výstupy prvního (46) a druhého (47) obvodu buzení jsou zapojeny na akční člen jedné polarit (60), výstupy třetího (48) a čtvrtého (49) obvodu buzení jsou zapojeny na akční člen druhé polarit (70).

2 listy výkresů



Obr. 1



Obr. 2