

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
21. September 2017 (21.09.2017)



(10) Internationale Veröffentlichungsnummer
WO 2017/158113 A1

(51) Internationale Patentklassifikation:

H01L 33/44 (2010.01) H01L 33/14 (2010.01)
H01L 33/46 (2010.01) H01L 33/42 (2010.01)
H01L 33/38 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2017/056281

(22) Internationales Anmeldedatum:
16. März 2017 (16.03.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2016 105 056.3 18. März 2016 (18.03.2016) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **KOPP, Fabian**; 1H-7-2 Andaman at Quayside,
Jalan Seri Tanjung, 10470 Penang (MY). **MOLNAR,
Attila**; Platino Condo, A19-03, Lebuhr Tunku Kudin 2,
Penang, 11700 Gelugor (MY).

(74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH**;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO,
RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

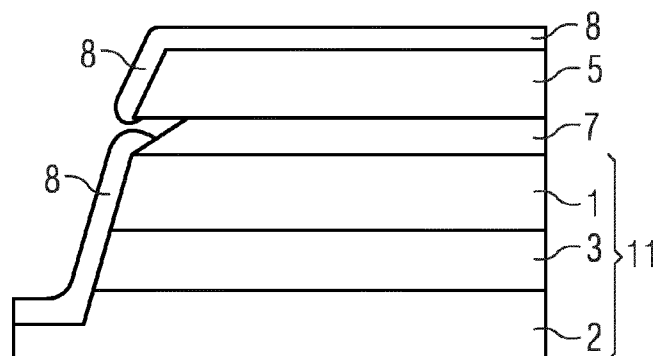
Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz
3)

(54) Title: METHOD FOR PRODUCING AN OPTOELECTRONIC SEMICONDUCTOR CHIP AND OPTOELECTRONIC
SEMICONDUCTOR CHIP

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES OPTOELEKTRONISCHEN HALBLEITERCHIPS UND
OPTOELEKTRONISCHER HALBLEITERCHIP

FIG 3B



(57) Abstract: A method for producing an optoelectronic semiconductor chip is specified, wherein a method step A) involves providing a semiconductor layer stack comprising a semiconductor layer of a first type, a semiconductor layer of a second type and an active layer arranged between the semiconductor layer of the first type and the semiconductor layer of the second type. Furthermore, the method comprises in a method step B) forming a mesa structure in the semiconductor layer of the first type, the semiconductor layer of the second type and the active layer. The method furthermore comprises in a method step C) applying a passivation layer to the mesa structure by means of vapour deposition or sputtering.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]



Es wird ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips angegeben, wobei in einem Verfahrensschritt A) ein Bereitstellen eines Halbleiterschichtenstapels umfassend eine Halbleiterschicht eines ersten Typs, eine Halbleiterschicht eines zweiten Typs und eine zwischen der Halbleiterschicht des ersten Typs und der Halbleiterschicht des zweiten Typs angeordnete aktive Schicht erfolgt. Weiterhin umfasst das Verfahren in einem Verfahrensschritt B) ein Ausbilden einer Mesa-Struktur in der Halbleiterschicht des ersten Typs, der Halbleiterschicht des zweiten Typs und der aktiven Schicht. Das Verfahren umfasst des Weiteren in einem Verfahrensschritt C) ein Aufbringen einer Passivierungsschicht auf die Mesa-Struktur mittels Aufdampfen oder Sputtern.

Beschreibung

Verfahren zur Herstellung eines optoelektronischen
Halbleiterchips und optoelektronischer Halbleiterchip

5

Die Erfindung betrifft ein Verfahren zur Herstellung eines
optoelektronischen Halbleiterchips und einen
optoelektronischen Halbleiterchip.

10 Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur
Herstellung eines optoelektronischen Halbleiterchips sowie
einen optoelektronischen Halbleiterchip anzugeben, welcher
sich durch eine verbesserte Passivierung einer Mesa-Struktur
sowie eine verbesserte Abstrahleffizienz auszeichnet.

15

Diese Aufgaben werden durch ein Erzeugnis und ein Verfahren
gemäß den unabhängigen Patentansprüchen gelöst. Vorteilhafte
Ausgestaltungen und Weiterbildungen der Erfindung sind
Gegenstand der abhängigen Ansprüche.

20

Gemäß zumindest einer Ausführungsform umfasst das Verfahren
zur Herstellung eines optoelektronischen Halbleiterchips in
einem Verfahrensschritt A) ein Bereitstellen eines

Halbleiterschichtenstapels umfassend mindestens eine
25 Halbleiterschicht eines ersten Typs, mindestens eine
Halbleiterschicht eines zweiten Typs und eine zwischen der
Halbleiterschicht des ersten Typs und der Halbleiterschicht
des zweiten Typs angeordnete aktive Schicht. Weiterhin
umfasst das Verfahren in einem Verfahrensschritt B) ein

30 Ausbilden einer Mesa-Struktur in der Halbleiterschicht des
ersten Typs, der Halbleiterschicht des zweiten Typs und der
aktiven Schicht. Das Verfahren umfasst des Weiteren in einem
Verfahrensschritt C) ein Aufbringen einer

Passivierungsschicht auf die Mesa-Struktur, vorzugsweise mittels Aufdampfen oder Sputtern.

Die Halbleiterschicht eines ersten Typs sowie die
5 Halbleiterschicht eines zweiten Typs können jeweils eine oder mehrere n-dotierte oder p-dotierte Halbleiterschichten umfassen. Hierbei bildet bei einem Halbleiterschichtenstapel vorteilhaft entweder die n-dotierte oder die p-dotierte Halbleiterschicht eine Abstrahlseite des
10 Halbleiterschichtenstapels oder des Halbleiterchips.

Die Halbleiterschichten des Halbleiterchips basieren bevorzugt auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial handelt es sich bevorzugt um ein
15 Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder auch um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ ist. Ebenso kann es sich bei dem Halbleitermaterial um $\text{Al}_x\text{Ga}_{1-x}\text{As}$ handeln mit $0 \leq x \leq 1$. Dabei kann die
20 Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen
25 weiterer Stoffe ersetzt und/oder ergänzt sein können.

Die aktive Schicht ist vorteilhaft als eine zur Emission von Strahlung geeignete aktive Zone ausgebildet. Die aktive Schicht kann zum Beispiel als Doppelheterostruktur, als
30 Einfach-Quantentopfstruktur oder Mehrfach-Quantentopfstruktur ausgebildet sein.

Die Mesa-Struktur wird vorteilhaft lateral zur Halbleiterschicht des ersten und des zweiten Typs sowie zur aktiven Schicht, beispielsweise als eine Seitenflanke, gebildet. Vorteilhaft erstreckt sich die Mesa-Struktur als
5 eine schräge Seitenflanke vollständig durch zumindest die Halbleiterschicht des ersten Typs und durch die aktive Schicht oder vollständig durch die Halbleiterschicht des zweiten Typs und durch die aktive Schicht hindurch. Das Ausbilden der Mesa-Struktur erfolgt vorteilhaft mittels eines
10 trocken- oder nasschemischen Ätzprozesses. Die Mesa-Struktur kann vorteilhaft als Mesa-Graben oder Mesakante ausgeformt werden.

Die Passivierungsschicht überformt vorteilhaft die Mesa-
15 Struktur vollständig und bietet einen mechanischen Schutz sowie einen Schutz vor Feuchtigkeit für die Mesa-Struktur. Des Weiteren wird vorteilhaft die Gefahr von Leckströmen an den Übergängen der Halbleiterschicht des ersten Typs, des zweiten Typs sowie der aktiven Schicht verringert, welche
20 etwa durch elektrisch leitende Partikel auf der Seitenfläche der Mesa-Struktur erzeugt werden können. Das Aufbringen der Passivierungsschicht auf die Mesa-Struktur erfolgt vorteilhaft unmittelbar nach dem Ausbilden der Mesa-Struktur, wodurch aus dem Herstellungsprozess resultierende
25 Verunreinigungen auf der Mesa-Struktur und dadurch entstehende Leckströme vorteilhaft verringert oder vermieden werden können. Die Passivierungsschicht umfasst vorteilhaft ein elektrisch isolierendes Material. Zur Verringerung der Auskopplung von Strahlung über die Mesa-Struktur kann die
30 Passivierungsschicht vorteilhaft ein reflektierendes Material umfassen. Dadurch kann vorteilhaft eine Intensität der abgestrahlten Strahlung an einer dafür vorgesehenen Abstrahlfläche des Halbleiterchips gesteigert werden.

Die Passivierungsschicht umfasst beispielsweise mindestens eines der Materialien Al_2O_3 , TaO_5 , ZrO_2 , ZnO , SiN_x , SiO_xN_y , SiO_2 , TiO_2 , ZrO_2 , HfO_2 , Nb_2O_5 oder MgF_2 oder besteht daraus.

- 5 Die Passivierungsschicht kann eine reflexionserhöhende Schicht sein und weist vorteilhaft mehrere dielektrische Schichten auf, die mindestens eine erste dielektrische Schicht aus einem ersten dielektrischen Material mit einem Brechungsindex n_1 und mindestens eine zweite dielektrische
- 10 Schicht aus einem zweiten dielektrischen Material mit einem Brechungsindex $n_2 > n_1$ umfassen. Das erste dielektrische Material weist vorteilhaft einen niedrigen Brechungsindex, vorzugsweise $n_1 \leq 1,7$, und das zweite dielektrische Material einen hohen Brechungsindex $n_2 > 1,7$, vorzugsweise $n_2 > 2$,
- 15 auf. Die dielektrische Schichtenfolge fungiert als Interferenzschichtsystem, dessen reflexionserhöhende Wirkung auf mehrfachen Reflexionen an den Grenzflächen zwischen den dielektrischen Schichten mit den unterschiedlichen Brechungsindizes n_1 , n_2 beruht. Die Schichtdicken der
- 20 dielektrischen Schichten in der dielektrischen Schichtenfolge sind vorteilhaft derart optimiert, dass die dielektrische Schichtenfolge im Bereich des Emissionsspektrums der aktiven Schicht, insbesondere bei der dominanten Wellenlänge und dem dominanten Winkel der emittierten Strahlung, eine möglichst
- 25 hohe Reflexion aufweist. Gemäß zumindest einer vorteilhaften Ausgestaltung ist die aktive Schicht zur Emission von Strahlung mit einer dominanten Wellenlänge λ geeignet, wobei für die Dicke d_1 der mindestens einen ersten dielektrischen Schicht $0,01 \lambda/4 \leq n_1 \cdot d_1 \leq 10 \lambda/4$ und für die Dicke d_2 der
- 30 mindestens einen zweiten dielektrischen Schicht $0,01 \lambda/4 \leq n_2 \cdot d_2 \leq 10 \lambda/4$ gilt. Bevorzugt gilt $0,5 \lambda/4 \leq n_1 \cdot d_1 \leq 5 \lambda/4$ und $0,5 \lambda/4 \leq n_2 \cdot d_2 \leq 5 \lambda/4$.

Das Aufbringen der Passivierungsschicht mittels Aufdampfen oder Sputtern zeichnet sich vorteilhaft dadurch aus, dass es mit einem hohen Grad an Genauigkeit strukturiert aufgebracht werden kann, beispielsweise mittels eines

5 Lithographieverfahrens.

Gemäß zumindest einer Ausführungsform des Verfahrens wird nach dem Verfahrensschritt A) und vor dem Verfahrensschritt B) in einem Verfahrensschritt A0) eine elektrisch leitfähige
10 Schicht über der Halbleiterschicht des ersten Typs oder der Halbleiterschicht des zweiten Typs aufgebracht.

Die elektrisch leitfähige Schicht ist vorteilhaft zur elektrischen Kontaktierung einer p-dotierten oder n-dotierten
15 Halbleiterschicht eingerichtet. Die elektrisch leitfähige Schicht wird beispielsweise zur p-Kontaktierung des optoelektronischen Halbleiterchips ausgebildet, wobei die elektrisch leitfähige Schicht die p-dotierte Halbleiterschicht vorteilhaft direkt kontaktiert. Der
20 Halbleiterchip kann zum Beispiel zusätzlich ein Bondpad oder eine externe Kontaktstelle und/oder ein oder mehrere Kontaktstege aufweisen. Mit „über der p-dotierten Halbleiterschicht angeordnet“ wird hier und im Folgenden verstanden, dass die elektrisch leitfähige Schicht
25 unmittelbar oder mittelbar in elektrischem und/oder mechanischem Kontakt zur p-dotierten Halbleiterschicht angeordnet ist. Dabei können bei mittelbarem Kontakt weitere Schichten oder weitere Elemente, zumindest bereichsweise zwischen der p-dotierten Halbleiterschicht und der elektrisch
30 leitfähigen Schicht angeordnet sein.

Die elektrisch leitfähige Schicht kann transparent sein. Insbesondere ist die elektrisch leitfähige Schicht für die

- emittierte Strahlung durchlässig. Die elektrisch leitfähige Schicht kann einen vergleichsweise großen Anteil der p-dotierten Halbleiterschicht bedecken. Vorzugsweise bedeckt die elektrisch leitfähige Schicht den überwiegenden Teil der p-dotierten Halbleiterschicht oder ist abgesehen von einem optionalen Bereich für ein weiteres Element oder aufgrund des lateralen Abstands der elektrisch leitfähigen Schicht zu einer Kante der Mesa-Struktur sogar ganzflächig auf die p-dotierte Halbleiterschicht aufgebracht. Auf diese Weise wird eine gute Stromaufweitung in der Halbleiterschichtenfolge erzielt. Die elektrisch leitfähige Schicht enthält vorzugsweise ein transparentes, leitfähiges Oxid (TCO Transparent Conductive Oxide), wie zum Beispiel ITO.
- Transparente, elektrisch leitende Oxide (TCO) sind transparente, elektrisch leitende Materialien, in der Regel Metalloxide, wie beispielsweise Zinkoxid, Zinnoxid, Cadmiumoxid, Titanoxid, Indiumoxid, Indiumzinnoxid (ITO) oder Aluminiumzinkoxid (AZO) oder Kupferoxid. Neben binären Metallsauerstoffverbindungen wie beispielsweise ZnO , SnO_2 oder In_2O_3 gehören auch ternäre Metallsauerstoffverbindungen wie beispielsweise Zn_2SnO_4 , CdSnO_3 , ZnSnO_3 , MgIn_2O_4 , GaInO_3 , $\text{Zn}_2\text{In}_2\text{O}_5$ oder $\text{In}_4\text{Sn}_3\text{O}_{12}$ oder Mischungen unterschiedlicher transparenter, leitender Oxide zu der Gruppe der TCOs.
- Weiterhin entsprechen die TCOs nicht zwingend einer stöchiometrischen Zusammensetzung und können auch p- oder n-dotiert sein.

- Gemäß zumindest einer Ausführungsform des Verfahrens wird vor dem Verfahrensschritt B) in einem Verfahrensschritt A1) eine strukturierte Maske auf die Halbleiterschicht des ersten Typs oder auf die Halbleiterschicht des zweiten Typs aufgebracht.

Insbesondere kann die Maske mittelbar oder unmittelbar auf der Halbleiterschicht des ersten Typs oder der Halbleiterschicht des zweiten Typs angeordnet werden.

Beispielsweise wird eine Maske umfassend Fotolack,

5 Siliziumdioxid (SiO_2) oder Siliziumnitrid (SiN_x) auf die Halbleiterschicht des ersten Typs oder auf die Halbleiterschicht des zweiten Typs aufgebracht. Die Maske umfasst beispielsweise einen Positivlack und umfasst weiterhin eine schräge Seitenflanke, welche der Mesa-Struktur
10 zugewandt ist, wobei sich nach einem Ausbilden der Mesa-Struktur die Schräge der Maske in den Halbleiterschichtenstapel fortsetzt. Eine Maske aus Siliziumdioxid oder Siliziumnitrid wird auch als Hartmaske bezeichnet. Die Strukturierung der Maske wird vorteilhaft für
15 die Ausbildung einer Mesa-Struktur in den Halbleiterschichten in einer entsprechenden Struktur für die Mesa gewählt. Bei dem Ausbilden der Mesa-Struktur kann eine elektrisch leitfähige Schicht auf dem Halbleiterschichtenstapel zumindest teilweise entfernt werden, so dass beispielsweise
20 ein Spalt zwischen der Maske und dem Halbleiterschichtenstapel erzeugt wird. Die elektrisch leitfähige Schicht kann hierbei teilweise gedünnt werden.

Gemäß zumindest einer Ausführungsform des Verfahrens wird
25 nach dem Verfahrensschritt B) und vor dem Verfahrensschritt C) in einem Verfahrensschritt B1) mittels eines Plasmas die Maske teilweise von der elektrisch leitfähigen Schicht entfernt.

30 Durch beispielsweise ein sauerstoffhaltiges Plasma wird die Maske, beispielsweise aus Fotolack, vorteilhaft teilweise abgetragen. Die Länge eines Lackrückzugs von der Mesa-Struktur ist über die Dauer des Sauerstoffprozesses

einstellbar. In der Folge ist die Oberfläche der elektrisch leitfähigen Schicht beispielsweise im Randbereich der Mesa-Struktur lackfrei oder maskenfrei.

Gemäß zumindest einer Ausführungsform des Verfahrens wird vor dem Verfahrensschritt C) in einem Verfahrensschritt B2) mittels eines Plasmas die elektrisch leitfähige Schicht teilweise von der Halbleiterschicht des ersten Typs oder von der Halbleiterschicht des zweiten Typs entfernt.

10 Eine trockenchemische Ätzung der Halbleiterschicht des ersten Typs oder des zweiten Typs und der elektrisch leitfähigen Schicht kann beispielsweise in einer ICP-Anlage erfolgen (ICP, inductively coupled plasma).

15 Vorteilhaft erfolgen die Schritte B1) und B2) in derselben Anlage, die Prozessschritte können aber auch in verschiedenen Prozesskammern nacheinander ausgeführt werden. Je nach Material der elektrisch leitfähigen Schicht wird ein zur Abtragung geeignetes Plasma im Schritt B2) angewandt. Umfasst die elektrisch leitfähige Schicht beispielsweise ein transparentes leitfähiges Oxid, insbesondere ITO, wird vorteilhaft ein chlorhaltiges Plasma angewandt. Umfasst die elektrisch leitfähige Schicht beispielsweise ein Edelmetall oder eine dünne transparente leitfähige Oxidschicht, wird vorteilhaft ein argonhaltiges Plasma angewandt. Vorteilhaft ist die Halbleiterschicht, welche sich vor dem Verfahrensschritt B2) unmittelbar unterhalb der elektrisch leitfähigen Schicht befindet, nach dem Verfahrensschritt B2) teilweise freiliegend.

30

Alternativ können die Schritte B1) und B2) auch in unterschiedlichen Anlagen erfolgen. Beispielsweise kann der

Schritt B1), also die Behandlung mittels sauerstoffhaltigem Plasma, in einer Veraschungsanlage erfolgen.

5 Gemäß zumindest einer Ausführungsform des Verfahrens erfolgt nach dem Verfahrensschritt B1) und vor dem Verfahrensschritt C) in einem Verfahrensschritt B3) ein nasschemischer Ätzprozess, wobei die elektrisch leitfähige Schicht in einem Bereich L, welcher direkt an die Mesa-Struktur angrenzt und sich teilweise bis unterhalb die Maske erstreckt, zumindest
10 teilweise entfernt wird.

Die Anwendung eines nasschemischen Ätzprozesses im Verfahrensschritt B3) ermöglicht es die elektrisch leitfähige Schicht vorteilhaft so zu ätzen, dass ein zumindest
15 teilweises Entfernen der elektrisch leitfähigen Schicht nicht an die durch die Maske vorgegebene Struktur gebunden ist. Je nach Dauer des Ätzvorgangs kann gesteuert werden, wieviel Material der elektrisch leitfähigen Schicht entfernt wird und wie weit sich ein durch das Ätzen entstehender Spalt zwischen
20 der Maske und der elektrisch leitfähigen Schicht unterhalb der Maske erstreckt. Die Dimension des Spalts ist weiterhin von der Dicke der elektrisch leitfähigen Schicht abhängig.

Nach dem nasschemischen Ätzprozess kann vorteilhaft die
25 Passivierungsschicht auf die Mesa-Struktur aufgebracht werden, so dass sich die Passivierungsschicht zumindest teilweise in den Spalt zwischen der Maske und der elektrisch leitfähigen Schicht hinein erstreckt. Die Passivierungsschicht verhindert oder reduziert dabei
30 vorteilhaft Leckströme zwischen der Mesa-Struktur und der elektrisch leitfähigen Schicht. Ist allerdings der Spalt sehr schmal ausgeformt, beispielsweise mit einer Dicke der elektrisch leitfähigen Schicht von kleiner oder gleich 150

nm, erstreckt sich die Passivierungsschicht nur geringfügig oder nicht in den Spalt hinein. Die Passivierungsschicht wird vorteilhaft auch auf die Maske aufgetragen.

Die Passivierungsschichten auf dem Halbleiterschichtenstapel
5 und auf der Maske sind vorteilhaft nicht miteinander verbunden und werden durch den Spalt unterbrochen. Erstreckt sich die Passivierungsschicht in den Spalt hinein, kann diese die elektrisch leitfähige Schicht zumindest teilweise im Spalt bedecken oder mit dieser nicht in direktem Kontakt
10 stehen. Beispielsweise kann im Spalt ein Überlapp von Passivierungsschicht und elektrisch leitfähiger Schicht vorliegen. Da die Passivierungsschicht auf der Maske und auf dem Halbleiterschichtenstapel nicht in direkter Verbindung stehen, kann die Maske vorteilhaft einfach von der elektrisch
15 leitfähigen Schicht abgetrennt werden, ohne dass die Passivierungsschicht abgezogen oder abgerissen werden müsste.

Vorteilhaft kann durch einen weiteren Verfahrensschritt gesteuert werden, in dem mittels eines sauerstoffhaltigen
20 Plasmas die Maske vor dem Aufbringen der Passivierungsschicht erneut in einer Richtung weg von der Mesa-Struktur entfernt wird, auf welche Bereiche des Halbleiterschichtenstapels die Passivierungsschicht aufgebracht wird.

25 Gemäß zumindest einer Ausführungsform des Verfahrens umfasst der Halbleiterchip ein Saphirsubstrat, ein SiC-Substrat oder ein GaN-Substrat. Der Halbleiterchip ist vorteilhaft ein Volumenemitter. Mit anderen Worten emittiert ein solcher Halbleiterchip Licht nicht nur ausschließlich durch eine
30 Abstrahlseite, sondern emittiert Licht in mehrere Richtungen in sein Umgebungsvolumen. Insbesondere kann das Substrat transparent sein, so dass Licht zumindest teilweise durch das

transparente Substrat emittiert werden kann. Transparente Substrate sind beispielsweise SiC oder Saphir oder GaN.

Gemäß zumindest einer Ausführungsform des Verfahrens wird
5 nach dem Verfahrensschritt C) die Maske vollständig entfernt.
Nach dem vollständigen Entfernen verbleibt vorteilhaft je
nach Strukturierung der Maske eine entsprechend strukturierte
Passivierungsschicht

10 Gemäß zumindest einer Ausführungsform des Verfahrens umfasst
die Passivierungsschicht einen dielektrischen Schichtstapel.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst
der dielektrische Schichtstapel eine Haftschrift, wobei nach
15 dem Aufbringen der Passivierungsschicht die Haftschrift dem
Halbleiterschichtenstapel zugewandt ist.

Mittels einer Haftschrift kann die Haftung des dielektrischen
Schichtstapels an dem Halbleiterschichtenstapel und
20 beispielsweise an der elektrisch leitfähigen Schicht
vorteilhaft verbessert werden. Die Haftschrift weist
beispielsweise eine Dicke von weniger als 20 nm, vorzugsweise
von weniger als 10 nm auf.

25 Gemäß zumindest einer Ausführungsform des Verfahrens wird das
Entfernen der Maske im Verfahrensschritt B1) oder das
Entfernen der elektrisch leitfähigen Schicht im
Verfahrensschritt B2) durch die Dauer des Verfahrensschrittes
B1) oder des Verfahrensschrittes B2) gesteuert.

30

Vorteilhaft kann durch die Dauer der Anwendung des Plasmas
auf die Maske oder die elektrisch leitfähige Schicht der Grad
der Entfernung der Maske bzw. der elektrisch leitfähigen

Schicht gehandhabt werden, da die Menge des Materialabtrags von der Zeit der Plasmaanwendung abhängt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Halbleiterschicht des ersten Typs oder die Halbleiterschicht des zweiten Typs mit einer aufgerauten Oberfläche versehen. Die Aufrauung der Oberfläche verbessert vorteilhaft die Auskopplung von Licht aus der jeweiligen Halbleiterschicht. Hierbei wird vorteilhaft jene Halbleiterschicht aufgeraut, die den Halbleiterschichtenstapel in einer Abstrahlrichtung abschließt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die Passivierungsschicht zumindest teilweise auf der aufgerauten Oberfläche aufgebracht. Das Aufbringen einer Passivierungsschicht zumindest teilweise auf der aufgerauten Oberfläche einer Halbleiterschicht, welche den Halbleiterschichtenstapel in einer Abstrahlrichtung abschließt, erweist sich besonders vorteilhaft bei ausschließlich oberflächenemittierenden Halbleiterchips.

Gemäß zumindest einer Ausführungsform des Verfahrens wird nach dem Verfahrensschritt C) eine Verkapselung auf eine Abstrahlseite des Halbleiterchips aufgebracht. Die Verkapselung umfasst beispielsweise Silikon oder Epoxidharz und kann ein Konvertermaterial umfassen.

Die Verkapselung bedeckt vorteilhaft die Passivierungsschicht sowie die elektrisch leitende Schicht, falls die elektrisch leitende Schicht selbst auf einer Abstrahlseite des Halbleiterchips angeordnet ist. Falls Bereiche der Halbleiterschichten des ersten oder zweiten Typs nicht von der elektrisch leitenden Schicht oder der Passivierungsschicht

bedeckt werden, können diese Bereiche vorteilhaft auch nur von der Verkapselung bedeckt werden. Die Verkapselung kann vorteilhaft die Passivierungsschicht auch innerhalb der Mesa-Struktur bedecken.

5

Vorteilhaft kann zusätzlich zur Passivierungsschicht eine weitere Passivierung auf den Halbleiterschichtenstapel aufgebracht werden, so dass die weitere Passivierung den Halbleiterschichtenstapel und die Passivierungsschicht
10 vollständig bedeckt.

Die Auswahl eines hochbrechenden Materials auf einer Abstrahlseite des Halbleiterchips orientiert sich vorteilhaft am Brechungsindex des hochbrechenden Materials.

15

Beispielsweise wird ein Übergang vom Brechungsindex der Halbleiterschicht über die elektrisch leitende Schicht und die Passivierungsschicht, falls diese einen Überlapp bilden, so gewählt, dass eine Totalreflexion an den Grenzflächen der genannten Schichten vorteilhaft verringert oder vermieden
20 wird.

Die Verkapselung kann vorteilhaft ein Konvertermaterial umfassen. Beispielsweise erzeugt die aktive Schicht blaues Licht, welches durch die elektrisch leitende Schicht
25 transmittiert wird und zumindest teilweise in der Verkapselung durch ein Konvertermaterial konvertiert wird.

Es wird ferner ein optoelektronischer Halbleiterchip angegeben. Vorzugsweise wird der optoelektronische
30 Halbleiterchips durch das oben beschriebene Verfahren hergestellt. Das heißt, sämtliche für das Verfahren offenbarten Merkmale sind auch für den optoelektronischen Halbleiterchip offenbart und umgekehrt.

Der optoelektronischer Halbleiterchip umfasst gemäß zumindest einer Ausgestaltung einen Halbleiterschichtenstapel mit mindestens einer Halbleiterschicht eines ersten Typs, mindestens einer Halbleiterschicht eines zweiten Typs und einer zwischen der Halbleiterschicht des ersten Typs und der Halbleiterschicht des zweiten Typs angeordnete aktive Schicht, wobei eine Mesa-Struktur in der Halbleiterschicht des ersten Typs, der Halbleiterschicht des zweiten Typs und der aktiven Schicht ausgebildet ist. Weiterhin umfasst der Halbleiterchip eine Passivierungsschicht auf der Mesa-Struktur, wobei der Halbleiterchip ein Saphirsubstrat, ein SiC-Substrat oder ein GaN-Substrat umfasst und eine elektrisch leitfähige Schicht über der Halbleiterschicht des ersten Typs oder über der Halbleiterschicht des zweiten Typs umfasst.

Der Halbleiterchip ist vorteilhaft als ein Volumenemitter ausgebildet. Insbesondere wird zumindest ein Teil der emittierten Strahlung durch das Substrat ausgekoppelt. Durch die Passivierung der Mesa-Struktur wird diese vorteilhaft vor mechanischen Schäden sowie elektrischen Kurzschlüssen bzw. Leckströmen geschützt.

Die Passivierungsschicht erstreckt sich teilweise auf die elektrisch leitfähige Schicht, wobei die Passivierungsschicht sich auf die elektrisch leitfähige Schicht höchstens 10 μm , insbesondere höchstens 5 μm , in einer Richtung weg von der Mesa-Struktur erstreckt. Vorteilhaft kann eine Reflexion von Licht an der Grenzfläche zwischen der Passivierungsschicht und der elektrisch leitenden Schicht erzielt werden. In Bereichen, in welchen die elektrisch leitende Schicht zumindest teilweise nicht von der Passivierungsschicht

bedeckt ist, kann das Licht durch die elektrisch leitende Schicht ausgekoppelt werden, wobei durch eine entsprechende Wahl der Brechungsindices die Totalreflexion an der Grenzfläche zwischen der elektrisch leitenden Schicht und der Umgebung verringert werden kann.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips umfasst der Halbleiterchip eine weitere Passivierungsschicht, welche auf der elektrisch leitfähigen Schicht und auf der Passivierungsschicht angeordnet ist.

Die weitere Passivierungsschicht erstreckt sich vorteilhaft über den gesamten Halbleiterchip und bedeckt die Passivierungsschicht und die elektrisch leitfähige Schicht vorteilhaft vollständig. Auch weitere Komponenten des Halbleiterchips, wie etwa der Kontaktsteg, können zumindest teilweise von der weiteren Passivierungsschicht bedeckt sein. Die weitere Passivierungsschicht umfasst beispielsweise eine dielektrische Schicht oder einen dielektrischen Schichtstapel. Es ist weiterhin möglich, dass die weitere Passivierungsschicht eine dielektrische Schicht oder einen dielektrischen Schichtstapel zusammen mit einem Bragg-Spiegel umfasst.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips umfasst der Halbleiterchip einen Kontaktsteg, welcher in der Mesa-Struktur angeordnet ist und den Halbleiterschichtenstapel elektrisch kontaktiert, wobei sich die Passivierungsschicht teilweise zwischen dem Halbleiterschichtenstapel und dem Kontaktsteg befindet.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist der Halbleiterschichtenstapel an einer

Außenseite eine Seitenfläche mit einer strukturierten Oberfläche und eine Ausnehmung auf, wobei eine Seitenfläche des Halbleiterschichtenstapels der Ausnehmung zugewandt ist und eine glatte Oberfläche aufweist.

5

Die strukturierte Oberfläche weist vorteilhaft eine Vielzahl von Hervorhebungen und Vertiefungen auf, beispielsweise eine Wellenform.

10 Die Wellenform kann vorteilhaft bei einer Draufsicht auf den Halbleiterschichtenstapel an dessen Rändern eine umlaufende Struktur, beispielsweise eine Zähnung, ähnlich dem Rand einer Briefmarke aufweisen.

15 Weitere Vorteile, vorteilhafte Ausführungsformen und Weiterbildungen ergeben sich aus dem im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispiel.

Die Figuren 1a, 1b, 2a und 2b zeigen jeweils eine
20 schematische Seitenansicht des optoelektronischen Halbleiterchips während des Verfahrens zur Herstellung des optoelektronischen Halbleiterchips.

Die Figur 1c zeigt ein Prozessdiagramm für die Anwendung
25 eines Plasmas.

Die Figuren 3a, 3b und 3c zeigen jeweils eine schematische
Seitenansicht des optoelektronischen Halbleiterchips während
des Verfahrens zur Herstellung des optoelektronischen
30 Halbleiterchips.

Die Figuren 4a und 4b zeigen jeweils einen schematischen
Querschnitt durch den optoelektronischen Halbleiterchip.

Die Figuren 4c und 4d zeigt eine Draufsicht auf den optoelektronischen Halbleiterchip.

- 5 Die Figuren 5a und 5b zeigen jeweils eine schematische Seitenansicht des optoelektronischen Halbleiterchips.

Gleiche oder gleichwirkende Elemente sind in den Figuren jeweils mit den gleichen Bezugszeichen versehen. Die in den
10 Figuren dargestellten Bestandteile sowie die Größenverhältnisse der Bestandteile untereinander sind nicht als maßstabsgerecht anzusehen.

Die Figur 1a zeigt den optoelektronischen Halbleiterchip 10
15 mit einem Halbleiterschichtenstapel 11 umfassend eine Halbleiterschicht eines ersten Typs 1, eine Halbleiterschicht eines zweiten Typs 2 und eine zwischen der Halbleiterschicht des ersten Typs 1 und der Halbleiterschicht des zweiten Typs 2 angeordnete aktive Schicht 3, welche in einem
20 Verfahrensschritt A) bereitgestellt werden. Die Halbleiterschicht des ersten Typs 1 ist beispielsweise p-dotiert und die Halbleiterschicht des zweiten Typs 2 ist beispielsweise n-dotiert. Der Halbleiterschichtenstapel 11 ist vorteilhaft auf einem Substrat angeordnet (nicht
25 gezeigt), wobei beispielsweise die p-dotierte Halbleiterschicht des ersten Typs 1 dem Substrat abgewandt ist. Bei dem Substrat kann es sich vorteilhaft um ein Saphirsubstrat handeln, wobei der Halbleiterchip 10 als Volumenemitter ausgebildet werden kann. In einem
30 Verfahrensschritt A0) wird nachfolgend auf der p-dotierten Halbleiterschicht 1 eine elektrisch leitfähige Schicht 7 zumindest teilweise aufgebracht. Auf diese Weise wird eine gute Stromaufweitung in der p-dotierten Halbleiterschicht 1

erzielt. Die elektrisch leitfähige Schicht 7 enthält vorzugsweise ein transparentes, leitfähiges Oxid (TCO Transparent Conductive Oxide), wie zum Beispiel ITO.

- 5 In einem nachfolgenden Verfahrensschritt A1) wird eine strukturierte Maske 5 auf die p-dotierte Halbleiterschicht 1 und auf die elektrisch leitfähige Schicht 7 aufgebracht. Die strukturierte Maske 5 umfasst vorteilhaft Fotolack, beispielsweise einen Positivlack. Die Strukturierung der
- 10 Maske wird vorteilhaft für eine nachträgliche Ausbildung einer Mesa-Struktur in den Halbleiterschichten in einer entsprechenden Struktur für die Mesa gewählt. Die Maske 5 umfasst eine schräge Seitenflanke, welche der auszubildenden Mesa-Struktur zugewandt ist. In einem nachfolgenden
- 15 Verfahrensschritt B) erfolgt ein Ätzverfahren, so dass eine Mesa-Struktur in den Halbleiterschichtenstapel 11 eingebracht wird. Die Figur 1a zeigt den Halbleiterschichtenstapel 11 vor dem Ätzen.
- 20 Die Figur 1b zeigt den Halbleiterschichtenstapel 11 aus der Figur 1a nach einem Verfahrensschritt B) und nach einem weiteren Verfahrensschritt B1), wonach die Maske 5 mittels eines Plasmas teilweise von der elektrisch leitfähigen Schicht 7 und der p-dotierten Halbleiterschicht 1 entfernt
- 25 wird (Pfeildarstellung).

Mittels beispielsweise einer trockenchemischen Ätzung wird im Verfahrensschritt B) eine Mesa-Struktur 6 in der Halbleiterschicht des ersten Typs 1, der Halbleiterschicht

30 des zweiten Typs 2 und der aktiven Schicht 3 ausgebildet, wobei sich die schräge Seitenflanke der Maske 5 in den Halbleiterschichtenstapel 11 fortsetzt. Die Mesa-Struktur 6 wird vorteilhaft lateral zur Halbleiterschicht des ersten und

des zweiten Typs sowie zur aktiven Schicht, beispielsweise als eine Seitenflanke, gebildet. Vorteilhaft erstreckt sich die Mesa-Struktur 6 als eine schräge Seitenflanke vollständig durch die elektrisch leitfähige Schicht 7, durch die Halbleiterschicht des ersten Typs 1 und durch die aktive Schicht 3 hindurch. Die Seitenflanke der Mesa-Struktur 6 erstreckt sich beispielsweise nur teilweise in die Halbleiterschicht des zweiten Typs 2, vorliegend in die n-dotierte Halbleiterschicht 2. Bei dem Ätzverfahren kann vorteilhaft die elektrisch leitfähige Schicht 7 teilweise entfernt werden, wobei eine Unterätzung der Maske 5 ausgebildet wird.

Bei dem Verfahrensschritt B1) kann die Maske 5 von der Mesa-Struktur 6 zurückgezogen werden. Bei einer Maske, welche Fotolack umfasst, wird beispielsweise ein sauerstoffhaltiges Plasma angewandt. Durch das Plasma wird das Material der Maske 5 so abgetragen dass sich vorteilhaft ein Lackrückzug bildet, welcher durch die Dauer der Behandlung mit dem Plasma einstellbar ist. In der Figur 1b bedeckt die elektrisch leitfähige Schicht 7 den Halbleiterschichtenstapel 11 vollständig bis zur Seitenflanke der Mesa-Struktur 6.

Die Figur 1c zeigt ein Prozessdiagramm für die Anwendung eines sauerstoffhaltigen Plasmas während dem Verfahrensschritt B1). Hierbei ist eine Abhängigkeit eines lateralen Lackrückzugs bei der Entfernung der Maske von der Dauer der Anwendung des Plasmas dargestellt. Beispielsweise erfolgt für die Anwendung des Plasmas von 40 s ein Lackrückzug der Maske von 1 μm weg von der Mesa-Struktur.

Die Figur 2a zeigt den Halbleiterschichtenstapel 11 aus der Figur 1b nach einem lateralen Rückzug der Maske 5 im

Verfahrensschritt B1) und nach einem weiteren Verfahrensschritt B2), bei dem die elektrisch leitfähige Schicht 7 mittels eines Plasmas teilweise von der p-dotierten Halbleiterschicht 1 entfernt wird. Beispielsweise wird die elektrisch leitfähige Schicht (7) bei dem teilweisen Entfernen gedünnt. Insbesondere weist die elektrisch leitfähige Schicht in Bereichen, in denen sie gedünnt ist, eine geringere Dicke auf, als in Bereichen in denen die elektrisch leitfähige Schicht nicht gedünnt ist. Je nach Material der elektrisch leitfähigen Schicht 7 wird ein zur Abtragung geeignetes Plasma im Schritt B2) angewandt. Umfasst die elektrisch leitfähige Schicht 7 beispielsweise ITO, wird vorteilhaft ein chlorhaltiges Plasma angewandt. Die elektrisch leitfähige Schicht 7 wird in dem Bereich angrenzend an die Mesa-Struktur 6 vorteilhaft gedünnt und in einem Bereich unterhalb der Maske 5 wird somit ein Spalt ausgebildet und die Maske 5 teilweise unterätzt.

Das zumindest teilweise Entfernen der elektrisch leitfähigen Schicht 7 kann alternativ zur Anwendung eines Plasmas auch mittels eines nasschemischen Ätzprozesses erfolgen.

Die Figur 2b zeigt den Halbleiterschichtenstapel 11 des Halbleiterchips 10 aus der Figur 1b, wobei nach dem Verfahrensschritt B1) in einem Verfahrensschritt B3) mit einem nasschemischen Ätzprozess die elektrisch leitfähige Schicht 7 geätzt wird, so dass die elektrisch leitfähige Schicht 7 teilweise entfernt wird, wobei die nach dem Verfahrensschritt B1) verbleibende Maske 5 auch bereichsweise unterätzt wird. Die p-dotierte Halbleiterschicht 1, welche sich unmittelbar unterhalb der elektrisch leitfähigen Schicht 7 befindet, ist nach dem Verfahrensschritt B3) angrenzend an die Mesa-Struktur 6 und teilweise unterhalb der Maske 5 in

einem Bereich L frei von der elektrisch leitfähigen Schicht 7. Die Anwendung eines nasschemischen Ätzprozesses im Verfahrensschritt B3) ermöglicht es, die elektrisch leitfähige Schicht 7 vorteilhaft so zu ätzen, dass ein

5 zumindest teilweises Entfernen der elektrisch leitfähigen Schicht 7 nicht an die durch die Maske 5 vorgegebene Struktur gebunden ist. Je nach Dauer des Ätzvorgangs kann des Weiteren gesteuert werden, wieviel Material der elektrisch leitfähigen Schicht 7 entfernt wird und wie weit sich ein durch das Ätzen

10 entstehender Spalt zwischen der Maske 5 und der elektrisch leitfähigen Schicht unterhalb der Maske 5 erstreckt.

Die Figur 3a zeigt den Halbleiterschichtenstapel 11 des Halbleiterchips 10 aus der Figur 2b, wobei nach dem

15 Verfahrensschritt B2) in einem Verfahrensschritt C) eine Passivierungsschicht 8 auf die Mesa-Struktur mittels Aufdampfen oder Sputtern aufgebracht wird. Hierbei kann vor dem Verfahrensschritt C) die Maske 5 vorteilhaft von der Mesa-Struktur zurückgezogen werden. Die Passivierungsschicht

20 8 kann eine einzelne Schicht, beispielsweise ein Dielektrikum, oder einen dielektrischen Schichtstapel umfassen. Die Passivierungsschicht 8 bedeckt die Seitenflanke der Mesa-Struktur und vorteilhaft auch den Bereich L und erstreckt sich auf den verbliebenen Teil der Maske 5 und

25 bedeckt diesen vorteilhaft vollständig. Eine in dieser Weise angeordnete Passivierungsschicht 8 zeichnet sich vorteilhaft durch eine verbesserte Haftung an der Mesa-Struktur aus. Da das Aufbringen der Passivierungsschicht 8 auf die Mesa-

30 Struktur sofort nach der Strukturierung und Ausbildung der Mesa-Struktur erfolgt, können Verunreinigungen auf der Mesa durch weitere nachfolgende Verfahrensschritte zur Chipherstellung und dadurch entstehende Leckströme an der Mesa-Struktur signifikant verringert werden. Bei dem

Aufbringen der Passivierung kann vorteilhaft auf Prozesse verzichtet werden, bei welchen eine Wechselwirkung von im Prozess beteiligten Wasserstoff mit dem ITO der elektrisch leitfähigen Schicht stattfindet und die Transparenz dieser verringert. Die Maske 5 kann im Halbleiterchip verbleiben oder entfernt werden.

In der Figur 3b ist die Anordnung aus der Figur 1b gezeigt, wobei nach dem Aufbringen der Passivierungsschicht 8 sich diese in den Spalt zwischen die Maske 5 und den

Halbleiterschichtenstapel 11 erstreckt. Die Passivierungsschicht 8 und die elektrische leitfähige Schicht 7 bilden einen Überlapp, wobei sich die Passivierungsschicht 8 teilweise auf die elektrische leitfähige Schicht 7 erstreckt. Die Passivierungsschicht 8 wird auch auf der Maske 5 aufgebracht und kann sich teilweise in den Spalt hinein erstrecken, wobei die Passivierungsschicht 8 auf der Maske 5 mit der Passivierungsschicht 8 auf der elektrisch leitfähigen Schicht 7 nicht miteinander in direktem Kontakt steht.

Dadurch ist es möglich, dass bei einem nachträglichen Ablösen der Maske 5 kein Zertrennen der Passivierungsschicht 8 erfolgen muss. Daher kann eine saubere Abtrennung der Maske 5 erfolgen, ohne dass ein Abriss der Passivierungsschicht 8 entsteht. In einem so hergestellten Halbleiterchip kann Licht, welches in dem Halbleiterschichtenstapel 11 erzeugt wird, durch eine vorteilhafte Wahl des Brechungsindex der elektrisch leitfähigen Schicht 7 gegenüber dem Umgebungsmedium des Halbleiterchips verbessert ausgekoppelt werden, da die Totalreflexion zwischen der elektrisch leitfähigen Schicht 7 und der Umgebung verringert wird. Durch die Passivierung wird die Mesa-Struktur ausreichend gegenüber Feuchtigkeit und andere Umwelteinflüsse sowie mechanisch geschützt. Durch eine ausreichende Dicke der Passivierungsschicht 8 von mindestens 50 nm bis höchstens 600

nm können Interferenzen des abgestrahlten Lichts verringert werden, welche bei dünnen Passivierungen auftreten. Die Dicke von 600 nm ist vorteilhaft falls die Passivierungsschicht 8 als dielektrischer Bragg-Spiegel (DBR) ausgebildet ist.

5 Dadurch können vorteilhaft Schwankungen in der abgestrahlten Helligkeit verringert werden.

Die Figur 3c zeigt eine Anordnung ähnlich der Figur 3b, wobei die elektrisch leitfähige Schicht 7, beispielsweise durch einen nasschemischen Prozess, in einem Bereich angrenzend an
10 die Mesa-Struktur so entfernt wurde, dass der Halbleiterschichtenstapel 11 in diesem Bereich frei von der elektrisch leitfähigen Schicht 7 ist und sich dieser Bereich teilweise bis unter die Maske 5 erstreckt. Die nachträglich aufgebraachte Passivierungsschicht 8 erstreckt sich bis in den
15 Spalt hinein, bildet mit der elektrisch leitfähigen Schicht 7 allerdings keinen Überlapp. Die Passivierungsschicht 8 kann sich bis zur elektrisch leitfähigen Schicht 7 erstrecken. Vorteilhaft weist die elektrisch leitfähige Schicht 7 einen Abstand von zumindest 0.5 μm von der Mesa-Struktur auf, wobei
20 der Halbleiterschichtenstapel in diesem Bereich frei von der elektrisch leitfähigen Schicht 7 ist.

Die Figur 4a zeigt einen schematischen Querschnitt durch einen optoelektronischen Halbleiterchip 10, welcher als
25 Volumenemitter ausgebildet ist. Der Halbleiterschichtenstapel 11 weist eine Mesa-Struktur 6 in Form eines Mesa-Grabens auf, welcher schräge Seitenflanken aufweist. Die Seitenflanken des Mesa-Grabens erstrecken sich durch die p-dotierte Halbleiterschicht des ersten Typs 1, durch die aktive Schicht
30 3 und teilweise durch die n-dotierte Halbleiterschicht des zweiten Typs 2 hindurch. Der Mesa-Graben 6 weist auf den schrägen Seitenflanken, auf dem Boden des Grabens und auf der Oberseite der p-dotierten Halbleiterschicht des ersten Typs 1

eine Passivierungsschicht 8 auf. Auf der Oberseite der p-dotierten Halbleiterschicht des ersten Typs 1 grenzt die Passivierungsschicht 8 an eine elektrisch leitfähige Schicht 7 an.

5

In den Mesa-Graben 6 ist ein Kontaktsteg 12 eingebracht, welcher Metall umfasst und durch eine Öffnung in der Passivierungsschicht 8 die n-dotierte Halbleiterschicht des zweiten Typs 2 elektrisch kontaktiert. Der Kontaktsteg 12 weist eine Breite d von beispielsweise $5\ \mu\text{m}$ auf und ist vorteilhaft in der Mitte des Mesa-Grabens 6 angeordnet. Die elektrisch leitfähige Schicht 7 weist einen Bereich auf, welcher nicht von der Passivierungsschicht 8 bedeckt ist, und durch welchen Strahlung, beispielsweise blaues Licht, in eine Verkapselung 9 eingekoppelt werden kann. Die Verkapselung 9 bedeckt die Passivierungsschicht 8, den Kontaktsteg 12, die elektrisch leitfähigen Schicht 7 und füllt den Mesa-Graben 6 auf. Weiterhin umfasst die Verkapselung 9 beispielsweise Silikon oder ein Epoxidharz. Die elektrisch leitfähige Schicht 7 bildet an einer dem Halbleiterschichtenstapel 11 abgewandten Seite eine Abstrahlseite 10a des Halbleiterchips 10. Mittels der Passivierungsschicht 8 wird vorteilhaft kein Licht in Richtung des Kontaktstegs 12 vom Halbleiterschichtenstapel 11 abgestrahlt, wodurch eine Absorption an den Seitenflächen des Kontaktstegs 12 verringert wird. Dadurch wird die Abstrahleffizienz des Halbleiterchips 10 vorteilhaft gesteigert. Die Passivierungsschicht 8 umfasst zur Verringerung der Absorption am Kontaktsteg 12 vorzugsweise einen Schichtenstapel aus mehreren Paaren von SiO_2 , MgF_2 , TiO_2 oder Nb_2O_5 Schichten, welche einen Bragg Reflektor ausbilden.

30

Vor dem Einbringen des Kontaktstegs 12 wird im Mesa-Graben 6 zur Kontaktierung der n-dotierten Halbleiterschicht des zweiten Typs 2 die Passivierungsschicht 8 lokal geöffnet. Die Öffnung kann dabei genau die Breite d des Kontaktstegs 12 umfassen, beispielsweise 5 μm . Alternativ dazu kann die Öffnung in der Passivierungsschicht 8 auch eine geringere Breite aufweisen als die Breite d des Kontaktstegs 12. Beispielsweise kann der Kontaktsteg 12 eine Breite d von zumindest 5 μm umfassen und in eine Öffnung in der Passivierungsschicht 8 von höchstens 2 μm eingebracht werden. Als weitere Alternative kann die Öffnung in der Passivierungsschicht 8 auch eine größere Breite aufweisen als die Breite d des Kontaktstegs 12. Beispielsweise kann der Kontaktsteg 12 eine Breite d von höchstens 5 μm umfassen und die Öffnung in der Passivierungsschicht 8 eine Breite von zumindest 8 μm .

Die Figur 4b zeigt einen schematischen Querschnitt entlang des Kontaktstegs 12 aus der Figur 4a. Der Kontaktsteg 12 ist teilweise mit der Passivierungsschicht 8 unterlegt. Mit anderen Worten kontaktiert der Kontaktsteg 12 die n-dotierte Halbleiterschicht des zweiten Typs 2 nur bereichsweise. Durch die Passivierungsschicht 8 unterhalb des Kontaktstegs 12 wird an diesen Stellen kein Licht aus der n-dotierten Halbleiterschicht des zweiten Typs 2 ausgekoppelt, wodurch eine Absorption von Licht an diesen Bereichen durch den Kontaktsteg 12 vermieden wird. Der Kontaktsteg 12 weist einen externen Kontaktbereich 12a auf, welcher zur externen Kontaktierung dient und zumindest teilweise mit der Passivierungsschicht 8 unterlegt sein kann, da an diesem Bereich keine Abstrahlung von Licht vorgesehen ist. Der externe Kontaktbereich 12a kann beispielsweise Au umfassen.

Die Figur 4c zeigt eine Draufsicht auf den Halbleiterchip 10 gemäß den Figuren 4a und 4b. Die Mesa-Struktur 6, in welche der Kontaktsteg 12 eingesetzt wird ist in einem Mittelbereich des Halbleiterchips 10 gebildet und mit der

5 Passivierungsschicht 8 abgedeckt. Die Randbereiche des Halbleiterchips 10 sind ebenfalls mit der Passivierungsschicht 8 abgedeckt. Die Passivierungsschicht 8 und die elektrisch leitfähige Schicht 7 bilden vorteilhaft an der Mesa-Struktur 6 und an den Randbereichen des

10 Halbleiterchips 10 einen Überlapp (nicht gezeigt). Alternativ kann auch kein Überlapp vorhanden sein. Der Kontaktsteg 12 weist in Draufsicht gesehen vorteilhaft an einem Ende einen runden Bereich auf, welcher als eine Kontaktstelle zur äußeren Kontaktierung ausgestaltet sein kann und einen

15 Durchmesser von beispielsweise zumindest 60 μm und höchstens 100 μm umfasst.

Eine weitere Passivierungsschicht 8a erstreckt sich vorteilhaft über den gesamten Halbleiterchip 10 und bedeckt

20 die Passivierungsschicht 8 und die elektrisch leitfähige Schicht 7 vorteilhaft vollständig. Auch weitere Komponenten des Halbleiterchips 10, wie etwa der Kontaktsteg 12, können zumindest teilweise von der weiteren Passivierungsschicht 8a bedeckt sein. Die weitere Passivierungsschicht 8a umfasst

25 beispielsweise eine dielektrische Schicht oder einen dielektrischen Schichtstapel. Es ist weiterhin möglich, dass die weitere Passivierungsschicht 8a eine dielektrische Schicht oder einen dielektrischen Schichtstapel zusammen mit einem Bragg-Spiegel umfasst.

30

Die Figur 4d zeigt wie die Figur 4c eine Draufsicht auf den Halbleiterchip 10, wobei der Halbleiterschichtenstapel 11 an einer Außenseite eine Seitenfläche 11a mit einer

strukturierten Oberfläche aufweist und der Halbleiterschichtenstapel 11 eine Ausnehmung aufweist, wobei eine Seitenfläche 11b des Halbleiterschichtenstapels 11 der Ausnehmung zugewandt ist und eine glatte Oberfläche aufweist.

5

Die strukturierte Oberfläche weist vorteilhaft eine Vielzahl von Hervorhebungen und Vertiefungen auf, beispielsweise eine Wellenform.

10 Die Wellenform kann vorteilhaft bei einer Draufsicht auf den Halbleiterschichtenstapel 11 eine Zählung, ähnlich dem Rand einer Briefmarke aufweisen.

Die Figur 5a zeigt in einer schematischen Seitenansicht einen Halbleiterschichtenstapel 11 eines optoelektronischen Halbleiterchips 10, bei welchem die Halbleiterschicht des ersten Typs 1 n-dotiert ist und die Halbleiterschicht des zweiten Typs 2 p-dotiert ist und einem Träger 14 zugewandt ist. Der Halbleiterchip 10 ist in Dünnschichtbauweise als ein Oberflächenemitter ausgebildet. Die n-dotierte Halbleiterschicht des ersten Typs 1 bildet eine Abstrahlseite 10a des Halbleiterchips 10 und weist eine aufgeraute Oberseite auf. Der Halbleiterschichtenstapel 11 weist lateral an der Seite eine Mesa-Struktur 6 auf, welche sich bis zum Träger 14 erstreckt. Die Passivierungsschicht 8 bedeckt die Mesa-Struktur 6 zumindest am pn-Übergang und erstreckt sich teilweise auf die Struktur der Aufrauung.

In der Figur 5b erstreckt sich die Passivierungsschicht 8 auch teilweise auf die Abstrahlseite 10a der n-dotierten Halbleiterschicht des ersten Typs 1, mit anderen Worten auf die aufgeraute Oberseite 1a. Die aktive Schicht 3 erzeugt beispielsweise blaues Licht, welches auf die aufgeraute

30

Oberseite 1a der n-dotierten Halbleiterschicht des ersten Typs 1 auftrifft. In der Figur 5a ist ein direkter Übergang von dem Brechungsindex der n-dotierten Halbleiterschicht des ersten Typs 1 zum Brechungsindex der Umgebung, beispielsweise Luft, gegeben. Durch die Aufrauung wird der Sprung des Brechungsindex zur Umgebung verringert. Mit anderen Worten wird entlang einer Raumrichtung, die senkrecht zur aufgerauten Oberfläche verläuft, mittels der Aufrauung die Änderungsrate des effektiven Brechungsindex verringert. Weiter verändert die Aufrauung den Winkel unter dem im Chip erzeugte elektromagnetische Strahlung auf die Grenzfläche der Halbleiterschicht und der Umgebung trifft, wodurch die Wahrscheinlichkeit für eine mehrfache Totalreflexion der elektromagnetischen Strahlung an dieser Grenzfläche reduziert wird. Vorteilhafterweise verbessert die Aufrauung somit die Effizienz, mit der elektromagnetische Strahlung aus dem Halbleiterchip ausgekoppelt wird

Weiterhin ist es auch möglich, dass der Halbleiterchip eine Verkapselung aufweist, welche die aufgeraute Oberseite 1a abdeckt (nicht gezeigt). Hierbei ergibt sich der Auskoppelkoeffizient des Halbleiterchips durch die Ungleichheit von Aus- und Wiedereinkopplung. Der Auskoppelkoeffizient des Halbleiterchips kann durch die Anwendung der Passivierungsschicht 8 vergrößert werden.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 102016105056.3, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	1	Halbleiterschicht eines ersten Typs
5	1a	aufgeraute Oberseite
	2	Halbleiterschicht eines zweiten Typs
	3	aktive Schicht
	5	strukturierte Maske
	6	Mesa-Struktur
10	7	elektrisch leitfähige Schicht
	8	Passivierungsschicht
	8a	weitere Passivierungsschicht
	9	Verkapselung
	10	Halbleiterchip
15	10a	Abstrahlseite
	11	Halbleiterschichtenstapel
	12	Kontaktsteg
	12a	externer Kontaktbereich
	14	Träger
20	A)	Verfahrensschritt
	A0)	Verfahrensschritt
	A1)	Verfahrensschritt
	B)	Verfahrensschritt
	B1)	Verfahrensschritt
25	B2)	Verfahrensschritt
	B3)	Verfahrensschritt
	C)	Verfahrensschritt
	L	Bereich
	d	Breite des Kontaktstegs

Patentansprüche

1. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) mit den Schritten:
 - 5 A) Bereitstellen eines Halbleiterschichtenstapels (11) umfassend eine Halbleiterschicht eines ersten Typs (1), eine Halbleiterschicht eines zweiten Typs (2) und eine zwischen der Halbleiterschicht des ersten Typs (1) und der Halbleiterschicht des zweiten Typs (2) angeordnete aktive Schicht (3),
 - 10 A0) Aufbringen einer elektrisch leitfähigen Schicht (7) über der Halbleiterschicht des ersten Typs (1) oder der Halbleiterschicht des zweiten Typs (2),
 - 15 A1) Aufbringen einer strukturierten Maske (5) auf die Halbleiterschicht des ersten Typs (1) oder auf die Halbleiterschicht des zweiten Typs (2),
 - B) Ausbilden einer Mesa-Struktur (6) in der Halbleiterschicht des ersten Typs (1), der Halbleiterschicht des zweiten Typs (2) und der aktiven Schicht (3),
 - 20 B3) zumindest teilweises Entfernen der elektrisch leitfähigen Schicht (7) in einem Bereich (L), welcher direkt an die Mesa-Struktur (6) angrenzt und sich teilweise bis unterhalb die Maske (5) erstreckt, mittels eines nasschemischen Ätzprozesses,
 - 25 C) Aufbringen einer Passivierungsschicht (8) auf die Mesa-Struktur (6) mittels Aufdampfen oder Sputtern.
 - 30 2. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach Anspruch 1, wobei nach dem Verfahrensschritt B) und vor dem Verfahrensschritt C) in einem Verfahrensschritt B1)

mittels eines Plasmas die Maske (5) teilweise von der elektrisch leitfähige Schicht (7) entfernt wird.

3. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach Anspruch 1 oder nach Anspruch 2,
wobei vor dem Verfahrensschritt C) in einem Verfahrensschritt B2) mittels eines Plasmas die elektrisch leitfähige Schicht (7) teilweise von der Halbleiterschicht des ersten Typs (1) oder von der Halbleiterschicht des zweiten Typs (2) entfernt wird.
4. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem der Ansprüche 1 bis 3, wobei der Halbleiterchip (10) ein Saphirsubstrat, ein SiC-Substrat oder ein GaN-Substrat umfasst.
5. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem der vorherigen Ansprüche,
wobei nach dem Verfahrensschritt C) die Maske (5) vollständig entfernt wird.
6. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem vorherigen Ansprüche, wobei die Passivierungsschicht (8) einen dielektrischen Schichtstapel umfasst.
7. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach dem vorhergehenden Anspruch, wobei der dielektrische Schichtstapel eine Haftschrift umfasst, wobei nach dem Aufbringen der

Passivierungsschicht (8) die Haftschrift dem Halbleiterschichtenstapel (11) zugewandt ist.

- 5 8. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem der vorherigen Ansprüche,
wobei das Entfernen der Maske (5) im Verfahrensschritt B1) oder das Entfernen der elektrisch leitfähigen Schicht (7) im Verfahrensschritt B2) durch die Dauer
10 des Verfahrensschrittes B1) oder des Verfahrensschrittes B2) gesteuert wird.
- 15 9. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem der vorherigen Ansprüche,
wobei die Halbleiterschicht des ersten Typs (1) oder die Halbleiterschicht des zweiten Typs (2) mit einer aufgerauten Oberfläche (1a) versehen wird.
- 20 10. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach Anspruch 9,
wobei die Passivierungsschicht (8) zumindest teilweise auf der aufgerauten Oberfläche (1a) aufgebracht wird.
- 25 11. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (10) nach einem der vorherigen Ansprüche,
wobei nach dem Verfahrensschritt C) eine Verkapselung (9) auf eine Abstrahlseite (10a) des Halbleiterchips
30 (10) aufgebracht wird.
12. Optoelektronischer Halbleiterchip (10), umfassend
- einen Halbleiterschichtenstapel (11) mit einer

Halbleiterschicht eines ersten Typs (1) und einer Halbleiterschicht eines zweiten Typs (2) und eine zwischen der Halbleiterschicht des ersten Typs (1) und der Halbleiterschicht des zweiten Typs (2) angeordnete aktive Schicht (3), wobei eine Mesa-Struktur (6) in der Halbleiterschicht des ersten Typs (1), der Halbleiterschicht des zweiten Typs (2) und der aktiven Schicht (3) ausgebildet ist, der Halbleiterschichtenstapel (11) an einer Außenseite eine Seitenfläche (11a) mit einer strukturierten Oberfläche aufweist und der Halbleiterschichtenstapel (11) eine Ausnehmung aufweist, wobei eine Seitenfläche (11b) des Halbleiterschichtenstapels (11) der Ausnehmung zugewandt ist und eine glatte Oberfläche aufweist, und - eine Passivierungsschicht (8) auf der Mesa-Struktur (6), wobei der Halbleiterchip (10) eine elektrisch leitfähige Schicht (7) über der Halbleiterschicht des ersten Typs (1) oder über der Halbleiterschicht des zweiten Typs (2) umfasst, wobei die Passivierungsschicht (8) sich teilweise auf die elektrisch leitfähige Schicht (7) erstreckt.

13. Optoelektronischer Halbleiterchip (10) nach dem vorhergehenden Anspruch,
- 25 bei dem der Halbleiterchip (10) eine weitere Passivierungsschicht (8a) umfasst, welche auf der elektrisch leitfähigen Schicht (7) und auf der Passivierungsschicht (8) angeordnet ist.
- 30 14. Optoelektronischer Halbleiterchip (10) nach einem der Ansprüche 12 oder 13,
- bei dem der Halbleiterchip (10) einen Kontaktsteg (12) umfasst, welcher in der Mesa-Struktur (6) angeordnet

ist und den Halbleiterschichtenstapel (11) elektrisch kontaktiert, wobei sich die Passivierungsschicht (8) teilweise zwischen dem Halbleiterschichtenstapel (11) und dem Kontaktsteg (12) befindet.

5

15. Optoelektronischer Halbleiterchip nach einem der Ansprüche 12 bis 14,
bei dem der Halbleiterchip (10) ein Saphirsubstrat, ein SiC-Substrat oder ein GaN-Substrat umfasst.

10

16. Optoelektronischer Halbleiterchip nach einem der Ansprüche 12 bis 15,
bei dem die Passivierungsschicht (8) sich auf der elektrisch leitfähigen Schicht (7) höchstens 10 µm in einer Richtung weg von der Mesa-Struktur (6) erstreckt.

15

FIG 1A

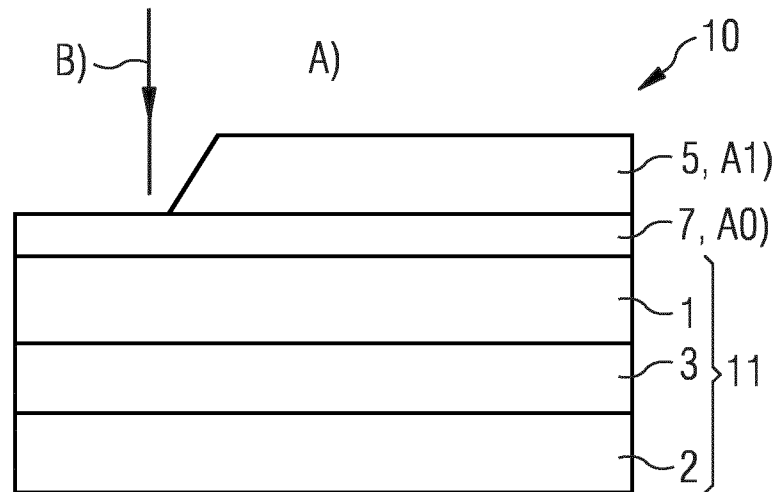


FIG 1B

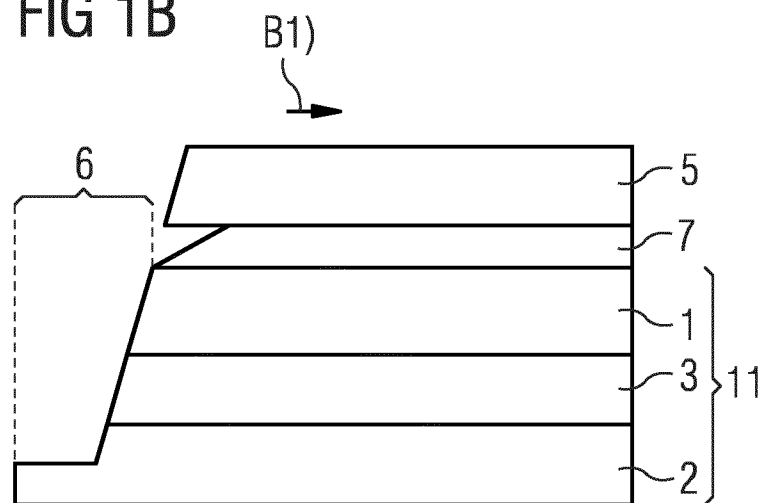


FIG 1C

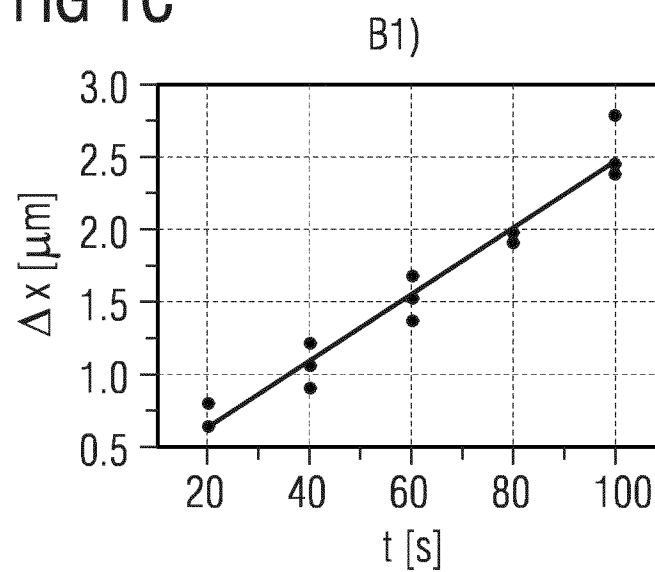


FIG 2A

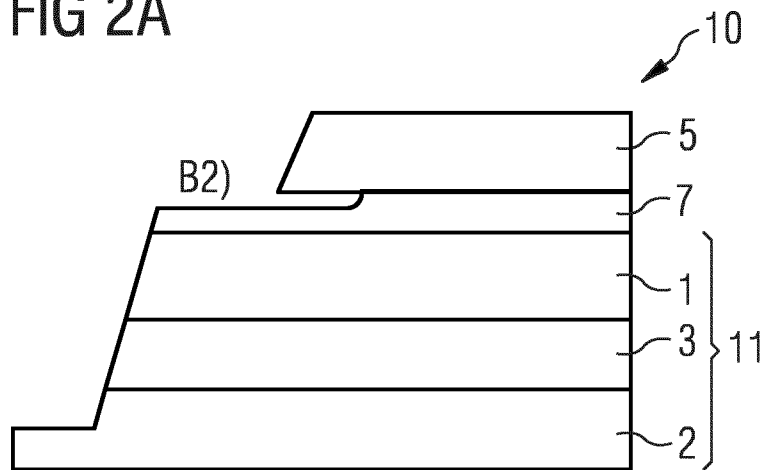


FIG 2B

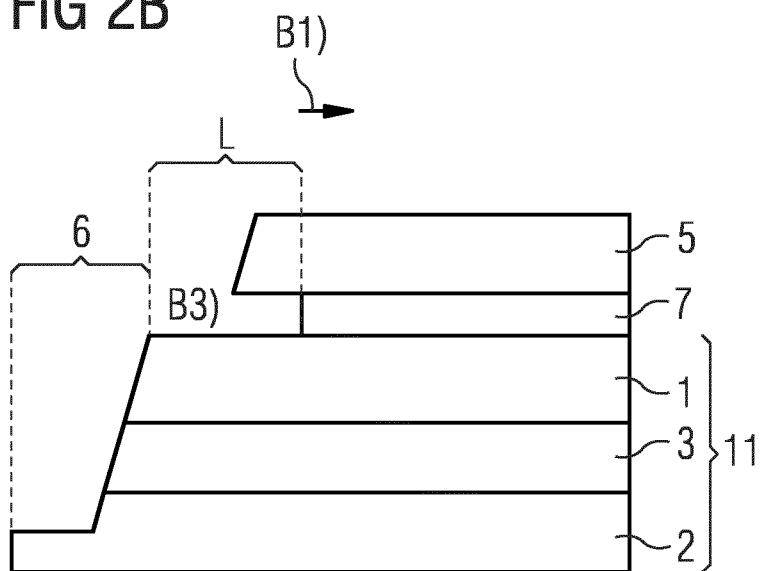


FIG 3A

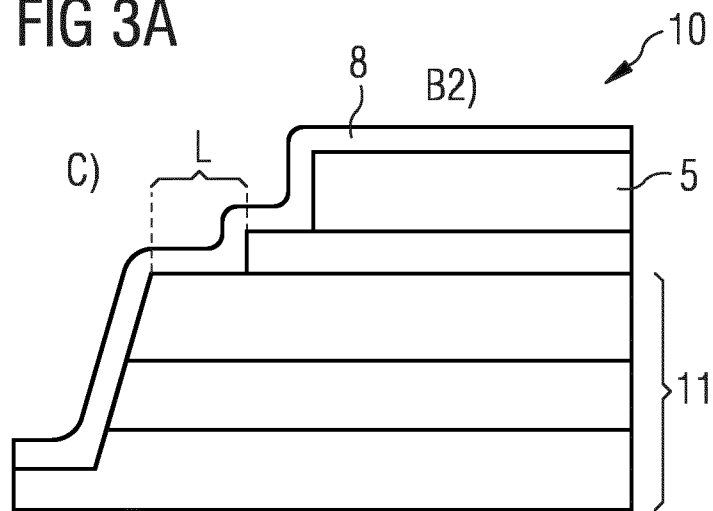


FIG 3B

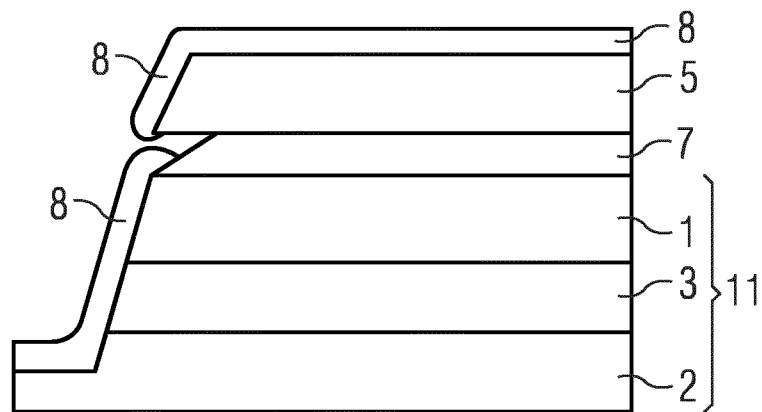


FIG 3C

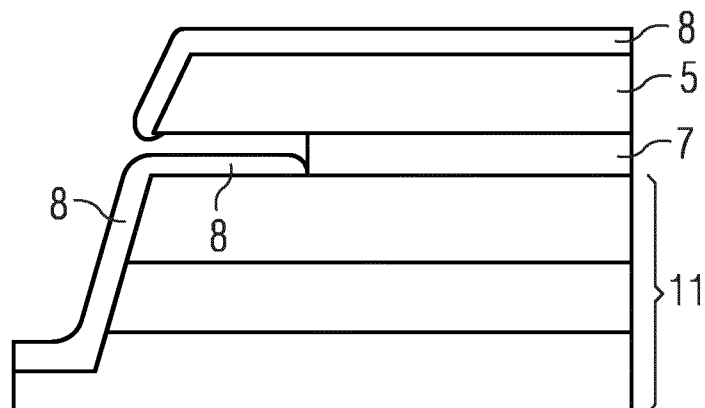


FIG 4A

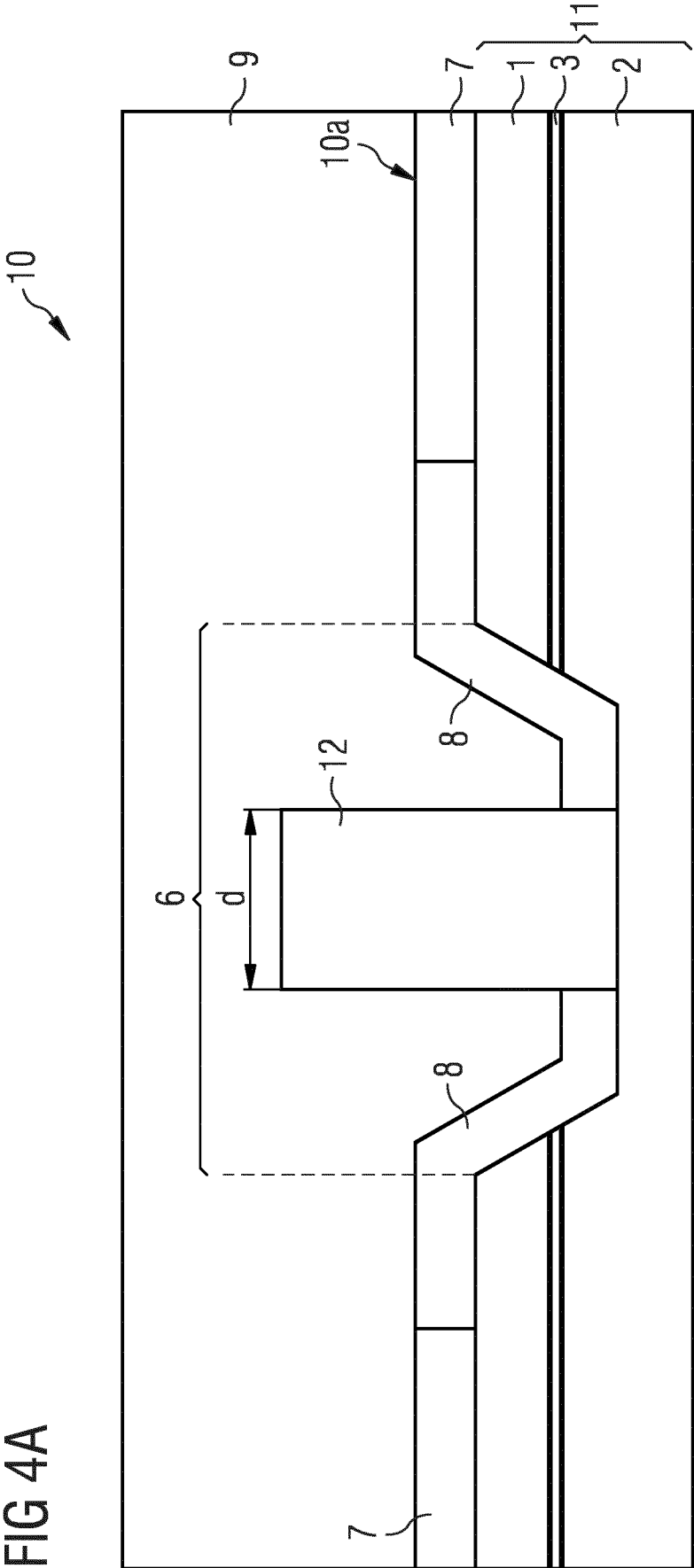


FIG 4B

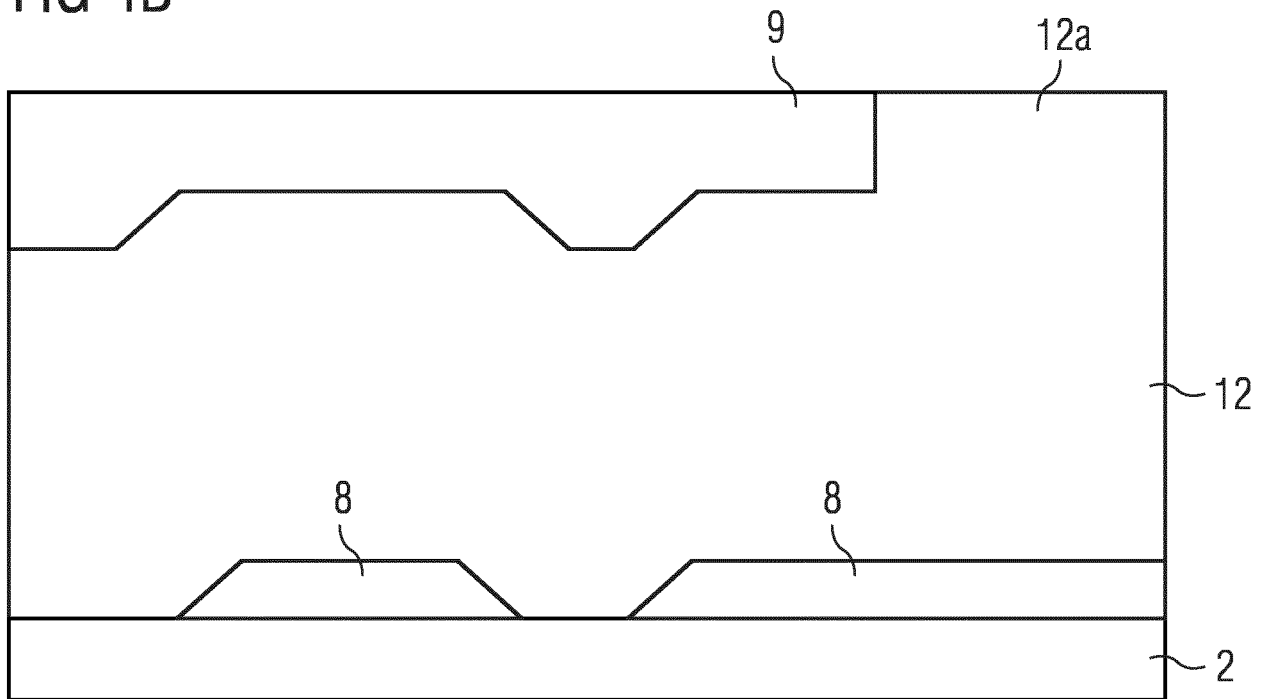


FIG 4C

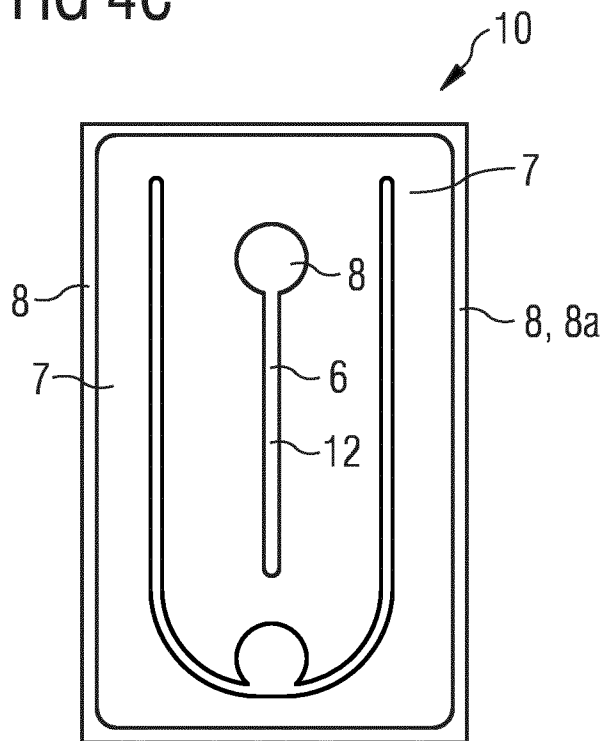


FIG 4D

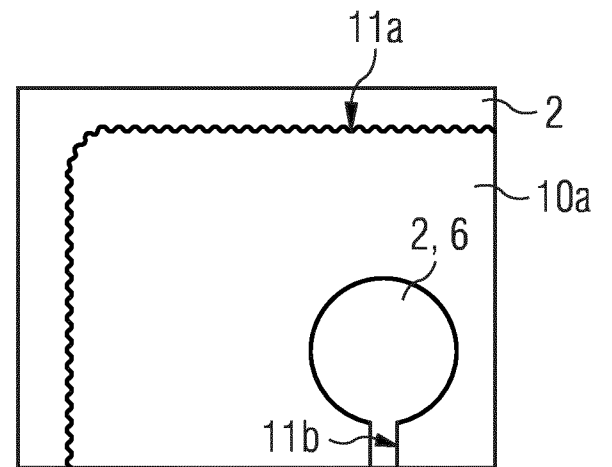


FIG 5A

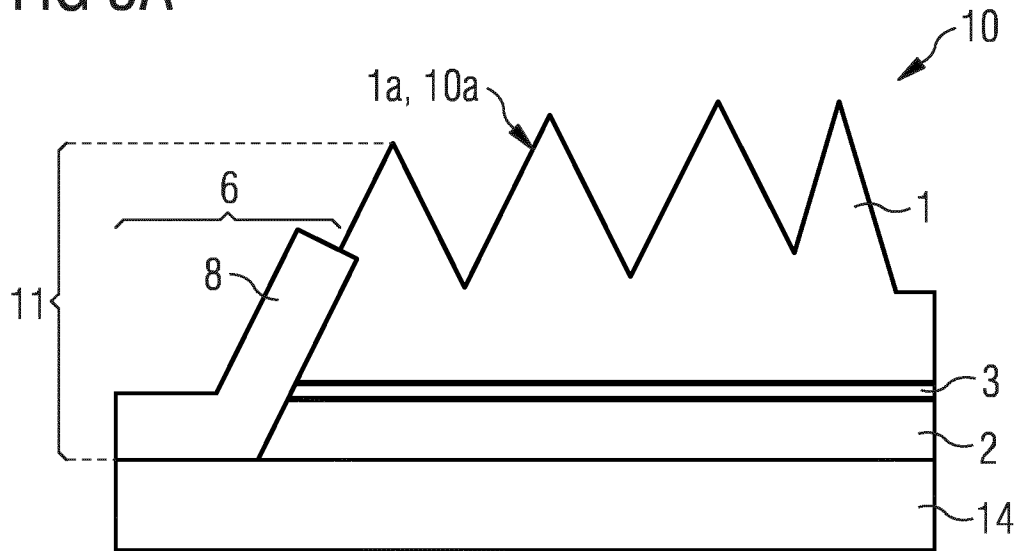
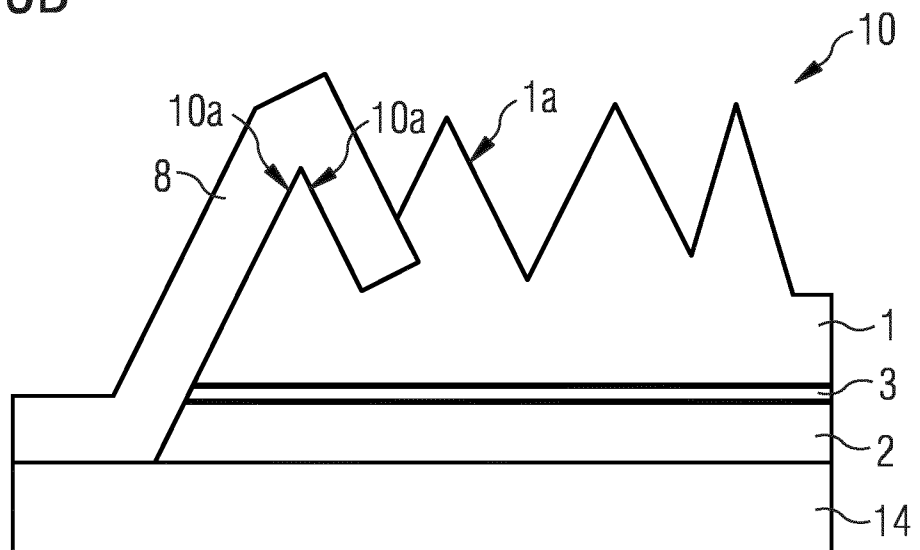


FIG 5B



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/056281

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/44 H01L33/46
ADD. H01L33/38 H01L33/14 H01L33/42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, INSPEC, WPI Data, COMPENDEX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2011 010503 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 9 August 2012 (2012-08-09) abstract; figures 1, 2f, 2g, 2i -----	1-16
X	DE 10 2011 010504 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 9 August 2012 (2012-08-09) abstract; figures 1-6 -----	1-16
X	DE 10 2009 033686 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20 January 2011 (2011-01-20) abstract; figures 1-5 -----	1-16
	-/--	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 April 2017

Date of mailing of the international search report

04/05/2017

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Faderl, Ingo

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2017/056281

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10 2012 112530 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18 June 2014 (2014-06-18) abstract; figure 1i -----	1,12
A	DE 10 2008 038725 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18 February 2010 (2010-02-18) abstract; figures 1a, 2a paragraph [0018] -----	1-16
A	US 2015/255692 A1 (PFEUFFER ALEXANDER [DE]) 10 September 2015 (2015-09-10) abstract; figure 7 -----	1-16
A	DE 10 2008 038750 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18 February 2010 (2010-02-18) abstract; figure 8 -----	1-16
A	US 2011/193123 A1 (MOON JI HYUNG [KR] ET AL) 11 August 2011 (2011-08-11) abstract; figures 1, 9-12 -----	1-16
A	DE 10 2014 111482 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18 February 2016 (2016-02-18) abstract; figure 1 -----	6,7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/056281

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 102011010503 A1	09-08-2012	DE 102011010503 A1 TW 201236194 A WO 2012107289 A1	09-08-2012 01-09-2012 16-08-2012
DE 102011010504 A1	09-08-2012	DE 102011010504 A1 TW 201236195 A WO 2012107290 A1	09-08-2012 01-09-2012 16-08-2012
DE 102009033686 A1	20-01-2011	CN 102473810 A DE 102009033686 A1 EP 2454763 A1 JP 5755646 B2 JP 2012533873 A KR 20120052327 A TW 201115793 A US 2012098016 A1 WO 2011006719 A1	23-05-2012 20-01-2011 23-05-2012 29-07-2015 27-12-2012 23-05-2012 01-05-2011 26-04-2012 20-01-2011
DE 102012112530 A1	18-06-2014	DE 102012112530 A1 DE 112013006060 A5 KR 20150097556 A US 2015333047 A1 WO 2014095556 A1	18-06-2014 27-08-2015 26-08-2015 19-11-2015 26-06-2014
DE 102008038725 A1	18-02-2010	DE 102008038725 A1 TW 201013990 A WO 2010017793 A1	18-02-2010 01-04-2010 18-02-2010
US 2015255692 A1	10-09-2015	CN 104603962 A DE 102012107921 A1 DE 112013004276 A5 JP 2015532785 A US 2015255692 A1 WO 2014033041 A1	06-05-2015 06-03-2014 28-05-2015 12-11-2015 10-09-2015 06-03-2014
DE 102008038750 A1	18-02-2010	CN 102124580 A DE 102008038750 A1 EP 2321858 A2 JP 5535213 B2 JP 2011530816 A KR 20110051167 A US 2011156076 A1 WO 2010017807 A2	13-07-2011 18-02-2010 18-05-2011 02-07-2014 22-12-2011 17-05-2011 30-06-2011 18-02-2010
US 2011193123 A1	11-08-2011	CN 102157658 A EP 2360748 A2 JP 5414711 B2 JP 5864514 B2 JP 2011166150 A JP 2014068025 A KR 100986560 B1 TW 201133942 A US 2011193123 A1	17-08-2011 24-08-2011 12-02-2014 17-02-2016 25-08-2011 17-04-2014 07-10-2010 01-10-2011 11-08-2011
DE 102014111482 A1	18-02-2016	DE 102014111482 A1 WO 2016023807 A1	18-02-2016 18-02-2016

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L33/44 H01L33/46
 ADD. H01L33/38 H01L33/14 H01L33/42

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, WPI Data, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2011 010503 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 9. August 2012 (2012-08-09) Zusammenfassung; Abbildungen 1, 2f, 2g, 2i -----	1-16
X	DE 10 2011 010504 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 9. August 2012 (2012-08-09) Zusammenfassung; Abbildungen 1-6 -----	1-16
X	DE 10 2009 033686 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 20. Januar 2011 (2011-01-20) Zusammenfassung; Abbildungen 1-5 ----- -/-	1-16

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

21. April 2017

Absendedatum des internationalen Recherchenberichts

04/05/2017

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Faderl, Ingo

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 10 2012 112530 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18. Juni 2014 (2014-06-18) Zusammenfassung; Abbildung 1i -----	1,12
A	DE 10 2008 038725 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18. Februar 2010 (2010-02-18) Zusammenfassung; Abbildungen 1a, 2a Absatz [0018] -----	1-16
A	US 2015/255692 A1 (PFEUFFER ALEXANDER [DE]) 10. September 2015 (2015-09-10) Zusammenfassung; Abbildung 7 -----	1-16
A	DE 10 2008 038750 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18. Februar 2010 (2010-02-18) Zusammenfassung; Abbildung 8 -----	1-16
A	US 2011/193123 A1 (MOON JI HYUNG [KR] ET AL) 11. August 2011 (2011-08-11) Zusammenfassung; Abbildungen 1, 9-12 -----	1-16
A	DE 10 2014 111482 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 18. Februar 2016 (2016-02-18) Zusammenfassung; Abbildung 1 -----	6,7

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/056281

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 102011010503 A1	09-08-2012	DE 102011010503 A1 TW 201236194 A WO 2012107289 A1	09-08-2012 01-09-2012 16-08-2012
DE 102011010504 A1	09-08-2012	DE 102011010504 A1 TW 201236195 A WO 2012107290 A1	09-08-2012 01-09-2012 16-08-2012
DE 102009033686 A1	20-01-2011	CN 102473810 A DE 102009033686 A1 EP 2454763 A1 JP 5755646 B2 JP 2012533873 A KR 20120052327 A TW 201115793 A US 2012098016 A1 WO 2011006719 A1	23-05-2012 20-01-2011 23-05-2012 29-07-2015 27-12-2012 23-05-2012 01-05-2011 26-04-2012 20-01-2011
DE 102012112530 A1	18-06-2014	DE 102012112530 A1 DE 112013006060 A5 KR 20150097556 A US 2015333047 A1 WO 2014095556 A1	18-06-2014 27-08-2015 26-08-2015 19-11-2015 26-06-2014
DE 102008038725 A1	18-02-2010	DE 102008038725 A1 TW 201013990 A WO 2010017793 A1	18-02-2010 01-04-2010 18-02-2010
US 2015255692 A1	10-09-2015	CN 104603962 A DE 102012107921 A1 DE 112013004276 A5 JP 2015532785 A US 2015255692 A1 WO 2014033041 A1	06-05-2015 06-03-2014 28-05-2015 12-11-2015 10-09-2015 06-03-2014
DE 102008038750 A1	18-02-2010	CN 102124580 A DE 102008038750 A1 EP 2321858 A2 JP 5535213 B2 JP 2011530816 A KR 20110051167 A US 2011156076 A1 WO 2010017807 A2	13-07-2011 18-02-2010 18-05-2011 02-07-2014 22-12-2011 17-05-2011 30-06-2011 18-02-2010
US 2011193123 A1	11-08-2011	CN 102157658 A EP 2360748 A2 JP 5414711 B2 JP 5864514 B2 JP 2011166150 A JP 2014068025 A KR 100986560 B1 TW 201133942 A US 2011193123 A1	17-08-2011 24-08-2011 12-02-2014 17-02-2016 25-08-2011 17-04-2014 07-10-2010 01-10-2011 11-08-2011
DE 102014111482 A1	18-02-2016	DE 102014111482 A1 WO 2016023807 A1	18-02-2016 18-02-2016