

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/28	(11) 공개번호 특 1997-0077571	(43) 공개일자 1997년 12월 12일
(21) 출원번호	특 1997-0021423	
(22) 출원일자	1997년 05월 29일	
(30) 우선권주장	8/654,316 1996년 05월 28일 미국(US)	
(71) 출원인	해리스 코포레이션 스콧 티. 마이쿠엔 미합중국 플로리다 32919 멜보른 웨스트 나사 블러바드 1025	
(72) 발명자	윌리엄 로날드 영 미합중국 플로리다 32907 팜베이 브리즈우드 레인 엔.더블유. 1532 케네스 에이 포츠 미합중국 플로리다 32903 인디알란틱 리오피노드라이브 3067엔.	
(74) 대리인	손은진	

심사청구 : 없음

(54) 반도체를 패키징하는 장치 및 방법

요약

반도체 디바이스들(340)은 반도체 웨이퍼(300) 내에서 형성된다. 접점 패드(332)는 각 다이(330) 내에 형성된다. 한 인터컨넥트는 접점 패드들(332)을 다이 표면 접점 영역(210, 212)에 연결한다. 스크라이프 트랜치(348)는 디바이스 웨이퍼(300) 내에 형성된다; 대응되는 트랜치(358)는 커버 웨이퍼(360) 내에 형성된다. 커버 웨이퍼(369)은 스크라이프 트랜치(348)를 열도록 얇아진다. 전도성 바이어(310-313)는 접점 패드(210, 212)를 외부표면 범프 접점(333)에 연결한다.

대표도

도5

명세서

[발명의 명칭]

반도체를 패키징하는 장치 및 방법

[도면의 간단한 설명]

제5도는 접합된 커버와 디바이스 웨이퍼의 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

다수의 접점 패드와 내부표면에 형성되어 각각 하나 또는 그 이상의 표면 접점 영역을 가지는 하나 또는 그 이상의 디바이스들을 가지는 내부 표면과, 외부 표면을 가지는 반도체 물질의 디바이스 다이를 포함하는 패키징된 반도체 디바이스; 전기적으로 접점 패드를 표면 접점 영역에 연결하기 위한 인터컨넥트 구조물; 반도체 디바이스들을 도포하기 위하여 디바이스 다이에 접합된 내부 표면과, 외부표면을 가지는 커버 다이; 각각 커버다이의 외부 표면의 바깥단으로부터 디바이스 다이위의 접점 패드로 뻗어있는 다수의 도전성 바이어; 그리고 각 바이어의 외부 표면위에 외부 접점을 포함하는 것을 특징으로 하는 패키징된 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 디바이스 다이의 내부 표면위에 형성되며, 상기 인터컨넥트와 내부 접점을 포함하며, 상기 표면으로부터 일어난 범프 접점을 가지는 유전체 층을 추가로 포함하는 것을 특징으로 하는 패키징된 반도체 디바이스.

청구항 3

제1항 또는 제2항에 있어서, 상기 바이어는 디바이스 다이의 외부 표면으로 향하거나, 또는 커버 다이의

내부 표면으로 향하며, 바람직하게는 여기서 바이어가 디바이스 다이와 커버 다이의 외부 표면으로 향하는 것을 특징으로 하는 패키징된 반도체 디바이스.

청구항 4

제1항 또는 제3항에 있어서, 상기 디바이스 다이 또는 커버 다이는 실리콘, 게르마늄, 실리콘 게르마늄, 실리콘 카바이드, 그리고 겔륨 비소화물로 구성되는 그룹으로부터 선택된 하나의 반도체 물질인 것을 특징으로 하는 패키징된 반도체 디바이스.

청구항 5

제1항 또는 제4항에 있어서, 상기 디바이스 다이는 공동을 포함하며, 여기서 상기 커버다이는 불투명하거나 투명하며, 혹은 상기 커버 다이가 투명한 영역과 불투명한 영역을 포함하는 것을 특징으로 하는 패키징된 반도체 디바이스.

청구항 6

반도체 물질을 디바이스 웨이퍼내에 내부 표면과 외부 표면을 가지며 다수의 다이스로 나누어지는 단계; 하나 또는 그 이상의 표면 접점 영역을 각각 가지는 디바이스를 상기 다수의 다이스 내에 각각 형성하는 단계; 디바이스 웨이퍼의 내부 표면 내에 각 디바이스를 위한 접점 패드를 형성하는 단계; 접점 패드의 일부분과 각 디바이스의 표면 접점 영역의 일부분 사이에 인터컨넥트를 형성하는 단계; 디바이스를 보호하기 위하여 내부와 외부 표면을 갖는 커버 웨이퍼의 내부 표면을 디바이스 웨이퍼에 접합시키는 단계; 웨이퍼들중 하나의 외부 표면들중 하나로부터 디바이스 웨이퍼의 내부 표면위에 접점 패드로 향하도록 디바이스 웨이퍼의 내부 표면위에 접점 패드에 다수의 전도성 바이어를 형성하는 단계; 상기 각 바이어의 바깥단 위에 외부 접점면을 형성하는 단계; 그리고 각기 패키징된 디바이스들을 제공하기 위하여 패키징된 다이를 서로 분리시키는 단계로 구성되는 것을 특징으로 하는 웨이퍼 레벨에 패키징된 반도체 디바이스를 형성하기 위한 방법.

청구항 7

제6항에 있어서, 디바이스 웨이퍼의 내부 표면 위에 유전체 층을 형성하는 단계; 유전체 층을 통하여 접점 패드로 그리고 외부 접점 영역으로 다수의 바이어 개구를 형성하는 단계; 유전체 층 위와 바이어 내부에 전도성 층을 형성하는 단계; 접점 패드를 표면 접점 영역에 연결하기 위하여 전도성 층을 인터컨넥트로 패터닝하는 단계; 그리고 유전체로 인터컨넥트를 도포하는 단계를 추가로 포함하는 것을 특징으로 하는 웨이퍼 레벨에 패키징된 반도체 디바이스를 형성하기 위한 방법.

청구항 8

제6항 또는 제7항에 있어서, 디바이스 웨이퍼의 외부 표면내에 접점 패드를 향하여 전도성 바이어를 형성하는 단계; 커버 웨이퍼의 외부 표면내에 접점 패드를 향하여 전도성 바이어를 형성하는 단계; 또는 디바이스 웨이퍼의 외부 표면과 커버 웨이퍼 내에 접점 패드를 향하여 전도성 바이어를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 웨이퍼 레벨에 패키징된 반도체 디바이스를 형성하기 위한 방법.

청구항 9

제6항 또는 제7항에 있어서, 상기 디바이스 웨이퍼 또는 상기 커버 웨이퍼는 실리콘, 게르마늄, 실리콘 게르마늄, 실리콘 카바이드, 그리고 겔륨 비소화물로 구성되는 그룹으로부터 선택된 하나의 반도체 물질인 것을 특징으로 하는 웨이퍼 레벨에 패키징된 반도체 디바이스를 형성하기 위한 방법.

청구항 10

제9항에 있어서, 상기 디바이스 웨이퍼와 커버웨이퍼의 내부 표면 내에 스크라임 트랜치들을 형성하는 단계; 다이스를 서로 분리시키기 전에 도포된 각 다이의 외부 표면으로부터 인식 가능한 표식을 마크하는 단계; 그리고 다이스가 도포된 후 그러나 서로 분리되기 이전에 다이스를 바람직하게 전기적으로 검사하는 단계로 추가로 포함되는 것을 특징으로 하는 웨이퍼 레벨에 패키징된 반도체 디바이스를 형성하기 위한 방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면5

