



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월24일
(11) 등록번호 10-1265018
(24) 등록일자 2013년05월09일

(51) 국제특허분류(Int. Cl.)
H01L 33/16 (2010.01) H01L 33/36 (2010.01)
H01L 33/32 (2010.01)
(21) 출원번호 10-2011-7027870
(22) 출원일자(국제) 2010년10월25일
심사청구일자 2011년11월22일
(85) 번역문제출일자 2011년11월22일
(65) 공개번호 10-2012-0023687
(43) 공개일자 2012년03월13일
(86) 국제출원번호 PCT/JP2010/068822
(87) 국제공개번호 WO 2011/058869
국제공개일자 2011년05월19일
(30) 우선권주장
JP-P-2009-258215 2009년11월11일 일본(JP)
(56) 선행기술조사문헌
JP2007129252 A*
JP2008010835 A
JP2005191530 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스미토모덴키고교가부시킴이샤
일본 오사카후 오사카시 주오쿠 기타하마 4초메
5반33고
(72) 발명자
아다치 마사히로
일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모덴키고교가부시킴이샤 오사카 세이사쿠
쇼 나이
도쿠야마 신지
일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모덴키고교가부시킴이샤 오사카 세이사쿠
쇼 나이
가타야마 고지
일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모덴키고교가부시킴이샤 오사카 세이사쿠
쇼 나이
(74) 대리인
강승욱, 송승필

전체 청구항 수 : 총 8 항

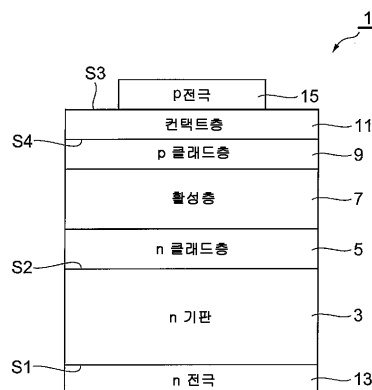
심사관 : 이용배

(54) 발명의 명칭 **화합물 반도체 소자**

(57) 요약

본 발명은 전극과의 접촉 저항이 저감된 화합물 반도체 소자를 제공하는 것을 목적으로 한다. 화합물 반도체 소자는, 표면(S1)과 표면(S2)을 갖고 있고 육방정계 화합물 반도체의 GaN으로 이루어진 n 기판(3)과, n 기판(3)의 표면(S1)에 설치된 n 전극(13)과, n 기판(3)의 표면(S2)에 설치된 n 클래드층(5), 활성층(7), p 클래드층(9) 및 컨택트층(11)을 갖는 적층체와, p 클래드층(9) 상에 설치된 p 전극(15)을 구비한다. n 기판(3)의 표면(S1)에 포함되는 N 원자의 수는 표면(S1)에 포함되는 Ga 원자의 수보다 크고, 표면(S1)에 설치되는 전극은 n 전극(13)이며, 표면(S1)의 산소 농도는 5 원자 퍼센트 이하이다. 컨택트층(11)의 표면(S3)에 포함되는 Ga 원자의 수는 표면(S3)에 포함되는 N 원자의 수보다 크고, 표면(S3)에 설치되는 전극은 p 전극(15)이며, 표면(S3)의 산소 농도는 5 원자 퍼센트 이하이다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 면과 이 제1 면의 반대측에 있는 제2 면을 갖고 있고 육방정계 화합물 반도체로 이루어지는 화합물 반도체층과,

상기 화합물 반도체층의 상기 제1 면에 설치된 제1 전극과,

상기 화합물 반도체층의 상기 제2 면에 설치된 복수의 반도체층을 갖고 있고 이 복수의 반도체층이 적층되어 이루어지는 적층체와,

상기 적층체 상에 설치된 제2 전극

을 포함하고,

상기 제1 면에 포함되는 음이온(anion) 원자의 수는 상기 제1 면에 포함되는 양이온(cation) 원자의 수보다 크고,

상기 제1 전극은 n 전극이고,

상기 제1 면의 산소 농도는 5 원자 퍼센트 이하이고,

상기 화합물 반도체층은, III족 질화물 반도체, 또는 SiC로 이루어지고,

상기 제1 면은, {20-2-1}면인 것을 특징으로 하는 화합물 반도체 소자.

청구항 2

제1항에 있어서, 상기 n 전극은, Al, Ti, In, Au 원소 중 하나 이상의 원소를 함유하는 재료로 이루어지는 것을 특징으로 하는 화합물 반도체 소자.

청구항 3

제1항 또는 제2항에 있어서, 상기 제1 면의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수 k는 음의 정수인 것을 특징으로 하는 화합물 반도체 소자.

청구항 4

삭제

청구항 5

제1 면과 이 제1 면의 반대측에 있는 제2 면을 갖고 있고 육방정계 화합물 반도체로 이루어지는 화합물 반도체층과,

상기 화합물 반도체층의 상기 제1 면에 설치된 제1 전극과,

상기 화합물 반도체층의 상기 제2 면에 설치된 복수의 반도체층을 갖고 있고 이 복수의 반도체층이 적층되어 이루어지는 적층체와,

상기 적층체 상에 설치된 제2 전극

을 포함하고,

상기 제1 면에 포함되는 음이온 원자의 수는 상기 제1 면에 포함되는 양이온 원자의 수보다 작고,

상기 제1 전극은 p 전극이고,

상기 제1 면의 산소 농도는 5 원자 퍼센트 이하이고,

상기 화합물 반도체층은, III족 질화물 반도체, 또는 SiC로 이루어지는 것을 특징으로 하는 화합물 반도체 소자.

청구항 6

제5항에 있어서, 상기 p 전극은, Pd, Pt, Ni, Au, W 원소 중 하나 이상의 원소를 함유하는 재료로 이루어지는 것을 특징으로 하는 화합물 반도체 소자.

청구항 7

제5항 또는 제6항에 있어서, 상기 제1 면의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수 k는 양의 정수인 것을 특징으로 하는 화합물 반도체 소자.

청구항 8

제5항 또는 제6항에 있어서, 상기 제1 면은, {20-21}면, {10-11}면 중 어느 하나의 면인 것을 특징으로 하는 화합물 반도체 소자.

청구항 9

제1항, 제2항, 제5항 또는 제6항 중 어느 한 항에 있어서, 상기 적층체는 활성층을 갖는 것을 특징으로 하는 화합물 반도체 소자.

명세서**기술분야**

[0001] 본 발명은 화합물 반도체 소자에 관한 것이다.

배경기술

[0002] 특허문헌 1에는 대향 전극 구조의 질화물 반도체 소자가 개시되어 있다. 이 질화물 반도체의 n 극성을 나타내는 면에는 적어도 (000-1)면 이외의 경사면을 가지며, 또한 전극을 형성하고 있다. 또한, 이 질화물 반도체의 n 극성을 나타내는 면은 요철 단차를 갖는다. 또한, 상기 (000-1)면 이외의 경사면은, 요철 단차의 단차측면에 형성되어 있고, 상기 (000-1)면 이외의 경사면은, (000-1)면으로부터의 오프각이 0.2° 이상 90° 이하로 되어 있다. 특허문헌 2에는 반도체 장치(HFET)가 개시되어 있다. 이 HFET는, SiC 기판 상에 버퍼층을 개재시켜 형성된 제1 질화물 반도체층과, 이 제1 질화물 반도체층 상에 형성되고, 이 제1 질화물 반도체층의 상부에 2차원 전자 가스층을 생성하는 제2 질화물 반도체층과, 이 제2 질화물 반도체층 상에 선택적으로 형성된 오염성을 지닌 2개의 전극을 갖는다. 제2 질화물 반도체층은, 바닥면 또는 벽면이 기판면에 대하여 경사진 경사부를 갖는 단면 오목형의 콘택트부를 가지며, 오염성을 지닌 상기 2개의 전극이 콘택트부에 형성되어 있다.

[0003] 특허문헌 3에는, GaN계 반도체의 질소 극성면 상에, 콘택트 저항이 낮은 n 전극이 형성된 반도체 소자가 개시되어 있다. 이 반도체 소자는, n 전극과 접하는 부분에, (III족 원자수)/(V족 원자수)의 값이 1보다도 큰 V족 원자의 정공 영역을 갖는다. 특허문헌 4에는 질화물 반도체 장치가 개시되어 있다. 이 질화물 반도체 장치는, n형 GaN 기판과, n형 GaN 기판의 주요면에 형성되어 p형 영역 및 n형 영역을 포함하는 반도체 적층 구조와, 반도체 적층 구조에 포함되는 p형 영역의 일부에 접촉하는 p측 전극과, n형 GaN 기판의 이면에 설치된 n측 전극을 구비한다. 이 질화물 반도체 장치는, n형 GaN 기판의 이면이 질소면을 포함하고, 그 이면과 n측 전극의 계면에 있어서의 탄소 농도가 5 원자% 이하로 조정되어 있다.

선행기술문헌**특허문헌**

[0004] (특허문헌 0001) 특허문헌 1 : 일본 특허 공개 제2004-172568호 공보

(특허문헌 0002) 특허문헌 2 : 일본 특허 공개 제2005-129696호 공보

(특허문헌 0003) 특허문헌 3 : 일본 특허 공개 제2007-116076호 공보

(특허문헌 0004) 특허문헌 4 : 국제 공개 제W02006/098215호 팜플렛

발명의 내용

해결하려는 과제

- [0005] 상기한 바와 같이, 특허문헌 1~4에는 화합물 반도체에 전극이 설치된 구성이 개시되어 있다. 그러나, 특허문헌 1~4의 경우, 전극의 도전형의 선택(n형 또는 p형의 선택)이, 전극의 접촉 저항을 충분히 저감할 수 있는 것으로는 되어 있지 않다. 그래서, 본 발명은, 상기한 사항을 감안하여 이루어진 것으로서, 전극과의 접촉 저항이 저감된 화합물 반도체 소자를 제공하는 것을 목적으로 하고 있다.

과제의 해결 수단

- [0006] 본 발명의 일 측면에 따른 화합물 반도체 소자는, 제1 면과 상기 제1 면의 반대측에 있는 제2 면을 갖고 있고 육방정계 화합물 반도체로 이루어진 화합물 반도체층과, 상기 화합물 반도체층의 상기 제1 면에 설치된 제1 전극과, 상기 화합물 반도체층의 상기 제2 면에 설치된 복수의 반도체층을 갖고 있고 상기 복수의 반도체층이 적층되어 이루어진 적층체와, 상기 적층체 상에 설치된 제2 전극을 구비하고, 상기 제1 면에 포함되는 음이온(anion) 원자의 수는 상기 제1 면에 포함되는 양이온(cation) 원자의 수보다 크고, 상기 제1 전극은 n 전극이며, 상기 제1 면의 산소 농도는 5 원자 퍼센트 이하이고, 상기 화합물 반도체층은, III족 질화물 반도체 또는 SiC로 이루어진 것을 특징으로 한다. 전극의 도전형의 선택에는, 이 전극이 설치되는 화합물 반도체층의 표면의 음이온 원자수 및 양이온 원자수나 표면의 산화 농도를 고려할 필요가 있다. 본 발명의 일 측면에 따르면, n형의 제1 전극을 설치하는 면을, 음이온 원자의 수가 양이온 원자의 수보다도 큰 면으로서, 음이온 원자의 정공이 비교적 큰 면으로 함으로써, 제1 전극과 화합물 반도체층과의 접촉 저항값을 저감할 수 있다. 제1 전극을 설치하는 면을, 산소 농도가 비교적 낮은 면으로 함으로써, 제1 전극과 화합물 반도체층의 접촉 저항값을 더 저감할 수 있다.
- [0007] 이 화합물 반도체 소자에서는, 상기 n 전극은, Al, Ti, In, Au 원소 중 적어도 하나의 원소를 함유하는 재료로 이루어질 수 있고, 상기 제1 면의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)는 음의 정수(整數)로 되어 있을 수 있으며, 상기 제1 면은, {20-2-1}면, {10-1-1}면 중 어느 하나의 면일 수 있다.
- [0008] 이 화합물 반도체 소자는, 제1 면과 상기 제1 면의 반대측에 있는 제2 면을 갖고 있고 육방정계 화합물 반도체로 이루어진 화합물 반도체층과, 상기 화합물 반도체층의 상기 제1 면에 설치된 제1 전극과, 상기 화합물 반도체층의 상기 제2 면에 설치된 복수의 반도체층을 갖고 있고 상기 복수의 반도체층이 적층되어 이루어진 적층체와, 상기 적층체 상에 설치된 제2 전극을 구비하고, 상기 제1 면에 포함되는 음이온 원자의 수는 상기 제1 면에 포함되는 양이온 원자의 수보다 작으며, 상기 제1 전극은 p 전극이고, 상기 제1 면의 산소 농도는 5 원자 퍼센트 이하이며, 상기 화합물 반도체층은, III족 질화물 반도체 또는 SiC로 이루어진 것을 특징으로 한다. 전극의 도전형의 선택에는, 이 전극이 설치되는 화합물 반도체층의 표면의 음이온 원자수 및 양이온 원자수나 표면의 산화 농도를 고려할 필요가 있다. 이 화합물 반도체 소자에 따르면, p형의 제1 전극을 설치하는 면을, 양이온 원자의 수가 음이온 원자의 수보다도 큰 면으로서, 양이온 원자의 정공이 비교적 큰 면으로 함으로써, 제1 전극과 화합물 반도체층의 접촉 저항값을 저감할 수 있다. 제1 전극을 설치하는 면을, 산소 농도가 비교적 낮은 면으로 함으로써, 제1 전극과 화합물 반도체층의 접촉 저항값을 더욱 저감할 수 있다.
- [0009] 이 화합물 반도체 소자에서는, 상기 p 전극은, Pd, Pt, Ni, Au, W 원소 중 적어도 하나의 원소를 함유하는 재료로 이루어질 수 있고, 상기 제1 면의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)는 양의 정수로 되어 있을 수 있으며, 상기 제1 면은 {20-21}면, {10-11}면 중 어느 하나의 면일 수 있다. 또한, 이 화합물 반도체 소자에서는, 상기 적층체가 활성층을 갖고 있어도 좋다.

발명의 효과

- [0010] 본 발명의 각 측면에 따르면, 전극과의 접촉 저항이 저감된 화합물 반도체 소자를 제공할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 실시형태에 따른 화합물 반도체 소자의 구성을 나타낸 도면이다.

도 2는 실시형태에 따른 화합물 반도체 소자의 효과를 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 도면을 참조하여, 본 발명에 따른 적합한 실시형태에 대해서 상세히 설명한다. 또한, 도면의 설명에 있어서, 가능한 경우에는, 동일 요소에는 동일 부호를 붙이고, 중복되는 설명을 생략한다. 도 1에, 실시형태에 따른 화합물 반도체 소자의 구성을 나타낸다. 도 1에 도시된 화합물 반도체 소자(1)는 LED이다. 화합물 반도체 소자(1)는, n 기판(3), n 클래드층(5), 활성층(7), p 클래드층(9), 콘택트층(11), n 전극(13) 및 p 전극(15)을 구비한다. n 기판(3)은, 표면(S1)과, 표면(S1)의 반대측에 있는 표면(S2)을 갖고 있고, 육방정계 화합물 반도체인 GaN으로 이루어진 것으로 하지만, GaAs 등의 다른 III족 질화물 반도체 또는 SiC로 이루어진 것이어도 좋다. n 기판(3)의 표면(S1)은, 양이온 원자의 수보다도 음이온 원자의 수 쪽이 크다. 이와 같이, 음이온 원자의 수 쪽이 큰 경우에는, 음이온 원자의 정공도 많아진다. 음이온 원자의 정공은 도너와 동등하다고 생각되기 때문에, 음이온 원자의 정공분만큼 표면(S1)의 도너 농도(cm^{-2})도 높다. n 기판(3)은 GaN으로 이루어지기 때문에, 음이온 원자가 N 원자에 대응하고, 양이온 원자가 Ga 원자에 대응한다. 따라서, 표면(S1)은, Ga 원자보다도 N 원자 쪽을 많이 포함하기 때문에, 표면(S1)에 포함되는 N 원자의 정공도 많아진다. N 원자의 정공은 도너와 동등하다고 생각되기 때문에, N 원자의 정공분만큼 표면(S1)의 도너 농도(cm^{-2})도 높다. 따라서, 이와 같이 음이온 원자의 수 쪽이 양이온 원자의 수보다도 큰 표면(S1)에 전극을 설치하는 경우에는, n 전극 쪽이 p 전극에 비교하여 접촉 저항이 낮고, 따라서, 옴믹성이 향상된다. 이 때문에, n 기판(3)의 표면(S1)에 설치되는 전극은, n 전극(13)으로 되어 있다.
- [0013] 또한, 표면(S1)의 산소 농도는 5 원자 퍼센트 이하로 되어 있고, 표면(S1) 상의 산화막의 막 두께는 50 옴스트롱 이하이다. 표면(S1)의 산소 농도가 낮을수록 및 산화막의 막 두께가 작을수록, n 전극(13)과의 접촉 저항이 낮아진다. 또한, 표면(S1)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)는, 양이온 원자보다도 음이온 원자 쪽이 표면(S1)에 많이 포함되는 경우, 음의 정수로 되어 있고(h, i, j는 모두 정수), 예컨대, (20-2-1), (11-2-2), (10-1-1), (10-1-3) 등이다. 특히, 표면(S1)은, 결정 격자의 대칭성을 고려하면, {20-2-1}면, {10-1-1}면 중 어느 하나의 면으로 되어 있을 수 있다.
- [0014] 여기서, 표면(S1)에 설치된 n 전극(13)의 접촉 저항값의 실측값을, 표면(S1)의 결정학적 면지수마다 도 2의 (A)에 나타낸다. 도 2의 (A)에 나타낸 바와 같이, 표면(S1)의 결정학적 면지수가 (20-2-1), (11-2-2), (10-1-1), (10-1-3)인 경우, 즉, 표면(S1)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 음의 정수인 경우에는, n 전극(13)의 접촉 저항값이 $1.0 \times 10^{-4} \Omega \text{cm}^2$ 정도 이하로 되어 있지만, 이것에 대하여, 표면(S1)의 결정학적 면지수가 (20-21), (11-22), (10-11), (10-13)인 경우, 즉, 표면(S1)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 양의 정수로 되어 있는 경우에는, n 전극(13)의 접촉 저항값이 $2.0 \times 10^{-4} \Omega \text{cm}^2$ 정도 이상으로 되어 있다. 이와 같이, 지수(k)가 음인 경우 쪽이 양인 경우에 비교하여, n 전극(13)의 접촉 저항값이 작은 것을 알 수 있다.
- [0015] 또한, GaN으로 이루어진 n 기판(3)의 표면(S1)과 마찬가지로, GaN 이외의 다른 III족 질화물 반도체(예컨대 GaAs 등) 또는 SiC로 이루어진 반도체의 표면이라도, 음이온 원자의 수가 양이온 원자의 수보다도 큰 경우에는, 음이온 원자의 정공도 많아지기 때문에, n 전극 쪽이 p 전극에 비교하여 접촉 저항이 낮고, 따라서, 옴믹성이 향상된다. 이러한 표면의 결정학적 면지수(h, i, j, k)는, 예컨대 (20-2-1), (11-2-2), (10-1-1), (10-1-3) 등과 같이, (h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 음의 정수로 되어 있다.
- [0016] 도 1로 되돌아가 설명한다. n 기판(3)의 표면(S2)에는, n 클래드층(5), 활성층(7), p 클래드층(9) 및 콘택트층(11)을 포함하는 적층체가 설치되어 있다. n 클래드층(5), 활성층(7), p 클래드층(9) 및 콘택트층(11)은, n 기판(3) 상에 순차적으로 적층된다. n 클래드층(5)은 n형의 InGaN으로 이루어진다. 활성층(7)은, 하나 또는 복수의 배리어층과, 하나 또는 복수의 우물층을 포함한다. 배리어층은, 예컨대 GaN으로 이루어지고, 우물층은, 예컨대 InGaN으로 이루어진다. p 클래드층(9)은, p형의 AlGaN으로 이루어지고, 콘택트층(11)은 p형의 GaN으로 이루어진다.
- [0017] 콘택트층(11)은, p 클래드층(9)과의 계면[콘택트층(11)의 표면(S4)]의 반대측에 있는 콘택트층(11)의 면이고, p 전극(15)이 설치되는 면인 표면(S3)을 갖는다. 콘택트층(11)의 표면(S4)에는, p 클래드층(9), 활성층(7), n 클래드층(5) 및 n 기판(3)을 포함하는 적층체가 설치되어 있게 된다. 콘택트층(11)의 표면(S3)은, n 기판(3)의 표면(S1)의 경우와는 반대로, 음이온 원자의 수보다도 양이온 원자의 수 쪽이 크다. 이와 같이, 양이온 원자의 수 쪽이 큰 경우, 양이온 원자의 정공도 많아진다. 양이온 원자의 정공은 억셉터와 동등하다고 생각되기 때문에, 양이온 원자의 정공분만큼 표면(S3)의 억셉터 농도(cm^{-2})도 높다. 콘택트층(11)은 GaN으로 이루어지기 때문에, 음이온 원자가 N 원자에 대응하고, 양이온 원자가 Ga 원자에 대응한다. 따라서, 표면(S3)은, N 원자보다도 Ga

원자 쪽을 많이 포함하기 때문에, 표면(S3)에 포함되는 Ga 원자의 정공도 많아진다. Ga 원자의 정공은 엑셉터와 동등하다고 생각되기 때문에, Ga 원자의 정공분만큼 표면(S3)의 엑셉터 농도(cm^{-2})도 높다. 따라서, 이와 같이 양이온 원자의 수 쪽이 음이온 원자의 수보다도 큰 표면(S3)에 전극을 설치하는 경우에는, p 전극 쪽이 n 전극에 비교하여 접촉 저항이 낮고, 따라서, 옴직성이 향상된다. 이 때문에, 콘택층(11)의 표면(S3)에 설치되는 전극은, p 전극(15)으로 되어 있다. 또한, 표면(S3)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)는, 음이온 원자보다도 양이온 원자 쪽이 표면(S3)에 많이 포함되는 경우, 양의 정수로 되어 있고(h, i, j는 모두 정수), 예컨대, (20-21), (11-22), (10-11), (10-13) 등이다. 특히, 표면(S3)은, 결정 격자의 대칭성을 고려하면, {20-21}면, {10-11}면 중 어느 하나의 면으로 되어 있을 수 있다.

[0018] 또한, 표면(S3)의 산소 농도는 5 원자 퍼센트 이하로 되어 있고, 표면(S3) 상의 산화막의 막 두께는 50 옴스트롱 이하이다. 표면(S3)의 산소 농도가 낮을수록 및 산화막의 막 두께가 작을수록, p 전극(15)과의 접촉 저항이 낮아진다.

[0019] 여기서, 표면(S3)에 설치된 p 전극(15)의 접촉 저항값의 실측값을, 표면(S3)의 결정학적 면지수마다 도 2의 (B)에 나타낸다. 도 2의 (B)에 나타낸 실측값은, GaN으로 이루어진 콘택층(11)에 대하여 측정된 것이다. 도 2의 (B)에 나타낸 바와 같이, 표면(S3)의 결정학적 면지수가 (20-21), (11-22), (10-11), (10-13)인 경우, 즉, 표면(S3)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 양의 정수인 경우에는, p 전극(15)의 접촉 저항값이 $1.0 \times 10^{-3} \Omega \text{cm}^2$ 정도 이하로 되어 있지만, 이것에 대하여, 표면(S3)의 결정학적 면지수가 (20-2-1), (11-2-2), (10-1-1), (10-1-3)인 경우, 즉, 표면(S3)의 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 음의 정수로 되어 있는 경우에는, p 전극(15)의 접촉 저항값이 $4.0 \times 10^{-3} \Omega \text{cm}^2$ 정도 이상으로 되어 있다. 이와 같이, 지수(k)가 양인 경우 쪽이 음인 경우에 비교하여, p 전극(15)의 접촉 저항값이 작은 것을 알 수 있다.

[0020] 또한, GaN으로 이루어진 콘택층(11)의 표면(S3)과 마찬가지로, GaN 이외의 다른 III족 질화물 반도체(예컨대 GaAs 등) 또는 SiC로 이루어진 반도체의 표면이라도, 양이온 원자의 수가 음이온 원자의 수보다도 큰 경우에는, 양이온 원자의 정공도 많아지기 때문에, p 전극 쪽이 n 전극에 비교하여 접촉 저항이 낮고, 따라서, 옴직성이 향상된다. 이러한 표면의 결정학적 면지수(h, i, j, k)는, 예컨대 (20-21), (11-22), (10-11), (10-13) 등과 같이, (h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 양의 정수로 되어 있다.

[0021] 도 1로 되돌아가 설명한다. n 전극(13)은, n 기판(3)의 표면(S1)에 설치되어 있고, 표면(S1)에 접촉하고 있다. n 전극(13)은, Al, Ti, In, Au 원소 중 적어도 하나의 원소를 함유하는 재료로 이루어지지만, 예컨대, Al, Au 원소를 함유하는 재료로 이루어질 수 있다. p 전극(15)은, 콘택층(11)의 표면(S3)에 설치되어 있고, 표면(S3)에 접촉하고 있다. p 전극(15)은, Pd, Pt, Ni, Au, W 원소 중 적어도 하나의 원소를 함유하는 재료로 이루어지지만, 예컨대, Pd, Au 원소를 함유하는 재료 또는 Pt, Au 원소를 함유하는 재료로 이루어질 수 있다.

[0022] 다음에, 화합물 반도체 소자(1)의 제조 방법에 대해서 설명한다. 우선, n 기판(3)을 준비한다. 다음에, n 기판(3) 상에, n 클래드층(5), 활성층(7), p 클래드층(9) 및 콘택층(11)을 에피택셜 성장시킨다. 그리고, 이 후, 콘택층(11)의 표면(S3)에 p 전극(15)을 형성하고, n 기판(3)의 표면(S1)에 n 전극(13)을 형성한다. n 전극(13)은, 우선 전자빔 증착 장치를 이용하여 Al을 증착시키고, 이 후, 저항 과열형 증착 장치를 이용하여 Au를 증착시킴으로써 형성된다. p 전극(15)은, 우선 전자빔 증착 장치를 이용하여 Pd(또는 Pt)를 증착시키고, 이 후, 저항 과열형 증착 장치를 이용하여 Au를 증착시킴으로써 형성된다. 또한, n 전극(13) 및 p 전극(15)의 형성 전에, n기판(3)의 표면(S1) 및 콘택층(11)의 표면(S3)에 형성되는 산화막을 제거하기 위한 표면 처리를, 표면(S1)과 표면(S3)에 대하여 행한다. 표면(S1)에 대해서는, 표면(S1)을 아세톤, 이소프로필 알코올을 이용하여 유기 세정한 후에, 황산 및 과산화수소수의 혼합액, 불산, 왕수(王水), 염산을 이용하여 표면 처리한 후에, Al 및 Au를 증착시킴으로써 n 전극(13)을 형성한다. 표면(S3)에 대해서는, 표면(S1)을 아세톤, 이소프로필 알코올을 이용하여 유기 세정한 후에, 황산 및 과산화수소수의 혼합액, 불산, 왕수, 염산을 이용하여 표면 처리한 후에, Pd 및 Au를 증착시키거나 또는 Pt 및 Au를 증착시킴으로써 p 전극(15)을 형성한다.

[0023] 이상, 적합한 실시형태에 있어서 본 발명의 원리를 나타내어 설명하여 왔지만, 본 발명은, 그러한 원리에서 벗어나지 않게 배치할 수 있고, 세부 사항에 있어서 변경될 수 있는 것은, 당업자에 의해 인식된다. 본 발명은, 본 실시형태에 개시된 특정 구성에 한정되지 않는다. 따라서, 특허청구범위 및 그 정신의 범위에서 오는 모든 수정 및 변경에 권리를 청구한다. 구체적으로는, 육방정계 화합물 반도체의 반도체층[n 기판(3)]과, 이 반도체층의 표면 중 음이온 원자의 수가 많은 표면[즉, 음이온 원자의 정공이 많은 표면으로서, 결정학적 면지

수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 음의 정수로 되어 있는 면. 예컨대 표면(S1)]에 설치되는 n형의 전극[예컨대 n 전극(13)]을 포함하는 구성을, 다른 소자(예컨대, LD, 쇼트키 다이오드, 트랜지스터, HEMT 등)에 적용하여도 좋고, 육방정계 화합물 반도체의 반도체층[예컨대 콘택트층(11)]과, 이 반도체층의 표면 중앙이온 원자의 수가 많은 표면[즉, 양이온 원자의 정공이 많은 면으로서, 결정학적 면지수(h, i, j, k)에 포함되어 있는 4번째의 지수(k)가 양의 정수로 되어 있는 면. 예컨대 표면(S3)]에 설치되는 p형의 전극[예컨대 p 전극(15)]을 포함하는 구성을, 다른 소자(예컨대, LD, 쇼트키 다이오드, 트랜지스터, HEMT 등)에 적용하여도 좋다.

산업상 이용가능성

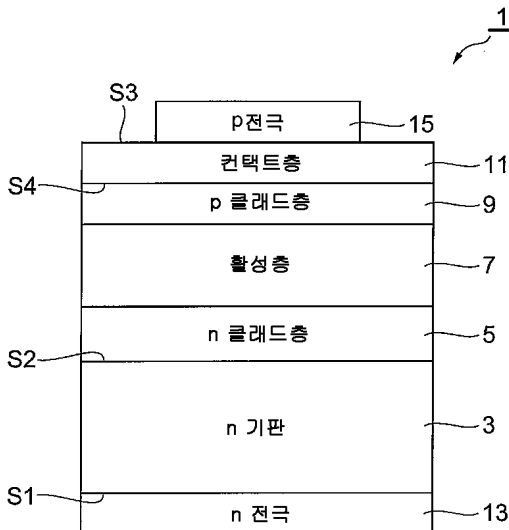
[0024] 전극과의 접촉 저항이 저감된 화합물 반도체 소자이다. n형의 전극을 설치하는 면을, 음이온 원자의 수가 양이온 원자의 수보다도 큰 면으로서, 음이온 원자의 정공이 비교적 큰 면으로 함으로써, 이 전극과 화합물 반도체층의 접촉 저항값을 저감할 수 있다. 이 전극을 설치하는 면을, 산소 농도가 비교적 낮은 면으로 함으로써, 이 전극과 화합물 반도체층과의 접촉 저항값을 더 저감할 수 있다.

부호의 설명

[0025] 1 : 화합물 반도체 소자 11 : 콘택트층
13 : n 전극 15 : p 전극
3 : n 기판 5 : n 클래드층
7 : 활성층 9 : p 클래드층
S1, S2, S3, S4 : 표면

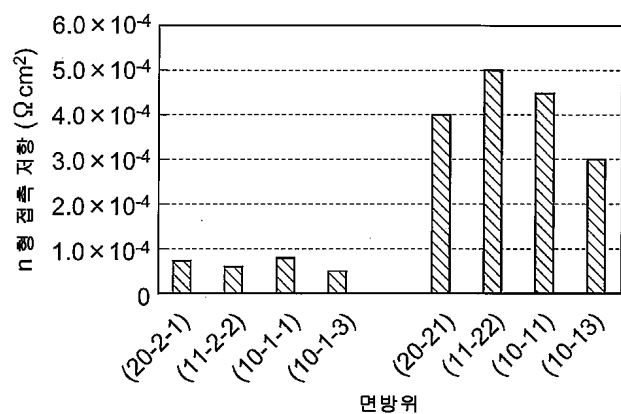
도면

도면1



도면2

(A)



(B)

