(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3644980号

(P3644980)

(45)発行日　平成17年5月11日(2005.5.11)　(24)登録日　平成17年2月10日(2005.2.10)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| H01L 27/12 | H01L | 27/12 | B |
| H01L 21/762 | H01L | 21/76 | D |
| H01L 21/8249 | H01L | 27/06 | 321H |
| H01L 27/06 | H01L | 29/78 | 617N |
| H01L 29/786 | | | |

請求項の数 3　(全 21 頁)

(21)出願番号　特願平6-10782
(22)出願日　平成6年2月2日(1994.2.2)
(65)公開番号　特開平7-122719
(43)公開日　平成7年5月12日(1995.5.12)
審査請求日　平成13年1月31日(2001.1.31)
(31)優先権主張番号　特願平5-221193
(32)優先日　平成5年9月6日(1993.9.6)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100068504
弁理士　小川　勝男
(72)発明者　堀内　勝忠
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　尾内　享裕
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　鷲尾　勝由
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

支持基板の主表面上に絶縁膜からなる第１の膜を形成する工程と、単結晶半導体基板上に半導体層もしくは絶縁膜からなる第２の膜を形成する工程と、

上記第１の膜と上記第２の膜とが、互いに対向するように上記支持基板と上記単結晶半導体基板上とを配置し、上記第１の膜と上記第２の膜とを相互に接着し、上記単結晶半導体基板を裏面側から研磨して薄膜化した単結晶半導体からなる第３の膜を形成する工程と、

上記第３の膜から上記第２の膜を介して上記第１の膜に延在する素子間分離領域を形成する工程と、

上記素子間分離領域に囲まれた上記第３の膜の所望領域上にトランジスタの少なくとも一部を形成する工程と、

上記素子間分離領域で囲まれた上記第３の膜の所望部分をエッチングして開口部を形成し、上記第３の膜の所望領域の下方に位置し上記素子間分離膜領域で囲まれた上記第２の膜の一部を、上記開口部を介してエッチングにより除去してトンネルを形成する工程と、

上記トンネルを導電性材料で充填する工程とを含む半導体装置の製造方法。

【請求項２】

請求項１記載の半導体装置の製造方法において、

上記第２の膜を形成する前に、上記単結晶半導体基板上に絶縁膜からなる第４の膜を形成する工程を有する半導体装置の製造方法。

【請求項３】
第１の支持基板上に絶縁膜からなる第１の膜が形成された第１の構造体と、上記第１の支持基板と異なる第２の支持基板上に絶縁膜からなる第４の膜および上記第４の膜上に半導体層もしくは絶縁膜からなる第２の膜が形成された第２の構造体とを準備する工程と、
上記第１の膜と上記第２の膜が互いに対向して密着されるように直接接着させ、上記第２の構造体の厚さを裏面側から薄くし、第３の膜を形成することによって、上記第１の膜、上記第２の膜、上記第４の膜及び上記第３の膜が積層された多層構造体を形成する工程と、
上記第３の膜から上記第４の膜及び上記第２の膜を介して上記第１の膜に延在する素子間分離領域を形成する工程と、
上記素子間分離領域に囲まれた上記第３の膜の所望領域上にトランジスタの少なくとも一部を形成する工程と、
上記素子間分離領域で囲まれた上記第４の膜及び上記第３の膜の所望部分をエッチングして開口部を形成し、上記第３の膜の所望領域の下方に位置し上記素子間分離膜領域で囲まれた上記第２の膜の一部を、上記開口部を介してエッチングにより除去してトンネルを形成する工程と、
上記トンネルを導電性材料で充填する工程とを含む半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は半導体基板とその製造方法、および当該半導体基板を用いて製造された半導体装置およびその製造方法に関し、特に絶縁膜上に極めて薄い単結晶半導体層を有する半導体基板とその製造方法、およびこの極めて薄い単結晶半導体層に形成されたＭＯＳトランジスタとバイポーラトランジスタおよびこれらの製造方法に関する。
【０００２】
【従来の技術】
図２に示したように、支持基板（Ｓｉ基板）１上にＳｉ酸化膜２を介して単結晶半導体層３が形成された構造を有する半導体基板は周知であり、一般にＳＯＩ(Silicon On Insulator)基板と称されている。このようなＳＯＩ基板の製法としては、高濃度の酸素イオンをＳｉ基板内部に注入した後、高温の熱処理を行って表面近傍の結晶欠陥を回復させて、半導体層を単結晶化させるとともに埋込み酸化膜を高品質化させる方法、および表面に酸化膜が形成された単結晶半導体基板と他の単結晶半導体基板を、接着剤を用いることなしに直接貼合せ、半導体基板の裏面から研削および研磨を行って半導体基板を薄くし、薄い単結晶半導体層の下部に酸化膜が埋込まれた構造を形成する方法が用いられている。
【０００３】
これにより、単結晶半導体層の厚さが、１００から２００ｎｍと極めて薄いＳＯＩ基板が、薄膜ＭＯＳトランジスタ用基板として既に実用化されている。このようなＳＯＩ基板を用いた超薄膜ＭＯＳトランジスタは、ソース・ドレイン接合を厚い埋込み酸化膜上に直接形成できるため、ソ-ス・ドレイン寄生容量を従来の半分以下に低減することができる。また、埋込み酸化膜の効果によって、ゲ-ト容量および配線容量も大幅に低減でき、大規模集積回路としての高速化が可能となる。さらに、製造工程に関しても、ウエル形成工程が不用となる等製造原価もいちじるしく低減される。
【０００４】
ＳＯＩ基板を用いたバイポーラトランジスタも周知であり、図３に示される構造を有している。図３において、符号１は単結晶シリコン(Ｓｉ)ウエーハよりなる支持基板、２はＳｉ酸化膜、３はＳＯＩ層を含む単結晶Ｓｉ層を、それぞれ表し、ＳＯＩ層は支持基板（Ｓｉ基板）１とＳｉ酸化膜２が表面に形成されたウエーハを直接貼合せ、研磨や研削などによって薄層化することによって形成される。
【０００５】
ＳＯＩ層にＮ型高濃度コレクタ拡散層４を選択的に形成した後、その主表面にエピタキシ

ャル法により薄い単結晶Ｓｉ層が形成される。符号５は素子内分離絶縁膜、６は素子間分離絶縁膜、７はフィールド酸化膜、８はp型真性ベース領域をそれぞれ表し、エピタキシャルＳｉ層に形成される。９はベース引出し電極、１０は電極保護絶縁膜、１１はエミッタ・ベース分離絶縁膜、１２はコレクタ引出し拡散層、１３はつなぎベース領域であり、ベース引出し電極９からの不純物拡散により形成される。１５はエミッタ拡散層、１６から１８は各々エミッタ、ベースおよびコレクタ電極である。

【０００６】

図３に示したトランジスタは、Ｓｉ酸化膜２によって単結晶Ｓｉ基板１から完全に分離されており、コレクタ・基板間容量の低減による動作速度の向上や、α線照射によって基板内に発生した電荷による雑音、または回路誤動作が防止されるなどの特長を有している。

【０００７】

図３に示した構造において、ＳＯＩ層の膜厚はコレクタ拡散層４の抵抗値を十分に低減させるため通常１μm以上と厚くされ、上記薄膜ＭＯＳトランジスタ用の薄膜ＳＯＩ基板の場合とは異なっている。

【０００８】

【発明が解決しようとする課題】

ＭＯＳトランジスタは、バイポーラトランジスタに比べて微細化、すなわち高集積化に適しているが、負荷駆動能力ではバイポーラトランジスタに劣るため、高速動作には適していない。高速でかつ高集積な大規模集積回路を実現するために、ＭＯＳトランジスタとバイポーラトランジスタを組合せた回路も広く実用化され、ＢｉＣＭＯＳ回路と称されている。この際、ＭＯＳトランジスタに薄膜ＳＯＩ基板を用いれば、寄生容量の低減効果によって負荷駆動能力を向上できる。しかし、大型計算機用等の高速半導体装置としては、薄膜ＳＯＩＭＯＳトランジスタの高速性能はまだ不十分である。

【０００９】

薄膜ＳＯＩ基板をＢｉＣＭＯＳ回路に適用できれば、さらに高集積化が可能な薄膜ＳＯＩＭＯＳトランジスタの負荷駆動能力が向上され、これとバイポーラトランジスタの極めてすぐれた高速動作特性をあわせ持つた大規模集積回路が実現でき、大型計算機等の性能向上が達成できる。

【００１０】

薄膜ＳＯＩ基板上にバイポーラトランジスタを製造する技術は、本発明者らによる特願平３ー１３０９７７に開示されている。しかし、ここに開示されてあるバイポーラトランジスタは、エミッタ、ベースおよびコレクタが横方向に配置された、いわゆる横型トランジスタであり、ベース幅がトランジスタ加工寸法と不純物拡散条件によって決定される。現在の不純物拡散技術を用いれば、ベース幅を５０ｎｍ以下まで制御性よく形成可能であるが、エッチングによる加工寸法の精度は、露光方法等に依存するが数１００ｎｍが限界であり、かつ加工寸法の変動も大きい。

【００１１】

一方、エミッタ、ベースおよびコレクタが縦方向に配置される縦型トランジスタでは、真性コレクタ幅、およびベース幅等を薄くすることによって性能改善が行われ、高速化が実現されてきたが、横方向の寸法は微細加工の限界のために極度に小さくすることが難しく、高速動作をさらに進めるのは困難であった。従って、従来の方法では、極めて高い集積密度を有するＭＯＳトランジスタと、さらに高速動作が可能な縦型バイポーラトランジスタを、同一の薄膜ＳＯＩ基板に製造するのは困難であった。

【００１２】

本発明の目的は、従来技術の有する上記問題を解決し、極めて高い集積密度と高速動作を実現することのできる薄膜ＳＯＩ基板およびその製造方法を提供することである。

【００１３】

本発明の他の目的は、当該薄膜ＳＯＩ基板を用いて形成された、高い集積密度を有する薄膜ＳＯＩＭＯＳトランジスタと混在することのできる、高速な薄膜ＳＯＩ縦型バイポーラトランジスタを提供することにある。

【００１４】
本発明のさらに他の目的は、図３に示した従来のバイポーラトランジスタに比べて、コレクタ抵抗が低く、真性コレクタ層の接合が浅く、さらにエピタキシャル成長工程が不要で低い価格で製造することのできる高性能のバイポーラトランジスタを提供することにある。
【００１５】
【課題を解決するための手段】
上記目的を達成するため、本発明は、接着剤を用いることなしに二枚の基板を直接接合するウエーハ貼合せ技術を用いて、ＳＯＩ基板を製造する。当該貼合せ技術は、貼合せが可能か否かは、貼合せるべき表面が微視的、巨視的平坦性に強く依存し、表面材質には依存しないので、主表面に各種の絶縁膜、または半導体薄膜が形成された基板であっても、最上面の平坦性が確保されていれば、支障なく貼合せを行うことができる。従って、このような貼合せ技術を用いることによって、半導体基板の内部に、所望の半導体薄膜および絶縁膜などの多層膜が埋込れた多層構造のＳＯＩ基板が容易に実現される。
【００１６】
半導体装置を構成すべき単結晶半導体層は、貼合せを行った後に、半導体基板の裏面側から、所望厚さに達するまで研削と研磨、さらにエッチングを行って厚さを薄くすれば良い。この方法によって、厚さが数１００ｎｍの極めて薄い単結晶半導体層の下に、薄い酸化膜、半導体薄膜および厚い酸化膜が埋め込まれた構成の多層ＳＯＩ基板が製造できる。
【００１７】
上記構成を有する多層ＳＯＩ基板の、ＳＯＩ層（単結晶半導体層）の表面から厚い酸化膜に達する素子間分離絶縁膜を形成した後、周知の製造方法を用いて、上記ＳＯＩ層の活性領域に半導体装置を形成する。ただし、従来とは異なり、高濃度コレクタ拡散層４およびエピタキシャル層を形成することなしに、真性ベース拡散層８、ベース引出し電極９、つなぎベース１３およびエミッタ１５等の領域の形成が行なわれる。
【００１８】
この状態から、従来はコレクタ引出し拡散層１２が形成されていた領域に上記Ｓｉ薄膜に達する開口部を形成し、活性領域下部のＳｉ薄膜を選択的に除去して活性領域の下部にトンネルを形成する。上記開口部の形成に先立ち、例えばシリコン窒化膜のような選択的に除去が可能な薄膜を全面に形成し、活性領域表面を保護しておく。トンネル上部の薄い酸化膜を除去した後、Ｎ型不純物、例えば燐が高濃度にドープされたＳｉを化学気相反応法等によって堆積し、上記トンネル内を充填する。
【００１９】
次に、熱処理を行ってトンネル上部の単結晶ＳＯＩ層に上記Ｓｉ膜からの不純物を拡散させ、高濃度コレクタ拡散層を形成する。この拡散工程の後、主表面上に形成されてある、高濃度不純物が添加されたＳｉ層をパターニングし、さらに金属電極を形成してエッミタ、ベースおよびコレクタの各電極を形成してトランジスタを完成させる。
【００２０】
上記コレクタ拡散層の形成以降は、高温の熱処理工程が存在しないので、急峻な不純物分布が保持される。なお、上記コレクタ拡散層は、Ｓｉ膜からの不純物拡散の代わりに気相拡散を用いて形成し、しかる後に低抵抗導体膜でトンネル内を充填してもよい。上記低抵抗導体膜としては、Ｓｉ膜に限定されるものではなく、化学気相反応等で形成可能な例えばタングステン（Ｗ）もしくはアルミニウム（Ａｌ）等の金属、あるいは金属珪化物等であってもよい。またそれらの重合せ膜であってもよい。上記製法ではエミッタ拡散層を形成した後にコレクタ拡散層を形成したが、これらを同時または順序を逆にして形成してもよい。薄膜ＭＯＳトランジスタは、上記多層構造ＳＯＩ基板に従来周知の方法を用いて形成すれば良い。
【００２１】
上記製法は多層構造のＳＯＩ基板を用いるものであるが、所望製造工程まで実施された第１の通常のＳｉ基板の表面上に絶縁膜等を形成した後、その表面を機械的、化学的研磨等

により平坦化してから第２の基板を直接貼合せ、しかる後に第１の基板裏面側から研削と研磨を行って、厚さを薄くさせて形成されたＳＯＩ基板に対しても本発明は適用できる。この場合、第１の通常Ｓｉ基板上に、例えばＳｉ薄膜のような、後の工程で除去して他の低抵抗導体膜と置き換えられる膜をパターニングして残しておけば、上記ＳＯＩ基板を作成した後には、このＳｉ薄膜がＳＯＩ層の下に配置された構造が得られ、上記多層構造ＳＯＩ基板の製法がそのまま適用できる。この場合、埋込形成される低抵抗導体層は、所望の形状にパターニングできる。従って、ゲート電極が埋め込まれた構造を有するＭＯＳトランジスタの埋込ゲート電極にも適用できる。

【００２２】

【作用】

本発明によれば、薄膜ＭＯＳトランジスタと極めて高速な縦型バイポーラトランジスタを、同一基板上に形成し得るＳＯＩ基板を得ることができる。従って、極めて高い集積密度を有する薄膜ＳＯＩＭＯＳトランジスタの負荷駆動能力の向上と、バイポーラトランジスタの高速動作特性を合わせ持ったＢｉＣＭＯＳ大規模集積回路が実現でき、大型計算機等の性能向上が達成できる。

【００２３】

さらに、半導体装置を製造する際に、エピタキシャル工程が不要となる。エピタキシャル工程は処理温度が高く、特に結晶成長を完全にするための基板表面の清浄化気相エッチング処理は高温で行う必要があり、下地不純物層からの不純物の外方拡散、および成長中のエピタキシャル層への不純物拡散を避けることが難しい。そのため、エピタキシャル工程を経たコレクタ高濃度拡散層の不純物分布を急峻のままに保持することは困難であった。エピタキシャル工程の他の欠点は大量処理が困難で、半導体装置が高価になることであるが、本発明によればエピタキシャル工程が不要であるため、これらの欠点が解消され、不純物分布が極めて急峻なコレクタ高濃度拡散層を有し、特性のすぐれた半導体装置を低い価格で形成できる。 さらに、本発明によれば、すべての高温熱処理の後にコレクタ領域を形成できるため、金属材料のような低抵抗導電体によってコレクタ引出し領域を形成することができ、コレクタ抵抗が大幅に低減される。

【００２４】

【実施例】

以下、実施例を用いて本発明を詳細に説明する。理解を容易にするため、要部は拡大して図示されており、また、各部の材質、半導体層の導電型および製造条件は、下記実施例の記載に限定されるものでないことは勿論である。

【００２５】

〈実施例１〉図１および図４は本発明による半導体基板およびその製造方法を説明するための断面図である。本実施例においては、支持基板１として、面方位(１００)、抵抗率１０Ωｃｍ、直径１２.５ ｃｍのｎ型単結晶シリコン(Ｓｉ)基板を用いた。当該支持基板１の全面における平坦度は２μｍ以下であり、０.５μｍ平方の微小領域における平均表面粗さは４ｎｍ以下で極めて平坦であった。当該支持基板１の主表面に、熱酸化法によって厚さ５００ｎｍのＳｉ酸化膜２(単に酸化膜と称する。)を形成し、さらに上記支持基板１と同一仕様で、主表面に厚さ１０ｎｍの酸化膜２０、厚さ５００ｎｍのＳｉ薄膜１９が積層して順に形成されたＳｉ基板３を別途準備した。上記Ｓｉ薄膜１９は、$Si_2H_6$(ジシラン)を５２０℃において化学気相堆積により形成したが、得られた堆積膜は非晶質であり、その表面の平均粗さは４ｎｍ以下で極めて平坦であった。

【００２６】

周知の洗浄処理を行って、上記支持基板１およびＳｉ基板３の主表面上のゴミ等の異物を除去した後、図４に示したように、両者の界面に気泡が生じないように、無塵環境の下で互いの主表面を直接貼合せ、さらに、接合強度を大きくするために、１１００℃、１時間の熱処理を行った。上記熱処理によって、接合強度は単結晶Ｓｉ基板の破壊強度と同程度にまで大きくなった。

【００２７】

次に、貼合せたＳｉ基板３の裏面側から、周知の研削および研磨を行ってＳｉ基板３の厚さを薄くし、図１に示したように、上記酸化膜２０上に厚さ５００ｎｍの均一な厚さを有する単結晶Ｓｉ層３が残るようにした。

【００２８】

このようにして形成された半導体基板は、図１から明らかなように、薄い単結晶Ｓｉ層３の下に、薄い絶縁膜２０を介して半導体薄膜１９および厚いＳｉ酸化膜２が重ねて形成されている。そのため、後で説明するように、極めて薄い薄膜ＭＯＳトランジスタと縦型バイポーラトランジスタを、同一支持基板上に構成することができ、これにより、極めて高速で、しかも集積密度が極めて高い大規模集積回路を実現することができた。

【００２９】

なお、本実施例では、支持基板（Ｓｉ基板）１上の厚いＳｉ酸化膜２とＳｉ膜１９の表面の間で貼合わせを行ったが、上記Ｓｉ酸化膜２をＳｉ膜１９上に化学気相反応等によって形成し、このＳｉ酸化膜２と酸化膜が形成されていない支持基板１の表面を貼合わせるようにしてもよい。また、本実施例では、支持基板１とＳＯＩ層（単結晶半導体層）３の間に、２枚のＳｉ酸化膜２、２０とシリコン膜１９を介在させたが、本発明は、この構造に限定されるものではなく、各種変形が可能である。すなわち、支持基板とＳＯＩ層の間に形成される各層の材料および層の数を、本実施例と異なるようにしてもよい。各層の積層順序も適宜変更することができ、他の層を、所望層の間に挿入してもよい。貼合わせを行う位置、すなわち対向させて貼合わせる二つの表面の位置も、形成すべき半導体装置に応じて適宜選択できる。

【００３０】

〈実施例２〉前記実施例１において、支持基板としては、厚さ５００ｎｍの酸化膜と化学気相反応によって形成された厚さ５０ｎｍのシリコン窒化膜の積層Ｓｉ酸化膜２が形成されたＳｉ基板１を用い、ＳＯＩ層となる半導体基板３としてはＧａＡｓ化合物単結晶半導体基板を用いた。上記半導体基板３の主表面上には、プラズマ雰囲気での化学気相反応によって形成された厚さ１０ｎｍのシリコン酸化膜２０および上記Ｓｉ薄膜１９の代わりに、真空蒸着法によって形成された厚さ３００ｎｍのＧｅ膜を形成した。前記実施例１と同様に、支持基板１と半導体基板３の主表面を貼合せた後、接合強化のための熱処理を６００℃で行った。

【００３１】

つぎに、上記実施例１と同様に、半導体基板３の裏面側から薄化処理を行って、上記酸化膜２０上に厚さ３００ｎｍの均一な厚さを有する単結晶半導体層３が残るようにした。

【００３２】

本実施例において形成された半導体基板においては、薄い単結晶化合物半導体層３の下に、薄い絶縁膜２０を介して半導体薄膜１９、厚いＳｉ酸化膜２および単結晶基板からなる支持基板（Ｓｉ基板）１が形成されている。そのため、後で説明するように、機械的強度に優れたＳｉ支持基板上に化合物半導体トランジスタを形成することができ、さらに、ベース・コレクタ間寄生容量が小さく、動作速度が極めて高い化合物半導体トランジスタが得られた。

【００３３】

本実施例においては、ＳＯＩ層を構成する化合物半導体基板３としてＧａＡｓ基板を用いたが、ＧａＡｓ基板のみではなく、ＧａＡｓ基板上に順にエミッタ半導体層となるｎ型の低抵抗ＧａＡｓ層、バッファ層となるｎ型ＧａＡｓ層、ベース半導体層となる低抵抗のｐ型ＧａＡｓ層および真性コレクタ層となるｎ型ＧａＡｓ層をエピタキシャル法によって順次積層したものを用いてもよい。さらに、上記化合物半導体基板３として、ＩｎＰ単結晶基板であってもよく、また、ｎ型ＧａＡｓ層、ｎ型エミッタＩｎＰ層、ＩｎＧａＡｓバッファ層、ｐ型ベースＩｎＧａＡｓ層、ｎ型コレクタＩｎＧａＡｓ層などをエピタキシャル法によってＩｎＰ基板上に順次積層した半導体基板であっても良い。

【００３４】

材料が異なる半導体層が、化合物半導体基板上に積層して形成されている場合は、ＳＯＩ

層を形成するために行われる上記厚さを薄くする工程は、所望厚さまで研削および研磨を行ってから、残ったＧａＡｓ層またはＩｎＰ層のみを、例えばＩｎＧａＡｓ層をエッチングのストッパとして用いた化学的エッチング法によって完全に除去し、エピタキシャル層のみを最終的に残すようにしても良い。

【００３５】

〈実施例３〉上記実施例１において、貼合せ面を構成するＳｉ薄膜１９の代わりに、化学気相反応によって形成されたシリコン窒化膜を用い、前記実施例１に従って多層構造のＳＯＩ基板を形成した。

【００３６】

本実施例によって形成された多層ＳＯＩ基板においては、薄い単結晶Ｓｉ層３の下に薄い絶縁膜２０を介して半導体薄膜１９および厚いＳｉ酸化膜２が形成されている、そのため、後で説明するように、薄膜ＭＯＳトランジスタと縦型バイポーラトランジスタを同一支持基板上に形成することができ、これにより、極めて高速で、かつ高集積の大規模集積回路が実現された。

【００３７】

さらに、本実施例の多層ＳＯＩ基板では、シリコン窒化膜がＳＯＩ層下部に形成されているので、Ｓｉ酸化膜２によるＳＯＩ層への引張り応力がシリコン窒化膜によって緩和され、その結果、ＳＯＩ基板の反りが５μｍ以下と１/１０にまで低減された。なお、本実施例において、Ｓｉ膜の代わりに、シリコン窒化膜ではなく、Ｓｉ膜の上にシリコン窒化膜を積層した重ね膜を用い、厚いＳｉ酸化膜２を有する支持基板１と貼合せても、効果は変わらなかった。

【００３８】

〈実施例４〉図５は本発明の他の実施例を示す図である。上記実施例１において、研削および研磨によってＳＯＩ層３の厚さを薄くして約３μｍとし、ＳＯＩ層３の面内厚さ分布を光学的手法により測定して、得られた測定値を計算機に蓄積した。この測定はＳＯＩ層３の表面を１０２４分割し、各分割面ごとにその位置の関数として厚さを測定した。

【００３９】

次に、$SF_6$を反応ガスとして用いたマイクロ波ドライエッチング装置内に上記ＳＯＩ基板を導入し、直径１ｍｍに絞ったプラズマビーム１００によってＳＯＩ層の所定部分を選択的にエッチングした。当該エッチングは、予め測定しておいた膜厚分布によってエッチング量を制御して行った。当該エッチングにより、ＳＯＩ層の厚さは１００ｎｍの設定膜厚に対して５ｎｍ以内の誤差で制御することができた。

【００４０】

本実施例によって形成された半導体基板においては、薄い単結晶Ｓｉ層３の下に薄い絶縁膜２０、半導体薄膜１９および厚いＳｉ酸化膜２が形成されている。従って、後で説明するように、薄膜ＭＯＳトランジスタと縦型バイポーラトランジスタを同一支持基板上に構成することができ、これにより極めて高速で、かつ高集積の大規模集積回路が実現された。

【００４１】

本実施例において形成された半導体基板においては、ＳＯＩ層の厚さの変動は５ｎｍ以下であり、上記実施例１において形成されたＳＯＩ基板に比べて、１/２０以下とはるかに改善された。

【００４２】

〈実施例５〉図６乃至図９を用いては本発明の他の実施例を説明する。面方位(１００)、抵抗率１０Ωｃｍ、直径１２.５ ｃｍ、ｎ型単結晶シリコン(Ｓｉ)基板をＳＯＩ基板３として用い、上記実施例４と同様にして多層構造ＳＯＩ基板を形成した。

【００４３】

当該多層構造ＳＯＩ基板の主表面からＳｉ酸化膜２に達する溝を形成し、この溝内へ絶縁膜を埋め込んで素子間分離絶縁膜６を形成して、活性領域を確定した。上記素子間分離絶縁膜６の形成に先立ち、薄いシリコン酸化膜２０に達する浅い溝を形成して、素子内分離

絶縁膜５と上記素子間分離絶縁膜６の埋め込みを同時に行った。次に、活性領域以外のＳＯＩ層（単結晶Ｓｉ層）３の主表面上に、厚さ３００ｎｍのフィールド酸化膜７を形成した(図６)。

【００４４】

周知のバイポ-ラトランジスタの製造方法を用いて、真性ベ-ス拡散層８、ｐ型不純物が高濃度に添加された多結晶Ｓｉ膜からなるベ-ス引出し電極９、電極保護絶縁膜１０、エミッタ・ベ-ス分離絶縁膜１１を形成した。

【００４５】

熱処理を行って、つなぎベ-ス拡散層１３を形成した後、ｎ型不純物が高濃度に添加された多結晶Ｓｉ膜からなるエミッタ引出し電極２１を形成し、さらに短時間の高温熱処理を行って、浅い接合を有するエミッタ拡散層15を形成した。なお、つなぎベ-ス拡散層１３とエミッタ拡散層１５を形成するための熱処理は、共通化して行ってもよい。

【００４６】

エミッタ拡散層１５を形成した後、窒化膜２２を全面に形成し、さらに開口部２３を形成して、上記窒化膜２２とＳＯＩ層３のうち、活性領域に形成されてある所望箇所を選択的に除去した。上記開口部の最小寸法は８００ｎｍで、深さはＳｉ薄膜１９に達する深さとした。周知の異方性エッチングにより、上記開口部２３を介して、活性領域内のＳｉ薄膜１９を選択的に除去して横穴24を形成した(図７)。

【００４７】

上記横穴24の天井部に露出された薄い酸化膜２０を選択的に除去してＳＯＩ層３の底部を露出させた後、燐が高濃度に添加された厚さ５００ｎｍの非晶質Ｓｉ膜を全面に形成して、横穴24および開口部２３を非晶質Ｓｉ膜２５で充填した。続いて高温の短時間熱処理を行い、横穴24上部のＳＯＩ層３の底部内に浅いｎ導電型高濃度コレクタ拡散層２６を形成した。上記非晶質Ｓｉ膜２５は、ジシランを６００℃で熱分解して形成した。次に、上記Ｓｉ膜２５のうち、主表面上に形成された部分を、所望回路構成に従ってパターニングした後、残った上記窒化膜２２を除去した(図８)。

【００４８】

絶縁膜１０に達する開口部を形成した後、Ａｌを主成分とするベース電極１７、エミッタ電極引出し２１、コレクタ電極１８を含む電極と配線を形成した(図９)。

【００４９】

本実施例においては、従来は必須であったエピタキシャル工程を用いる必要がないので、エピタキシャル工程およびフィールド酸化膜７形成等、高温熱処理工程によるコレクタ高濃度拡散層の広がりが解消され、急峻な不純物分布を有するコレクタ高濃度拡散層を実現することができた。これにより、従来のエピタキシャル層に対応する層の厚さを、２００ｎｍと極めて薄くしても、ベース・コレクタ間の短絡等の不良が生ずることはなく、各接合を浅くすることによって極めて高速度の半導体装置が実現できた。さらに、従来構造においては、コレクタ拡散層の拡がりを極力低減させるために、Ｓｂ(アンチモン)をｎ導電型不純物として用いたが、Ｓｂは析出濃度限界が低いため、コレクタ拡散層の抵抗を低くするのは困難であったのに対し、本実施例で得られた半導体装置は、不純物濃度分布の拡がりを考慮する必要が無いため、燐のように析出濃度が高く、抵抗を低くすることが可能な不純物を用いることができる。これより、本実施例で形成された半導体装置のコレクタ抵抗は、従来比で約半分に低減された。

【００５０】

本実施例においては、説明を簡明にするため、ｎｐｎ型バイポーラトランジスタの場合について説明したが、ｎ導電型のベース拡散層およびｐ導電型のエミッタ拡散層をあらかじめ形成しておき、開口部２３および横穴24を、硼素が高濃度に添加されたＳｉ膜２５によって充填することにより、ｐｎｐ型バイポーラトランジスタを容易に製造することができる。硼素(Ｂ)の拡散速度は、Ｓｂ等のｎ導電型不純物の拡散速度より極めて大きいので、従来構造のｐｎｐ型トランジスタにおけるコレクタの高濃度拡散層は，ｎｐｎ型トランジスタの場合よりもさらに拡がりが著しく，薄いエピタキシャル層の形成が困難で、接合

を浅くすることは困難であったが、本実施例により、このような困難は容易に解消できた。

【００５１】

〈実施例６〉図１０および図１１を用いて本発明の他の実施例を説明する。上記実施例５と同様に開口部２３および横穴２4を形成した後、図１０に示したように、燐が高濃度に添加された厚さ２０ｎｍのＳｉ薄膜２５を、周知の化学気相反応を用いて全面に形成して上記開口部２３および横穴２4の内壁にも形成した後、短時間の高温熱処理を行って、高濃度コレクタ拡散層２６を形成した。

【００５２】

次に、厚さ５００ｎｍのタングステン(W)膜２７を同様に化学気相反応により形成して、開口部２３および横穴２4内を充填した。本実施例においては窒化膜２２の形成は省略し、エミッタ拡散層１５はあらかじめ形成しないで、高濃度コレクタ拡散層２６と同時に形成して図１０に示す構造を形成した。

【００５３】

上記Ｓｉ薄膜２５およびW膜２７を、所望回路構成に従ってパターニングしてエミッタ引出し電極２１、２８およびコレクタ引出し電極（W膜）２７を形成した。さらに、上記実施例１と同様にしてベース電極１７、エミッタ金属電極１６およびコレクタ金属電極１８等を含む電極と配線を形成して図１１に示す構造を形成した。

【００５４】

本実施例において形成された半導体装置においては、上記実施例１において形成された半導体装置と比較しても、コレクタ抵抗を１/１０以下に低減できた。また、本実施例では、エミッタとコレクタの拡散層を同時に形成できるため、両者の接合は、いずれも浅くすることが可能であり、極めて高速のトランジスタが実現できた。

【００５５】

本実施例においては、ｎｐｎ型バイポーラトランジスタの場合を示したが、ｎ型のベース拡散層をあらかじめ形成しておき、開口部２３および横穴２4内を、硼素が高濃度に添加されたＳｉ膜２５で充填することにより、ｐｎｐ型バイポーラトランジスタを容易に製造することができる。

【００５６】

〈実施例７〉本実施例は、上記実施例６において、素子間分離絶縁膜６を形成して活性領域を確定した後、周知の方法を用いてＳＯＩ層の所望活性領域にｎチャンエルＭＯＳトランジスタを製造した例である．ＭＯＳトランジスタのゲート酸化膜、ゲート電極およびソース・ドレイン拡散層は、バイポーラトランジスタの形成予定領域を絶縁膜で覆って保護し、バイポーラトランジスタを形成するのに先だって形成した。次に、バイポーラトランジスタの形成予定領域上の絶縁膜を選択的に除去した後、上記実施例６と同様に処理してバイポーラトランジスタを形成した。

【００５７】

なお、ＭＯＳトランジスタ領域においては、Ｓｉ薄膜１９に達する開口部を、バイポーラトランジスタ領域と同時に形成したが、Ｓｉ薄膜１９の選択エッチングはバイポーラトランジスタの製造工程とは別に行ない、ＭＯＳトランジスタ領域における酸化膜２０の除去は行わなかった。ＭＯＳトランジスタ領域における横穴２4の形成、W膜２７の埋め込みおよび主表面にまで延在されたW膜２７の形成およびパターンイングによりＭＯＳトランジスタの閾値を制御するごとく所望電圧を印加する第4の電極を形成した。

【００５８】

本実施例においては、ソース・ドレイン寄生容量が通常の基板を用いた場合の１/２となる薄膜ＭＯＳトランジスタと、コレクタ抵抗が従来比１/１０と低く、しかも接合を浅くすることができる縦型の高速バイポーラトランジスタを、同一ＳＯＩ基板内に形成できた。これにより、極めて高速で、かつ集積密度が極めて高い大規模集積回路を実現することができた。なお、本実施例においては、横穴２4内にＳｉ薄膜２５およびW膜２７を埋め込んだが、本実施例では、シリコン酸化膜等絶縁膜を埋め込んで、支持基板とＳＯＩ層間

の寄生容量を、さらに低減する構造としてもよい。ＭＯＳトランジスタ領域ではＳｉ薄膜１９に達する開口部は形成せずに、高抵抗のＳｉ薄膜がＳＯＩ層の底部に形成されたままの構造であっても支障はない。

【００５９】

〈実施例８〉図１２乃至図１4を用いて本発明の他の実施例を説明する。

【００６０】

まず、図１２に示したように、上記実施例４と同様に、InP基板３(図示せず)上にキャップ層となるＩｎＧａＡｓ層１０１、エミッタ層となるｎ型低抵抗のInP層１０２、バッファ層となるＩｎＧａＡｓ層１０３、ベース層となるｐ型ＩｎＧａＡｓ層１０４、真性コレクタ層となるｎ型ＩｎＧａＡｓ層１０５を、エピタキシャル法により積層して形成した。さらに、プラズマ雰囲気における化学気相反応によって厚さ１００ｎｍのＳｉ酸化膜２０を形成して、一方の基板とした。

【００６１】

一方、単結晶Ｓｉ基板１の主表面に厚さ５００ｎｍの酸化膜２および厚さ５００ｎｍのＧｅ膜１０９を形成して、上記基板と貼合せるべき支持基板とした。

【００６２】

InP基板３および支持基板（Ｓｉ基板）１の主表面を互いに直接貼合せ、接合強化のために３００℃の熱処理を行った。次に、InP基板３の裏面側から研削および研磨を行って、InP基板３の厚さを約２μｍに薄くした。次に、塩酸水溶液を用いてInP層３を除去し、ＩｎＧａＡｓキャップ層１０１の上露出させた。この溶液ではＩｎＧａＡｓ層はエッチングされないため、ＩｎＧａＡｓキャップ層１０１が露出された。次に、表面からＳｉ酸化膜２に達する溝を形成して所望活性領域を画定し、溝内を酸化膜６によって選択的に充填した。

【００６３】

図１３に示したように、エミッタ電極１０６を形成し、当該電極１０６をマスクとしてＩｎＧａＡｓキャップ層１０１およびｎ型低抵抗エミッタInP層１０２を選択的にエッチングして、ＩｎＧａＡｓバッファ層１０３を露出させた。なお、この際、上記バッファ層１０３を同時にエッチングしてもよい。

【００６４】

次に、図１４に示したように、ベース電極１０７をエミッタ電極１０６と自己整合の関係で形成した後、プラズマ雰囲気中の化学気相反応によって、シリコン窒化膜を全面に形成して所望領域に窓を形成し、当該シリコン窒化膜をマスクとして表面からＧｅ膜１０９に達する開口部２３を形成した後、さらにエッチングを続けて所望領域内のＧｅ膜１０９とＳｉ酸化膜２０を完全に除去し、横穴２４を形成した。

【００６５】

エミッタ電極１０６およびベース電極１０７領域等を選択的に覆った状態で、化学気相反応を用いてW膜を全面に形成して、横穴２４および開口部２３内をW膜１０８によって充填した。さらにコレクタ電極１０８を形成して、ヘテロ接合化合物半導体トランジスタを形成した。

【００６６】

本実施例においては、従来のＳｉバイポーラトランジスタよりも高速なInP化合物半導体トランジスタがＳＯＩ構造で実現できた。これにより、コレクタ抵抗は極度に低くなり、コレクタ・基板間の寄生容量も著しく低減されて、高速性能をさらに高めることができた。

【００６７】

〈実施例９〉図１５乃至図１８を用いて本発明の他の実施例を説明する。

【００６８】

まず、図１５に示したように、上記実施例７で用いた単結晶Ｓｉ基板と同一仕様のＳｉ基板３の所定領域に、周知の方法を用いて厚さ４００ｎｍのフィールド酸化膜７を選択的に形成して、素子間分離絶縁膜とした。当該フィールド酸化膜７で分離された活性領域の表

面に、厚さ１０ｎｍの薄いシリコン酸化膜２９を形成した後、不純物が添加されていない厚さ４５０ｎｍの非晶質Ｓｉ膜３０を形成し、上記活性領域の少なくとも一部を覆い、かつフィールド酸化膜上に延在するようにパターニングした。

【００６９】

厚さ５００ｎｍさのシリコン酸化膜３１を、化学気相反応を用いて全面に形成し、さらに、表面が平坦化される程度の厚さの多結晶Ｓｉ膜３２を形成した。本実施例では、上記Ｓｉ膜３２の膜厚は２.５μｍとした。次に、多結晶Ｓｉ膜３２の表面を機械的・化学的研磨し、表面の二乗平均粗さを０.３ｎｍ以下とした。

【００７０】

次に、図１６に示したように、上記鏡面が研磨された多結晶Ｓｉ膜３２の表面と、別途用意した主表面に厚さ２００ｎｍのシリコン熱酸化膜２が形成された第２のＳｉ基板１とを直接貼合せた。当該第２のＳｉ基板は、上記単結晶Ｓｉ基板３と同一仕様とした。上記直接貼合せは、貼合せ面が極めて清浄であり、かつ表面の微細な凹凸が５ｎｍ以下、基板全体のうねりが１μｍ以下であれば、ボイドの発生なしにウエーハ全面で均一に貼合せることができる。

【００７１】

直接貼合せ工程の後、接着強度を向上させるために、９００℃、３０分の熱処理を行った。当該熱処理を行った後、接着強度を引張り試験により調べたところ単結晶Ｓｉの破壊強度並の約８００ ｋｇ／ｃｍ$^2$という大きな値が得られた。

【００７２】

単結晶Ｓｉ基板３の裏面側から高精度研削装置を用いて研削を行い、厚さを約１０μｍとし、続いてエチレンジアミン・ピロカテコールが添加された研磨液を用いて機械的・化学的研磨を行った。当該研磨は、回転円盤上に設けられた研磨布に、１.９x１０$^4$ Paなる圧力Ｓｉ基板を押しつけ、研磨液を供給しながら行ったが、研磨の進行にともなって露出されるフィールド酸化膜７の研磨速度は、単結晶Ｓｉ基板に比べて極めて遅く、１/１０$^4$倍以下であった。従って、上記研磨によって単結晶Ｓｉ基板３は完全に平坦化され、フィールド酸化膜７の裏面と同一面となった。これにより、活性領域に対応し、フィールド酸化膜７によって互いに絶縁分離された厚さ約２００ｎｍの単結晶ＳＯＩ層３が得られた。

【００７３】

次に図１７に示したように、上記実施例６と同様に、真性ベース拡散層８、ベース引出し電極、電極保護絶縁膜１０、エミッタ・ベース分離絶縁膜１１、つなぎベース拡散層１３、エミッタ引出し電極２１およびエミッタ拡散層１５等を形成し、さらにシリコン窒化膜２２を全面に形成した後、不要部分を除去し、上記フィールド酸化膜７の所望領域に、Ｓｉ膜３０に達する最小寸法６００ｎｍの開口部２３を形成した。

【００７４】

図１８に示したように、Ｓｉ膜３０を選択的に完全に除去して、単結晶Ｓｉ層（活性領域）の下部に達する横穴を形成し、横穴上部の薄いシリコン酸化膜２９を除去した後、フォスフィン($PH_3$)を拡散源とする短時間気相拡散によって浅い高濃度コレクタ拡散層２６をＳＯＩ層底部に形成し、さらにタングステン(Ｗ)膜２７を化学気相反応によって形成して、横穴内および開口部２３をＷによって充填した。Ｗ膜２７のパターニングを行ってコレクタ引出し電極２７を形成し、さらにＡｌを主成分とするベース電極１７、エミッタ電極１６およびコレクタ電極１８を、通常の方法を用いて形成した。

【００７５】

本実施例によれば、コレクタ引出し電極（Ｗ膜）２７は、活性領域の位置とは無関係に、回路構成に従って所望箇所に延在させ、かつ低抵抗で形成することができる。従って、回路設計の自由度は大幅に向上して、半導体回路の集積密度を向上できる。さらに、エミッタ、ベースおよびコレクタの各拡散層が形成されるＳＯＩ層の厚さを、膜厚の制御性が最も優れた、単結晶Ｓｉ基板の熱酸化膜であるフィールド絶縁膜７の膜厚で規定することができる。従って、上記実施例６および７において得られた半導体装置に比べても、各拡散層を極限まで浅くすることができ、動作をさらに高速にすることが可能となった。

【００７６】
本実施例においては、理解を容易にするために、真性ベース拡散層８およびエミッタ拡散層１５を形成した後に、高濃度コレクタ拡散層２６を形成した例を示したが、本実施例と同様にして、エミッタ拡散層１５と高濃度コレクタ拡散層２６同時に形成するか、あるいは高濃度コレクタ拡散層２６を形成した後にエミッタ拡散層１５を形成することも可能である。さらに、本実施例は、導電型が逆であるｐｎｐ型トランジスタの製造に対しても適用できることは言うまでもない。
【００７７】
〈実施例１０〉図１９および図２０を用いて本発明の他の実施例を説明する。本実施例においては、用いた単結晶Ｓｉ基板３がｐ型であること以外は、上記実施例９と同一仕様のものを用い、上記実施例９に準じて半導体装置を製造した。
【００７８】
図１９に示したように、上記実施例９において、上記フィールド酸化膜７の膜厚は１５０ｎｍとし、活性領域のＳｉ基板面には、厚さ５ｎｍのシリコン酸化膜からなるゲート絶縁膜３３を形成した。ゲート絶縁膜３３を形成した後、上記実施例９と同様に、不純物が添加されていない厚さ４５０ｎｍの非晶質Ｓｉ膜３０を形成し、ゲート電極に相当するパターンを形成した。このパターンは活性領域の一部を覆い、かつフィールド酸化膜７上にまで延在するように形成した。
【００７９】
上記パターンを、イオン打込みのマスクとして用いて、砒素イオン打込みを行い、活性領域のＳｉ基板表面近傍にｎ型高不純物濃度を有するソース拡散層３４およびドレイン拡散層３５を形成した。厚さ５００ｎｍのシリコン酸化膜３１と厚さ２.５ μｍの多結晶Ｓｉ膜３２を主表面全面に形成し、上記実施例９と同様に、多結晶Ｓｉ膜３２の表面を機械的・化学的研磨した後、別途準備した熱酸化膜２が形成されてある単結晶Ｓｉ基板１と直接貼合せた。
【００８０】
さらに、上記実施例９と同様に、Ｓｉ基板３の裏面側から研削と研磨を行ってフィールド酸化膜７の裏面で規定される極めて薄いＳＯＩ層３を形成した。上記ＳＯＩ層３の層厚は約７５ｎｍであった。
【００８１】
図２０に示したように、上記ＳＯＩ層３の活性領域表面に、厚さ５ｎｍの第２のゲート絶縁膜３６を形成した後、フィールド酸化膜７の所望箇所に最小寸法が６００ｎｍである開口部(図示せず)を形成し、Ｓｉ膜３０の一部を露出させた。次に上記開口部を介して露出されたＳｉ膜３０を選択的に除去し、上記ＳＯＩ層３の底部に達する横穴を形成した。
【００８２】
化学気相反応によって厚さ３００ｎｍのＷ膜を形成して、上記横穴内を充填し、さらに上記横穴部にＷゲート電極３８を形成した。主表面にも形成されているＷ膜の表面を保護する目的で燐が僅かに添加されたシリコン酸化膜を形成させてからシリコン酸化膜とＷ膜の積層膜をパターニングしてゲート保護絶縁膜および第２のゲート電極(Ｗ電極)３７を形成した。
【００８３】
燐が僅かに添加されたシリコン酸化膜を全面に形成した後、異方性エッチングを行なって、第２のゲート電極(Ｗ電極)３７の側壁部に絶縁膜を選択的に残し、Ｗ電極３７が露出されるのを防止した。
【００８４】
次に、上記第２のゲート電極(Ｗ電極)３７をマスクとして砒素イオンの打込みを行い、第２のソース拡散層３９および第２のドレイン拡散層４０を形成した。以上の製造工程において、第１のゲート電極３８と第２のゲート電極(Ｗ電極)３７は、同時に形成された金属材料からなり、かつ開口部を介して電気的に接続された構成となっている。また、第１のソース拡散層３４と第２のソース拡散層３９、および第１のドレイン拡散層３５と第２の

ドレイン拡散層４０はそれぞれ接続されるように接合深さを設定した。上記製造工程の後、所望領域における第２のゲート絶縁膜３６を選択除去し、ＡＬを主成分とする金属膜を蒸着してパターニングを行って、ソース電極４１およびドレイン電極４２等を形成して図２０に示す構造を形成した。

【００８５】

本実施例では、薄い単結晶ＳＯＩ層を第１および第２のゲート電極で挟込んで制御するＭＯＳトランジスタが形成されるが、薄膜単結晶ＳＯＩ層全体がチャネルとして動作可能であり、駆動電流を従来構造の２倍以上に増加できる。しかも、上記２つのゲート電極を同一で、かつ低抵抗の材料から形成できるため、更に高速動作特性が優れ、回路設計の自由度が大きい半導体装置が得られる。特に第１のWゲート電極３８は、貼合せ工程の際の高温熱処理工程の影響を受けずに形成されるため、ゲート絶縁膜３３の厚さが５ｎｍと極めて薄いにもかかわわらず、高い信頼性を確保することができた。

【００８６】

本実施例においては、上記第１および第２のゲート電極として化学気相反応によって形成されたW膜を用いたが、Wに限定されるものではなく、Ａｌ，Ｍｏ、Ｔｉ，Ｔａ等，他の低抵抗金属膜や金属珪化膜、あるいはソース・ドレイン拡散層とは導電型が異なる半導体薄膜であっても良い。また、同一ＳＯＩ基板上にｐチャネル型とｎチャネル型のトランジスタを形成し、ｐチャネル型とｎチャネル型のトランジスタの各ゲート電極を、材料が互いに異なる金属材料、金属珪化膜もしくは添加不純物濃度およびその導電型が異なる半導体膜によって形成しても良い。

【００８７】

〈実施例１１〉図２１乃至図２３を用いて本発明の他の実施例を説明する。

【００８８】

まず、上記実施例９において、単結晶Ｓｉ基板３の、バイポーラトランジスタ形成予定領域以外の領域に、厚さ４００ｎｍのフィールド絶縁膜７を選択的に形成した。当該フィールド絶縁膜７の所望箇所を選択的に除去した後、ＭＯＳトランジスタが形成され第２の活性領域を包囲する厚さ１００ｎｍの第２のフィールド絶縁膜７１を選択的に形成した。

【００８９】

上記第２のフィールド絶縁膜７１の形成に用いられた厚さ５ｎｍの薄いシリコン窒化膜２２の不要部分を除去して、バイポーラトランジスタが形成される領域を択的に残した。次に、厚さ５ｎｍの薄いゲート絶縁膜３３を、上記第２の活性領域上に熱酸化法により形成した。

【００９０】

不純物が添加されていない厚さ２００ｎｍの非晶質Ｓｉ膜３０を全面に形成した後、不要部分を除去して、上記第１および第２の活性領域を覆い、上記フィールド酸化膜７、７１上に延伸するパターンを形成した。ソース拡散層３９およびドレイン拡散層４０を上記ＭＯＳトランジスタ形成予定領域に形成した後、上記実施例９と同様に、厚さ５００ｎｍのシリコン酸化膜３１および厚さ２.５μｍの多結晶Ｓｉ膜３２を形成し、その表面を研磨して平坦化した。ソース拡散層３９およびドレイン拡散層４０は、接合深さが最終的に６０ｎｍになるように、各条件を設定した。

【００９１】

次に、図２２に示したように、上記多結晶Ｓｉ膜３２の表面を、上記実施例９と同様にして別途準備された、表面に熱酸化膜２が形成された単結晶Ｓｉ基板１と直接貼合せた後、Ｓｉ基板３の裏面側から上記研削と研磨を行って厚さを薄くし、フィールド酸化膜７、７１の厚さで規定される薄いＳＯＩ層を形成した。当該ＳＯＩ層の厚さは、バイポーラトランジスタ形成予定領域では２００ｎｍ、ＭＯＳトランジスタ形成予定領域では５０ｎｍであった。

【００９２】

バイポーラトランジスタ形成予定領域においては、上記実施例９と同様に真性ベース拡散層８、ベース引出し電極９、電極保護絶縁膜１０、エミッタ・ベース分離絶縁膜１１、つ

なぎベース拡散層１３、エミッタ引出し電極２１、エミッタ拡散層１５等を形成し、ＭＯＳトランジスタ形成予定領域においては、上記実施例１０と同様に処理して、ＳＯＩ層表面に厚さ５ｎｍの熱酸化膜からなる第２のゲート絶縁膜を形成し、次に、シリコン窒化膜２２を全面に形成した。

【００９３】

上記フィールド絶縁膜７、７１およびその下のシリコン窒化膜２２に、最小寸法４００ｎｍの開口部２３をそれぞれ形成し、バイポーラトランジスタの底部およびＭＯＳトランジスタの底部から延在されているＳｉパターン（Ｓｉ膜）３０の上面を露出させた。

【００９４】

上記開口部２３を介してＳｉパターン（Ｓｉ膜）３０を選択的に除去して、横穴を形成した後、図２３に示したように、形成された横穴の上部の上記ＳＯＩ層の底面に、ｎ型の高濃度コレクタ拡散層２６を形成した。次に、上記横穴の上部に残ったシリコン窒化膜２２を除去した後、Ｗ膜からなるコレクタ引出し電極（Ｗ膜）２７を上記実施例９と同様に形成した。

【００９５】

なお、ＭＯＳトランジスタ領域の底部では、薄いゲート絶縁膜３３がＳＯＩ層底部に残っているため、高濃度拡散層は形成されず、Ｗ膜からなるゲート電極３８のみが形成される。上記Ｗ膜は化学気相反応によって形成され、膜厚は２００ｎｍに設定した。

【００９６】

主表面上に形成されたＷ膜を、所望回路構成に従ってパターニングして、エミッタ引出し電極２８、第２のゲート電極(Ｗ電極)３７を形成し、Ａｌ膜の形成とそのパターニングによってコレクタＡｌ電極１８、エミッタＡｌ電極１６、ソ-スＡｌ電極４１およびドレインＡｌ電極４２を形成した。

【００９７】

本実施例で形成された半導体装置においては、厚さ２００ｎｍのＳＯＩ層内にエミッタ、ベースおよびコレクタの急峻で浅い接合を有し、高速動作が可能なバイポーラトランジスタと、厚さ５０ｎｍの薄い単結晶ＳＯＩ層を金属ゲート電極で挟込んで制御できる高速ＭＯＳトランジスタが，同一基板上に形成できる。そのため、バイポーラトランジスタとＭＯＳトランジスタが混在し、大容量でかつ高速動作が可能な従来半導体装置を、さらに高速化することが可能になった。

【００９８】

〈実施例１２〉図２４乃至図２５を用いて本発明の他の実施例を説明する。

【００９９】

まず、上記実施例７と同様に処理して、フィールド絶縁膜７によって互いに分離絶縁された厚さ２００ｎｍのＳＯＩ層３を形成した。次に、上記ＳＯＩ層のうち、ｎｐｎ型バイポーラトランジスタが形成される箇所では、上記実施例７と同様にｐ型の真性ベース拡散層８、ｐ型不純物が高濃度に添加されたベース引出し電極９、つなぎベース拡散層１３、電極保護絶縁膜１０、エミッタ・ベース分離絶縁膜１１、ｎ導電型のエミッタ引出し電極２１およびエミッタ拡散層１５等を形成した。また、上記ＳＯＩ層の、ｐｎｐ型バイポーラトランジスタが形成される他の箇所においては、同様な製造方法を用いてｎ型真性ベース拡散層４３、ｎ型不純物が高濃度に添加されたベース引出し電極４４、つなぎベース拡散層、電極保護絶縁膜１０、エミッタ・ベース分離絶縁膜１１、ｐ型多結晶Ｓｉ膜からなるエミッタ引出し電極４５およびｐ型エミッタ拡散層４６などを形成した。

【０１００】

図２４に示したように、シリコン窒化膜２２を全面に形成した後、上記シリコン窒化膜２２およびフィールド絶縁膜７に開口部２３を形成して、ｎｐｎ型トランジスタの形成予定領域の底部から、フィールド絶縁膜７に延在するＳｉパターン（Ｓｉ膜）３０の上面を露出させた。次に、上記開口部２３を介してＳｉ膜３０を選択的に除去し、横穴２４を形成した。

【０１０１】

上記実施例３と同様に、横穴上部の薄いシリコン酸化膜２９の選択的除去とｎ型高濃度コレクタ拡散層２６の形成、および化学気相形成Ｗ膜による横穴充填とコレクタ引出し電極（Ｓｉ膜）２５の形成を行った。コレクタ引出し電極（Ｓｉ膜）２５上を含む所望箇所の上に、燐がわずかに添加されたシリコン酸化膜を形成して表面を保護した後、上記シリコン酸化膜およびフィールド絶縁膜７に再び開口部２３を形成し、ｐｎｐ型トランジスタ形成予定領域の底部からフィールド絶縁膜７に延在するＳｉパターン（Ｓｉ膜）３０の上面が露出させた。上記開口部２３を介してＳｉパターン（Ｓｉ膜）３０を選択的に除去して横穴を形成した後、薄いシリコン酸化膜２９を除去し、露出されたＳＯＩ層の底面にジボラン（$B_2H_6$）を気相拡散源とする短時間気相拡散法によってｐ型の高濃度コレクタ拡散層４７を形成した。

【０１０２】

化学気相形成法によってＷ膜の形成して、上記横穴内を充填し、コレクタ引出し電極４８を形成した。最後にＡｌ膜の形成およびそのパターニングを行って電極１８、４９を含む電極および配線を所望回路形成に従って形成し、図２５に示す構造を形成した。

【０１０３】

本実施例では、ｐｎｐ型とｎｐｎ型のバイポーラトランジスタが同一基板に所望配置することができる。すなわち、２００ｎｍと極めて薄いＳＯＩ層に浅い接合構造を有する相補型バイポーラトランジスタが形成することができた。これにより、高速で消費電力の少ない半導体装置をさらに高速化することが可能となった。

【０１０４】

〈実施例１３〉本発明の他の実施例を図２６の計算機形成図で説明する。本実施例は、命令や演算を処理するプロセッサ５００が、複数個並列に接続された高速大型計算機に本発明の半導体装置を適用した例である。

【０１０５】

本実施例では、本発明の半導体装置の集積度が高いため、命令や演算を処理するプロセッサ５００、記憶制御装置５０１および主記憶装置５０２などを、１辺が約１０から３０ｍｍのシリコン半導体チップに形成できた。これら命令や演算を処理するプロセッサ５００、記憶制御装置５０１および化合物半導体集積回路からなるデータ通信インタフェース５０３を、同一セラミック基板５０６に実装した。また、データ通信インタフェース５０３およびデータ通信制御装置５０４を、同一セラミック基板５０７に実装した。これらセラミック基板５０６、５０７および主記憶装置５０２を実装したセラミック基板を、大きさが１辺約５０ｃｍ程度、あるいはそれ以下の基板に実装し、大型計算機の中央処理ユニット５０８を形成した。この中央処理ユニット５０８内データ通信や、複数の中央処理ユニット間データ通信、あるいはデータ通信インタフェース５０３と入出力プロセッサ５０５を実装した基板５０９との間のデータの通信は、図中の両端矢印線で示される光ファイバ５１０を介して行なった。この計算機では、命令や演算を処理するプロセッサ５００、記憶制御装置５０１および主記憶装置５０２などの半導体装置が、並列に高速で動作し、また、データの通信を光を媒体に行なわれるため、１秒間当りの命令処理回数を大幅に増加することができた。

【０１０６】

〈実施例１４〉図２７は本発明の他の実施例を示す光伝送システム図である。本実施例は上記実施例３において形成された半導体装置を、データを高速で送信する光送信モジュール６１３、および受信する光受信モジュール６１４の両伝送システムに適用した例である。

【０１０７】

本実施例では、上記実施例３において製造された半導体装置を用いて送信側電気信号６１０を処理する多重変換デジタル回路６０１、および半導体レーザ６０３を駆動するための半導体レーザ駆動アナログ回路６０２からなる光送信モジュール６１３、および送信された光信号６１１をフォトダイオード６０４によって変換された受信側電気信号６１２を増幅する前置増幅器６０５、および自動利得制御増幅器６０６、クロック抽出回路６０７、

識別回路６０８の各アナログ回路、およびデジタル回路である分離変換回路６０９等で形成される光受信モジュール６１４を形成した。

【０１０８】

上記実施例３において形成された半導体装置は、遮断周波数および最大遮断周波数が１００ＧＨｚ極めて高速で動作が可能なため、１秒当たり３０Ｇビットと大容量の信号を超高速で送受信することができた。

【０１０９】

【発明の効果】

本発明によれば、コレクタ高濃度拡散層およびその上面へのエピタキシャル層を形成することなしに、半導体基板を形成することができる。従来は、エピタキシャル工程におけるエピタキシャル層への不純物拡散を抑制することが難しく、急峻な不純物分布を有するコレクタ高濃度拡散層を実現するのは困難であった。本発明によれば、フィールド絶縁膜７の形成等の高温熱処理工程の後に、コレクタ拡散層を形成できるので、極めて急峻な不純物分布を有するコレクタ高濃度拡散層を実現できる。従って、その上部に形成されるベースおよびエミッタの各拡散層の厚さを、現有製造技術の範囲内で極限まで浅くすることが可能であり、そのため、本発明の半導体基板を用いることによって、半導体装置の動作速度は著しく向上する。

【０１１０】

また、多量処理が困難で、半導体装置の価格低減が困難なエピタキシャル工程が不要となるため、高性能の半導体装置を低い価格で製造することができる。

【０１１１】

さらに、コレクタ引出し領域を低抵抗の各種金属材料で形成できるので、コレクタ抵抗が大幅な低減して、半導体装置およびそれを用いた集積回路の動作速度が向上する。

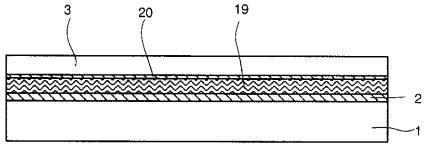
【図面の簡単な説明】

【図１】本発明の実施例１の半導体基板を示す断面図、
【図２】従来の半導体基板を示す断面図、
【図３】従来の半導体装置を示す断面図、
【図４】本発明の実施例１の製造工程を説明するための図、
【図５】本発明の実施例４を説明するための工程図、
【図６】本発明の実施例５を説明するための工程図、
【図７】本発明の実施例５を説明するための工程図、
【図８】本発明の実施例５を説明するための工程図、
【図９】本発明の実施例５を説明するための工程図、
【図１０】本発明の実施例６を説明するための工程図、
【図１１】本発明の実施例６を説明するための工程図、
【図１２】本発明の実施例８を説明するための工程図、
【図１３】本発明の実施例８を説明するための工程図、
【図１４】本発明の実施例８を説明するための工程図、
【図１５】本発明の実施例９を説明するための工程図、
【図１６】本発明の実施例９を説明するための工程図、
【図１７】本発明の実施例９を説明するための工程図、
【図１８】本発明の実施例９を説明するための工程図、
【図１９】本発明の実施例１０を説明するための工程図、
【図２０】本発明の実施例１０を説明するための工程図、
【図２１】本発明の実施例１１を説明するための工程図、
【図２２】本発明の実施例１１を説明するための工程図、
【図２３】本発明の実施例１１を説明するための工程図、
【図２４】本発明の実施例１２を説明するための工程図、
【図２５】本発明の実施例１２を説明するための工程図、
【図２６】本発明の実施例１３を説明するための計算機形成図、

【図２７】本発明の実施例１４を説明するための光伝送システム形成図。
【符号の説明】
１、３……単結晶Ｓｉ基板、　２……シリコン酸化膜、４……高濃度コレクタ拡散層、　５……素子内分離絶縁膜、　６……素子間分離絶縁膜、　７……フィールド絶縁膜、　８……真性ベース拡散層、　９……ベース引出し電極、　１０……電極保護絶縁膜、　１１……エミッタ・ベース分離絶縁膜、　１２……コレクタ引出し拡散層、　１３……つなぎベース拡散層、　１４……エピタキシャル開始面、　１５……エミッタ拡散層、　１６……エミッタ電極、　１７……ベース電極、　１８……コレクタ電極、　１９……Ｓｉ薄膜、　２０……シリコン酸化膜、　２１……エミッタ引出し電極、　２２……シリコン窒化膜、　２３……開口部、　２４……横穴、　２５……Ｓｉ膜、　２６……高濃度コレクタ拡散層、２７……Ｗ膜、　２８……エミッタ引出し電極、　２９……シリコン酸化膜、３０……Ｓｉ膜、　３１……シリコン酸化膜、　３２……多結晶Ｓｉ膜、３３……ゲート絶縁膜、　３４……ソース拡散層、　３５……ドレイン拡散層、　３６……第２のゲート絶縁膜、　３７……第２のゲート電極、３８……第１のゲート電極、　３９……第２のソース拡散層、　４０……第２のドレイン拡散層、　４１……ソース電極、　４２……ドレイン電極、４３……ｎ型真性ベース拡散層、　４４……ｎ型ベース引出し電極、　４５……ｐ型エミッタ引出し電極、　４６……ｐ型エミッタ拡散層、　４７……ｐ型高濃度コレクタ拡散層、４８……コレクタ引出し電極、　４９……電極、　５００……プロセッサ、　５０１……記憶制御装置、　５０２……主記憶装置、　５０３……データ通信インタフェース、　５０４……データ通信制御装置、　５０５……入出力プロセッサ、　５０６……セラミック基板、　５０７……セラミック基板、　５０８……中央処理ユニット、　５０９……入出力プロセッサ実装基板、　５１０……光ファイバ、　６０１……多重変換回路、　６０２……半導体レーザ駆動回路、　６０３……半導体レーザ、　６０４……フォトダイオード、　６０５……前置増幅器、　６０６……自動利得制御増幅器、　６０７……クロック抽出回路、６０８……識別回路、　６０９……分離変換回路、　６１０……送信側電気信号、６１１……光信号経路、　６１２……受信側電気信号、　６１３……光送信モジュール、　６１４……光受信モジュール。

【図１】

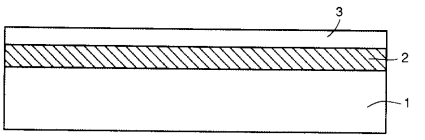
図１




１：単結晶Ｓｉ基板　２：シリコン酸化膜　３：Ｓｉ基板
１９：Ｓｉ薄膜　２０：シリコン酸化膜

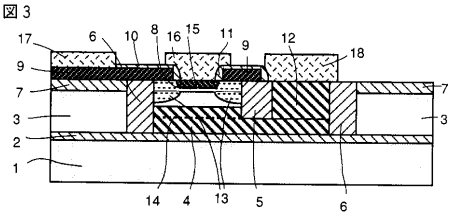
【図２】

図２



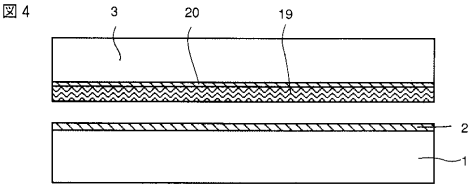

【図３】

図３



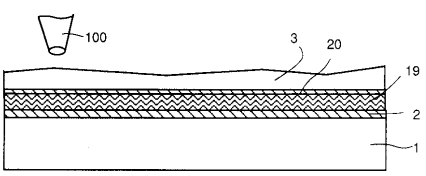

【図４】

図４



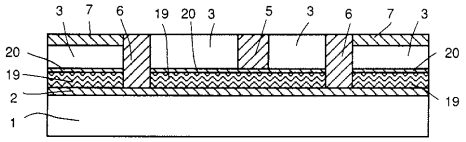

【図５】

図５



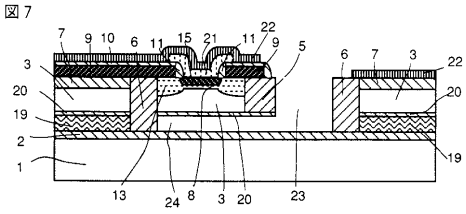

【図６】

図６



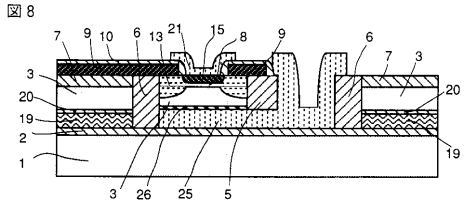

【図７】

図７



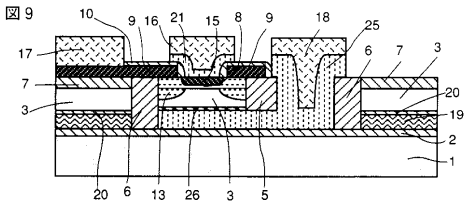

【図８】

図８



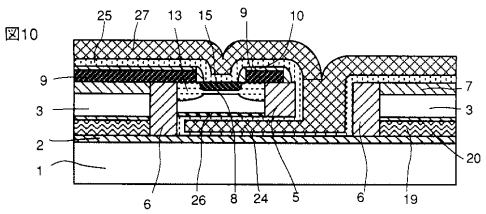

【図９】

図９



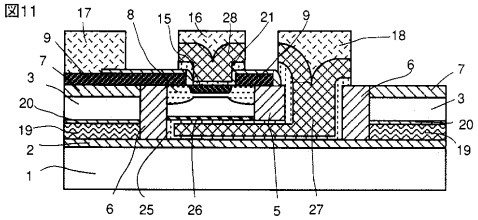

【図１０】

図10



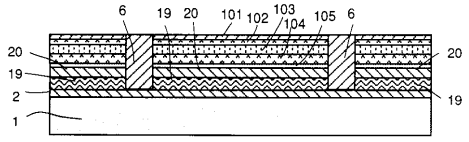

【図１１】

図11



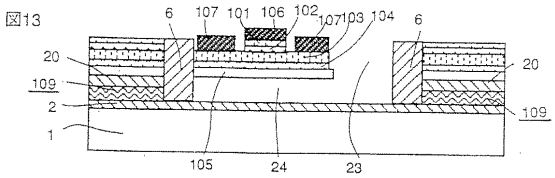
【図１２】

図12



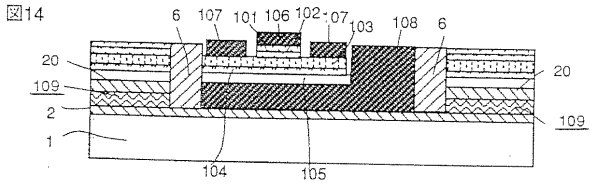

【図１３】

図13



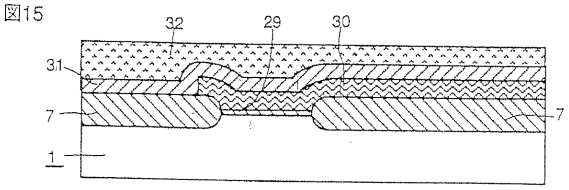

【図１４】

図14



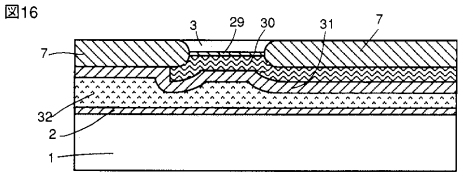

【図１５】

図15



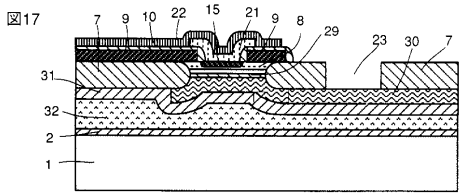

【図１６】

図16



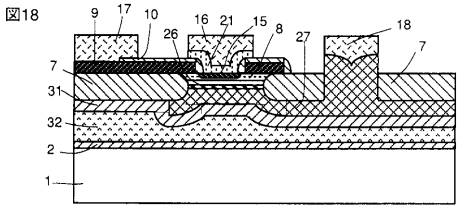

【図１７】

図17



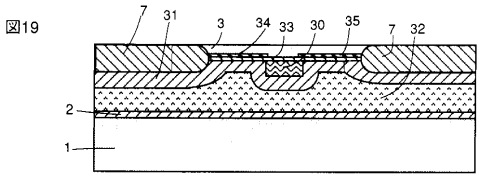

【図１８】

図18



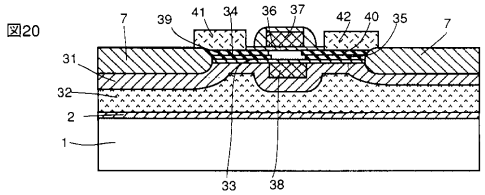

【図１９】

図19



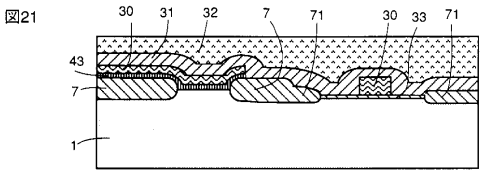

【図２０】

図20



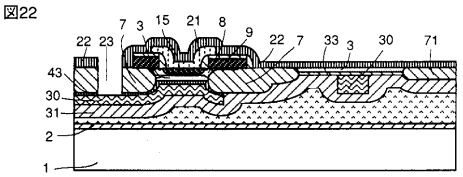

【図２１】

図21



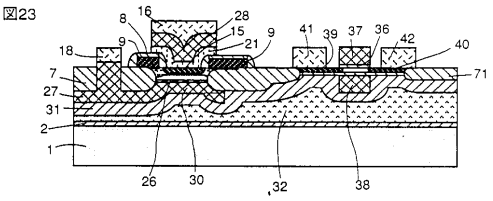

【図２２】

図22



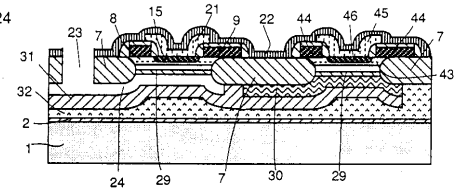

【図２３】

図23



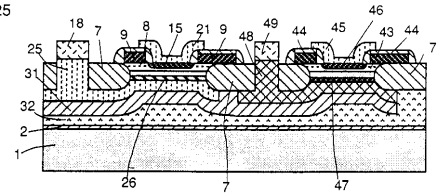
【図２４】

図24



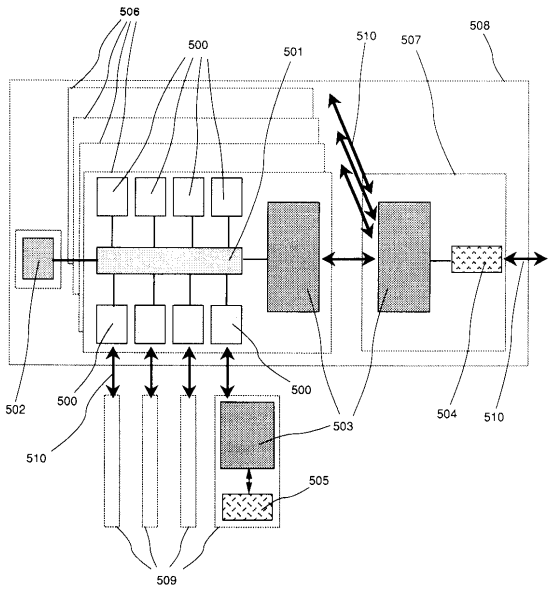

【図２５】

図25



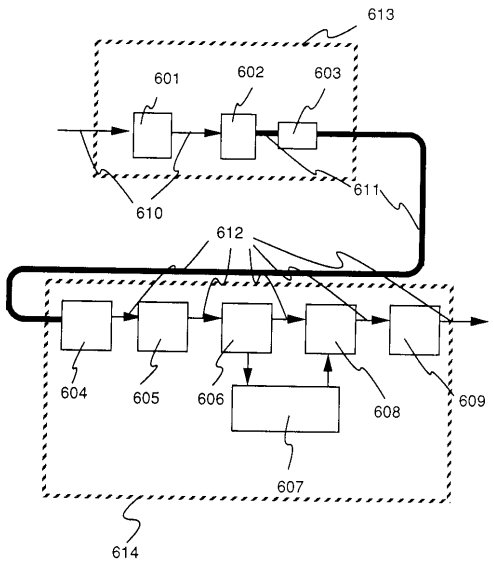

【図２６】

図２６




【図２７】

図27



フロントページの続き

審査官　綿引　隆

(56)参考文献　特開平０２－２６０４２８（ＪＰ，Ａ）
特開平０５－２０６１５８（ＪＰ，Ａ）
特開平０２－０５８８７３（ＪＰ，Ａ）
特開平０４－３２３８５１（ＪＰ，Ａ）
特開昭６３－１９８３６５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)

H01L 21/76
H01L 27/06
H01L 27/08
H01L 27/12
H01L 29/72
H01L 29/78