



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 748413

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 03.07.78 (21) 2640029/18-24

(51) М. Кл.²

с присоединением заявки № —

G 06 F 9/12

(23) Приоритет —

Опубликовано 15.07.80 Бюллетень № 26

(53) УДК 681.325
(088.8)

Дата опубликования описания 15.07.80

(72) Авторы
изобретения

А.Г. Андрущенко, И.П. Барбаш, Г.Н. Тимошкин,
С.Н. Ткаченко, Н.Ф. Фомин
и В.С. Харченко

(71) Заявитель

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО
УПРАВЛЕНИЯ

1

Изобретение относится к вычислительной технике, в частности к устройствам управления ЭВМ.

Известно микропрограммное устройство управления, содержащее два запоминающих блока, регистры адресов, элементы И [1].

Недостатком указанного устройства является сложность.

Наиболее близким к предлагаемому устройству по технической сущности является микропрограммное устройство управления, содержащее триггер, элементы И, коммутатор, первый и второй выходы которого подключены ко входам первой и второй группы элементов, каждая из которых состоит из последовательно соединенных регистров адресов и запоминающего блока, подключенного входом через элемент И к соответствующему входу устройства, причем выход первого запоминающего блока подключен к нулевому входу триггера, а выход второго запоминающего блока — к единичному входу триггера, единичный выход которого подключен ко второму входу первого элемента И, а нулевой выход — ко второму входу элемента И [2].

2

Недостаток данного устройства — сложность, обусловленная наличием в схеме двух коммутаторов, работающих поочередно, а также необходимостью расширения входов регистров адресов для обеспечения записи информации с любого из двух коммутаторов.

Цель изобретения — упрощение устройства.

Это достигается тем, что микропрограммное устройство управления, содержащее коммутатор, первый и второй выходы которого соединены соответственно со входами первого и второго регистра адреса, выходы которых соединены с первыми входами первого и второго блока памяти соответственно, вторые входы которых соединены соответственно с выходами первого и второго элементов И, первый вход первого элемента И является первым входом устройства, второй вход соединен с единичным выходом триггера, первый вход второго элемента И является вторым входом устройства, а второй вход соединен с нулевым выходом триггера, нулевой вход которого соединен с первым выходом первого блока памяти, а единичный вход —

5

10

15

20

25

30

с первым выходом второго блока памяти, содержит первые и вторые элементы НЕ и ИЛИ, группу элементов ИЛИ, причем первый и второй входы элементов ИЛИ группы соединены соответственно со вторыми выходами первого и второго блока памяти, первый выход первого блока памяти соединен через первый элемент НЕ со входом первого элемента ИЛИ и с первым входом второго элемента ИЛИ, второй вход которого соединен через второй элемент НЕ с первым выходом второго блока памяти и со вторым входом первого элемента ИЛИ, выход которого соединен с первым входом коммутатора, выход второго элемента ИЛИ соединен со вторым входом коммутатора, выход элементов ИЛИ группы соединен с третьим входом коммутатора.

В устройстве используют только один коммутатор, который работает в каждом такте работы устройства и обеспечивает запись информации с выходов блока памяти в нужный регистр адреса (т.е. в тот, с которого она должна считываться в следующем такте).

На чертеже представлена блок-схема микропрограммного устройства управления.

Микропрограммное устройство управления содержит регистры 1 и 2, элементы И 3 и 4, блоки 5 и 6 памяти, элементы НЕ 7 и 8, группу элементов ИЛИ 9, триггер 10, элементы ИЛИ 11 и 12, коммутатор 13. Символами 14 и 15 обозначены входы тактовых импульсов, 16 и 17 - первые, 18 и 19 - вторые выходы блоков памяти.

Триггер 10 управляет работой устройства. Если он находится в единичном (нулевом) состоянии, то открыт элемент И 3 (4) и разрешается считывание тактовым импульсом по входу 14 (15) с блока 5 (6) памяти. Группа элементов ИЛИ 9 образует цепь передачи информации (адреса микрокоманды) с выходов блоков памяти 5 и 6 на третий вход коммутатора 13.

Элементы НЕ 7 и 8 и элементы ИЛИ 11 и 12 образуют цепь управления работой коммутатора 13 по первому и второму входам. При наличии управляющего сигнала на первом (втором) входе коммутатора 13 адрес следующей микрокоманды с выхода 18 (19) блока памяти 5 (6) записывается через элементы ИЛИ 9 и коммутатор 13 в регистр 1 (2).

Устройство работает следующим образом.

В исходном состоянии триггер 10 находится в единичном (нулевом) состоянии, а адрес считываемой микрокоманды находится в регистре 1 (2). Так как элемент И 3 (4) открыт, то тактовый импульс, поступающий со входа устройства 14 (15) через эле-

мент И 3 (4) разрешает считывание микрокоманды с блока памяти 5 (6).

Далее работа устройства может осуществляться в двух режимах. В первом режиме происходит попеременное считывание микрокоманд с блоков памяти. Во втором режиме осуществляется считывание микрокоманд в двух и более тактах с одного и того же блока памяти.

В первом режиме с первого выхода 16 (17) блока памяти 5 (6) считывается каждый раз единичный сигнал, который поступает на нулевой (единичный) вход триггера 10 и одновременно через элемент ИЛИ 12 (11) на второй (первый) вход коммутатора 13. Триггер 10 устанавливается в нулевое (единичное) состояние, в котором открыт элемент И (3) 4. Одновременно со второго выхода 18 (19) блока памяти 5 (6) считывается адрес следующей микрокоманды, который через элементы ИЛИ 9 поступает на третий вход коммутатора 13 и далее по срабатыванию коммутатора 13 с его второго (первого) выхода записывается в регистр 2 (1).

По следующему тактовому импульсу работа устройства осуществляется аналогично описанному выше.

Во втором режиме сигнал на выходе 16 (17) блока 5 (6) памяти отсутствует. Поэтому триггер 10 не изменяет своего состояния и элемент И 3 (4) остается открытым. Одновременно единичный сигнал с выхода элемента НЕ 7 (8) через элемент ИЛИ 11 (12) поступает на первый (второй) вход коммутатора 13, предопределяя тем самым запись адреса следующей микрокоманды с выхода 18 (19) блока 5 (6) памяти через элементы ИЛИ 9 и коммутатор на регистр 1 (2). Если после этого необходимо вновь реализовать второй режим, то устройство функционирует аналогично описанному.

Введение в устройство дополнительно двух элементов НЕ и ИЛИ и группы элементов ИЛИ, а также описанных связей позволяет существенно упростить устройство за счет использования одного коммутатора, что дает возможность строить более экономичные микропрограммные устройства управления.

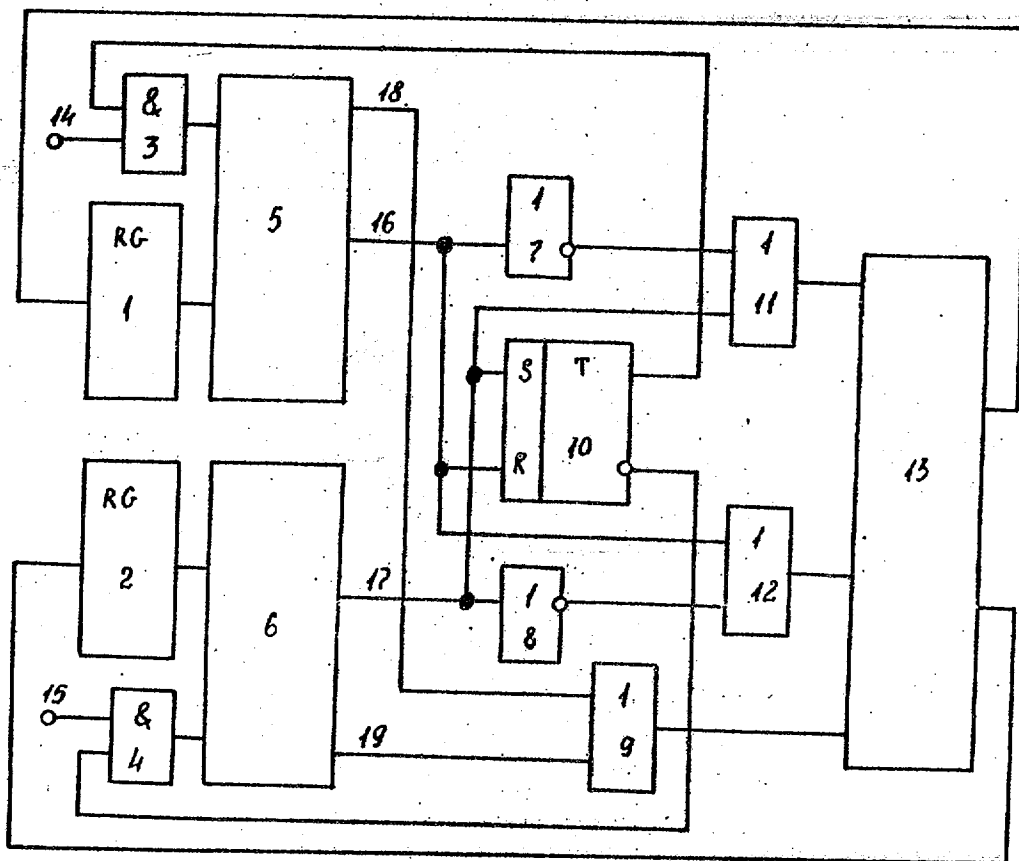
Формула изобретения

Микропрограммное устройство управления, содержащее коммутатор, первый и второй выходы которого соединены соответственно со входами первого и второго регистра адреса, выходы которых соединены с первыми входами первого и второго блока памяти соответственно, вторые входы

которых соединены соответственно с выходами первого и второго элементов И, первый вход первого элемента И является первым входом устройства, второй вход соединен с единичным выходом триггера, первый вход второго элемента И является вторым входом устройства, а второй вход соединен с нулевым выходом триггера, нулевой вход которого соединен с первым выходом первого блока памяти, а единичный вход - с первым выходом второго блока памяти, о т л и ч а ю щ е с я тем, что, с целью упрощения устройства, оно содержит первые и вторые элементы НЕ и ИЛИ, группу элементов ИЛИ, причем первый и второй входы элементов ИЛИ группы соединены соответственно со вторыми выходами первого и второго блока памяти, первый выход первого

блока памяти соединен через первый элемент НЕ с первым входом первого элемента ИЛИ и с первым входом второго элемента ИЛИ, второй вход которого соединен через второй элемент НЕ с первым выходом второго блока памяти и со вторым входом первого элемента ИЛИ, выход которого соединен с первым входом коммутатора, выход второго элемента ИЛИ соединен со вторым входом коммутатора, выход элементов ИЛИ группы соединен с третьим входом коммутатора.

- Источники информации,
принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 451080, кл. G 06 F 9/12, 1974.
 2. Авторское свидетельство СССР по заявке № 2479592/24, 26.04.77 (прототип).



Редактор Н. Горват Составитель Г. Пономарева
Техред А. Куликовская Корректор И. Муска

Заказ 4367/13 Тираж 751 Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4