



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 103 22 733 A1 2004.03.04

(12)

## Offenlegungsschrift

(21) Aktenzeichen: 103 22 733.4

(51) Int Cl.<sup>7</sup>: G11C 5/14

(22) Anmeldetag: 20.05.2003

(43) Offenlegungstag: 04.03.2004

(30) Unionspriorität:  
2002-144869 20.05.2002 JP

(72) Erfinder:  
Yamauchi, Tadaaki, Tokio/Tokyo, JP; Matsumoto, Junko, Tokio/Tokyo, JP; Okamoto, Takeo, Tokio/Tokyo, JP; Suwa, Makoto, Tokio/Tokyo, JP; Ichiguchi, Tetsuichiro, Tokio/Tokyo, JP; Yonetani, Hideki, Tokio/Tokyo, JP; Nagasawa, Tsutomu, Tokio/Tokyo, JP; Tian, Zengcheng, Itami, Hyogo, JP

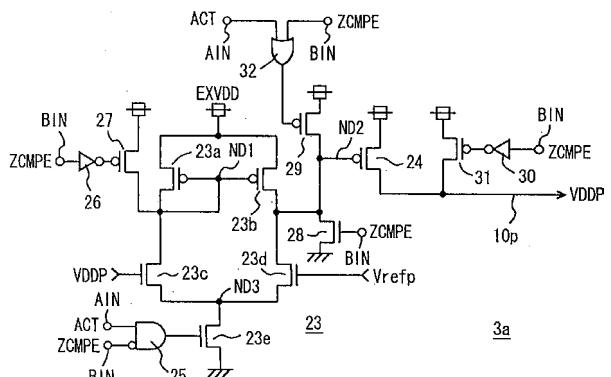
(71) Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP

(74) Vertreter:  
Prüfer und Kollegen, 81545 München

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: Halbleiterspeichervorrichtung mit stabil erzeugter interner Spannung

(57) Zusammenfassung: Eine Art der Erzeugung von internen Spannungen wie z. B. einer hohen Spannung, einer mittleren Spannung und einer internen Versorgungsspannung wird entsprechend einem Versorgungspegeleinstellsignal (ZCMPE) geschaltet. Wenn der Spannungspegel einer externen Versorgungsspannung (EXVDD) klein ist, werden ein Stromtreibertransistor 24, der einen Ausgang einer Vergleichsschaltung 23 empfängt, und ein Hilfstransistor 31 zwangsweise in einen leitenden Zustand versetzt, und die externe Versorgungsspannung wird zu einer internen Versorgungsleitung (10p) übertragen. Dabei wird der Vergleichsbetrieb der Vergleichsschaltung beendet. Wenn der Pegel der externen Versorgungsspannungen hoch ist, wird die Vergleichsschaltung aktiviert und die externe Versorgungsspannung zum Erzeugen einer Peripherievorschaltung auf der internen Versorgungsleitung abwärts gewandelt.



## Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung mit einer internen Spannungserzeugeschaltung zum Erzeugen einer internen Spannung und insbesondere auf eine Internspannungserzeugeschaltung, die in der Lage ist, auch bei Angabe einer Mehrzahl von externen Versorgungsspannungen und einer Mehrzahl von Schnittstellen eine interne Spannung stabil entsprechend einer externen Versorgungsspannung zu erzeugen.

[0002] **Fig. 36** ist eine schematische Darstellung des Aufbaus eines Feldabschnitts eines bekannten dynamischen Direktzugriffsspeichers (DRAM). In **Fig. 36** ist eine Speicherzelle MC an einem Schnittpunkt zwischen Bitleitungen BL und ZBL und einer Wortleitung WL angeordnet. In **Fig. 36** ist stellvertretend die Speicherzelle MC gezeigt, die an dem Schnittpunkt zwischen der Bitleitung BL und der Wortleitung WL angeordnet ist.

[0003] Im allgemeinen sind die Speicherzellen MC in einem Speicherfeld in Zeilen und Spalten angeordnet, und eine Wortleitung WL ist entsprechend jeder Speicherzellenzeile angeordnet. Für jede Speicherzellenspalte ist ein Paar von Bitleitungen BL und ZBL angeordnet. Eine Speicherzelle ist an dem Schnittpunkt zwischen einer der gepaarten Bitleitungen und einer Wortleitung angeordnet. Über die Bitleitungen BL und ZBL werden komplementäre Daten übertragen.

[0004] Die Speicherzelle MC enthält einen Speicherkondensator MQ zum Speichern von Information in Form elektrischer Ladungen und einen Zugriffstransistor MT zum Verbinden des Speicherzellenkondensators MQ mit einer entsprechenden Bitleitung BL bzw. ZBL in Übereinstimmung mit einer Signalspannung auf der Wortleitung WL. Der Zugriffstransistor MT wird für gewöhnlich aus einem n-Kanal-MOS-Transistor (Feldeffekttransistor mit isoliertem Gate) gebildet, und eine negative Vorspannung Vbb wird an ein Backgate (rückseitiges Gate) des Zugriffstransistors MT angelegt. Durch Anlegen der negativen Vorspannung Vbb an das Backgate des Zugriffstransistors MT wird beabsichtigt, die Schwellenspannung des Zugriffstransistors MT zu stabilisieren, die parasitäre Kapazität zwischen einer Signalleitung und einem Substratbereich zu verringern und die Übergangskapazität von Drain und Source des Zugriffstransistors MT zu verringern.

[0005] Für die Bitleitung BL und ZBL sind eine Bitleitungsausgleichsschaltung BPE zum Vorladen und Ausgleichen der Bitleitungen BL und ZBL auf den Pegel einer Bitleitungsvorladespannung Vbl in einem Bereitschaftszustand und ein Leseverstärker SR zum Verstärken und Verriegeln des Spannungsunterschieds zwischen den Bitleitungen BL und ZBL bereitgestellt.

[0006] Für den Leseverstärker SA sind bereitgestellt: ein Leseverstärkeraktiviertransistor ASPT, der

leitend gemacht wird, wenn ein Leseverstärkeraktiviersignal /SAP aktiviert wird, um einen oberen Versorgungsknoten des Leseverstärkers SA zum Übertragen einer Feldversorgungsspannung Vdds mit einer Leseversorgungsleitung zu verbinden; und ein Leseverstärkeraktiviertransistor ASNT, der leitend gemacht wird, wenn ein Leseverstärkeraktiviersignal SAN aktiviert ist, um einen unteren Versorgungsanschluss des Leseverstärkers SA zum Übertragen einer Massespannung Vss mit einer Lesemaselleitung zu verbinden.

[0007] Die Bitleitungsausgleichsschaltung BPE überträgt die Bitleitungsvorladespannung Vb1 als eine Zwischenspannung (Vdds/2) der Feldversorgungsspannung Vdds entsprechend einem Bitleitungsausgleichsanweisungssignal BLEQ zu den Bitleitungen BL und ZBL.

[0008] Im ausgewählten Zustand wird die Wortleitung WL auf einen Pegel einer hohen Spannung Vpp getrieben, die größer ist als die Feldversorgungsspannung Vdds. Durch Treiben der ausgewählten Wortleitung WL auf den Pegel der hohen Spannung Vpp werden H-Daten mit dem Pegel der Feldversorgungsspannung Vdds in einem Speicherknoten des Speicher kondensators MQ gespeichert, ohne dass über den Zugriffstransistor MT der Speicherzelle MC ein Schwellenspannungsverlust auftritt.

[0009] Der Speicherkondensator empfängt an einem Elektrodenknoten (Zellplattenknoten), der dem Daten speichernden Speicherknoten gegenüberliegt, eine vorbestimmte Zellplattenspannung Vcp. Gewöhnlich liegt die Zellplattenspannung Vcp ähnlich wie die Bitleitungsvorladespannung Vbl auf dem Spannungspegel der Zwischenspannung (Vdds/2) der Feldversorgungsspannung Vdds.

[0010] Wie oben beschrieben wird in einem DRAM eine Mehrzahl von Spannungen mit unterschiedlichen Spannungspegeln verwendet. Beim externen Erzeugen der Mehrzahl von Spannungen zum Anlegen an ein DRAM wird die Systemgröße erhöht, und aufgrund von Verlusten auf externen Drähten steigt auch der Stromverbrauch des gesamten Systems. Da die Anzahl von Versorgungsanschlüssen ansteigt, wird in dem DRAM auch die Gehäusegröße groß. Daher wird die Mehrzahl von Spannungen im allgemeinen innerhalb eines DRAM erzeugt.

[0011] **Fig. 37** ist eine schematische Darstellung des Aufbaus eines mit den internen Spannungen des DRAM zusammenhängenden Abschnitts. Wie in **Fig. 37** dargestellt enthält das DRAM: ein Speicherzellenfeld **902** mit einer Mehrzahl von in Zeilen und Spalten angeordneten Speicherzellen (der in **Fig. 36** gezeigten Speicherzelle); eine Steuerschaltung **904** zum Erzeugen eines Betriebssteuersignals zum Verwirklichen einer Betriebsart, die von einem Befehl CMD in Übereinstimmung mit einem von außen zugeführten Befehl CMD bezeichnet wird; eine Zeilauswahlschaltung **906**, die von der Steuerschaltung **904** gesteuert aktiviert wird, um eine Wortleitung zu treiben, die entsprechend einer in Übereinstimmung

mit einem von außen zugeführten Zeilenadresssignal RA ausgewählten Zeile des Speicherzellenfelds **902** angeordnet ist; eine Leseverstärkergruppe **908**, die selektiv durch die Steuerschaltung **904** aktiviert wird, um Daten einer Speicherzelle in einer durch die Zeilenauswahlschaltung **906** ausgewählten Zeile zu lesen, zu verstärken und zu verriegeln; eine Spaltenauswahlschaltung **910**, die von der Steuerschaltung **904** gesteuert arbeitet und in aktiviertem Zustand eine Speicherzelle auswählt, die einer in Übereinstimmung mit einem von außen zugeführten Spaltenadresssignal CA adressierten Spalte in dem Speicherzellenfeld **902** entspricht; und eine interne Spannungserzeugeschaltung **900** zum Erzeugen verschiedener interner Spannungen Vpp, Vbb, Vb1, Vcp, Vdds und Vddp entsprechend einer externen Versorgungsspannung EXVDD.

[0012] Eine periphere Versorgungsspannung Vddp von der internen Spannungserzeugeschaltung **900** wird an die Steuerschaltung **904** und an die Zeilenauswahlschaltung **906** angelegt. Eine hohe Spannung Vpp von der internen Spannungserzeugeschaltung **900** wird ebenfalls an die Zeilenauswahlschaltung **906** angelegt.

[0013] In der Zeilenauswahlschaltung **906** wird von einer Zeilendecodierschaltung, die die periphere Versorgungsspannung Vddp als eine Betriebsversorgungsspannung erhält, ein Zeilenauswahlsignal erzeugt, und entsprechend dem Zeilenauswahlsignal wird ein Wortleitungsauswahlsignal mit dem Pegel der hohen Spannung Vpp durch einen Worttreiber zu einer Wortleitung übertragen, die entsprechend der ausgewählten Zeile angeordnet ist.

[0014] Dem Speicherzellenfeld **902** werden die Bitleitungsvorladespannung Vb1, die Zellplattenspannung Vcp und die an einen Substratbereich des Speicherzellenfelds **902** angelegte negative Versorgungsspannung Vbb zugeführt. Der Leseverstärkergruppe **908** wird über die Leseversorgungsleitung die Feldversorgungsspannung Vdds als eine Betriebsversorgungsspannung zugeführt.

[0015] Der Spaltenauswahlschaltung **910** wird gewöhnlich die Peripherieversorgungsspannung Vddp als eine Betriebsversorgungsspannung zugeführt. Ein Spaltenauswahlsignal, das von der Spaltenauswahlschaltung **910** ausgegeben wird, kann auf dem Pegel der Feldversorgungsspannung Vdds liegen. Gewöhnlich hat die Peripherieversorgungsspannung Vddp einen höheren Spannungspegel als die Feldversorgungsspannung Vdds.

[0016] Durch den Betrieb der peripheren Spannungen wie z. B. der Steuerschaltung **904** mit der Peripherieversorgungsspannung Vddp und durch den Betrieb der mit dem Speicherzellenfeld **902** zusammenhängenden Leseverstärkergruppe **908** mit der Feldversorgungsspannung Vdds werden die peripheren Schaltungen mit hoher Geschwindigkeit betrieben, um einen Zugriff mit hoher Geschwindigkeit zu erzielen, und der Zugriffstransistor und der Speicherzellenkondensator einer Speicherzelle sind gegen di-

elektrischen Durchbruch gesichert, so dass die Daten stabil gespeichert werden.

[0017] Wenn die Systemgröße in einer Halbleitervorrichtung wächst, ist zum Verhindern von Wärmeerzeugung und dergleichen ein geringer Stromverbrauch in höherem Maße gefordert. Insbesondere bei Anwendungen in tragbaren Einrichtungen, die eine Batterie als Versorgungsquelle verwenden, muss der Stromverbrauch auch im Hinblick auf die Lebensdauer der Batterie verringert werden. Bezuglich des Bereitschaftszustands, in dem kein Datenzugriff durchgeführt wird, ist die Zeitdauer des Bereitschaftszustands größer als die Zeitspanne, in der tatsächlich eine Datenverarbeitung durchgeführt wird. Ein DRAM muss in dem Bereitschaftszustand die Daten nur halten, und eine Verringerung des Stromverbrauchs in dem Bereitschaftszustand ist in hohem Maße gefordert.

[0018] Als Verfahren zum Verringern des Stromverbrauchs in einem solchen Bereitschaftszustand wird eine Betriebsart verwendet, die als "Power down"-Betrieb (Herabschaltbetrieb) bezeichnet wird. In dem Herabschaltbetrieb wird die Zufuhr der Versorgungsspannung zu Schaltungen, die nicht mit dem Datenerhalt zusammenhängen, wie z. B. zu einer Adresseingangspufferschaltung, unterbrochen. Durch Unterbrechen eines DC-Pfades (Gleichstrompfades) der Schaltungsanordnungen, die nicht mit dem Datenerhalt zusammenhängen, wird ein Leckstrom der Schaltungsanordnungen verringert, und somit wird der Stromverbrauch verringert.

[0019] Bei der Verwendung von tragbaren Einrichtungen und dergleichen ist in letzter Zeit eine weitere Verringerung des Bereitschaftsleistungsverbrauchs gefordert. Um einer solchen Nachfrage nach einem sehr geringen Bereitschaftstrom nachzukommen, wird eine Betriebsart verwendet, die als "Deep Power down"-Betrieb (Tiefherabschaltbetrieb) bezeichnet wird. Im Tiefherabschaltbetrieb wird ein interner Spannungserzeugerbetrieb der Internspannungserzeugeschaltung **900** beendet. Da der Herabschaltbetrieb durch einen externen Befehl eingestellt wird, wird einer Schaltungsanordnung, die mit dem Ausgeben des Herabschaltbetrieb zusammenhängt wie z. B. einem Befehlsdecoder, der den Befehl CMD empfängt, eine Versorgungsspannung zugeführt.

[0020] Wenn das Tiefherabschaltbetriebsanweisungssignal angelegt wird, wird von der Steuerschaltung **904** ein Leistungsunterbrechungssignal PCUT erzeugt. Das Leistungsunterbrechungssignal PCUT liegt auf dem Pegel der peripheren Versorgungsspannung Vddp. Um den Betrieb der Schaltung zum Erzeugen einer internen Spannung aus externen Versorgungsspannung EXVDD zu beenden, wird das Leistungsunterbrechungssignal PCUT von einer Pegewandlerschaltung **915** in ein Leistungsunterbrechungsfreigabesignal PCUTE umgewandelt, dass eine Amplitude mit dem Pegel der externen Versorgungsspannung EXVDD aufweist. Das Leistungsunterbrechungsfreigabesignal PCUTE wird den peripe-

ren Schaltungen wie z. B. der Zeilenauswahlschaltung **906** und der Spaltenauswahlschaltung **910** zugeführt, und der Strompfad jeder der peripheren Schaltungen wird unterbrochen.

[0021] Das Leistungsunterbrechungsfreigabesignal PCUTe wird auch in der Steuerschaltung **904** dem Schaltungsabschnitt zugeführt, der nicht eine Schaltung zum Steuern eines mit dem Tiefherabschaltbetriebs zusammenhängenden Betriebs ist, und der Strompfad des Schaltungsabschnitts wird unterbrochen.

[0022] In dem Tiefherabschaltbetrieb wird Strom nur von den nötigen Schaltungen verbraucht, und der Strompfad der nicht benötigten Schaltungen wird unterbrochen, wodurch das Auftreten eines Leckstroms verhindert wird, so dass der Stromverbrauch wesentlich reduziert wird.

[0023] Ein DRAM wird in verschiedenen Systemen verwendet. In diesen Systemen kommen verschiedene Versorgungsspannungen vor. Als externe Versorgungsspannung EXVDD kommen z. B. 3,3V und 2,2V vor. Als Schnittstellen gibt es nicht nur LVTT, sondern auch eine 1,8VIO-Schnittstelle. Auch wenn die externe Versorgungsspannung bei der 1,8 VIO-Schnittstelle 2,5 V oder 3,3 V beträgt, ist die Amplitude eines Eingangssignals auf 1,8 V eingestellt. Auf der Grundlage einer Ausgangsversorgungsspannung VDDQ ist z. B. VIH auf 0,8 VDDQ eingestellt und VIL auf 0,2 VDDQ.

[0024] Wenn eine interne Spannung in einem DRRM mit dem selben Schaltungsaufbau aus unterschiedlichen externen Versorgungsspannungen erzeugt wird, tritt ein Problem auf, dass die interne Versorgungsspannung nicht auf einem optimalen Spannungspegel effizient erzeugt werden kann, da sich eine Betriebsbedingung der internen Spannungsversorgungsschaltung entsprechend dem externen Versorgungsspannungspegel ändert.

[0025] Beim Entwerfen einer Internspannungserzeugungsschaltung entsprechend jedem Pegel der externen Versorgungsspannung oder jeder Schnittstellenpezifikation müssen zum einfachen Anpassen an den Spannungspegel einer externen Versorgungsspannung eine Mehrzahl von Chips mit dem selben Aufbau der internen Hauptschaltung aber mit verschiedenem Aufbau der internen Spannungserzeugungsschaltung hergestellt werden. Dabei tritt das Problem auf dass die Herstellungseffizienz sinkt und die Kosten ansteigen.

[0026] Unter den Gesichtspunkten der Produktionshandhabung und der Kosten ist es daher vorzuziehen, eine interne Spannungserzeugungsschaltung zu verwirklichen, die an eine externe Versorgungsspannungspegel oder eine Schnittstellenpezifikation angepasst wird, in dem Maskenverbindung oder das Festlegen einer Spannung an einer Bondfläche bei einer Scheibenbearbeitung während des Herstellens eines gemeinsamen Schaltungsteils für eine Mehrzahl von externen Versorgungsspannungen und Schnittstellen in einem Hauptprozess verwendet

wird.

[0027] Die Aufgabe der vorliegenden Erfindung liegt darin, eine Halbleiterschaltung bereitzustellen, die in der Lage ist unabhängig von einem externen Versorgungsspannungspegel und von Schnittstellenspezifikationen eine interne Spannung stabil zu erzeugen.

[0028] Weiterhin soll eine Halbleitervorrichtung bereitgestellt werden, die in der Lage ist, entsprechend einem zu verwendenden externen Versorgungsspannungspegel effizient eine interne Spannung mit einem gewünschten Pegel zu erzeugen.

[0029] Die Aufgabe wird gelöst durch eine Halbleitervorrichtung gemäß Anspruch 1.

[0030] Die Halbleitervorrichtung enthält: eine Vergleichsschaltung zum Vergleichen einer von einer Referenzspannungserzeugungsschaltung erzeugten Referenzspannung mit einer internen Spannung und zum Ausgeben eines Signals entsprechend einem Ergebnis des Vergleichs im aktivierte Zustand; eine Treiberschaltung zum Zuführen eines Stroms von einem Versorgungsknoten zu einer internen Spannungsleitung und zum Erzeugen der internen Spannung entsprechend einem Ausgangssignal der Vergleichsschaltung; einer Vergleichssteuerschaltung zum Beenden eines Vergleichsbetriebs der Vergleichsschaltung entsprechend einem Internspannungspegeleinstellsignal, zum Festlegen eines Ausgangssignals der Vergleichsschaltung auf einen vorgegebenen Spannungspegel und zum Einstellen der Treiberschaltung in einen leitenden Normalzustand; und einen Hilfstransistor zum Verbinden der internen Spannungsleitung mit dem Versorgungsknoten entsprechend dem Internspannungspegeleinstellsignal.

[0031] Die Aufgabe wird ebenfalls gelöst durch eine Halbleitervorrichtung gemäß Anspruch 9.

[0032] Die Halbleitervorrichtung enthält: eine erste Eingangsschaltung, die eine erste Versorgungsspannung als Betriebsversorgungsspannung empfängt, entsprechend einem Betriebsarteinstell-Signal selektiv aktiviert wird und in aktiviertem Zustand aus einem externen Signal ein erstes internes Signal erzeugt; eine zweite Eingangsschaltung, die eine zweite Versorgungsspannung als Betriebsversorgungsspannung empfängt, als Reaktion auf das Betriebsarteinstellsignal selektiv aktiviert wird und in aktiviertem Zustand aus dem externen Signal ein zweites internes Signal erzeugt; eine Pegelwandlerschaltung zum Umwandeln des zweiten internen Signals von der zweiten Eingangsschaltung zu einem Signal mit einer Amplitude mit dem Pegel der ersten Versorgungsspannung zum Erzeugen eines dritten internen Signals; und einer Eingangsgatterschaltung, die die erste Versorgungsspannung als Betriebsversorgungsspannung empfängt und entsprechend dem ersten und dem dritten Signal ein viertes Signal erzeugt zum Übertragen an eine interne Schaltung. Wenn die erste oder zweite Eingangsschaltung deaktiviert ist, arbeitet die Gatterschaltung als Pufferschaltung entsprechend einem Ausgangssignal der deaktivierten Eingangsschaltung und puffert ein Ausgangssignal

der Pegelwandlerschaltung oder der ersten Eingangsschaltung, je nachdem welche freigegeben ist. [0033] Die Aufgabe wird ebenfalls gelöst durch eine Halbleitervorrichtung gemäß Anspruch 12.

[0034] Die Halbleitervorrichtung enthält: ein erstes kapazitives Element, das zwischen einen ersten Steuersignaleingangsknoten zum Empfangen eines ersten Steuersignals und einen ersten internen Knoten geschaltet ist; einen zweiten und einen dritten Transistor jeweils zum Vorladen eines zweiten und dritten internen Knotens auf den Pegel einer externen Versorgungsspannung entsprechend einem Spannungspegel an dem ersten internen Knoten; ein zweites kapazitives Element, das zwischen einen zweiten Steuereingangsknoten zum Empfangen eines zweiten Steuersignals und den zweiten internen Knoten geschaltet ist; einen Ausgangstransistor, der entsprechend einem Spannungspegel des zweiten internen Knotens selektiv leitend gemacht wird, zum Übertragen von elektrischen Ladungen zwischen dem dritten internen Knoten und einem Ausgangsknoten; eine Treiberschaltung, die Spannungen von einem externen Versorgungsknoten und einem ersten internen Versorgungsknoten als Betriebsversorgungsspannungen empfängt und einen vierten internen Knoten entsprechend einem dritten Steuersignal treibt; ein drittes kapazitives Element, das zwischen den vierten und den dritten internen Knoten geschaltet ist; ein vierter kapazitives Element; und Verbindungen zum Schalten des vierten kapazitiven Elements entweder zwischen einen vierten Steuersignaleingangsknoten, der ein fünftes Steuersignal empfängt, und den dritten internen Knoten oder zwischen den vierten Steuersignaleingangsknoten und den ersten internen Spannungsknoten.

[0035] Weiterbildungen der Erfindung sind jeweils in den Unteransprüchen gekennzeichnet.

[0036] Durch Einstellen einer Treiberschaltung in einen leitenden Normalzustand und Einstellen eines Hilftransistors in einen leitenden Zustand kann der Betrag des Stroms, der einer internen Spannungsleitung zugeführt wird, erhöht werden. Wenn ein externer Versorgungsknoten mit der internen Spannungsleitung verbunden wird, kann die externe Versorgungsspannung stabil zu der internen Versorgungsleitung übertragen werden.

[0037] In der Eingangsschaltung kann durch Pegelwandlung eines Ausgangssignal der zweiten Eingangsschaltung und Erzeugen eines internen Signals entsprechend einem Ausgangssignal der ersten Eingangsschaltung und einem Ausgangssignal der Pegelwandlerschaltung ein internes Signal auch dann stabil erzeugt werden, wenn eine Eingangsschnittstelle unterschiedlich ist, indem eine der Eingangsschaltungen freigegeben wird.

[0038] Durch selektives Leitendmachen der Versorgungstransistoren zum Erzeugen der internen Versorgungsspannungen entsprechend einem Versorgungssteuersignal, einem Internspannungspegeleinstellsignal und einem Spannungsartanweisungssig-

nal kann die interne Versorgungsspannung entsprechend der externen Versorgungsspannung mit einem idealen Pegel erzeugt werden.

[0039] Durch Parallelschalten der kapazitiven Elemente zum Zuführen elektrischer Ladungen beim Erzeugen einer internen Spannung können elektrische Ladungen in dem Fall, in dem eine externe Spannung groß ist, mit einer hinreichenden Kapazität zugeführt werden, und eine interne Spannung kann stabil auf einem gewünschten Spannungspegel erzeugt werden. Durch Ändern des Spannungspegels einer der Betriebsversorgungsspannungen der Treiberschaltung durch Verwenden des kapazitiven Elements kann durch kapazitive Kopplung ein Anhebungsbetrieb in zwei Stufen durchgeführt werden, und an einem internen Knoten kann eine große Spannungspegeländerung bewirkt werden. Auch in dem Fall, in dem der Pegel der externen Versorgungsspannung klein ist, kann die interne Spannung stabil mit einem gewünschten Spannungspegel erzeugt werden.

[0040] Durch änderbares Einstellen der Verbindung der kapazitiven Elemente kann eine Internspannungserzeugeschaltung zum Erzeugen einer internen Spannung mit einer optimalen Fähigkeit entsprechend dem Pegel der externen Versorgungsspannung verwirklicht werden.

[0041] Weitere Merkmale und Zweckmäßigkeitkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsbeispielen anhand der beigefügten Zeichnungen. Von den Figuren zeigen:

[0042] **Fig. 1** eine schematische Darstellung des Aufbaus einer Internspannungserzeugeschaltung nach einer ersten Ausführungsform der vorliegenden Erfindung;

[0043] **Fig. 2** eine Darstellung eines Beispiels für den Aufbau einer in **Fig. 1** gezeigten Referenzspannungserzeugeschaltung;

[0044] **Fig. 3** eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Peripheriebetriebs-VDC;

[0045] **Fig. 4** eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Abschnitts zum Erzeugen eines Spannungspegeleinstellsignals;

[0046] **Fig. 5** eine schematische Darstellung des Aufbaus einer Abwandlung einer Spannungspegel-einstellsignalereugeeinheit;

[0047] **Fig. 6** eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Feldbetriebs-VDC und Eingangsbetriebs-VDC;

[0048] **Fig. 7** eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Bereitschafts-VDC;

[0049] **Fig. 8** eine Darstellung des Aufbaus einer Eingangsschaltung nach einer zweiten Ausführungsform der vorliegenden Erfindung;

[0050] **Fig. 9** eine Darstellung einer Art der Leistungsversorgung für die in **Fig. 8** dargestellte Eingangsschaltung;

[0051] **Fig. 10** eine Darstellung einer Art der Leistungsversorgung für die in **Fig. 8** dargestellte Ein-

gangsschaltung;

[0052] **Fig.** 11 eine schematische Darstellung des Aufbaus einer Internspannungserzeugeeinheit nach einer dritten Ausführungsform der vorliegenden Erfindung;

[0053] **Fig.** 12 eine Darstellung einer Abwandlung der dritten Ausführungsform;

[0054] **Fig.** 13 eine schematische Darstellung des Aufbaus einer Leistungsunterbrechungsfreigabesignalizerzeugeeinheit nach einer vierten Ausführungsform der vorliegenden Erfindung;

[0055] **Fig.** 14 ein Signalverlaufsdigramm, das einen Betrieb der in **Fig.** 13 dargestellten Leistungsunterbrechungsfreigabesignalizerzeugeeinheit darstellt;

[0056] **Fig.** 15 eine Darstellung des Aufbaus einer Internzustandseinstellsignalizerzeugeeinheit nach einer fünften Ausführungsform der vorliegenden Erfindung;

[0057] **Fig.** 16 eine Darstellung des Aufbaus eines Feldbetriebs-VDC nach einer sechsten Ausführungsform der vorliegenden Erfindung;

[0058] **Fig.** 17 ein Signalverlaufsdigramm, das einen Betrieb des in **Fig.** 16 dargestellten Feldbetriebs-VDC darstellt;

[0059] **Fig.** 18 eine schematische Darstellung des Aufbaus eines Hauptabschnitts einer Halbleiterspeichervorrichtung mit einem Feldbetriebs-VDC nach der sechsten Ausführungsform;

[0060] **Fig.** 19 eine Darstellung eines Beispiels für den Aufbau einer in **Fig.** 18 gezeigten Übersteuerungssteuerschaltung;

[0061] **Fig.** 20 eine Darstellung des Aufbaus einer Zwischenspannungserzeugeeinheit nach der sechsten Ausführungsform;

[0062] **Fig.** 21 eine Darstellung des Aufbaus einer Hochspannungserzeugeeinheit nach einer siebten Ausführungsform der vorliegenden Erfindung;

[0063] **Fig.** 22 ein Signalverlaufsdigramm, das einen Betrieb der in **Fig.** 21 dargestellten Hochspannungserzeugeschaltung darstellt;

[0064] **Fig.** 23 eine Schnittdarstellung des Aufbaus eines in **Fig.** 23 gezeigten MOS-Kondensators;

[0065] **Fig.** 24 eine Darstellung eines Beispiels für den Aufbau eines in **Fig.** 21 gezeigten Abschnitts zum Erzeugen eines Ausgangsgattersteuersignals;

[0066] **Fig.** 25 ein Signalverlaufsdigramm, das einen Betrieb der in **Fig.** 24 dargestellten Ausgangsgattersteuersignalizerzeugeeinheit darstellt;

[0067] **Fig.** 26 eine Darstellung eines Beispiels für den Aufbau einer Abwandlung der Hochspannungserzeugeschaltung nach der siebten Ausführungsform;

[0068] **Fig.** 27 eine schematische Darstellung des Aufbaus einer Hochspannungserzeugeschaltung nach einer achten Ausführungsform der vorliegenden Erfindung;

[0069] **Fig.** 28 eine Darstellung des Aufbaus einer ersten Abwandlung der Hochspannungserzeugeschaltung nach der achten Ausführungsform;

[0070] **Fig.** 29 eine Darstellung des Aufbaus einer

zweiten Abwandlung der Hochspannungserzeugegeschaltung nach der achten Ausführungsform;

[0071] **Fig.** 30 eine schematische Darstellung des Aufbaus einer in **Fig.** 29 gezeigten Verbindungssteuersignalizerzeugeeinheit;

[0072] **Fig.** 31 eine Darstellung eines Beispiels für den Aufbau einer in **Fig.** 30 gezeigten Negativspannungserzeugeschaltung;

[0073] **Fig.** 32 eine Darstellung eines Beispiels für den Aufbau einer in **Fig.** 30 gezeigten Hochspannungserzeugeschaltung;

[0074] **Fig.** 33 eine Darstellung des Aufbaus einer Hochspannungserzeugungssteuerschaltung nach einer neunten Ausführungsform der vorliegenden Erfindung;

[0075] **Fig.** 34 eine Darstellung des Aufbaus einer Abwandlung der Hochspannungserzeugungssteuerschaltung nach der neunten Ausführungsform;

[0076] **Fig.** 35 eine Darstellung eines Beispiels für den Aufbau einer Referenzspannungserzeugeschaltung nach der neunten Ausführungsform;

[0077] **Fig.** 36 eine schematische Darstellung des Aufbaus eines Feldabschnitts einer bekannten Halbleiterspeichervorrichtung; und

[0078] **Fig.** 37 eine schematische Darstellung des allgemeinen Aufbaus der bekannten Halbleiterspeichervorrichtung.

[0079] **Fig.** 1 ist eine schematische Darstellung einer Internspannungserzeugeschaltung nach einer ersten Ausführungsform der vorliegenden Erfindung. Die in **Fig.** 1 dargestellte Internspannungserzeugegeschaltung ist in der in **Fig.** 37 gezeigten Internspannungserzeugeschaltung 900 enthalten.

[0080] Wie in **Fig.** 1 dargestellt, enthält die Internspannungserzeugeschaltung: eine Konstantstromerzeugeschaltung 1 zum Erzeugen eines Konstantstroms ISCT; eine OR-Schaltung 6, die ein Externversorgungspegelbezeichnungssignal ZCMPE und ein Leistungsunterbrechungsfreigabesignal PCUTE empfängt; eine Peripheriereferenzspannungserzeugeschaltung 2p, die an einem Steuereingang DIS ein Ausgangssignal der OR-Schaltung 6 empfängt und so arbeitet, dass sie eine Peripheriereferenzspannung Vrefp erzeugt, wenn das Ausgangssignal der OR-Schaltung 6 auf L-Pegel liegt (inaktiver Zustand); eine Feldreferenzspannungserzeugeschaltung 2s, die so arbeitet, dass sie eine Feldreferenzspannung Vrefs erzeugt, wenn das einem Steuereingang DIS zugeführte Leistungsunterbrechungsfreigabesignal PCUTE inaktiv ist; und eine Eingangsreferenzspannungserzeugeschaltung 2i, die so arbeitet, dass sie eine Eingangsreferenzspannung Vrefi erzeugt, wenn das einem Steuereingang DIS zugeführte Leistungsunterbrechungsfreigabesignal PCUTE inaktiv ist.

[0081] Das Externversorgungspegelbezeichnungssignal ZCMPE wird entsprechend dem Spannungspegel einer für die Halbleitervorrichtung verwendeten externen Versorgungsspannung EXVDD fest eingestellt. Wenn die externe Versorgungsspannung EXVDD einen niedrigen Wert wie z. B. 2,5 V hat, wird

das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel gelegt. Wenn die externe Versorgungsspannung EXVDD einen hohen Wert wie z. B. 3,3 V hat, wird das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel gelegt. Der Spannungspegel des Externversorgungspegelbezeichnungssignals ZCMPE wird durch Festlegen der Spannung einer Maskenverbindungsleitung oder einer Bondfläche eingestellt.

[0082] In ähnlicher Weise wie bei der bekannten Technik wird das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt, wenn der Tiefherabschaltbetrieb bezeichnet ist. In dem Tiefherabschaltbetrieb wird daher die Erzeugung der Feldreferenzspannung Vrefs, der Peripheriereferenzspannung Vrefp und der Eingangsreferenzspannung Vrefi beendet. In dem Tiefherabschaltbetrieb ist es erforderlich, eine Schaltung zum Empfangen eines Befehls für das Aufheben des Tiefherabschaltbetriebs und zum Ausführen des Vorgangs des Aufhebens des Tiefherabschaltbetriebs zu betreiben. Wie später beschrieben wird, wird die Peripherieversorgungsspannung in dem Tiefherabschaltbetrieb auf der Grundlage der externen Versorgungsspannung über einen anderen Pfad erzeugt und einer Peripheriesteuerschaltung als Betriebsversorgungsspannung zugeführt, die mit dem Setzen/Aufheben des Tiefherabschaltbetriebs zusammenhängt.

[0083] Die Internspannungserzeugeschaltung enthält weiter: eine Peripherieversorgungsschaltung 3 zum Erzeugen einer Peripherieversorgungsspannung VDDP auf einer Peripherieversorgungsleitung 10p; eine Feldversorgungsschaltung 4 zum Erzeugen einer Feldversorgungsspannung (Leseversorgungsspannung) VDDS auf einer Feldversorgungsleitung 10s auf der Grundlage der Feldreferenzspannung Vrefs; und eine Eingangsversorgungsschaltung 5 zum Erzeugen einer Eingangsversorgungsspannung VDDI auf einer Eingangsversorgungsleitung 10i auf der Grundlage der Eingangsreferenzspannung Vrefi.

[0084] Die Peripherieversorgungsspannung VDDP auf der Peripherieversorgungsleitung 10p entspricht der in **Fig. 37** gezeigten Peripherieversorgungsspannung Vddp und wird den peripheren Schaltungen zugeführt. Die Feldversorgungsspannung VDDS entspricht der in **Fig. 37** gezeigten Leseversorgungsspannung Vdds und wird einem Leseverstärker und dergleichen zugeführt. Die Eingangsversorgungsspannung VDDI wird erzeugt, wenn eine Schnittstellenspezifikation z. B. eine 1,8 VIO-Schnittstelle bezeichnet, und sie wird einem Eingangspuffer in der ersten Stufe einer Eingangsschaltung als eine Betriebsversorgungsspannung zugeführt. Eine dem Ausgang zugeordnete Ausgangsversorgungsspannung VDDQ wird von außen an eine Ausgangsschaltung angelegt.

[0085] Die Peripherieversorgungsschaltung 3 enthält: einen Peripheriebetriebs-VDC 3a (Voltage Down Converter, Gleichspannungsabwärtswandler),

der als Reaktion auf ein Feldaktiviersignal ACT und das Externversorgungspegelbezeichnungssignal ZCMPE, die den Steuereingängen AIN und BIN zugeführt werden, selektiv Aktiviert wird und in aktiviertem Zustand auf der Grundlage der Peripheriereferenzspannung Vrefp die Peripherieversorgungsspannung VDDP auf der Peripherieversorgungsleitung 10p erzeugt; und einen Peripheriebereitschafts-VDC 3s, der entsprechend einem an den Steuereingang CIN angelegten Signal selektiv aktiviert wird und in aktiviertem Zustand die Peripherieversorgungsspannung VDDP auf der Peripherieversorgungsleitung 10p erzeugt.

[0086] Der Peripheriebetriebs-VDC 3a führt im Betrieb der Peripherieversorgungsleitung 10p einen Strom mit einer größeren Stromtreiberfähigkeit zu und hält den Spannungspegel der Peripherieversorgungsspannung VDDP auf einem vorbestimmten Spannungspegel, auch wenn die Peripherieversorgungsspannung durch den internen Betrieb verbraucht wird.

[0087] Wenn der Peripheriebereitschafts-VDC 3s in einen Betriebszustand versetzt wird, führt er der Peripherieversorgungsleitung 10p einen Strom mit einer kleinen Stromtreiberfähigkeit zu und verhindert, dass der Spannungspegel der Peripherieversorgungsspannung VDDP durch einen Leckstrom und dergleichen in dem Bereitschaftszustand abnimmt.

[0088] Dem Steuereingang CIN des Peripheriebereitschafts-VDC 3s wird ähnlich wie bei der Peripheriereferenzspannungserzeugeschaltung 2p ein Ausgangssignal des OR-Gatters 6 zugeführt, dass das Externversorgungspegelbezeichnungssignal ZCMPE und das Leistungsunterbrechungsfreigabesignal PCUTe empfängt. Im Betrieb vergleichen der Peripheriebetriebs-VDC 3a und der Peripheriebereitschafts-VDC 3s die Peripheriereferenzspannung Vrefp und die Peripherieversorgungsspannung VDDP miteinander, führen der Peripherieversorgungsleitung 10p entsprechend einem Vergleichsergebnis einen Strom von einem externen Versorgungsknoten zu und halten die Peripherieversorgungsspannung VDDP auf einem Spannungspegel, der dem Spannungspegel der Peripheriereferenzspannung Vrefp entspricht.

[0089] Der Peripheriebetriebs-VDC 3a wird aktiviert, wenn das dem Steuereingang AIN zugeführte Feldaktiviersignal ACT aktiv ist und das dem Steuereingang BIN zugeführte Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegt, und erzeugt im aktiven Zustand die Peripherieversorgungsspannung VDDP. Der Peripheriebereitschafts-VDC 3s wird aktiviert, wenn sowohl das Externversorgungspegelbezeichnungssignal ZCMPE als auch das Leistungsunterbrechungsfreigabesignal PCUTe auf L-Pegel liegen, und arbeitet in einem Betriebszyklus zum Auswählen einer Speicherzelle und einem Bereitschaftszyklus nach Beenden der Auswahl einer Speicherzelle so, dass er die Peripherieversorgungsspannung VDDP erzeugt.

[0090] Die Feldversorgungsschaltung **4** enthält: einen Feldbetriebs-VDC **4a**, der arbeitet, wenn das dem Steuereingang AIN zugeführte Feldaktiviersignal ACT aktiv ist, die Feldversorgungsspannung VDDS mit der Feldreferenzspannung Vrefs vergleicht und entsprechend dem Vergleichsergebnis der Feldversorgungsleitung I0s keinen Betriebsstrom von einem externen Versorgungsknoten zuführt; und einen Feldbereitschafts-VDC **4s**, der arbeitet, wenn das dem Steuereingang CIN zugeführte Leistungsunterbrechungsfreigabesignal PCUTe deaktiviert wird (L-Pegel), und der Feldversorgungsleitung I0s in Übereinstimmung mit dem Ergebnis eines Vergleichs zwischen der Feldreferenzspannung Vrefs und der Feldversorgungsspannung VDDS einen Strom von dem externen Versorgungsknoten zuführt.

[0091] Das Externversorgungspegelbezeichnungssignal ZCMPE wird der Feldversorgungsschaltung **4** nicht zugeführt. Auch wenn die externe Versorgungsspannung EXVDD z. B. 2,5 V oder 3,3 V beträgt, hat die Feldversorgungsspannung VDDS z. B. einen Wert von 2,0 V. Für beide Spannungspegel der externen Versorgungsspannung EXVDD ist es erforderlich, die externe Versorgungsspannung EXVDD zum Erzeugen der Feldversorgungsspannung VDDS abwärts zu wandeln.

[0092] Die Eingangsversorgungsschaltung **5** enthält: einen Eingangsbetriebs-VDC **5a**, der aktiviert wird, wenn ein dem Steuereingang AIN zugeführtes Signal aktiv ist, die Eingangsreferenzspannung Vrefi und die Eingangsversorgungsspannung VDDI miteinander vergleicht und der Eingangsversorgungsleitung **10i** entsprechend einem Vergleichsergebnis einen Strom zuführt; und einen Eingangsbereitschafts-VDC **5s**, der aktiviert wird, wenn ein dem Steuereingang CIN zugeführtes Signal auf L-Pegel liegt, um die Eingangsreferenzspannung Vrefi und die Eingangsversorgungsspannung VDDI miteinander zu vergleichen, und der Eingangsversorgungsleitung **10i** entsprechend dem Vergleichsergebnis einen Strom zu führt.

[0093] Dem Eingangsbetriebs-VDC **5a** wird ein Ausgangssignal einer Gatterschaltung **7** zugeführt, die das Feldaktiviersignal ACT und ein Betriebsartauswahlsignal MLV empfängt. Wenn das Feldaktiviersignal ACT auf H-Pegel liegt und das Betriebsartauswahlsignal MLV auf L-Pegel, gibt die Gatterschaltung **7** ein Signal mit H-Pegel aus. Das Betriebsartauswahlsignal MLV bezeichnet auf L-Pegel einen 1,8 VIO-(Schnittstellen)-Betrieb. Dem Steuereingang CIN des Eingangsbereitschafts-VDC **5s** wird ein Ausgangssignal eines OR-Gatters **8** zugeführt, das das Betriebsartauswahlsignal MLV und das Leistungsunterbrechungsfreigabesignal PCUTe empfängt.

[0094] Die OR-Schaltungen **6** und **8** und die Gatterschaltung **7** empfangen eine externe Versorgungsspannung als Betriebsversorgungsspannung und erzeugen entsprechend dem Leistungsunterbrechungsfreigabesignal PCUTe bzw. dem Betriebsartauswahlsignal MLV ein Steuersignal mit dem Pegel

der externen Versorgungsspannung.

[0095] Die Internspannungserzeugeschaltung enthält weiter: einen Inverter **11** zum Invertieren des Betriebsartauswahlsignals MLV und ein Verbindungs-gatter **12**, das leitend gemacht wird, wenn ein Ausgangssignal des Inverters **11** auf L-Pegel liegt, und in leitendem Zustand die Peripherieversorgungsleitung **10p** und die Eingangsversorgungsleitung **10i** elektrisch miteinander verbindet. In Fig. 1 ist das Verbindungs-gatter **12** durch einen p-Kanal-MOS-Transistor (Feldeffekttransistor mit isoliertem Gate) dargestellt. Alternativ dazu kann das Verbindungs-gatter **12** als CMOS-Übertragungsgatter aufgebaut sein.

[0096] Wenn das Betriebsartauswahlsignal MLV auf L-Pegel liegt, ist das Verbindungs-gatter **12** in einem nichtleitenden Zustand, und die Peripherieversorgungsspannung VDDP und die Eingangsversorgungsspannung VDDI werden einzeln und unabhängig voneinander erzeugt. Wenn das Betriebsartauswahlsignal MLV dagegen auf H-Pegel liegt, wird das Verbindungs-gatter **12** leitend und die Peripherieversorgungsleitung **10p** und die Eingangsversorgungsleitung **10i** werden elektrisch miteinander verbunden. In diesem Fall wird die Peripherieversorgungsspannung VDDP auch als Eingangsversorgungsspannung VDDI verwendet, da die Eingangsversorgungsschaltung **5** in einem nichtleitenden Zustand gehalten wird.

[0097] Wenn das Betriebsarteinstellsignal MLV auf H-Pegel liegt, wird als Schnittstelle ein LVTT-Betrieb bezeichnet. Wenn das Betriebsartauswahlsignal MLV auf L-Pegel liegt, wird der 1,8 VIO-Betrieb bezeichnet. Im LVTT-Betrieb liegt ein H-Pegel VIH eines Eingangssignals bei 2,0 V und ein L-Pegel VIL des Eingangssignals bei 0,8 V. Im 1,8 VIO-Betrieb ist der H-Pegel eines Eingangssignals dagegen kleiner als der LVTT-Pegel.

[0098] In dem Fall, in dem das Betriebsartauswahlsignal MLV auf L-Pegel liegt, arbeitet die Eingangsversorgungsschaltung **5** so, dass sie die Eingangsversorgungsspannung VDDI entsprechend dem 1,8 VIO-Betrieb erzeugt. Wenn das Betriebsartauswahlsignal MLV dagegen auf H-Pegel liegt und der LVTT-Betrieb bezeichnet ist, werden die Eingangsversorgungsspannung VDDI und die Peripherieversorgungsspannung VDDP auf den selben Spannungspegel eingestellt, und der Betrieb der Eingangsversorgungsschaltung **5** wird beendet. Der Stromverbrauch in dem LVTT-Betrieb ist verringert.

[0099] Fig. 2 ist eine Darstellung eines Beispiels für den Aufbau der in Fig. 1 gezeigten Referenzspannungserzeugeschaltungen **2p**, **2s** und **2i**. Da die Referenzspannungserzeugeschaltungen **2p**, **2s** und **2e** denselben Aufbau haben, zeigt Fig. 2 stellvertretend einen Aufbau einer Referenzspannungserzeugeschaltung **2**.

[0100] Wie in Fig. 2 dargestellt, enthält die Referenzspannungserzeugeschaltung **2**: eine Konstantstromquelle **20a**, die mit einem externen Versorgungsknoten verbunden ist, zum Zuführen eines

Konstantstroms **I0**; einen p-Kanal-MOS-Transistor **20b**, der zwischen die Konstantstromquelle **20a** und einen Ausgangsknoten **20f** geschaltet ist und dessen Gate mit dem Steuereingang DIS verbunden ist; ein Widerstandselement **20c**, dessen eines Ende mit dem Ausgangsknoten **20f** verbunden ist; einen p-Kanal-MOS-Transistor **20d**, der zwischen das Widerstandselement **20c** und einen Masseknoten geschaltet ist und dessen Gate mit dem Masseknoten verbunden ist; und einen n-Kanal-MOS-Transistor **20e**, der zwischen den Ausgangsknoten **20f** und den Masseknoten geschaltet ist und dessen Gate mit dem Steuereingang DIS verbunden ist.

[0101] Wenn ein dem Steuereingang DIS zugeführtes Signal auf L-Pegel liegt, sind in der Referenzspannungserzeugeschaltung **2** der MOS-Transistor **20b** leitend und der MOS-Transistor **20e** nichtleitend. Der MOS-Transistor **20d** arbeitet in einem Diodenbetrieb und bewirkt in leitendem Zustand einen Spannungsabfall mit einem Absolutwert **Vtp** seiner Schwellenspannung. Durch Verwenden des MOS-Transistors **20d** steigt die Spannung **Vref** am Ausgangsknoten **20f** entsprechend der externen Versorgungsspannung EXVDD an, bis die externe Versorgungsspannung EXVDD ansteigt und die Source-Spannung des MOS-Transistors **20d** die Spannung **Vtp** überschreitet. Dementsprechend kann der Spannungspegel der Referenzspannung beim Einschalten der externen Versorgungsspannung mit hoher Geschwindigkeit erhöht werden.

[0102] Wenn ein dem Steuereingang DIS zugeführtes Signal auf L-Pegel liegt, ist der Spannungspegel der Referenzspannung **Vref** am Ausgangsknoten **20f** daher durch die folgende Gleichung gegeben:

$$Vref = I0 * R + Vtp,$$

wobei **R** einen Widerstandswert des Widerstandselements **20c** bezeichnet.

[0103] Wenn das dem Steuereingang DIS zugeführte Steuersignal auf H-Pegel liegt, ist der MOS-Transistor **20b** nichtleitend und der MOS-Transistor **20e** leitend. In diesem Fall ist daher der Pfad zum Zuführen eines Stroms von der Konstantstromquelle **20a** unterbrochen, und die Referenzspannung **Vref** wird durch den MOS-Transistor **20e** fest auf Massespannungspegel gehalten.

[0104] In dem Fall, in dem die Referenzspannungs-erzeugeschaltung **2** die in **Fig. 1** gezeigte Peripheriereferenzspannungserzeugeschaltung **2p** ist, wird dem Steuereingang DIS das Externversorgungs-pegelbezeichnungssignal ZCMPE zugeführt. Wenn das Externversorgungs-pegelbezeichnungssignal ZCMPE auf H-Pegel liegt, beträgt die externe Versorgungsspannung EXVDD z. B. 2,5 V. In diesem Fall wird die Peripherieversorgungsspannung VDDP, wie später detailliert beschrieben wird, auf denselben Spannungspegel gelegt wie die externe Versorgungsspannung EXVDD. In diesem Fall ist es daher nicht erforderlich, die Peripheriereferenzspannung

**Vrefp** zu erzeugen, und der Betrieb der Peripheriereferenzspannungserzeugeschaltung **2p** wird beendet. Wenn die externe Versorgungsspannung EXVDD andererseits z. B. 3,3 V beträgt, wird das Externversorgungs-pegelbezeichnungssignal ZCMPE auf L-Pegel gelegt, und die externe Versorgungsspannung EXVDD wird entsprechend der Peripheriereferenzspannung **Vrefp** abwärts gewandelt, wodurch die Peripherieversorgungsspannung VDDP erzeugt wird.

[0105] In dem Fall, in dem die in **Fig. 2** dargestellte Referenzspannungserzeugeschaltung **2** die Feldreferenzspannungserzeugeschaltung **2s** oder die Eingangsreferenzspannungserzeugeschaltung **2i** ist, wird dem Steuereingang DIS das Leistungsunterbrechungsfreigabesignal PCUTe zugeführt. Im Tieferabschaltbetrieb wird daher das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt, und der Referenzspannungserzeugebetrieb der Feldreferenzspannungserzeugeschaltung **2s** und der Eingangsreferenzspannungserzeugeschaltung **2i** wird beendet.

[0106] Bei der Peripheriereferenzspannungserzeugeschaltung **2p** empfängt der Steuereingang ein Ausgangssignal der OR-Schaltung **6**. Wenn das Externversorgungs-pegelbezeichnungssignal ZCMPE auf H-Pegel liegt, wird der Referenzspannungserzeugebetrieb unabhängig von der Betriebsart beendet, und die Peripheriereferenzspannung **Vrefp** wird fest auf Massespannungspegel gehalten. Wenn das Externversorgungs-pegelbezeichnungssignal ZCMPE auf L-Pegel liegt, wird ein Ausgangssignal der OR-Schaltung **6** entsprechend dem Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt. Im Tieferabschaltbetrieb wird ähnlich wie bei der Feldreferenzspannung **Vrefs** und der Eingangsreferenzspannung **Vrefi** die Erzeugung der Peripheriereferenzspannung **Vrefp** beendet.

[0107] **Fig. 3** ist eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Peripheriebetriebs-VDC. Wie in **Fig. 3** dargestellt, enthält der Peripheriebetriebs-VDC **3a**: eine Vergleichsschaltung **23** zum Vergleichen der Peripherieversorgungsspannung VDDP mit der Peripheriereferenzspannung **Vrefp**, und einen Stromtreibertransistor **24** zum Zuführen eines Stroms von einem externen Versorgungsknoten zu der Peripherieversorgungsleitung **10p** entsprechend einem Ausgangssignal der Vergleichsschaltung **23**.

[0108] Die Vergleichsschaltung **23** enthält: einen p-Kanal-MOS-Transistor **23a**, der zwischen einen externen Versorgungsknoten und einen Knoten ND1 geschaltet ist und dessen Gates mit dem Knoten ND1 verbunden ist; einen n-Kanal-MOS-Transistor **23c**, der zwischen die Knoten ND1 und ND3 geschaltet ist und an seinem Gate die Peripherieversorgungsspannung VDDP empfängt; einen p-Kanal-MOS-Transistor **23b**, der zwischen den externen Versorgungsknoten und einen Knoten ND2 geschaltet ist und dessen Gate mit dem Knoten ND1 verbunden ist; einen n-Kanal-MOS-Transistor **23d**, der zwischen die Knoten

ND2 und ND3 geschaltet ist und an seinem Gate die Referenzspannung Vrefp empfängt; und einen n-Kanal-MOS-Transistor **23e**, der zwischen den Knoten ND3 und den Masseknoten geschaltet ist und an seinem Gate ein Ausgangssignal einer Gatterschaltung **25** empfängt.

[0109] Die MOS-Transistoren **23a** und **23b** bilden eine Stromspiegelschaltung, und ein Spiegelstrom des durch den MOS-Transistor **23a** fließenden Stroms fließt durch den MOS-Transistor **23b**. Wenn das Spiegelverhältnis 1 ist, fließt durch die MOS-Transistoren **23a** und **23b** jeweils ein Strom derselben Größe.

[0110] Die MOS-Transistoren **23c** und **23d** bilden eine Differenzstufe zum Vergleichen der Peripherieversorgungsspannung VDDP mit der Peripheriereferenzspannung Vrefp. Der MOS-Transistor **23e** arbeitet als Stromquellentransistor für die Vergleichsschaltung **23**, gibt in leitendem Zustand den Vergleichsvorgang der Vergleichsschaltung **23** frei und unterbricht in nichtleitendem Zustand den Pfad des Betriebsstroms für die Vergleichsschaltung, um den Vergleichsvorgang der Vergleichsschaltung **23** zu unterbinden.

[0111] Die Gatterschaltung **25** empfängt das an den Steuereingang AIN angelegte Feldaktiviersignal ACT und das an den Steuereingang BIN angelegte Externversorgungspegelbezeichnungssignal ZCMPE. Die Gatterschaltung **25** gibt ein Signal mit H-Pegel aus, wenn das Feldaktiviersignal ACT auf H-Pegel liegt und das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel. Wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, wird das Ausgangssignal der Gatterschaltung **25** daher fest auf L-Pegel gehalten, und der Vergleichsvorgang der Vergleichsschaltung **23** wird verhindert. Insbesondere wenn die externe Versorgungsspannung EXVDD einen so kleinen Wert wie 2,5 V aufweist, wird das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel gelegt und der Vergleichsbetrieb der Vergleichsschaltung **23** beendet.

[0112] Der Peripheriebetriebs-VDC **3a** enthält weiter: einen Inverter **26**, der das dem Steuereingang BIN zugeführte externe Versorgungspegelbezeichnungssignal ZCMPE empfängt; einen p-Kanal-MOS-Transistor **27**, der leitend gemacht wird, wenn ein Ausgangssignal des Inverters **26** auf L-Pegel liegt, um den Knoten ND1 mit dem externen Versorgungsknoten zu verbinden; einen p-Kanal-MOS-Transistor **29**, der leitend gemacht wird, wenn ein Ausgangssignal einer Gatterschaltung **32**, die das dem Steuereingang AIN zugeführte Feldaktiviersignal ACT und das dem Steuerknoten BIN zugeführte Externversorgungspegelbezeichnungssignal ZCMPE empfängt, inaktiv sind (auf L-Pegel liegen), um den Knoten ND2 mit dem externen Versorgungsknoten zu verbinden; einen Inverter **30**, der das dem Steuereingang BIN zugeführte Externversorgungspegelbezeichnungssignal ZCMPE empfängt; einen

p-Kanal-MOS-Transistor **31**, der leitend gemacht wird, wenn ein Ausgangssignal des Inverters **30** auf L-Pegel liegt, um die Peripherieversorgungsleitung **10p** mit dem externen Versorgungsknoten zu verbinden; und einen n-Kanal-MOS-Transistor **28**, der leitend gemacht wird, wenn das dem Steuereingang BIN zugeführte Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, um den Knoten ND2 auf Massespannungspegel zu halten.

[0113] Die Gatterschaltung **32** gibt ein Signal mit H-Pegel aus, wenn das Feldaktiviersignal ACT auf H-Pegel liegt und das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel.

[0114] Wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, erhalten die Ausgangssignale der Inverter **26** und **30** L-Pegel, und die MOS-Transistoren **27** und **31** werden leitend gemacht. Ein Ausgangssignal der Gatterschaltung **32** erhält den H-Pegel, der MOS-Transistor **29** wird nichtleitend, und der Knoten ND2 wird von dem externen Versorgungsknoten getrennt. Weiterhin wird der MOS-Transistor **28** leitend gemacht, und der Knoten ND2 wird fest auf Massespannungspegel gehalten.

[0115] In diesem Zustand erhält der Knoten ND1 den Pegel der externen Versorgungsspannung, und die MOS-Transistoren **23a** und **23b** werden ausgeschaltet. Der Vergleichsbetrieb der Vergleichsschaltung **23** wird verhindert.

[0116] Andererseits wird die Peripherieversorgungsschaltung **10p** über den MOS-Transistor **31** mit dem externen Versorgungsknoten verbunden, und die Peripherieversorgungsspannung VDDP erhält den Wert der externen Versorgungsspannung EXVDD. Da der Knoten ND2 auf dem Massespannungspegel gehalten wird, wird der MOS-Transistor **24** fest in einem leitenden Zustand gehalten. Wenn die externe Versorgungsspannung EXVDD klein ist, tritt aufgrund des Kanalwiderstands ein Spannungsabfall auf, wenn der externe Versorgungsknoten nur über den Stromtreibertransistor **24** direkt mit der Peripherieversorgungsleitung **10p** verbunden ist, und der Spannungspegel der Peripherieversorgungsspannung VDDP fällt unter die externe Versorgungsspannung EXVDD ab, so dass ein erforderlicher Spannungspegel nicht bereitgestellt werden kann. In dem Fall, in dem die Größe (das Verhältnis zwischen Kanalweite zu Kanallänge) des Stromtreibertransistors **24** erhöht wird, um den Kanalwiderstand zu verringern, wird die Verstärkung des Peripheriebetriebs-VDC **3a** groß, wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegt, es können leicht Schwingungen auftreten, und die Peripherieversorgungsspannung VDDP kann nicht stabil erzeugt werden. Um das Reaktionsvermögen der Vergleichsschaltung **23** zu erhalten, müssen die Stromtreiberfähigkeiten (Größen) jedes Transistors in der Vergleichsschaltung **23** erhöht werden. Demzufolge kann ein Problem der Art auftreten, dass der Leistungsverbrauch der Vergleichsschaltung **23** ansteigt.

[0117] Der MOS-Transistor **31** ist getrennt von dem Stromtreibertransistor **24** bereitgestellt. Nur wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, wird der MOS-Transistor **31** leitend gemacht und der Spannungspegel der Peripherieversorgungsspannung VDDP auf den Pegel der externen Versorgungsspannung EXVDD gelegt. Auch wenn die Größe des MOS-Transistors **31** groß ist, ist der MOS-Transistor **31** nichtleitend, wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegt, und er hat daher keinen Einfluss auf den Stromerzeugebetrieb des Peripheriebetriebs-VDC **3a**.

[0118] Wenn der Spannungspegel der Versorgungsspannung EXVDD daher so klein ist wie 2,5 V, kann die Peripherieversorgungsspannung VDDP durch Verwendung der MOS-Transistoren **24** und **31** zuverlässig auf dem Pegel der externen Versorgungsspannung EXVDD gehalten werden. Wenn der Spannungspegel der externen Versorgungsspannung EXVDD hoch ist, kann die Peripherieversorgungsspannung VDDP durch das Stromtreiben des Stromtreibertransistors **24** ohne Bewirken eines Oszillierungsvorgangs auf einem gewünschten Spannungspegel erzeugt werden. Die Größe jedes Transistors in der Vergleichsschaltung **23** kann klein gemacht werden, und ihr Stromverbrauch (Betriebsstrom) kann verringert werden.

[0119] Wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, liegt weiterhin wie in **Fig. 2** dargestellt die Vergleichsreferenzspannung Vrefp auf Massespansungspegel, und der MOS-Transistor **23d** wird in einem nichtleitenden Zustand gehalten. Daher kann auch, wenn der Knoten ND2 fest auf Massespansungspegel gehalten wird, wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, verhindert werden, dass ein Leckstrom von dem MOS-Transistor **27** über die MOS-Transistoren **23c** und **23d** zu dem Masseknoten fließt.

[0120] Wenn ein Transistor einer peripheren Schaltung so entworfen ist, dass seine Betriebseigenschaften für eine Versorgungsspannung von 2,5 V optimiert ist, wird beim Herstellen eines 3,3 V-Produkts, das auf eine externe Versorgungsspannung EXVDD von 3,3 V angepasst ist, das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel gelegt, um den Peripheriebetriebs-VDC **3a** zum Abwärtswandeln der externen Versorgungsspannung EXVDD zu betreiben, um die Peripherieversorgungsspannung VDDP mit einem Pegel von 2,5 V zu erzeugen. Bei der Herstellung eines 2,5 V-Produkts, an das eine externe Versorgungsspannung EXVDD von 2,5 V angelegt werden soll, wird das Externversorgungspegelbezeichnungssignal ZCMPE dagegen auf H-Pegel gelegt, und die Peripherieversorgungsleitung **10p** und der externe Versorgungsknoten sind direkt miteinander verbunden. Mit demselben Schaltungsaufbau kann eine Peripherieversorgungsschaltung verwirklicht werden, die an eine Mehrzahl von

externen Versorgungsspannungen anpassbar ist.

[0121] Wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegt, sind die MOS-Transistoren **27**, **28** und **31** alle nichtleitend. Wenn in diesem Fall das Feldaktiviersignal ACT den H-Pegel erhält und eine peripherie Schaltung arbeitet, wird der MOS-Transistor **23e** leitend, und der MOS-Transistor **29** wird nichtleitend. Die Vergleichsschaltung **23** arbeitet, und der Stromtreibertransistor **24** führt der Peripherieversorgungsleitung **10p** entsprechend einem Ausgangssignal der Vergleichsschaltung **23** einen Strom zu.

[0122] Wenn das Feldaktiviersignal ACT den L-Pegel erhält, wird der MOS-Transistor **23e** nichtleitend, der MOS-Transistor **31** wird leitend, der Knoten ND2 wird auf den Pegel der externen Versorgungsspannung EXVDD gelegt, und der Stromtreibertransistor **24** wird nichtleitend.

[0123] **Fig. 4** ist eine Darstellung eines Beispiels für den Aufbau eines Abschnitts zum Erzeugen des Externversorgungspegelbezeichnungssignal ZCMPE. Wie in **Fig. 4** dargestellt, enthält die Externversorgungspegelbezeichnungssignalerzeugeeinheit einen Metallschalter **35**, dessen Verbindungsleiter durch eine Metallverbundungsleitung entweder zu dem externen Versorgungsspannungsknoten oder zu dem Masseknoten eingestellt ist. Durch Einstellen des Verbindungsleiters des Metallschalters **35** wird der Spannungspegel des Externversorgungspegelbezeichnungssignals ZCMPE fest eingestellt. Die Metallverbundungsleitung **35a** ist eine Maskenverbundung und wird bei einer Scheibenbearbeitung gebildet. **Fig. 4** zeigt als Beispiel einen Zustand, in dem die Metallverbundungsleitung **35a** mit dem externen Versorgungsknoten verbunden ist und das Externversorgungspegelbezeichnungssignal ZCMPE mit H-Pegel erzeugt wird. Durch Einstellen des Verbindungsleiters der Metallverbundungsleitung **35a** können bei der Scheibenbearbeitung unter Verwendung von DRAMs mit demselben Chipaufbau Produkte hergestellt werden, die an verschiedene externe Versorgungsspannungspegel anpassbar sind, wie z. B. ein 3,5 V-Produkt und ein 2,5 V-Produkt.

[0124] **Fig. 5** ist eine schematische Darstellung eines anderen Aufbaus eines Abschnitts zum Erzeugen des Externversorgungspegelbezeichnungssignals ZCMPE. Wie in **Fig. 5** dargestellt, enthält die Externversorgungspegelbezeichnungssignalerzeugeeinheit eine Anschlussfläche **40** und eine ZCMPE-Erzeugeschaltung **41** zum Erzeugen des Externversorgungspegelbezeichnungssignals ZCMPE in Übereinstimmung mit dem Spannungspegel der Anschlussfläche **40**. Der interne Aufbau der ZCMPE-Erzeugeschaltung **41** wird abhängig davon festgelegt, ob die Anschlussfläche **40** beim Bonden auf die externe Versorgungsspannung oder die Massespansnung gelegt wird. Im Prinzip enthält die ZCMPE-Erzeugeschaltung **41** eine Verriegelungsschaltung zum Verriegeln der Spannung der Anschlussfläche **40**. In der ZCMPE-Erzeugeschaltung **41** wird die Anschlussflä-

che **40** also entweder mit dem externen Versorgungsknoten oder dem Masseknoten verbunden oder in einen offenen Zustand versetzt.

[0125] Das Externversorgungspegelbezeichnungssignal ZCMPE kann auch von einer Programmschaltung erzeugt werden, in der ein Spannungspegel eines Ausgangssignals unter Verwendung eines schmelzbaren Verbindungselements eingestellt wird.

[0126] Der H-Pegel des Externversorgungspegelbezeichnungssignals ZCMPE ist der Pegel der externen Versorgungsspannung EXVDD, und die Inverter **26** und **30** und die Gatterschaltung **32**, die in **Fig. 3** gezeigt sind, empfangen die externe Versorgungsspannung EXVDD als eine Betriebsversorgungsspannung. Die Gatterschaltung **25** kann die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung empfangen.

[0127] **Fig. 6** ist eine Darstellung eines Beispiels für den Aufbau eines in **Fig. 1** gezeigten Feldbetriebs-VDC **4a** bzw. Eingangsbetriebs-VDC **5a**. Da der Feldbetriebs-VDC **4a** und der Eingangsbetriebs-VDC **5a** denselben Aufbau haben, zeigt **Fig. 6** den Aufbau eines Feldbetriebs-VDC **4a**, und die Bezugszeichen des Eingangsbetriebs-VDC **5a** sind in Klammern dargestellt.

[0128] Wie in **Fig. 6** dargestellt, enthält der Feldbetriebs-VDC **4a**: eine Vergleichsschaltung **50**, die aktiviert wird, wenn ein dem Steuereingang AIN zugeführtes Signal auf H-Pegel liegt, und die die Feldversorgungsspannung VDDS auf der Feldversorgungsleitung **10s** mit der Feldreferenzspannung Vrefs vergleicht; einen Stromtreibertransistor **51** zum Zuführen eines Stroms von einem externen Versorgungsknoten zu der Feldversorgungsleitung **10s** entsprechend einem Ausgangssignal der Vergleichsschaltung **50**; und einen p-Kanal-MOS-Transistor **52**, der leitend gemacht wird, wenn das dem Steuereingang AIN zugeführtes Signal auf L-Pegel liegt, und der in leitendem Zustand den Gateknoten ND4 des Stromtreibertransistors **51** auf dem Pegel der externen Versorgungsspannung EXVDD hält.

[0129] Bei dem Aufbau des Feldbetriebs-VDC **4a** ist die Vergleichsschaltung **50** aus einer Differenzverstärkerschaltung vom Stromspiegeltyp ausgebildet. Wenn ein dem Steuereingang AIN zugeführtes Signal auf H-Pegel liegt, tritt an dem Knoten ND4 ein Signal mit einem Spannungspegel auf, der der Differenz zwischen der Feldreferenzspannung Vrefs und der Feldversorgungsspannung VDDS entspricht. Entsprechend dem Signal an dem Knoten ND4 führt der Stromtreibertransistor **51** der Feldversorgungsleitung **10s** einen Strom von dem externen Versorgungsknoten zu. In dem Aufbau wird die Feldversorgungsspannung VDDS daher auf dem Spannungspegel der Feldreferenzspannung Vrefs gehalten.

[0130] Wenn ein dem Steuereingang AIN zugeführtes Signal auf L-Pegel liegt, wird in der Vergleichsschaltung **50** der Pfad, in dem der Betriebsstrom fließt, unterbrochen und der Vergleichsbetrieb beendet. Der MOS-Transistor **52** wird leitend, der Knoten

ND4 wird auf dem Pegel der externen Versorgungsspannung EXVDD gehalten, und der Stromtreibertransistor **51** wird nichtleitend. Wenn die interne Schaltung (wie später beschrieben wird zum Zeitpunkt des Lesevorgangs) arbeitet, arbeitet der Feldbetriebs-VDC **4a** daher mit einer relativ hohen Stromtreiberfähigkeit, die Feldversorgungsspannung VDDS wird mit einer hohen Stromtreiberfähigkeit erzeugt, und ein Abfall des Spannungspegels wird verhindert.

[0131] Bei dem Eingangsbetriebs-VDC **5a** führt der Stromtreibertransistor **51** der Eingangsversorgungsleitung **10i** einen Strom entsprechend dem Unterschied zwischen der Eingangsversorgungsspannung VDDI auf der Eingangsversorgungsleitung **10i** und der Eingangsreferenzspannung Vrefi zu, und der Spannungspegel der Eingangsversorgungsspannung VDDI wird auf den Spannungspegel der Eingangsreferenzspannung Vrefi gelegt.

[0132] In dem Feldbetriebs-VDC **4a** wird das Feldaktiviersignal ACT dem Steuereingang AIN zugeführt. In dem Eingangsbetriebs-VDC **5a** wird dagegen ein Ausgangssignal der in **Fig. 1** gezeigten Gatterschaltung **7** zugeführt. Wenn das Betriebsartestellsignal MLV auf H-Pegel gelegt wird und die Eingangsschnittstelle auf LVTTL-Betrieb eingestellt wird, wird der Betrieb des Eingangsbetriebs-VDC **5a** beendet. In diesem Zustand wird die Eingangsversorgungsspannung VDDI wie in **Fig. 1** dargestellt auf denselben Spannungspegel gelegt wie die Peripherieversorgungsspannung VDDP. Wenn das Betriebsartestellsignal MLV dagegen auf L-Pegel gelegt wird und ein 1,8 VIO-Betrieb als Schnittstellenbetrieb bezeichnet wird, wird der Eingangsbetriebs-VDC **5a** entsprechend dem Feldaktiviersignal ACT selektiv aktiviert.

[0133] Ähnlich wie bei dem Externversorgungspegelbezeichnungssignal ZCMPE wird der Spannungspegel des Betriebsartauswahlsignals MLV durch eine Maskenverbundungsleitung oder selektives Verdrahten einer Bondfläche eingestellt.

[0134] Bei der Eingangsreferenzspannungsgergeschaltung **2i** zum Erzeugen der Eingangsreferenzspannung Vrefi wird das Leistungsunterbrechungsfreigabesignal PCUTe dem Steuereingang DIS zugeführt. Dem Steuereingang DIS der Eingangsreferenzspannungsgerzeuge-Schaltung **2i** kann aber auch ein Ausgangssignal eines Gatters, das das Leistungsunterbrechungsfreigabesignal PCUTe und das Betriebsartestellsignal MLV empfängt, zugeführt werden. Insbesondere wenn das Betriebsartestellsignal MLV auf H-Pegel gelegt wird und der LVTTL-Betrieb bezeichnet ist, ist es nicht erforderlich, die Eingangsversorgungsspannung VDDI zu erzeugen. Daher wird der Referenzspannungsgerzeugebetrieb der Eingangsreferenzspannungsgergeschaltung **2i** beendet, um eine Verringerung des Stromverbrauchs zu ermöglichen. Als Gatterschaltung zum Zuführen des Signals an den Steuereingang DIS der Eingangsreferenzspannungsgergeschaltung **2i** reicht eine

OR-Schaltung aus.

[0135] **Fig. 7** ist eine Darstellung eines Beispiels für den Aufbau der in **Fig. 1** dargestellten Bereitschafts-VDC **3s**, **4s** und **5s**. Da die Bereitschafts-VDC **3s**, **4s** und **5s** denselben Aufbau haben, zeigt **Fig. 7** stellvertretend einen Bereitschafts-VDC. Wie in **Fig. 7** dargestellt, enthält ein Bereitschafts-VDC: eine Vergleichsschaltung **60**, die aktiviert wird, wenn ein dem Steuereingang CIN zugeführtes Signal auf H-Pegel liegt, und die in aktiviertem Zustand die Referenzspannung Vref (Vrefi, Vrefp, oder Vrefs) und die Versorgungsspannung VDD (VDI, VDDP oder VDDS) miteinander vergleicht; einen Stromtreibertransistor **61** zum Zuführen eines Stroms zu der internen Versorgungsleitung (**10i**, **10p** oder **10s**) entsprechend einem Ausgangssignal der Vergleichsschaltung **60**; und einen p-Kanal-MOS-Transistor **62**, der leitend gemacht wird, wenn ein dem Steuereingang CIN zugeführtes Signal auf L-Pegel liegt, und der in leitendem Zustand die externe Versorgungsspannung EXVDD zu dem Gateelektrodenknoten ND5 des Stromtreibertransistors **61** überträgt. [0136] An den Steuereingang CIN wird bei dem Peripheriebereitschafts-VDC **3s** ein Ausgangssignal des in **Fig. 1** gezeigten OR-Gatters angelegt. Daher wird der VDC im Fall des Peripheriebereitschafts-VDC **3s** aktiviert, wenn sowohl das Leistungsunterbrechungsfreigabesignal PCUTe als auch das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegen, und er stellt den Spannungspegel der internen Versorgungsspannung VDD auf der Grundlage des Unterschieds zwischen der Referenzspannung Vref und der internen Versorgungsspannung VDD ein. Insbesondere wenn die externe Versorgungsspannung z. B. den Wert 2,5 V hat und das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel liegt, wird der Betrieb des Peripheriebereitschafts-VDC **3s** beendet. Wenn die externe Versorgungsspannung EXVDD 3,3 V beträgt wird der Internversorgungsspannungserzeugebetrieb des Peripheriebereitschafts-VDC **3s** beendet, wenn das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert wird.

[0137] Bei dem Feldbereitschafts-VDC **4s** wird dem Steuereingang CIN das Leistungsunterbrechungsfreigabesignal PCUTe zugeführt. Daher beendet das Feldbereitschafts-VDC **4s** nur in dem Tieferabschaltbetrieb den Vorgang des Erzeugens der Feldversorgungsspannung VDDS.

[0138] Bei dem Eingangsbereitschafts-VDC **5s** wird dem Steuereingang CIN ein Ausgangssignal des OR-Gatters zugeführt, das das Betriebsarteinstellsignal MLV und das Leistungsunterbrechungsfreigabesignal PCUTe empfängt. Der Eingangsbereitschafts-VDC **5i** beendet den Vorgang des Erzeugens der Eingangsversorgungsspannung VDDI daher, wenn der LVTT-Betrieb bezeichnet ist und das Betriebsarteinstellsignal MLV auf H-Pegel liegt und wenn das Leistungsunterbrechungsfreigabesignal PCUTe in dem Tieferabschaltbetrieb auf H-Pegel

gelegt wird.

[0139] Wie oben beschrieben werden nach der ersten Ausführungsform der vorliegenden Erfindung der Bereitschafts-VDC und der Betriebs-VDC entsprechend dem Externversorgungspegelbezeichnungssignal TCMPE, dem Betriebsarteinstellsignal MLV und dem Leistungsunterbrechungsfreigabesignal PCUTe selektiv aktiviert. Daher werden entsprechend jeder Betriebsart und dem externen Versorgungsspannungspegel nur die notwendigen Schaltungen betrieben. Somit kann der Leistungsverbrauch verringert und die interne Versorgungsspannung mit dem erforderlichen Spannungspegel stabil erzeugt werden.

[0140] Insbesondere ist in der Peripherieversorgungsschaltung ein Hilfstreibertransistor bereitgestellt, der dem direkten Verbinden der Peripherieversorgungsleitung zum Übertragen der Peripherieversorgungsspannung VDDP mit dem externen Versorgungsknoten gewidmet ist, wenn die externe Versorgungsspannung z. B. 2,5V beträgt. Daher kann die Peripherieversorgungsspannung auf den Pegel der externen Versorgungsspannung gelegt werden, ohne dass der Kanalwiderstand des Stromtreibertransistors verringert wird, der entsprechend dem Ausgang der Vergleichsschaltung arbeitet. Ohne nachteiligen Einfluss auf die Betriebseigenschaften der Peripherieversorgungsschaltung kann die Peripherieversorgungsspannung mit einem gewünschten Spannungspegel stabil erzeugt werden, wenn die externe Versorgungsspannung 3,3V beträgt.

[0141] Wenn der 1,8 VIO-Schnittstellenbetrieb bezeichnet wird, wird der Betrieb der Schaltung zum Erzeugen der Eingangsversorgungsspannung beendet, und die Peripherieversorgungsleitung und die Eingangsversorgungsleitung werden miteinander verbunden. Die interne Versorgungsspannung kann mit einem erforderlichen Pegel erzeugt werden, während der Leistungsverbrauch in dem 1,8 VIO-Schnittstellenbetrieb verringert wird.

[0142] **Fig. 8** ist eine Darstellung eines Beispiels für den Aufbau einer Eingangsschaltung nach einer zweiten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 8** dargestellt sind in einem Signaleingangsabschnitt zum Erzeugen eines internen Signals aus einem externen Signal eine Eingangspufferschaltung **72**, die die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung empfängt, und eine Eingangspufferschaltung **78**, die die Eingangsversorgungsspannung VDDI als eine Betriebsversorgungsspannung empfängt, für ein gemeinsames externes Signal EXSG bereitgestellt. Zum selektiven Freigeben der Eingangspufferschaltungen **72** und **78** sind Gatterschaltungen **70** und **76** bereitgestellt, die das Eingangsfreigabesignal EN und das Betriebsarteinstellsignal MLV empfangen.

[0143] Die Gatterschaltung **70** gibt die Eingangspufferschaltung **72** frei, wenn sowohl das Eingangsfreigabesignal EN als auch das Betriebsarteinstellsignal MLV auf H-Pegel liegen. Die Gatterschaltung **76** gibt die Eingangspufferschaltung **78** frei, wenn das Ein-

gangsfreigabesignal EN auf H-Pegel liegt und das Betriebsarteinstellsignal MLV auf L-Pegel.

[0144] Die Eingangspufferschaltung **72** enthält p-Kanal-MOS-Transistoren **72a** und **72d**, die in Reihe zwischen den Eingangsversorgungsknoten und einen internen Knoten ND10 geschaltet sind, sowie n-Kanal-MOS-Transistoren **72c** und **72d**, die parallel zwischen den internen Knoten ND10 und den Masseknoten geschaltet sind.

[0145] Ein Ausgangssignal der Gatterschaltung **70** wird jeweils dem Gate der MOS-Transistoren **72a** und **72d** zugeführt, und ein externes Signal EXSG wird jeweils dem Gate der MOS-Transistoren **72b** und **72c** zugeführt. In der Eingangspufferschaltung **72** wird der interne Knoten ND10 daher, wenn ein Ausgangssignal der Gateschaltung **70** auf H-Pegel liegt, von dem MOS-Transistor **72d** fest auf Massespennungspegel gehalten. Wenn ein Ausgangssignal der Gatterschaltung **70** auf L-Pegel liegt, wird der MOS-Transistor **72d** nichtleitend, der MOS-Transistor **72a** wird leitend, und ein invertiertes Signal des externen Signals EXSG wird an den Knoten ND10 ausgegeben.

[0146] Wenn ein Ausgangssignal der Gatterschaltung **70** auf H-Pegel liegt, wird der MOS-Transistor **72a** nichtleitend, der MOS-Transistor **72d** wird in einen leitenden Zustand versetzt, und der interne Knoten ND10 wird fest auf Massespennungspegel gehalten.

[0147] Die Eingangspufferschaltung **78** enthält p-Kanal-MOS-Transistoren **78a** und **78d**, die in Reihe zwischen den Eingangsversorgungsknoten und einen internen Knoten ND11 geschaltet sind, sowie n-Kanal-MOS-Transistoren **78c** und **78d**, die parallel zwischen den internen Knoten ND11 und den Masseknoten geschaltet sind.

[0148] Ein Ausgangssignal der Gatterschaltung **76** wird jeweils dem Gate der MOS-Transistoren **78a** und **78d** zugeführt, und das externe Signal EXSG wird jeweils dem Gate der MOS-Transistoren **78b** und **78c** zugeführt.

[0149] Die Gatterschaltung **76** gibt ein Signal mit L-Pegel aus, wenn das Eingangsfreigabesignal auf H-Pegel liegt und das Betriebsarteinstellsignal MLV auf L-Pegel.

[0150] Ähnlich wie bei der Eingangspufferschaltung **72** wird auch in dieser Eingangspufferschaltung **78**, wenn ein Ausgangssignal der Pufferschaltung **76** auf L-Pegel liegt, der MOS-Transistor **78a** leitend, der MOS-Transistor **78d** nichtleitend, und an dem Knoten ND11 wird ein invertiertes Signal des externen Signals EXSG erzeugt. Wenn das Ausgangssignal der Gatterschaltung **76** auf H-Pegel liegt, wird der MOS-Transistor **78a** nichtleitend, der MOS-Transistor **78d** leitend, und unabhängig von dem Logikpegel des externen Signals EXSG wird der Knoten ND11 fest auf Massespennungspegel gehalten.

[0151] Die Eingangsschaltung enthält weiter: einen CMOS-Inverter **74** (Complementary MOS) zum Invertieren eines Ausgangssignals der Eingangspuffer-

schaltung **72**; einen CMOS-Inverter **80** zum Invertieren eines Ausgangssignal der Eingangspufferschaltung **78**; eine Pegelwandlerschaltung **82** zum Umwandeln eines Ausgangssignals des Inverters **80** in ein Signal mit einer Amplitude mit dem Pegel der Peripherieversorgungsspannung VDDP entsprechend einem Ausgangssignal des Eingangspuffers **78** und dem Ausgangssignal des Inverters **80**; und eine AND-Schaltung **84**, die ein Ausgangssignal des CMOS-Inverters **74** und ein Ausgangssignal der Pegelwandlerschaltung **82** empfängt und ein internes Signal INSG erzeugt.

[0152] Der CMOS-Inverter **74** empfängt die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung, und der CMOS-Inverter **80** empfängt die Eingangsversorgungsspannung VDDI als eine Betriebsversorgungsspannung. Die Pegelwandlerschaltung **82** empfängt die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung, und die AND-Schaltung **84** empfängt die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung.

[0153] Die Pegelwandlerschaltung **82** enthält: einen p-Kanal-MOS-Transistor **82a**, der zwischen den Peripherieversorgungsknoten und einen Knoten ND12 geschaltet ist und dessen Gate mit einem Knoten ND13 verbunden ist; einen p-Kanal-MOS-Transistor **82b**, der zwischen den Peripherieversorgungsknoten und einen Knoten ND13 geschaltet ist und dessen Gate mit dem Knoten ND12 verbunden ist; einen n-Kanal-MOS-Transistor **82c**, der zwischen den Knoten ND12 und den Masseknoten geschaltet ist und dessen Gate ein Ausgangssignal des CMOS-Inverters **80** empfängt; und einen n-Kanal-MOS-Transistor **82d**, der zwischen den Knoten ND13 und den Masseknoten geschaltet ist und dessen Gate ein Ausgangssignal der Eingangspufferschaltung **78** empfängt.

[0154] Wenn ein Ausgangssignal des CMOS-Inverters **80** auf dem H-Pegel der Eingangsversorgungsspannung VDDI liegt, gibt die Pegelwandlerschaltung **82** ein Signal mit dem Pegel der Peripherieversorgungsspannung VDDP aus. Wenn ein Ausgangssignal des CMOS-Inverters **80** auf L-Pegel (Massespennungspegel) liegt, liegt ein Ausgangssignal der Eingangspufferschaltung **78** auf dem Pegel der Eingangsversorgungsspannung VDDI, der MOS-Transistor **82d** wird leitend, und an Knoten ND13 der Pegelwandlerschaltung **82** wird ein Signal mit L-Pegel ausgegeben. Daher wandelt die Pegelwandlerschaltung **82** ein Ausgangssignal der Eingangspufferschaltung **78** mit L-Pegel in ein Signal mit dem Pegel der Peripherieversorgungsspannung um und ein Signal mit H-Pegel in ein Signal mit dem Massespennungspegel.

[0155] Die AND-Schaltung **84** enthält ein NAND-Gatter **84a**, das ein Ausgangssignal des CMOS-Inverters **74** und ein Ausgangssignal der Pegelwandlerschaltung **82** empfängt, und einen Inverter **84b** zum Invertieren eines Ausgangssignals des

NAND-Gatters **84a**, wodurch ein internes Signal INSG erzeugt wird.

[0156] Durch die AND-Schaltung **84** werden das Ausgangssignal des CMOS-Inverters **74** und das Ausgangssignal der Pegelwandlerschaltung **82** verknüpft, um das interne Signal INSG entsprechend einem Ausgangssignal des freigegebenen Eingangspuffers zu erzeugen.

[0157] Die Eingangspufferschaltungen **72** und **78** werden alternativ entsprechend dem Betriebsarteinstellsignal MLV freigegeben und geben in gesperrtem Zustand ein Signal mit Massespannungspegel aus. Der CMOS-Inverter **74** invertiert das Ausgangssignal der Eingangspufferschaltung **72**, und die Pegelwandlerschaltung **82** invertiert das Ausgangssignal der Eingangspufferschaltung **78**. Daher wird ein Ausgangssignal der Eingangspufferschaltung in gesperrtem Zustand invertiert und das invertierte Signal der AND-Schaltung **84** zugeführt. Die AND-Schaltung **84** erzeugt das interne Signal INSG entsprechend einem Ausgangssignal der frei gegebenen Eingangspufferschaltung.

[0158] **Fig. 9** ist eine schematische Darstellung eines Zustands der Eingangspufferschaltung und der internen Spannungserzeugeschaltung, wenn das Betriebsarteinstellsignal MLV auf H-Pegel liegt und der LVTTL-Betrieb bezeichnet ist. Wenn das Betriebsarteinstellsignal MLV auf H-Pegel liegt, ist der LVTTL-Betrieb bezeichnet, der H-Pegel VIH eines Eingangssignals beträgt 2,0 V und der L-Pegel VIL des Eingangssignals beträgt 0,8 V. In diesem Fall wird wie in **Fig. 1** gezeigt die Eingangsversorgungsspannungserzeugeschaltung **5** in einen gesperrten Zustand versetzt, und die Peripherieversorgungsleitung **10p** wird mit der Eingangsversorgungsleitung **10i** verbunden. Die Eingangspufferschaltung **72** empfängt die Peripherieversorgungsspannung VDDP als Betriebsversorgungsspannung, und das interne Signal INSG wird über die Gatterschaltung **84** entsprechend einem externen Signal erzeugt. In diesem Fall ist die Eingangspufferschaltung **78** in gesperrtem Zustand, und ihr Ausgang wird fest auf L-Pegel gehalten.

[0159] Entsprechend dem Spannungspegel (2,5 V) der Peripherieversorgungsspannung VDDP wird eine Reserve im Hinblick auf VIH und VIL in der Eingangspufferschaltung **72** optimiert. Somit kann das interne Signal INSG für ein Eingangssignal im LVTTL-Betrieb exakt erzeugt werden. Der Betrieb der Eingangsversorgungsspannungserzeugeschaltung **5** wird beendet, so dass der Stromverbrauch verringert werden kann.

[0160] **Fig. 10** ist eine schematische Darstellung des Zustands der Eingangspufferschaltung und der internen Spannungserzeugeschaltung, wenn das Betriebsarteinstellsignal MLV auf L-Pegel liegt. Wenn das Betriebsarteinstellsignal MVL auf L-Pegel liegt, wird der 1,8 VIO-Schnittstellenbetrieb bezeichnet. In dieser Betriebsart sind sowohl der H-Pegel VIH als auch der L-Pegel VIL eines Eingangssignals kleiner

als im LVTTL-Betrieb. In dem 1,8 VIO-Betrieb (1,8 VIO-Schnittstellenbetrieb) werden H- und L-Pegel VIH/VIL eines Eingangssignals z. B. auf 0,65 VDDQ/0,35VDDQ oder auf 0,8 VDDQ/0,2 VDDQ eingestellt. VDDQ bezeichnet einen Spannungspegel einer Ausgangsversorgungsspannung, die an eine Ausgangsschaltung angelegt wird, und sie hat den gleichen Spannungspegel wie externe Versorgungsspannung. Die Peripherieversorgungsspannung VDDP beträgt üblicherweise 2,5 V.

[0161] In dem Fall, in dem die Eingangspufferschaltung **72** zum Betrieb im 1,8 VIO-Betrieb freigegeben wird, unterscheiden sich die Reserven für die Eingangssignalpegel VIH/VIL voneinander. Daher kann der Logikpegel eines Eingangssignals nicht exakt bestimmt werden, und das interne Signal INSG kann nicht exakt erzeugt werden (in dem 1,8 VIO-Betrieb sind die Entscheidungswerte VIH und VIL für die Logikpegel eines Eingangssignals jeweils kleiner als VIH und VIL in dem LVTTL-Betrieb). Daher wird die dem 1,8 VIO-Betrieb zugeordnete Eingangsversorgungsspannung VDDI von 1,8 V erzeugt, um die Eingangspufferschaltung **78** zu betreiben. In diesem Fall wird der logische Eingangsschwellenpegel der Eingangspufferschaltung **78** entsprechend VIH/VIL beim 1,8 VIO-Betrieb optimiert. Entsprechend einem Ausgangssignal der Eingangspufferschaltung **78** wird über die Gatterschaltung **84** das interne Signal INSG erzeugt.

[0162] In dem 1,8 VIO-Betrieb ist das in **Fig. 1** gezeigte Verbindungsgatter **12** nichtleitend, die Peripherieversorgungsleitung **10p** und die Eingangsversorgungsleitung **10s** sind voneinander getrennt, und die Peripherieversorgungsspannungserzeugeschaltung **3** und die Eingangsversorgungsspannungserzeugeschaltung **5** erzeugen jeweils auf der Peripherieversorgungsleitung **10p** bzw. der Eingangsversorgungsleitung **10s** die Peripherieversorgungsspannung VDDP bzw. die Eingangsversorgungsspannung VDDI.

[0163] Die Peripherieversorgungsspannungserzeugeschaltung **3** wird entsprechend dem Externversorgungspegelbezeichnungssignal ZCMPE in den gesperrten oder freigegebenen Zustand versetzt.

[0164] Wie oben beschrieben sind entsprechend der zweiten Ausführungsform der vorliegenden Erfindung die Eingangspufferschaltung, die nur im LVTTL-Betrieb arbeitet, und die Eingangspufferschaltung, die nur im 1,8 VIO-Betrieb arbeitet, getrennt voneinander bereitgestellt. Durch selektives Betreiben der Eingangspufferschaltungen entsprechend einer bezeichneten Schnittstelle kann eine Eingangsschaltung verwirklicht werden, die in einem bezeichneten Schnittstellenbetrieb stabil arbeitet. Durch Beenden des Betriebs der Eingangsversorgungsspannungserzeugeschaltung kann der Leistungsverbrauch in dem LVTTL-Betrieb verringert werden.

[0165] Im Fall einer taktsynchronen Halbleiterspeicheranordnung entspricht das Eingangsfreigabesig-

nal EN dem Taktfreigabesignal CKE zum Freigeben eines internen Taktsignals, um eine interne Schaltung arbeiten zu lassen. Das Eingangsfreigabesignal EN wird aktiviert, wenn in der Halbleitervorrichtung ein internes Signal entsprechend einem externen Signal erzeugen werden soll.

[0166] **Fig. 11** ist eine schematische Darstellung des Aufbaus einer internen Spannungserzeugschaltung nach einer dritten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 11** dargestellt, ist die Peripherieversorgungsspannungserzeugeschaltung 3 für die Peripherieversorgungsleitung 10p bereitgestellt, die Eingangsversorgungsspannungserzeugeschaltung 5 für die Eingangsversorgungsleitung 10i und die Feldversorgungsspannungserzeugeschaltung 4 für die Feldversorgungsleitung 10s. Das Leistungsunterbrechungsfreigabesignal PCUTe wird der Peripherieversorgungsspannungserzeugeschaltung 3, der Eingangsversorgungsspannungserzeugeschaltung 5 und der Feldversorgungsspannungserzeugeschaltung 4 zugeführt. Im Herabschaltbetrieb hat das Feldaktiviersignal ACT einen inaktiven Zustand. Wenn das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt wird, beendet daher sowohl die Peripherieversorgungsspannungserzeugeschaltung 3 als auch die Eingangsversorgungsspannungserzeugeschaltung 5 als auch die Feldversorgungsspannungserzeugeschaltung 4 jeweils ihren Int.ernversorgungsspannungserzeugebetrieb (s. **Fig. 1**). Der Aufbau der Peripherieversorgungsspannungserzeugeschaltung 3, der Eingangsversorgungsspannungserzeugeschaltung 5 und der Feldversorgungsspannungserzeugeschaltung 4 ist genauso wie in **Fig. 1** bis 7 dargestellt.

[0167] Für die Peripherieversorgungsleitung 10p ist ein n-Kanal-MOS-Transistor 90 bereitgestellt, der leitend gemacht wird, wenn das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert ist, und der in leitendem Zustand die Peripherieversorgungsleitung 10p mit einem externen Versorgungsknoten verbunden. Der MOS-Transistor 90 hat eine Schwellenspannung Vthn. In einer Betriebsart, in der die Peripherieversorgungsspannung VDDP durch Abwärtswandeln der externen Versorgungsspannung EXVDD erzeugt wird, erhält die Peripherieversorgungsspannung VDDP auf der Peripherieversorgungsleitung 10p die Spannung EXVDD-Vthn, wenn das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel liegt.

[0168] Wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel gelegt wird, um anzuzeigen, dass die externe Versorgungsspannung EXVDD z. B. 2,5 V beträgt, ist in der Peripherieversorgungsspannungserzeugeschaltung 3 der in **Fig. 3** gezeigte MOS-Transistor 31 im eingeschalteten (leitenden) Zustand, und die Peripherieversorgungsleitung 10p wird mit dem externen Versorgungsknoten verbunden. In diesem Fall wird daher die Peripherieversorgungsspannung VDDP unabhängig von einem aktiven oder inaktiven Zustand des Leistungsunterbrechungsfreigabesignals PCUTe auf dem Pegel der

externen Versorgungsspannung EXVDD gehalten. [0169] Wenn die externe Versorgungsspannung EXVDD 3,3V beträgt, erhält die Peripherieversorgungsspannung VDDP in dem Tieferabschaltbetrieb, in dem das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert ist, den Wert der externen Versorgungsspannung EXVDD-Vthn.

[0170] Wenn beim Einschalten durch einen Einfluss von Störungen oder dergleichen das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert wird, beendet die Peripherieversorgungsspannungserzeugeschaltung 3 den Betrieb der Erzeugung der Peripherieversorgungsspannung VDDP. Wenn einer peripheren Spannung in diesem Fall auch dann keine Betriebsversorgungsspannung zugeführt wird, wenn ein Einschalterfassungssignal POR deaktiviert wird, kann das Leistungsunterbrechungsfreigabesignal PCUTe nicht zurückgesetzt werden, und die Peripherieversorgungsspannung VDDP kann nicht intern erzeugt werden. Durch Verbinden der Peripherieversorgungsleitung 10p mit einem externen Versorgungsknoten, wenn das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert ist, kann die Versorgungsspannung VDDP einer mit dem Steuern des Herabschaltbetriebs zusammenhängenden peripheren Schaltung zugeführt werden. Nach dem Einschalten wird die peripheren Schaltung so betrieben, dass sie das Leistungsunterbrechungsfreigabesignal PCUTe zurücksetzt, und die Leistungsversorgungsspannungserzeugeschaltung 3 wird aktiviert, um eine interne Peripherieversorgungsspannung zu erzeugen.

[0171] Wenn das Leistungsunterbrechungsfreigabesignal PCUTe beim Einschalten in einem inaktiven Zustand gehalten wird, arbeitet die Peripherieversorgungsspannungserzeugeschaltung 3 und erzeugt die Peripherieversorgungsspannung VDDP.

[0172] In dem Tieferabschaltbetrieb wird ein Strompfad für Schaltungen unterbrochen, die nicht mit dem Tieferabschaltbetrieb zusammenhängende Schaltungen sind. Durch Verringern des Spannungspegels der Peripherieversorgungsspannung VDDP, die an die mit der Steuerung des Tieferabschaltbetriebs zusammenhängenden Schaltungen angelegt wird, um die Schwellenspannung Vthn des MOS-Transistors 90 unter die externe Versorgungsspannung EXVDD kann ein Leckstrom in diesen Schaltungsabschnitten unterdrückt werden.

[0173] Für die Eingangsversorgungsleitung 10i sind bereitgestellt: ein Inverter 11, der das Betriebsarteinstellsignal MLV empfängt, und ein p-Kanal-MOS-Transistor, der leitend gemacht wird, wenn das Ausgangssignal des Inverters 11 auf L-Pegel liegt, um die Eingangsversorgungsleitung 10i und die Peripherieversorgungsleitung 10p miteinander zu verbinden. Der Inverter 11 und der MOS-Transistor 12 sind dieselben, die in **Fig. 1** dargestellt sind.

[0174] Für die Eingangsversorgungsleitung 10i sind weiter bereitgestellt: eine NAND-Schaltung 92, die ein Ausgangssignal des Inverters und das Leistungs-

unterbrechungsfreigabesignal PCUTe empfängt; und ein p-Kanal-MOS-Transistor **93**, der leitend wird, wenn ein Ausgangssignal der NAND-Schaltung **92** auf L-Pegel liegt, um den externen Versorgungsknoten mit der Eingangsversorgungsleitung **10i** zu verbinden.

[0175] Wenn das Betriebsarteinstellsignal MLV auf H-Pegel liegt, wird der LVTTL-Betrieb bezeichnet. Im LVTTL-Betrieb wird die Eingangsversorgungsspannung VDDI auf denselben Spannungspegel eingestellt wie die Peripherieversorgungsspannung, und der Betrieb der Eingangsversorgungsspannungserzeugeschaltung **5** wird beendet. Dabei legt ein Ausgangssignal der NAND-Schaltung **92** auf H-Pegel, der MOS-Transistor **93** ist nichtleitend, und der externe Versorgungsknoten zum Zuführen der externen Versorgungsspannung EXVDD und die Eingangsversorgungsleitung **10i** sind voneinander getrennt.

[0176] Wenn dagegen der 1,8 VIO-Betrieb eingestellt ist, liegt das Betriebsartauswahlsignal MLV auf L-Pegel. In diesem Fall wird der MOS-Transistor **12** nichtleitend, so dass die Peripherieversorgungsleitung **10p** und die Eingangsversorgungsleitung **10i** voneinander getrennt werden. Wenn das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt wird, erhält ein Ausgang der NAND-Schaltung **92** den L-Pegel, der MOS-Transistor **93** wird leitend, der externe Versorgungsknoten und die Eingangsversorgungsleitung **10i** werden miteinander verbunden, und die Eingangsversorgungsspannung VDDI erhält den Pegel der externen Versorgungsspannung EXVDD.

[0177] In einem Fall, in dem die Eingangsversorgungsspannung VDDI auf 1,8 V eingestellt ist, kann es sein, dass die CMOS-Schaltung fehlerhaft arbeitet, wenn die Eingangsversorgungsspannung VDDI in den Tiefherabschaltbetrieb auf einen Wert kleiner als 1,8 V eingestellt wird, und insbesondere wenn sie annähernd auf die Absolutwerte der Schwellenspannungen der n-Kanal- und p-Kanal-MOS-Transistoren abgesenkt wird. Die Eingangsschaltungen die die Eingangsversorgungsspannung VDDI verwenden, empfangen externe Steuersignale (Befehle), die das Eintreten und Verlassen des Tiefherabschaltbetriebs anzeigen. Wenn ein internes Signal nicht exakt entsprechend einem externen Signal erzeugt werden kann, ist es möglich, dass der Tiefherabschaltbetrieb nicht mehr richtig verlassen werden kann. In dem Tiefherabschaltbetrieb ist die Eingangsversorgungsspannung VDDI auf den Wert der externen Versorgungsspannung EXVDD eingestellt, wodurch erreicht wird, dass die Befehlseingabeschaltung richtig arbeitet und den Tiefherabschaltbetrieb verlässt.

[0178] Auch wenn das Leistungsunterbrechungsfreigabesignal PCUTe beim Einschalten fehlerhafterweise in einen aktiven Zustand versetzt wird, kann die Eingangsversorgungsspannung entsprechend der externen Versorgungsspannung EXVDD erzeugt werden. Wenn eine periphere Schaltung arbeitet und das Leistungsunterbrechungsfreigabesignal PCUTe

zurückgesetzt wird, kann daher eine Initialisierung der Eingangsschaltungen entsprechend einer Eingangsvorsorgungsspannung VDDI mit hoher Geschwindigkeit durchgeführt werden.

[0179] Für die Feldversorgungsleitung **10s** sind bereitgestellt: eine Gatterschaltung **95**, die das Leistungsunterbrechungsfreigabesignal PCUTe und das Externversorgungspegelbezeichnungssignal ZCMPE empfängt; ein n-Kanal-MOS-Transistor **96**, der leitend gemacht wird, wenn ein Ausgangssignal der Gatterschaltung **95** auf H-Pegel liegt, um den externen Versorgungsknoten EXVDD und die Feldversorgungsleitung **10s** zu verbinden; eine AND-Schaltung **97**, die das Leistungsunterbrechungsfreigabesignal PCUTe und das Externversorgungspegelbezeichnungssignal ZCMPE empfängt; und einen n-Kanal-MOS-Transistor **98**, der leitend wird, wenn ein Ausgangssignal der AND-Schaltung **97** auf L-Pegel liegt, um den externen Versorgungsknoten und die Feldversorgungsleitung **10s** zu verbinden.

[0180] Der n-Kanal-MOS-Transistor **98** ist ein Transistor mit einer niedrigen Schwellenspannung Vth.

[0181] Wenn die externe Versorgungsspannung auf 3,3 V liegt, liegt das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel, ein Ausgangssignal der Gatterschaltung **95** wird fest auf L-Pegel gehalten, und der MOS-Transistor **98** wird nichtleitend gemacht. Wenn das Leistungsunterbrechungsfreigabesignal PCUTe dagegen auf H-Pegel gelegt wird, gibt die Gatterschaltung **95** ein Signal mit L-Pegel aus und macht den MOS-Transistor **96** leitend. In diesem Fall erhält die Feldversorgungsspannung VDDS einen Wert von EXVDD-Vth(**96**), wobei Vth(**96**) eine Schwellenspannung des MOS-Transistors **96** bezeichnet.

[0182] Wenn die externe Versorgungsspannung EXVDD dagegen z. B. auf 2,5 V liegt, wird das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel gelegt, ein Ausgangssignal der Gatterschaltung **95** erhält den L-Pegel, und der MOS-Transistor **96** wird nichtleitend. Wenn dagegen das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt wird, erhält das Ausgangssignal der AND-Schaltung **97** den H-Pegel, und der MOS-Transistor **98** wird leitend gemacht. In diesem Zustand erhält die Feldversorgungsspannung VDDS einen Wert von EXVDD-Vth(**98**), wobei Vth(**98**) eine Schwellenspannung des MOS-Transistors **98** bezeichnet.

[0183] Da die externe Versorgungsspannung EXVDD klein ist, wird verhindert, dass der Spannungspegel der Feldversorgungsspannung VDDS durch Verwenden des Niedrig-Vth-Transistors **98** zu sehr erniedrigt wird. In dem Fall, in dem der Strompfad im Tiefherabschaltbetrieb unterbrochen ist, kann ein fehlerhafter Betrieb der die Feldversorgungsspannung VDDS verwendenden Schaltung verhindert werden, bis die Feldversorgungsspannung VDDS beim Verlassen des Tiefherabschaltbetriebs auf einen vorbestimmten Wert (Vrefs) zurückkehrt.

[0184] Auch wenn das Leistungsunterbrechungs-

freigabesignal PCUTe beim Einschalten fehlerhafterweise aktiviert wird, kann die Feldversorgungsspannung VDDS entsprechend der externen Versorgungsspannung EXVDD getrieben werden. Der Spannungspegel der Spannung EXVDD-Vthn(**98**) liegt nahe bei dem Pegel der externen Versorgungsspannung EXVDD. Beim Übergang des Leistungsunterbrechungsfreigabesignals PCUTe in einen inaktiven Zustand kann daher eine Schaltung, die die Feldversorgungsspannung verwendet, initialisiert werden. [0185] Mit einem solchen Aufbau kann der Stromverbrauch in dem Tiefherabschaltbetrieb verringert werden, und das Verlassen des Tiefherabschaltbetriebs kann richtig durchgeführt werden, so dass interne Schaltungen genau betrieben werden. Auch wenn das Leistungsunterbrechungsfreigabesignal PCUTe fehlerhafterweise beim Einschalten aktiviert wird, kann die interne Versorgungsspannung zuverlässig auf der Grundlage der externen Versorgungsspannung erzeugt werden. Die AND-Schaltungen **92** und **97**, die Gatterschaltung **95** und der Inverter **11** arbeiten jeweils unter Verwendung der externen Versorgungsspannung EXVDD als einer Betriebsversorgungsspannung.

[0186] **Fig. 12** ist eine schematische Darstellung des Aufbaus einer Abwandlung der dritten Ausführungsform. Wie in **Fig. 12** dargestellt, ist für die Feldversorgungsleitung **10f** eine AND-Schaltung **100** bereitgestellt, die das Leistungsunterbrechungsfreigabesignal PCUTe und das Externversorgungspegelbezeichnungssignal ZCMPE empfängt, und ein p-Kanal-MOS-Transistor **102**, der leitend gemacht wird, wenn ein Ausgangssignal der AND-Schaltung **100** auf L-Pegel liegt, um die Feldversorgungsleitung **10s** mit einem externen Versorgungsknoten zu verbinden. Ähnlich wie bei dem in **Fig. 11** dargestellten Aufbau sind für die Feldversorgungsleitung **10s** weiterhin die Gatterschaltung **95** und der n-Kanal-MOS-Transistor **96** bereitgestellt.

[0187] Wenn die externe Versorgungsspannung EXVDD in dem in **Fig. 12** dargestellten Aufbau z. B. 2,5 V beträgt, wird das Externversorgungspegelbezeichnungssignal ZCMPE auf H-Pegel gelegt. Wenn das Leistungsunterbrechungsfreigabesignal PCUTe aktiviert ist, wird dementsprechend der MOS-Transistor **102** leitend gemacht, und die Feldversorgungsspannung VDDS wird auf den Pegel der externen Versorgungsspannung EXVDD eingestellt. Auch in diesem Fall wird die Feldversorgungsspannung VDDS in dem Tiefherabschaltbetrieb auf einen Spannungspegel eingestellt, der kleiner ist als ein Spannungspegel in dem Fall, in dem die externe Versorgungsspannung EXVDD 3,3 V beträgt. Demzufolge können ähnliche Wirkungen erzielt werden wie mit dem in **Fig. 11** dargestellten Aufbau. Wenn der Tiefherabschaltbetrieb verlassen wird bzw. das Leistungsunterbrechungsfreigabesignal deaktiviert wird, kann eine Schaltung, die die Feldversorgungsspannung verwendet, genau und stabil betrieben werden.

[0188] Wenn das Externversorgungspegelbezeich-

nungssignal ZCMPE auf L-Pegel gelegt wird, wenn das Leistungsabrechungsfreigabesignal PCUTe aktiviert ist, wird der MOS-Transistor **96** leitend gemacht, um die Spannung EXVDD-Vthn(**96**) zu der Feldversorgungsleitung **10s** zu übertragen. Daher kann ähnlich wie bei dem in **Fig. 11** dargestellten Aufbau eine Spannung, die kleiner ist als die externe Versorgungsspannung, einer Schaltung zugeführt werden, die die Feldversorgungsspannung verwendet, und die Schaltungen, die die Feldversorgungsspannung verwenden, können stabil betrieben werden.

[0189] Der für die Peripherieversorgungsleitung **10p** und die Eingangsversorgungsleitung **10i** bereitgestellte Aufbau ist derselbe wie in **Fig. 11** dargestellt.

[0190] Wie oben beschrieben wird nach der dritten Ausführungsform der vorliegenden Erfindung die interne Versorgungsspannung im Tiefherabschaltbetrieb auf einen dem Pegel der externen Versorgungsspannung entsprechenden Spannungspegel eingestellt. Beim Verlassen des Tiefherabschaltbetriebs kann die interne Schaltung entsprechend dem von außen zugeführten Befehl zum Verlassen des Tiefherabschaltbetriebs richtig betrieben werden.

[0191] Auch wenn das Leistungsunterbrechungsfreigabesignal PCUTe beim Einschalten der externen Versorgung fehlerhafterweise aktiviert wird, wird das Leistungsunterbrechungsfreigabesignal PCUTe zuverlässig zurückgesetzt, wenn die externe Versorgungsspannung einen vorbestimmten Spannungspegel erreicht, und somit kann die interne Versorgungsspannung erzeugt werden.

[0192] **Fig. 13** ist eine schematische Darstellung des Aufbaus einer Versorgungssteuerschaltung nach einer vierten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 13** dargestellt, enthält die Versorgungssteuerschaltung: eine Peripherieeinschalterfassungsschaltung **110** zum Erfassen des Einschaltens einer Peripherieversorgungsspannung VDDP; eine periphere Schaltung **112**, in der ein interner Zustand zurückgesetzt wird, wenn ein Peripherieeinschalterfassungssignal /PORP aktiviert ist, und die entsprechend einem von außen zugeführten Befehl CMD ein Leistungsunterbrechungssignal PCUT erzeugt; eine Pegelwandlerschaltung **114** zum Umwandeln des Pegels des Leistungsunterbrechungssignals PCUT von der peripheren Schaltung **112** auf ein Signal mit einer Amplitude der externen Versorgungsspannung EXVDD; einen CMOS-Inverter **116** zum Invertieren eines Ausgangssignals der Pegelwandlerschaltung **114**; eine Externeinschalterfassungsschaltung **118** zum Erfassen des Einschaltens der externen Versorgungsspannung EXVDD; und eine AND-Schaltung **120**, die ein Externeinschalterfassungssignal /POREX von der Externeinschalterfassungsschaltung **118** und ein Ausgangssignal des CMOS-Inverters **116** empfängt und das Leistungsunterbrechungsfreigabesignal PCUTe erzeugt.

[0193] Die periphere Schaltung **112** empfängt die Peripherieversorgungsspannung VDDP als eine Be-

triebsversorgungsspannung. Der CMOS-Inverter **116** und die AND-Schaltung **120** empfangen die externe Versorgungsspannung EXVDD als eine Betriebsversorgungsspannung.

[0194] Die Pegelwandlerschaltung **114** invertiert den Logikpegel des von der peripheren Schaltung **112** ausgegebenen Leistungsunterbrechungssignal PCUT und wandelt seine Amplitude um.

[0195] Wenn die Peripherieversorgungsspannung VDDP einen vorbestimmten Spannungspegel erreicht oder überschreitet oder auf einem vorbestimmten Spannungspegel stabilisiert wird, legt die Peripherieeinschalterfassungsschaltung **110** das Peripherieeinschalterfassungssignal /PORP auf H-Pegel.

[0196] Wenn die externe Versorgungsspannung EXVDD einen vorbestimmten Spannungspegel erreicht oder auf einem vorbestimmten Spannungspegel stabilisiert wird, legt die Externeinschalterfassungsschaltung **118** das Externeinschalterfassungssignal /POREX auf H-Pegel.

[0197] Die Peripherieversorgungsspannung VDDP wird von der externen Versorgungsspannung EXVDD erzeugt. Beim Einschalten der externen Versorgungsspannung EXVDD erreicht daher die Peripherieversorgungsspannung VDDP einen vorbestimmten Spannungspegel noch nicht, so dass der Logikpegel des von der peripheren Schaltung **112** ausgegebenen Leistungsunterbrechungssignals PCUT in einem unbestimmten Zustand ist. Wenn der Spannungspegel des Leistungsunterbrechungssignals PCUT in diesem Zustand etwas an-, steigt und das Ausgangssignal durch die Pegelwandlerschaltung **114** auf L-Pegel getrieben wird, erhält ein Ausgangssignal des CMOS-Inverters **116** den H-Pegel. Wenn in diesem Fall das Externeinschalterfassungssignal /POREX auf L-Pegel gehalten wird, wird das Leistungsunterbrechungsfreigabesignal PCUTe von der AND-Schaltung **120** auf L-Pegel gehalten. Daher kann verhindert werden, dass das Leistungsunterbrechungsfreigabesignal PCUTe entsprechend dem Leistungsunterbrechungssignal PCUT aktiviert wird, das beim Einschalten der externen Versorgungsspannung in einem unbestimmten Zustand ist, und dass der Internspannungserzeugungsvorgang der Internversorgungsspannungserzeugungsschaltung beendet wird. Somit können beim Einschalten der externen Versorgungsspannung die internen Spannungen einschließlich der Internversorgungsspannung stabil erzeugt werden.

[0198] Insbesondere liegt beim Einschalten der externen Versorgungsspannung EXVDD, wie in **Fig. 14** dargestellt, das Externversorgungseinschaltsignal /POREX auf L-Pegel, bis die externe Versorgungsspannung EXVDD einen vorbestimmten Spannungspegel erreicht oder stabilisiert wird. Während dieser Zeit kann das Leistungsunterbrechungsfreigabesignal PCUTe zuverlässig auf L-Pegel eingestellt werden.

[0199] Wie in **Fig. 14** dargestellt steigt der Spannungspegel der Peripherieversorgungsspannung

VDDP nach dem Einschalten der externen Versorgungsspannung EXVDD später an als die externe Versorgungsspannung EXVDD (insbesondere in dem 3,3 V-Betrieb oder wenn das Externversorgungspegelbezeichnungssignal ZCMPE auf L-Pegel liegt). In diesem Fall behält das Peripherieeinschalterfassungssignal /PORP von der Peripherieeinschalterfassungsschaltung **110** den L-Pegel, bis die Peripherieversorgungsspannung VDDP stabilisiert ist.

[0200] Während die Peripherieversorgungsspannung VDDP instabil ist, liegt der Logikpegel des Leistungsunterbrechungssignals PCUT von der peripheren Schaltung **112** auf einem unbestimmten Zustand. Wenn der Spannungspegel des Leistungsunterbrechungssignals PCUT ansteigt und ein Ausgangssignal der Pegelwandlerschaltung **114** den L-Pegel erhält, erhält ein Ausgangssignal des CMOS-Inverters **116** den H-Pegel. In diesem Fall liegt jedoch das Externeinschalterfassungssignal /POREX auf L-Pegel, das Leistungsunterbrechungsfreigabesignal PCUTe von der AND-Schaltung **120** behält den L-Pegel, und die Peripherieversorgungsspannung VDDP wird beim Ansteigen der externen Versorgungsspannung EXVDD auf einen vorbestimmten Spannungspegel getrieben. Wenn die Peripherieversorgungsspannung VDDP einen vorbestimmten Spannungspegel erreicht, ist der interne Zustand der peripheren Schaltung **112** stabilisiert, und der Zustand des Leistungsunterbrechungssignals PCUT wird bestimmt und auf den Massespannungspegel getrieben (da das Peripherieeinschalterfassungssignal /PORP auf L-Pegel liegt, wird der interne Zustand der peripheren Schaltung **112** entsprechend dem Peripherieeinschalterfassungssignal /PORP zuverlässig auf den anfänglichen Zustand gesetzt).

[0201] Nachdem das Peripherieeinschalterfassungssignal /PORP auf H-Pegel angestiegen ist, steigt das Externeinschalterfassungssignal /POREX auf H-Pegel. Demzufolge kann die AND-Schaltung **120** als Pufferschaltung arbeiten, nachdem das Leistungsunterbrechungssignal PCUT zuverlässig auf L-Pegel gelegt ist, und das Leistungsunterbrechungsfreigabesignal PCUTe kann entsprechend einer von außen zugeführten Tiefherabschaltbetriebsanweisung aktiviert werden.

[0202] Das Externeinschalterfassungssignal /POREX kann im Hinblick auf eine Zeitspanne, die dafür erforderlich ist, dass die Peripherieversorgungsspannung VDDP nach dem Einschalten der externen Versorgungsspannung EXVDD einen vorbestimmten Spannungspegel erreicht, für eine geeignete Zeit deaktiviert werden. Insbesondere wird das Externeinschalterfassungssignal /POREX nach dem Ablauf einer vorbestimmten Zeitspanne, nachdem die externe Versorgungsspannung EXVDD stabilisiert ist, auf H-Pegel getrieben. Durch Treiben des Externeinschalterfassungssignals /POREX auf H-Pegel, nachdem das Leistungsfreigabesignal PCUT zurückgesetzt ist, kann eine fehlerhafte Aktivierung des

Leistungsunterbrechungsfreigabesignals PCUTe beim Einschalten verhindert werden.

[0203] Für den Aufbau der Externeinschalterfassungsschaltung **118** und der Peripherieeinschalterfassungsschaltung **110** kann der Aufbau einer allgemeinen Einschalterfassungsschaltung verwendet werden. Durch Verzögern der Zeit des Ansteigens eines Ausgangssignal auf H-Pegel, z. B. durch Verwendung einer Verzögerungsschaltung, können die Einschalterfassungssignale /PORP und /POREX mit einem gewünschten Zeitablauf auf H-Pegel getrieben werden.

[0204] Wie oben beschrieben wird nach der vierten Ausführungsform der vorliegenden Erfindung beim Einschalten der externen Versorgung das Leistungsunterbrechungsfreigabesignal durch Verwendung eines Einschalterfassungssignals für eine externe Versorgungsspannung in einem zurückgesetzten Zustand gehalten. Nach dem Einschalten kann eine interne Versorgungsspannung zuverlässig aus der externen Versorgungsspannung erzeugt werden, und die interne Versorgungsspannung kann mit einem schnelleren Zeitablauf zuverlässig auf einen vorbestimmten Spannungspegel getrieben werden.

[0205] **Fig. 15** ist eine Darstellung eines Beispiels für den Aufbau einer Betriebsarteinstellsignalerzeugeeinheit nach einer fünften Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 15** dargestellt enthält die Betriebsarteinstellsignalerzeugeeinheit einen Inverter **131** zum Invertieren eines Signals an einem Knoten ND20, der mit einer Bondfläche **130** verbunden ist; einen Inverter **132** zum Invertieren eines Ausgangssignals des Inverters **131**, um ein Betriebsarteinstellsignal MOD zu erzeugen; einen n-Kanal-MOS-Transistor **133** zum Verbinden des Knotens ND20 mit dem Masseknoten entsprechend einem Ausgangssignal des Inverters **131**; einen Inverter **134**, der das Leistungsunterbrechungsfreigabesignal PCUTe empfängt; und einen n-Kanal-MOS-Transistor **135**, der entsprechend einem Ausgangssignal des Inverters **134** selektiv leitend gemacht wird, um den Knoten ND20 mit dem Masseknoten zu verbinden.

[0206] Die Inverter **131**, **132** und **134** empfangen die externe Versorgungsspannung EXVDD als eine Betriebsversorgungsspannung. Der MOS-Transistor **135** hat eine große Kanallänge, sein Kanalwiderstand ist dementsprechend hoch und seine Stromtreiberfähigkeit hinreichend klein.

[0207] Das Betriebsarteinstellsignal MOD ist z. B. das Externversorgungspegelbezeichnungssignal ZCMPE oder das Betriebsarteinstellsignal MLV. Das Betriebsarteinstellsignal MOD kann auch ein Wortaufbaubezeichnungssignal zum Einstellen der Anzahl von Bits von Eingabe/Ausgabedaten oder ein Signal zum Einstellen einer internen Betriebsart wie z. B. eines Auffrischzyklus sein. Ein beliebiges Signal kann verwendet werden, vorausgesetzt, dass sein Spannungspegel zum festen Einstellen eines internen Zustands durch Einstellen einer Spannung an

der Bondfläche **130** festgelegt wird.

[0208] In dem in **Fig. 15** dargestellten Aufbau der Betriebsarteinstellsignalerzeugeeinheit ist die Bondfläche **130** über einen Bonddraht **137** selektiv mit einem externen Versorgungsanschluss **136** verbunden. Wenn die Bondfläche **130** über den Bonddraht **137** mit dem externen Versorgungsanschluss **136** verbunden wird, erhält die Spannung an dem Knoten ND20 den Pegel der externen Versorgungsspannung EXVDD, und auch das Betriebsarteinstellsignal MOD wird ein Signal mit dem Pegel der externen Versorgungsspannung EXVDD. In diesem Fall liegt ein Ausgangssignal des Inverters **131** auf L-Pegel, und der MOS-Transistor **133** ist nichtleitend.

[0209] In einem Normalbetrieb liegt das Leistungsunterbrechungsfreigabesignal PCUTe auf L-Pegel, und der MOS-Transistor **135** wird in einem leitenden Zustand gehalten. In diesem Zustand fließt daher ein sehr kleiner Strom von dem Knoten ND20 über den MOS-Transistor **135** zu dem Masseknoten. Um einen Betrag des von dem Knoten ND20 über den MOS-Transistor **135** zu dem Masseknoten fließenden Stromes hinreichend zu verringern, hat der MOS-Transistor **135** eine hinreichend große Kanallänge, um einen hinreichend großen Kanalwiderstandswert aufzuweisen.

[0210] In dem Tiefherabschaltbetrieb wird das Leistungsunterbrechungsfreigabesignal PCUTe auf H-Pegel gelegt, und der MOS-Transistor **135** wird nichtleitend gemacht. Daher ist in dem Tiefherabschaltbetrieb ein Pfad, durch den Strom zwischen dem Knoten ND20 und dem Masseknoten fließt, unterbrochen. Ein Pfad für den Strom, der von dem externen Versorgungsanschluss **136** über den Bonddraht **137**, die Bondfläche **130** und den MOS-Transistor **135** zu dem Masseknoten fließt, ist unterbrochen. Somit kann der Stromverbrauch in dem Tiefherabschaltbetrieb verringert werden.

[0211] Wenn die Bondfläche **130** offen gelassen wird, ist der MOS-Transistor **135** in einem Normalbetrieb in einem eingeschalteten (leitenden) Zustand, und der Knoten ND20 wird fest auf Massespannungspegel gehalten. In diesem Fall liegt ein Ausgangssignal des Inverters **131** auf H-Pegel, der MOS-Transistor **130** wird leitend, durch den Inverter **131** und den MOS-Transistor **133** wird eine Verriegelungsschaltung gebildet, und der Knoten ND20 wird fest auf Massespannungspegel gehalten.

[0212] Wenn das Leistungsunterbrechungsfreigabesignal PCUTe in dem Tiefherabschaltbetrieb aktiviert ist, wird der MOS-Transistor **135** nichtleitend. In diesem Zustand ist der MOS-Transistor **133** entsprechend einem Ausgangssignals des Inverters **131** leitend, der Knoten ND20 wird weiter auf Massespannungspegel gehalten und dementsprechend wird das Betriebsarteinstellsignal MOD auf L-Pegel gehalten.

[0213] Durch Versetzen des MOS-Transistors **135**, der den Knoten ND20 auf einem vorbestimmten Spannungspegel hält, wenn sich der Knoten **20** in einem offenen Zustand befindet, in einen nichtleit-

den Zustand im Tiefherabschaltbetrieb kann der Stromverbrauch in dem Tiefherabschaltbetrieb verringert werden, wenn die Bondfläche **130** mit dem Versorgungsanschluss **136** verbunden ist.

[0214] In dem Fall, in dem die Bondfläche **130** auf dem Pegel der externen Versorgungsspannung EX-VDD liegt, liegt der Knoten ND20 auch im Tiefherabschaltbetrieb auf dem Pegel der externen Versorgungsspannung EXVDD, und das Betriebsarteinstellsignal MOD behält den H-Pegel. In einem Zustand, in dem die Bondfläche **130** offen ist, wird der Knoten ND20 durch den MOS-Transistor **133** auf Massespannungspegel gehalten, und das Betriebsarteinstellsignal MOD wird auf L-Pegel gehalten. Daher ändert sich in dem Tiefherabschaltbetrieb der Logikpegel des Betriebsarteinstellsignals MOD auch dann nicht, wenn der MOS-Transistor **135**, der verhindern soll, dass der Knoten ND20 elektrisch schwebt, in einen nichtleitenden Zustand versetzt wird.

[0215] In dem in **Fig. 15** dargestellten Aufbau wird der Logikpegel des Betriebsarteinstellsignals MOD dementsprechend eingestellt, ob ein Bonddraht **137** mit der Bondfläche **130** verbunden ist oder nicht. Der Logikpegel des Betriebsarteinstellsignals MOD kann aber auch eingestellt werden, je nachdem ob ein schmelzbares Verbindungselement durchgebrannt ist oder nicht. Der Spannungspegel des internen Knotens ND20 wird fest eingestellt, und der MOS-Transistor **135**, der verhindert, dass der interne Knoten elektrisch schwebt, wird in dem Tiefherabschaltbetrieb ausgeschaltet. Somit kann der Stromverbrauch in dem Tiefherabschaltbetrieb verringert werden.

[0216] In dem Fall, in dem die Bondfläche **130** so verdrahtet ist, dass sie mit dem Masseanschluss verbunden ist, wird der MOS-Transistor zum Verhindern des elektrischen Schwebens zwischen den externen Versorgungsknoten und den Knoten ND20 geschaltet.

[0217] Wie oben beschrieben wird nach der fünften Ausführungsform der vorliegenden Erfindung in einer Programmschaltung zum festen Einstellen des Logikpegels eines Internzustandseinstellsignals der Transistor, der verhindert, dass eine Anschlussfläche elektrisch schwebt, in dem Tiefherabschaltbetrieb nichtleitend gemacht. Somit kann der Stromverbrauch in dem Tiefherabschaltbetrieb verringert werden.

[0218] **Fig. 16** ist eine Darstellung des Aufbaus eines Feldbetriebs-VDC **4a** nach einer sechsten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 16** dargestellt, enthält der Feldbetriebs-VDC **4a**: p-Kanal-MOS-Transistoren **140** und **141**, die eine Stromspiegelschaltung bilden; n-Kanal-MOS-Transistoren **142** und **143**, die eine Differenzstufe bilden, um die Feldversorgungsspannung VDDS mit der Feldreferenzspannung Vrefs zu vergleichen; einen n-Kanal-MOS-Transistor **144** zum Aktivieren des Feldbetriebs-VDC **4a** als Reaktion auf die Aktivierung eines dem Steuereingang AIN zugeführtes Feldakti-

viessignals ACT; und einen p-Kanal-Stromtreiber-MOS-Transistor **145** zum Zuführen eines Stroms von dem externen Versorgungsknoten über die Feldversorgungsleitung **I0s** entsprechend einem Ausgangssignal am Knoten ND32.

[0219] Das Gate der MOS-Transistoren **140** und **141** ist jeweils mit dem Knoten ND30 verbunden, und der MOS-Transistor **140** dient als Hauptstufe der Stromspiegelschaltung. Die Gates der MOS-Transistoren **142** und **143** empfangen jeweils die Feldversorgungsspannung VDDS bzw. die Feldreferenzspannung Vrefs.

[0220] Der Feldbetriebs-VDC **4a** enthält weiter einen p-Kanal-MOS-Transistor **146**, der leitend gemacht wird, wenn ein Übersteuersignal ZOVR aktiviert wird, und der in leitendem Zustand dem Knoten N30 die Feldversorgungsspannung VDDS zuführt. Das Übersteuersignal ZOVR wird im Betrieb des Leerverstärkers für eine vorbestimmte Zeitspanne (z. B. 10 ns) aktiv gehalten.

[0221] **Fig. 17** ist ein Signalverlaufsdiagramm, das einen Betrieb des in **Fig. 16** dargestellten Feldbetriebs-VDC **4a** darstellt. Mit Bezug auf **Fig. 17** wird nun der Betrieb des in **Fig. 16** dargestellten Feldbetriebs-VDC **4a** beschrieben.

[0222] Wenn ein Speicherzellauswahlvorgang angewiesen ist, wird das Feldaktiviersignal ACT aktiviert. Wenn das Feldaktiviersignal ACT aktiviert ist, wird der Feldbetriebs-VDC **4a** aktiviert, um die Feldversorgungsspannung VDDS auf der Feldversorgungsleitung **I0s** mit der Feldreferenzspannung Vrefs zu vergleichen, und er führt der Feldversorgungsleitung **I0s** entsprechend dem Vergleichsergebnis einen Strom von dem externen Versorgungsknoten zu.

[0223] Wenn die Feldreferenzspannung Vrefs in dem Vergleichsvorgang größer ist als die Feldversorgungsspannung VDDS, erhält der MOS-Transistor **143** einen höheren Leitwert als der MOS-Transistor **142**, um den von dem MOS-Transistor **141** zugeführten Strom abzuleiten. Dementsprechend wird der Spannungspegel an dem Knoten ND32 kleiner, der Treiberstrom des Stromtreibertransistors **145** steigt an, und der Spannungspegel der Feldversorgungsspannung VDDS steigt an.

[0224] Wenn die Feldversorgungsspannung VDDS dagegen größer ist als die Feldreferenzspannung Vrefs, erhält der MOS-Transistor **142** einen höheren Leitwert als der MOS-Transistor **143** zum Erhöhen des Treiberstroms, und dementsprechend steigt die Stromzufuhr durch den MOS-Transistor **140** an. Der MOS-Transistor **143** kann nicht den gesamten von dem MOS-Transistor **141** zugeführten Strom abführen, und der Spannungspegel an Knoten ND32 steigt an. Der Stromtreibertransistor **145** verringert den Treiberstrom oder beendet die Stromzufuhr.

[0225] Nach Ablauf einer vorbestimmten Zeitspanne, nachdem das Feldaktiviersignal ACT aktiviert wurde, wird ein Lesetriggersignal S0N aktiviert, und der Vorgang des Lesens aus der ausgewählten Speicherzelle wird gestartet. Als Reaktion auf die Aktivie-

nung des Lesetriggersignals S0N wird das Übersteuersignal ZOVR für eine vorbestimmte Zeitspanne aktiviert. Wenn das Übersteuersignal ZOVR aktiviert ist, wird der übersteuernde MOS-Transistor **146** leitend, und der Knoten ND30 wird für eine vorbestimmte Zeitspanne fest auf dem Pegel der Feldversorgungsspannung VDDS gehalten. Durch Halten des Knotens **30** auf dem Pegel der Feldversorgungsspannung VDDS wird in der Vergleichsschaltung des Feldbetriebs-VDC **4a** zwangsläufig ein Zustand eingestellt, in dem die Feldversorgungsspannung VDDS dementsprechend abfällt. Die Stromzufuhr des MOS-Transistors **141** wird verringert, der Spannungspegel des Knotens ND32 wird verringert, und ein Stromzuführerbetrag des Stromtreibertransistors **145** steigt an.

[0226] Wenn der Leseverstärker als Reaktion auf die Aktivierung des Lesetriggersignals S0N arbeitet, wird Feldversorgungsspannung VDDS auf der Feldversorgungsleitung **I0s** verbraucht, was möglicherweise ein Absinken des Spannungspegels bewirkt, und deswegen wird die Stromtreiberfähigkeit des Stromtreibertransistors **145** groß eingestellt. Somit kann ein Abfall der Feldversorgungsspannung VDDS unterdrückt werden, und der Lesevorgang kann stabil durchgeführt werden.

[0227] Die Feldversorgungsspannung VDDS beträgt z. B. 1,6 V. Wenn die externe Versorgungsspannung EXVDD **2,5V** beträgt, hat eine Gate/Source-Spannung des MOS-Transistors **141** den Wert -0,9 V, und die Stromzuführmenge des MOS-Transistors **141** kann hinreichend verringert werden. Somit kann der Spannungspegel des Knotens ND32 durch den Entladevorgang des MOS-Transistors **143** hinreichend abgesenkt werden.

[0228] Wenn die externe Versorgungsspannung EXVDD dagegen 3,3 V beträgt, hat die Gate/Source-Spannung des MOS-Transistors **141** einen Wert von -1,7 V. Der MOS-Transistor **141** liefert einen größeren Strom als in dem Fall, in dem die externe Versorgungsspannung EXVDD **2,5V** beträgt, um zu verhindern, dass der Spannungspegel an dem Knoten ND32 zu sehr abfällt. Wenn die externe Versorgungsspannung EXVDD so groß wie 3,3 V, wird daher eine übermäßige Stromzufuhr zu der Feldversorgungsleitung **I0s** verhindert, so dass vermieden wird, dass der Pegel der Feldversorgungsspannung VDDS übermäßig über einen vorbestimmten Spannungspegel anzeigt.

[0229] **Fig. 18** ist eine schematische Darstellung des Aufbaus einer zeilenbezogenen Schaltung einer HalbleiterSpeichervorrichtung nach der sechsten Ausführungsform.

[0230] Wie in **Fig. 18** dargestellt, enthält die zeilenbezogene Steuerschaltung: eine Feldaktiviersteuerschaltung **150**, die einen von außen zugeführten Befehl CMD empfängt und das Feldaktiviersignal ACT aktiviert, wenn der Befehl CMD die Auswahl einer Zeile anweist; eine Wortleitungstreibersteuerschaltung **152**, die als Reaktion auf die Aktivierung des

Feldaktiviersignals ACT ein Wortleitungstreiberzeitsteuerungssignal RXT mit einem vorbestimmten Zeitablauf erzeugt; und eine Lesesteuerschaltung **154**, die als Reaktion auf ein Ausgangssignal der Wortleitungstreibersteuerschaltung **152** nach Ablauf einer vorbestimmten Zeitspanne das Lesetriggersignal S0N aktiviert. Die Steuerschaltungen **150**, **152** und **154** empfangen die Peripherieversorgungsspannung VDDP als eine Betriebsversorgungsspannung.

[0231] Wenn die Halbleitervorrichtung ein Synchronspeicher ist, der synchron zu einem Taktsignal arbeitet, nimmt die Feldaktiviersteuerschaltung **150** eine Mehrzahl von externen Steuersignalen z. B. synchron zu der ansteigenden Flanke eines Taktsignals auf und erzeugt entsprechend einer Verknüpfung der Logikpegel der Steuersignale ein internes Betriebssteuersignal. Wenn das Feldaktiviersignal ACT aktiviert wird, aktivieren die Wortleitungstreibersteuerschaltung **152** und die Lesesteuerschaltung **154** jeweils nach Ablauf vorbestimmter Zeitspannen das Wortleitungstreiberzeitsteuerungssignal RXT bzw. das Lesetriggersignal S0N. Wenn das Feldaktiviersignal ACT z. B. durch Anlegen eines Vorladebefehls deaktiviert wird, wird das Wortleitungstreiberzeitsteuerungssignal RXT deaktiviert und anschließend wird das Lesetriggersignal S0N deaktiviert.

[0232] Die zeilenbezogene Peripherieschaltung enthält: eine Wortleitungsauswahlschaltung **160** zum Treiben einer adressierten Wortleitung WL in einen ausgewählten Zustand entsprechend dem Wortleitungstreiberzeitsteuerungssignal RXT und einen Leseverstärkeraktivierschaltung **162** zum Erzeugen eines Leseverstärkeraktiviersignals S1N für den Leseverstärker SA entsprechend dem Lesetriggersignal S0N. An die Wortleitungsauswahlschaltung **160** werden die Peripherieversorgungsspannung VDDP und eine hohe Spannung Vpp angelegt, und die ausgewählte Wortleitung WL wird auf den Pegel der hohen Spannung Vpp getrieben.

[0233] Der Leseverstärker SA enthält einen aus kreuzgekoppelten p-Kanal-MOS-Transistoren gebildeten p-Leseverstärker und einen aus kreuzgekoppelten n-Kanal-MOS-Transistoren gebildeten n-Leseverstärker. In dem Leseverstärker SA wird entsprechend der Aktivierung des Leseverstärkeraktiviersignals S1N der n-Leseverstärker mit der Masseleitung verbunden, und eine Bitleitung mit einem kleineren Potential wird auf den Massespansungspegel entladen.

[0234] Die Leseverstärkeraktivierschaltung **162** erzeugt auch ein p-Leseverstärkeraktiviersignal SPE zum Aktivierendes p-Leseverstärkers entsprechend dem Lesetriggersignal S0N zum Anlegen an den Leseverstärker SA. Der p-Leseverstärker wird entsprechend dem p-Leseverstärkeraktiviersignal SPE mit der Feldversorgungsleitung **I0s** verbunden und treibt eine Bitleitung aus den Bitleitungen BL und ZBL mit einem höheren Potential auf den Pegel der Feldversorgungsspannung VDDS. Beim Betrieb des Leseverstärkers SA werden daher die Bitleitungen BL und

ZBL aufgeladen und entladen. Beim Laden der Bitleitung wird Feldversorgungsspannung VDDS verbraucht.

[0235] Der Leseverstärker SA ist entsprechend jeder Speicherzellenspalte (Bitleitungspaar) bereitgestellt. Im Lesebetrieb führen eine große Anzahl von Leseverstärkern SA gleichzeitig Lade- und Entladevorgänge durch. Um den Bitleitungslade- und Entlastestrom im Lesebetrieb zu kompensieren, wird wie in **Fig. 16** dargestellt die Stromtreiberfähigkeit des Feldbetriebs-VDC **4a** unter Verwendung des MOS-Transistors **146** zum Übersteuern erhöht, wodurch ein Abfall der Feldversorgungsspannung VDDS vermieden wird.

[0236] Für das Feldbetriebs-VDC **4a** ist eine Übersteuerungssteuerschaltung **156** bereitgestellt zum Erzeugen eines Übersteuersignals ZOVR mit einem Einzelpuls als Reaktion auf die Aktivierung des Lesetriggersignals S0N. Die Übersteuerungssteuerschaltung **156** empfängt die externe Versorgungsspannung EXVDD als eine Betriebsversorgungsspannung.

[0237] Für gewöhnlich ist ein Speicherzellenfeld in eine Mehrzahl von Zeilenblöcke aufgeteilt, und ein Lesevorgang wird in einem Zeilenblock durchgeführt, der eine ausgewählte Speicherzelle enthält. Entsprechend dem Lesetriggersignal S0N werden die für einen ausgewählten Zeilenblock bereitgestellten Leseverstärker entsprechend dem Leseverstärkeraktivierungs signal S1N aktiviert.

[0238] Im Bereitschaftszustand werden die Bitleitungen BL und ZBL von einer Bitleitungsvorlade/Ausgleichsschaltung BPE auf den Pegel einer vorbestimmten Bitleitungsvorladespannung Vb1 vorgeladen und ausgeglichen.

[0239] **Fig. 19** ist ein Beispiel für den Aufbau einer in **Fig. 18** gezeigten Übersteuerungssteuerschaltung **156**. Wie in **Fig. 19** dargestellt, enthält die Übersteuerungssteuerschaltung **156**: eine Pegelwandlerschaltung **156a** zum Umwandeln der Amplitude des Lesetriggersignals S0N auf den Pegel der externen Versorgungsspannung EXVDD; eine Invertier/Verzögerungsschaltung **156b**, um ein Ausgangssignal der Pegelwandlerschaltung **156a** zu invertieren und um eine vorbestimmte Zeitspanne zu verzögern; und eine NAND-Schaltung **156c**, die ein Ausgangssignal der Invertier/Verzögerungsschaltung **156b** und ein Ausgangssignal der Pegelwandlerschaltung **156a** empfängt und das Übersteuersignal ZOVR erzeugt. Der Invertier/Verzögerungsschaltung **156b** und der NAND-Schaltung **156c** wird die externe Versorgungsspannung EXVDD als eine Betriebsversorgungsspannung zugeführt.

[0240] Die Pegelwandlerschaltung **156a** führt nur eine Wandlung der Amplitude des Lesetriggersignals S0N durch und konvertiert nicht den Logikpegel. Wenn das Lesetriggersignal S0N aktiviert wird und sein Spannungspegel ansteigt, steigt daher auch ein Ausgangssignal der Pegelwandlerschaltung **156a** an. Die Invertier/Verzögerungsschaltung **156** ist aus

kaskadierten Invertern mit einer ungeraden Zahl von Stufen aufgebaut und treibt nach Ablauf einer vorbestimmten Zeitspanne ihr Ausgangssignal entsprechend einem Ausgangssignal der Pegelwandlerschaltung **156a** auf L-Pegel. Während der Verzögerungszeit der Invertier/Verzögerungsschaltung **156b** liegen daher beide Eingänge der NAND-Schaltung **156c** auf H-Pegel, und das Übersteuersignal XOVF wird auf L-Pegel getrieben.

[0241] Wenn der Spannungspegel der externen Versorgungsspannung EXVDD ansteigt, wird die Verzögerungszeit der Invertier/Verzögerungsschaltung **156b** kleiner, und auch die Gatterlaufzeit der NAND-Schaltung **156c** wird kleiner. Bei einer Erhöhung der externen Versorgungsspannung EXVDD wird daher die Aktivierzeitspanne des Übersteuersignals ZOVR verringert, die Leseübersteuerungszeitspanne kann verringert sein, die Zeitspanne, in der die Stromtreiberfähigkeit in dem Feldbetriebs-VDC **4a** groß eingestellt ist, kann verringert sein, es kann verhindert werden, dass die Feldversorgungsspannung VDDS zu sehr übersteuert wird, und daher kann der Stromverbrauch verringert werden.

[0242] **Fig. 20** ist ein Beispiel für den Aufbau einer Zwischenspannungsschaltung zum Erzeugen der Zwischenspannungen Vb1 und Vcp nach der sechsten Ausführungsform. Wie in **Fig. 20** dargestellt, enthält eine Zwischenspannungserzeugerschaltung **170** eine Spannungsteilerschaltung zum Teilen der Feldreferenzspannung Vrefs und eine Ausgangsschaltung zum Erzeugen der Zwischenspannung Vb1 oder Vcp entsprechend einem Ausgangssignal der Spannungsteilerschaltung.

[0243] Die Spannungsteilerschaltung enthält: ein Widerstandselement **170a**, das zwischen einen Referenzspannungseingangsknoten ND und einen internen Knoten ND41 geschaltet ist; MOS-Transistoren **170b** und **170c**, die in Reihe zueinander zwischen den Knoten ND41 und einen Knoten ND42 geschaltet sind; und ein Widerstandselement **170d**, das zwischen den Knoten ND42 und einen Masseknoten geschaltet ist.

[0244] Der MOS-Transistor **170b** ist ein n-Kanal-MOS-Transistor, dessen Gate und Drain gemeinsam mit dem Knoten ND41 verbunden sind, und er arbeitet in einem Diodenbetrieb. Der MOS-Transistor **170c** ist ein p-Kanal-MOS-Transistor, dessen Gate und Drain gemeinsam mit dem Knoten ND42 verbunden sind, und er arbeitet in einem Diodenbetrieb.

[0245] Jedes der Widerstandselemente **170a** und **170d** hat einen hinreichend großen Widerstandswert und führt einen sehr kleinen Strom. Daher arbeiten die MOS-Transistoren **170b** und **170c** in dem Diodenbetrieb, der Spannungspegel an dem Knoten ND41 erhält z. B. den Wert Vrefs/2+Vthn, und der Spannungspegel an dem Knoten ND42 erhält z. B. den Wert Vrefs/2 – Vthp. Dabei bezeichnet Vthn eine Schwellenspannung des MOS-Transistors **170b** und Vthp den Absolutwert einer Schwellenspannung des MOS-Transistors **170c**.

[0246] Die Ausgangsschaltung enthält: einen n-Kanal-MOS-Transistor **170e**, der zwischen den externen Versorgungsknoten und einen Ausgangsknoten ND43 geschaltet ist und dessen Gate mit dem Knoten ND41 verbunden ist; und einen p-Kanal-MOS-Transistor **170f**, der zwischen den Knoten ND43 und den Masseknoten geschaltet ist und dessen Gate mit dem Knoten ND42 verbunden ist.

[0247] Da der Spannungspegel des Knotens ND41 kleiner ist als die externe Versorgungsspannung EX-VDD, arbeitet der MOS-Transistor **170e** in einem Spannungsfolgerbetrieb, und der Knoten ND43 wird auf einen Spannungspegel geklemmt, der um die Schwellenspannung V<sub>thn</sub> kleiner ist als die Spannung an dem Knoten ND41. Der MOS-Transistor **170f** arbeitet in dem Spannungsfolgerbetrieb, da seine Drainspannung auf Massespannungspegel liegt und kleiner ist als seine Gatespannung, und Knoten ND43 wird auf einen Spannungspegel geklemmt, der um die Spannung V<sub>thp</sub> größer ist als die Spannung an Knoten ND42.

[0248] Wenn die Zwischenspannung V<sub>b1</sub> (bzw. V<sub>cp</sub>) an Knoten ND43 unter die Spannung V<sub>refs</sub>/2 absinkt, wird der MOS-Transistor **170e** leitend und führt dem Knoten ND43 Strom zu. Der MOS-Transistor **170f** ist dabei nichtleitend. Wenn die Zwischenspannung V<sub>b1</sub> (bzw. V<sub>cp</sub>) über die Spannung V<sub>refs</sub>/2 ansteigt, ist der MOS-Transistor **170e** ausgeschaltet (nichtleitend), und der MOS-Transistor **170f** ist leitend und führt einen Strom von dem Knoten ND43 zu dem Masseknoten ab. Somit wird die Zwischenspannung V<sub>b1</sub> (bzw. V<sub>cp</sub>) auf einem Spannungspegel von V<sub>refs</sub>/2 gehalten. Die Schwellenspannungen der MOS-Transistoren **170b** und **170e** haben den selben Wert, und die Schwellenspannungen der MOS-Transistoren **170c** und **170f** haben den selben Wert.

[0249] Durch Verwenden der Referenzspannung V<sub>refs</sub> zum Erzeugen der Zwischenspannung V<sub>b1</sub> (bzw. V<sub>cp</sub>) werden die Zwischenspannungen V<sub>b1</sub> und V<sub>cp</sub> auch dann ohne Einfluss der Übersteuerung auf dem Spannungspegel von V<sub>refs</sub>/2 gehalten, wenn die Feldversorgungsspannung VDDS übersteuert wird. Im Lesebetrieb kann der Spannungspegel der Referenzbitleitung daher exakt auf dem Spannungspegel der Zwischenspannung V<sub>refs</sub>/2 gehalten werden.

[0250] Außer in der Übersteuerungszeitspanne liegt die Feldversorgungsspannung VDDS auf dem Spannungspegel der Referenzspannung V<sub>refs</sub>. In einer Speicherzelle gespeicherte Daten mit H-Pegel erhalten durch einen Rückschreibvorgang des Leseverstärkers den Spannungspegel V<sub>refs</sub>. In dem Bereitschaftszustand kann ein Bitleitungsvorladepegel daher exakt auf dem Zwischenspannungspegel der in einer Speicherzelle gespeicherten Daten gehalten werden. Auch bei Verwendung des Leseübersteuerschemas können die Bitleitungsvorladespannung V<sub>b1</sub> und die Zellplattenspannung V<sub>cp</sub> exakt auf dem Zwischenspannungspegel erzeugt werden.

[0251] Eine Menge elektrischer Ladungen, die in ei-

nem Speicherzellenkondensator gespeichert sind, ändert sich auch abhängig von der Zellplattenspannung ( $Q = C^*(V_{cp} - V(\text{data}))$ ).

[0252] Durch Erzeugen der Zellplattenspannung V<sub>cp</sub> entsprechend der Feldreferenzspannung V<sub>refs</sub> kann der Absolutwert der gespeicherten elektrischen Ladungsmenge ohne Einfluss durch die Leseübersteuerung in Bezug auf Daten mit H-Pegel und auf Daten mit L-Pegel ausgeglichen werden. Der Absolutwert einer Lesespannung, die auf einer Bitleitung auftritt, wenn eine Speicherzelle ausgewählt ist, kann im Hinblick auf Daten mit H-Pegel und Daten mit L-Pegel ausgeglichen werden. Somit kann der Lesevorgang, stabil durchgeführt werden.

[0253] Wie oben beschrieben wird nach der sechsten Ausführungsform der vorliegenden Erfindung die Feldversorgungsspannung während des Lesevorgangs übersteuert. Zur Zeit des Lesevorgangs kann die Feldversorgungsspannung dem Leseverstärker stabil zugeführt werden, ohne verbraucht zu werden.

[0254] Außerdem werden die Bitleitungsvorladespannung und die Zellplattenspannung auf der Grundlage der Feldreferenzspannung erzeugt, die den Spannungspegel der Feldversorgungsspannung bestimmt. Auch wenn die Feldversorgungsspannung zum Erhöhen des Spannungspegels entsprechend dem Leseübersteuerungsschema übersteuert wird, können die Bitleitungsvorladespannung und die Zellplattenspannung beide ihren Spannungspegel stabil halten, die Bitleitung kann exakt vorgeladen werden, auf einer Bitleitung kann jeweils im Hinblick auf H-Pegel und L-Pegel eine Lesespannung mit der selben Größe erzeugt werden, und der Lesevorgang kann exakt durchgeführt werden.

[0255] **Fig. 21** ist eine Darstellung des Aufbaus einer Hochspannungserzeugeschaltung nach einer siebten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 18** dargestellt, wird die hohe Spannung V<sub>pp</sub> zu einer ausgewählten Wortleitung übertragen.

[0256] Wie in **Fig. 21** dargestellt, enthält die Hochspannungserzeugeschaltung: ein kapazitives Element **180** zum Zuführen elektrischer Ladungen zu einem Knoten ND50 entsprechend einem Vorladesteuersignal PRE; einen n-Kanal-MOS-Transistor **181** zum Klemmen des Spannungspegels an Knoten ND50 auf den Pegel einer Spannung EXVDD-V<sub>thn</sub>, die um die Schwellenspannung V<sub>th</sub> kleiner ist als die externe Versorgungsspannung EXVDD; einen n-Kanal-MOS-Transistor **182**, der entsprechend dem Spannungspegel an Knoten ND50 selektiv leitend gemacht wird und in leitendem Zustand die externe Versorgungsspannung EXVDD zu einem Knoten ND53 überträgt; einen n-Kanal-MOS-Transistor **183**, der entsprechend dem Spannungspegel an Knoten ND50 selektiv leitend gemacht wird und in leitendem Zustand die externe Versorgungsspannung EXVDD zu dem Knoten ND51 überträgt; und ein kapazitives Element **184** zum Zuführen von elektrischen Ladungen zu dem Knoten ND51 entsprechend

einem Ausgangsgattersteuersignal GATES.

[0257] Das Vorladesteuersignal PRE ist ein Signal mit einer Amplitude mit dem Pegel der externen Versorgungsspannung EXVDD, und das Ausgangsgattersteuersignal GATES hat eine Amplitude Vg der hohen Spannung Vpp oder einer verdoppelten Feldversorgungsspannung 2\*VDDS. Eine Spannung GATE an ND51 wechselt zwischen einer Spannung Vg+EXVDD und der externen Versorgungsspannung EXVDD. Der untere Grenzpegel der Spannung an Knoten ND50 wird durch den MOS-Transistor **181** auf EXVDD-Vthn geklemmt, und jeder der MOS-Transistoren **182** und **183** überträgt im leitenden Zustand die externe Versorgungsspannung EXVDD.

[0258] Die Hochspannungserzeugeschaltung enthält weiter: einen p-Kanal-MOS-Transistor **185**, der leitend gemacht wird, wenn ein Pumpsteuersignal ZPUMP auf L-Pegel liegt, um die externe Versorgungsspannung EXVDD zu dem Knoten ND52 zu übertragen; einen n-Kanal-MOS-Transistor **186**, der leitend gemacht wird, wenn das Pumpsteuersignal ZPUMP auf H-Pegel liegt, um eine Spannung VBTB an dem Knoten ND54 zu dem Knoten ND52 zu übertragen; ein kapazitives Element **187** zum Entladen des Knotens ND54 entsprechend einem Negativanhreibungssteuersignal ZVBTB; ein kapazitives Element **188** zum Entladen eines Knotens ND55 entsprechend einem Negativanhreibungsvorladesteuersignal ZPREB; einen p-Kanal-MOS-Transistor **189** zum Klemmen der oberen Grenzspannung an dem Knoten ND55 auf den Pegel der Spannung Vthp; und einen p-Kanal-MOS-Transistor **190** zum Vorladen des Knotens ND54 auf den Massespannungspegel entsprechend der Spannung an dem Knoten ND55.

[0259] Das Pumpsteuersignal ZPUMP ist ein Signal mit einer Amplitude der externen Versorgungsspannung EXVDD. Das Negativanhreibungssteuersignal ist ein Signal mit einer Amplitude der externen Versorgungsspannung EXVDD. Das negative Anhebungsvorladesteuersignal ist ein Signal mit einer Amplitude der externen Versorgungsspannung EXVDD. [0260] Das kapazitive Element **187** ist aus einem p-Kanal-MOS-Transistor gebildet, bei dem ein Backgate (rückseitiges Gate), eine Source und ein Drain miteinander verbunden sind und das Negativanhreibungssteuersignal ZVBTB empfangen, und ein Gate ist mit dem Knoten ND54 verbunden. Da der Knoten ND54, wie später beschrieben, wird auf einen negativen Spannungspegel getrieben wird, wird durch das Verbinden des Knotens ND54 mit der Gateelektrode des kapazitiven Elements **187** verhindert, dass elektrische Ladungen in einen Substratbereich des MOS-Transistors fließen, der das kapazitive Element **187** bildet.

[0261] Die Hochspannungserzeugeschaltung enthält weiter ein kapazitives Element **191** zum Laden/Entladen des Knotens ND53 entsprechend dem Spannungspegel an dem Knoten ND52 und einen n-Kanal-MOS-Transistor **192**, der entsprechend der Spannung GATE an dem Knoten ND51 selektiv lei-

tend gemacht wird und im leitenden Zustand zum Erzeugen der hohen Spannung VPP elektrische Ladungen von dem Knoten ND53 zu dem Ausgangsknoten ausgibt.

[0262] Das kapazitive Element **191** wird durch einen p-Kanal-MOS-Transistor gebildet, dessen Gate mit dem Knoten ND52 verbunden ist und dessen Backgate, Source und Drain zusammen mit dem Knoten ND53 verbunden sind. Auch in dem kapazitiven Element **191** wird der Knoten ND52 auf eine negative Spannung getrieben, so dass das Gate des kapazitiven Elements **191** mit dem Knoten ND52 verbunden ist und Backgate, Source und Drain mit dem Knoten ND53. Durch Empfangen einer negativen Spannung an der Gateelektrode wird verhindert, dass elektrische Ladungen in den Substratbereich fließen.

[0263] **Fig. 22** ist ein Signalverlaufsdigramm, das einen Betrieb der in **Fig. 21** gezeigten Hochspannungserzeugeschaltung darstellt. Mit Bezug auf **Fig. 22** wird nun der Betrieb der in **Fig. 21** gezeigten Hochspannungserzeugeschaltung beschrieben.

[0264] Vor dem Zeitpunkt t0 liegt das Negativanhreibungssteuersignal ZVBTB auf H-Pegel und das Negativanhreibungsvorladesteuersignal ZPREB auf Massespannungspegel. In diesem Zustand liegt der Knoten ND55 auf dem Pegel Vthp-EXVDD, der MOS-Transistor **190** ist leitend, und der Knoten ND54 wird auf Massespannungspegel vorgeladen. Wenn das Negativanhreibungsvorladesteuersignal ZPREB auf H-Pegel und der Spannungspegel des Knotens ND55 auf die Schwellenspannung Vthp des MOS-Transistors **189** ansteigt, gelangt der MOS-Transistor **190** in einen nichtleitenden Zustand, und der Vorladevorgang des Knotens ND54 wird abgeschlossen.

[0265] Wenn das Negativanhreibungssteuersignal ZVBTB zum Zeitpunkt t0 auf den Massespannungspegel getrieben wird, sinkt über die kapazitive Kopplung des kapazitiven Elements **187** eine Spannung VBTB an Knoten ND54 auf den negativen Spannungspegel -Vb. Wenn der Spannungspegel an dem Knoten ND54 abfällt, wird der MOS-Transistor **186** auch dann leitend, wenn das Pumpsteuersignal ZPUMP auf Massespannungspegel liegt, so dass die Spannung VBTB an dem Knoten ND54 einen Spannungspegel erreicht, der durch kapazitive Teilung zwischen den Kapazitätswerten C1 und C2 der kapazitiven Elemente **187** und **191** gegeben ist. Die Spannung Vb wird also durch die folgende Gleichung ausgedrückt:

$$Vb = C1 * EXVDD / (C1 + C2) - LIs,$$

wobei LIs einen Koppelverlust bezeichnet. Wenn die Kapazitätswerte C1 und C2 gleich sind und kein Koppelverlust auftritt, erreicht die Spannung VBTB an dem Knoten ND54 den Spannungspegel -EXVDD/2.

[0266] Anschließend steigt zum Zeitpunkt t1 das Vorladesteuersignal PRE auf den Pegel der externen Versorgungsspannung EXVDD, und der Spannungs-

pegel an Knoten ND50 steigt über die kapazitive Kopplung des kapazitiven Elements **180** (unter der Annahme, dass kein Koppelverlust auftritt) auf den Spannungspegel  $2^*\text{EXVDD}-\text{Vthn}$  an. Wenn der Spannungspegel an dem Knoten ND50 ansteigt, werden die MOS-Transistoren **182** und **183** leitend, die Spannung an dem Knoten ND53 erhält den Pegel der externen Versorgungsspannung EXVDD, und der Spannungspegel der Spannung GATE des Knotens ND51 wird auf den Pegel der externen Versorgungsspannung EXVDD vorgeladen.

[0267] Wenn das Vorladesteuersignal PRE zu einem Zeitpunkt t1b auf den Massespannungspegel gefallen ist, sinkt der Spannungspegel des Knotens ND50. Durch den Klemmbetrieb des MOS-Transistors **181** erhält der Spannungspegel des Knotens ND50 den Wert EXVDD-Vthn, und die MOS-Transistoren **182** und **183** werden nichtleitend.

[0268] Zum Zeitpunkt t2 fällt das Negativanhebungsvorladesteuersignal ZPREB auf den Massespannungspegel, und das Negativanhebungsssteuersignal ZVTB wird zu einem Zeitpunkt t3, der annähernd derselbe ist wie der Zeitpunkt t2, auf die externe Versorgungsspannung EXVDD angehoben. Durch kapazitive Kopplung des kapazitiven Elements **188** wird der MOS-Transistor **190** leitend, und die Spannung VBTB an dem Knoten ND54 wird auf den Massespannungspegel vorgeladen. In diesem Zustand wird das Pumpsteuersignal ZPUMP zum Zeitpunkt t0 auf den Pegel der externen Versorgungsspannung EXVDD getrieben, und der MOS-Transistor **186** ist in leitendem Zustand. Wenn die Spannung VBTB an Knoten ND54 auf den Massespannungspegel ansteigt, steigt die Spannungspegel an dem Knoten ND52 dementsprechend an, und durch die kapazitive Kopplung des kapazitiven Elements **191** steigt der Spannungspegel an Knoten ND53 auf den Spannungspegel EXVDD+Vb.

[0269] Wenn das Pumpsteuersignal ZPUMP zum Zeitpunkt t4 von der externen Versorgungsspannung EXVDD auf den Massespannungspegel abfällt, wird der MOS-Transistor **185** leitend, während der MOS-Transistor **186** nichtleitend wird, und der Spannungspegel an Knoten ND52 steigt von dem Massespannungspegel auf den Pegel der externen Versorgungsspannung EXVDD. Durch kapazitive Kopplung des kapazitiven Elementes **191** steigt daher der Spannungspegel an Knoten ND53 weiter um EXVDD an und erhält den Spannungspegel  $2^*\text{EXVDD}+\text{Vb}$ .

[0270] Wenn das Ausgangsgattersteuersignal GATEE zum Zeitpunkt t5 auf den Pegel der hohen Spannung Vg ansteigt, steigt die Spannung GATE an dem Knoten N51 von dem Pegel der externen Versorgungsspannung EXVDD durch kapazitive Kopplung über das kapazitive Element **184** auf den Spannungspegel  $\text{Vg}+\text{EXVDD}$  an. Die Spannung Vg ist eine Spannung mit einem Pegel von annähernd  $2^*\text{VDDS}$  oder der hohen Spannung Vpp, der MOS-Transistor **192** wird leitend, die in dem Knoten ND53 gespeicherten elektrischen Ladungen werden

zu dem Ausgangsknoten übertragen, und der Spannungspegel der hohen Spannung Vpp steigt an.

[0271] Wenn das Ausgangsgattersteuersignal GATEE zum Zeitpunkt t6 auf den Massespannungspegel abfällt, sinkt der Spannungspegel des Knotens ND51 durch kapazitive Kopplung über das kapazitive Element **184**. Zum Zeitpunkt t7 unmittelbar nach dem Zeitpunkt t6 steigt das Vorladesteuersignal PRE wieder auf den Pegel der externen Versorgungsspannung EXVDD an, und die Knoten ND51 und ND53 werden auf den Pegel der externen Versorgungsspannung EXVDD vorgeladen.

[0272] Zum Zeitpunkt t2 dagegen wird die Spannung VBTB an dem Knoten ND50 auf den Massespannungspegel vorgeladen, um den folgenden Anhebevorgang vorzubereiten. Durch anschließendes Wiederholen der Vorgänge von Zeitpunkt t0 an steigt der Spannungspegel der hohen Spannung Vpp. Der größte erreichbare Spannungspegel der hohen Spannung Vpp ändert sich entsprechend der externen Versorgungsspannung EXVDD, der Feldversorgungsspannung VDDS und der Schwellenspannung des MOS-Transistors **192**. Wenn der höchste Spannungspegel der Spannung GATE größer ist als  $2^*\text{EXVDD}+\text{Vb}+\text{Vthn}$ , kann die hohe Spannung Vpp ihren höchsten Spannungspegel von  $2^*\text{EXVDD}+\text{Vb}$  erreichen.

[0273] Wie in **Fig. 21** dargestellt kann der Spannungspegel an dem Knoten ND53 durch Anheben der niedrigsten Spannung des Knotens des kapazitiven Elements **191** zum Übertragen elektrischer Ladungen zu dem Knoten ND53 durch Pumpbetrieb auf einen negativen Spannungspegel um die Anhebespannung Vb erhöht werden. Für  $C1 = C2$  kann der Spannungspegel an dem Knoten ND53 im Idealfall auf den Spannungspegel  $2,5^*\text{EXVDD}$  erhöht werden. Auch wenn der Betrieb bei dem unteren Grenzspannungspegel der Spezifikation für die externe Versorgungsspannung EXVDD durchgeführt wird, kann der Spannungspegel der hohen Spannung Vpp hinreichend erhöht werden.

[0274] **Fig. 23** ist eine schematische Schnittdarstellung des Aufbaus der kapazitiven Elemente **187** und **191**. Da die kapazitiven Elemente **187** und **191** den selben Aufbau haben, zeigt **Fig. 23** den Schnittaufbau des kapazitiven Elements **187**.

[0275] Wie in **Fig. 23** dargestellt, ist das kapazitive Element **187** in einer n-Wanne **202** ausgebildet, die an der Oberfläche eines pdotierten Substratbereiches **200** ausgebildet ist. Der p-Substratbereich **200** ist auf den Massespannungspegel vorgespannt.

[0276] Das kapazitive Element **187** enthält: p-Dotierungsbereiche **203a** und **203b**, die getrennt voneinander an der Oberfläche der n-Wanne **202** ausgebildet sind; eine Gateelektrode **203**, die auf einem Kanalbildungsbereich zwischen den Dotierungsbereichen **203a** und **203b** ausgebildet ist, wobei unter ihr eine nicht dargestellte Gateisolierschicht ausgebildet ist; und einen n-Wannen-Dotierungsbereich **204**, der an der Oberfläche der n-Wanne **202** ausgebildet

ist. Die Dotierungsbereiche **203a**, **203b** und **204** sind miteinander verbunden und empfangen gemeinsam das Negativanhebungssteuersignal ZVBTB. Die Gatedelektrode **203** ist mit dem in **Fig. 21** gezeigten Knoten ND50 verbunden und empfängt die Spannung VBTB.

[0277] Wie in **Fig. 23** dargestellt, liegen die Dotierungsbereiche **203a**, **203b** und **204** auf Massespannungspegel, auch wenn die Spannung VBTB auf eine negative Spannung  $-V_b$  abfällt. Der p-Substratbereich 200 ist auf den Massespannungspegel vorgeladen, und ein pn-Übergang zwischen dem p-Substratbereich **200** und der n-Wanne **202** wird nichtleitend gehalten. Dadurch kann verhindert werden, dass elektrische Ladungen von der n-Wanne **202** in den p-Substratbereich **200** abfließen.

[0278] Auch in dem Fall, in dem ein interner Knoten in der Hochspannungserzeugergeschaltung auf einen negativen Spannungspegel versetzt wird, wird ein MOS-Kondensator mit einem gewöhnlichen Aufbau gebildet, in dem nur die n-Wanne **202** in dem p-Substratbereich **200** zum Bilden eines p-Kanal-MOS-Transistors isoliert wird, und er kann als ein Negativspannungsanhebungskondensator verwendet werden.

[0279] Die hohe Spannung Vpp wird für gewöhnlich auf den Spannungspegel  $1,5 \cdot VDD$  eingestellt.

[0280] **Fig. 24** ist eine Darstellung eines Beispiels für den Aufbau einer Schaltung zum Erzeugen des Ausgangsgattersteuersignals GATEE. Wie in **Fig. 24** dargestellt, enthält die Ausgangsgattersteuersignalergeschaltung: einen n-Kanal-MOS-Transistor **211** zum Übertragen der externen Versorgungsspannung EXVDD an einen Knoten ND60 in leitendem Zustand; einen n-Kanal-MOS-Transistor **212** zum Klemmen der unteren Grenzspannung des Gates des MOS-Transistors **211** auf den Pegel EXVDD-Vthn; ein kapazitives Element **210** zum Zuführen elektrischer Ladungen zu dem Gate des MOS-Transistors **211** entsprechend einem Steuersignal GAT0; ein kapazitives Element **213** zum Zuführen von elektrischen Ladungen zu dem Knoten N60 entsprechend einem Steuersignal GAT1; einen p-Kanal-MOS-Transistor **214**, der leitend gemacht wird, wenn ein Steuersignal GAT2 auf L-Pegel liegt, und in leitendem Zustand die Spannung des Knotens ND60 an den Ausgangsknoten überträgt, um das Ausgangsgattersteuersignal GATEE zu erzeugen; und einen n-Kanal-MOS-Transistor **215**, der leitend gemacht wird, wenn das Steuersignal GAT2 auf H-Pegel liegt, um das Ausgangsgattersteuersignal GATEE auf den Massespannungspegel zu treiben. Die Amplitude jedes der Steuersignale GAT0 bis GAT2 ist der Pegel der externen Versorgungsspannung EXVDD.

[0281] **Fig. 25** ist ein Signalverlaufsdiagramm, das einen Betrieb der in **Fig. 24** dargestellten Ausgangsgattersteuersignalergeschaltung darstellt. Mit Bezug auf **Fig. 25** wird nun der Betrieb der in **Fig. 24** dargestellten Gattersignalergeschaltung beschrieben.

[0282] Das Steuersignal GAT1 fällt von dem Pegel der externen Versorgungsspannung EXVDD auf den Massespannungspegel. Dabei liegt das Steuersignal GAT0 auf Massespannungspegel, und die Gatespannung des MOS-Transistors **211** liegt auf dem Spannungspegel EXVDD-Vthn. Wenn der Spannungspegel des Steuersignals GAT1 sinkt, sinkt auch der Spannungspegel an dem Knoten ND60. Annähernd gleichzeitig mit dem Abfall des Steuersignals GAT1 steigt der Spannungspegel des Steuersignals GAT2 auf den Pegel der externen Versorgungsspannung EXVDD an, der MOS-Transistor **215** wird leitend, und das Ausgangsgattersteuersignal GATEE wird auf den Massespannungspegel getrieben. Der Spannungspegel des Knotens ND60 hat dabei maximal den Wert der externen Versorgungsspannung EXVDD, und der MOS-Transistor **214** wird in einem nichtleitenden Zustand gehalten.

[0283] Anschließend steigt das Steuersignal GAT0 auf den Pegel der externen Versorgungsspannung EXVDD, der MOS-Transistor **211** wird leitend, und der Spannungspegel an Knoten ND60 wird auf den Pegel der externen Versorgungsspannung EXVDD vorgeladen.

[0284] Wenn das Steuersignal GAT0 auf Massespannungspegel fällt, werden die Source- und Drainspannung des MOS-Transistors **211** größer als die Gatespannung, und der MOS-Transistor **211** wird nichtleitend.

[0285] Mit einem vorbestimmten Zeitablauf steigt anschließend das Steuersignal GAT1 auf den Pegel der externen Versorgungsspannung EXVDD und der Spannungspegel an Knoten ND60 auf den Pegel  $2 \cdot EXVDD$ . Annähernd gleichzeitig mit dem Ansteigen des Steuersignals GAT1 fällt das Steuersignal GAT2 auf den Massespannungspegel ab, der MOS-Transistor **214** wird leitend, der MOS-Transistor **215** wird nichtleitend, und der Spannungspegel des Ausgangsgattersteuersignals GATEE steigt auf den Spannungspegel an dem Knoten ND60, d. h. auf den Spannungspegel  $2 \cdot EXVDD$ .

[0286] Durch Wiederholen der oben beschriebenen Vorgänge kann das Ausgangsgattersteuersignal GATEE mit einer Amplitude von  $2 \cdot EXVDD$  erzeugt werden. Durch Ausbilden der Steuersignale GAT1 und GAT2 als komplementäre Signale und durch Treiben des Steuersignals GAT1 mit annähernd dem selben Signalverlauf wie das Ausgangsgattersteuersignal GATEE, kann das Ausgangsgattersteuersignal GATEE mit der Amplitude von  $2 \cdot EXVDD$  aus dem Steuersignal mit der Amplitude der externen Versorgungsspannung EXVDD erzeugt werden.

[0287] Es kann auch ein alternativer Aufbau verwendet werden, bei dem eine dem Ausgangsgattersteuersignal GATEE zugeordnete Anhebungsschaltung bereitgestellt wird und die Ausgangsspannung der zugeordneten Anhebungsschaltung verwendet wird, um das Ausgangsgattersteuersignal GRTEEF mit einer Amplitude der externen Versorgungsspannung in seinem Pegel umzuwandeln, um das Aus-

gangsgattersteuersignal GATE zu erzeugen.

[0288] **Fig.** 26 ist eine Darstellung eines Aufbaus einer Abwandlung der Hochspannungserzeugeschaltung nach der siebten Ausführungsform. Bei dem in **Fig.** 26 dargestellten Aufbau ist eine Hauptelektrode (Gateelektrode) des kapazitiven Elements **187** mit dem Knoten ND53 verbunden, und ein Anhebungsteuersignal ZVBTB wird über einen CMOS-Inverter **220** der anderen Elektrode des kapazitiven Elements **187** zugeführt. Der CMOS-Inverter **220** invertiert ein Steuersignal ZPUMPA, das dieselbe Phase hat wie das Pumpsteuersignal ZPUMP, um ein Negativanhreibungssteuersignal ZVBTB zu erzeugen.

[0289] Der Sourceknoten des MOS-Transistors **186** zum Treiben der Spannung eines Elektrodenknotens (Hauptelektrode) des kapazitiven Elements **191** ist mit dem Masseknoten verbunden. Der Schaltungsabschnitt zum Treiben der Knoten ND51 und ND53 ist derselbe wie in dem Aufbau der in **Fig.** 21 dargestellten Hochspannungserzeugeschaltung. Entsprechende Teile sind mit demselben Bezeichnungen versehen, und ihre detaillierte Beschreibung wird nicht wiederholt.

[0290] In der in **Fig.** 26 dargestellten Hochspannungserzeugeschaltung sind die kapazitiven Elemente **187** und **191** parallel zu dem Knoten ND53 bereitgestellt. Dem Knoten ND53 werden elektrische Ladungen über zwei kapazitive Elemente **187** und **191** zugeführt.

[0291] Auch wenn die Amplitude an dem Knoten ND53  $2^*EXVDD$  beträgt, wird die Ladungszuführfähigkeit zu dem Ausgangsknoten erhöht, so dass die hohe Spannung Vpp stabil mit hoher Geschwindigkeit erzeugt werden kann.

[0292] In dem in **Fig.** 26 dargestellten Aufbau ist das Gate (die Hauptelektrode) des kapazitiven Elements **191** ähnlich wie in dem Fall der in **Fig.** 21 dargestellten Doppelanhebung mit dem Knoten ND52 verbunden. In dem Fall der Einzelanhebung wie in dem in **Fig.** 26 dargestellten Aufbau ändert der Knoten ND52 seinen Spannungspegel zwischen der Massespansnung und der externen Versorgungsspannung EXVDD, und er wird nicht auf eine negative Spannung getrieben. Deswegen kann das Gate des kapazitiven Elements **191** mit dem Knoten ND53 verbunden sein, während Source, Drain und Substratbereiche des kapazitiven Elements **191** mit dem Knoten ND52 verbunden sind. Bei dieser Anordnung werden die Gatekapazitäten des kapazitiven Elements **191** und des kapazitiven Elements **187** mit dem Knoten ND53 verbunden. Verglichen mit dem Aufbau, bei dem die Parasitätkapazität des Substratsbereichs und dergleichen des kapazitiven Elements **191** mit dem Knoten ND53 verbunden sind, kann die Parasitätkapazität des Knotens ND53 verringert werden, ein Kopplungskoeffizient zwischen den Knoten ND52 und ND53 kann groß gemacht werden, und die Pumpeffizienz kann verbessert werden.

[0293] Wie oben beschrieben wird der interne Kno-

ten nach der siebten Ausführungsform der vorliegenden Erfindung auf eine negative Spannung verschoben, und dann wird der interne Knoten auf den Pegel der externen Versorgungsspannung getrieben. Demzufolge kann die maximale Spannungsamplitude des internen Knotens auf  $2^*EXVDD+0,5^*EXVDD$  eingestellt werden, und auch wenn die externe Versorgungsspannung EXVDD auf ihren unteren Grenzwert abfällt, kann die hohe Spannung Vpp auf einem vorgegebenen Pegel stabil erzeugt werden.

[0294] **Fig.** 27 ist eine schematische Darstellung des Aufbaus einer Hochspannungserzeugeschaltung nach einer achten Ausführungsform der vorliegenden Erfindung. Wie in **Fig.** 27 dargestellt, wird zum Einstellen einer Spannungsamplitude des internen Knotens ND53 entweder auf  $2^*EXVDD$  oder auf  $2,5^*EXVDD$  eine Maskenmetallverbindung verwendet.

[0295] Wenn der Spannungspegel des internen Knotens ND53 auf die Amplitude von  $2,5^*EXVDD$  eingestellt wird, muss eine Doppelanhebung verwendet werden. In diesem Fall sind die Maskenmetallverbindungen **235a**, **235b** und **242** angeordnet. Entsprechend dieser Anordnung ist eine Elektrode des kapazitiven Elements **187** mit dem Sourceknoten des MOS-Transistors **186** verbunden, und die andere Elektrode empfängt über die Maskenverbindungsleitung **242** das Voranhebungssignal ZVBTB. Der Drainknoten des MOS-Transistors **190** ist über die Maskenmetallverbindungsleitung **235a** mit dem Sourceknoten des MOS-Transistors **186** verbunden. Mit diesem Aufbau wird eine Hochspannungserzeugeschaltung vom Doppelanhebungstyp ähnlich dem in **Fig.** 21 dargestellten Aufbau verwirklicht.

[0296] Wenn die Spannungsamplitude des Knotens ND53 dagegen auf  $2^*EXVDD$  eingestellt ist, wird ein Einzelanhebungsaufbau bezeichnet. In diesem Fall sind die Maskenmetallverbindungsleitungen **240a**, **240b** und **237** angeordnet. In diesem Fall wird daher das Pumpsteuersignal ZPUMPA dem kapazitiven Element **187** über den Inverter **220** zugeführt, und die Elektrode des kapazitiven Elements **187** wird nicht mit dem MOS-Transistor **186** verbunden, sondern über die Maskenmetallverbindungsleitung **240a** mit dem Knoten ND53.

[0297] Der Sourceknoten des MOS-Transistors **186** ist über die Maskenmetallverbindungsleitung **240c** mit dem Masseknoten verbunden, und der Drainknoten des MOS-Transistors **190** ist über die Maskenmetallverbindungsleitung **240b** mit dem Masseknoten verbunden. Im Einzelanhebungsbetrieb wird das Negativspannungsanhebungsvorladesteuersignal ZPREB fest auf L-Pegel gehalten.

[0298] In diesem Fall wird daher der Knoten ND53 von den kapazitiven Elementen **191** und **187** parallel getrieben, und eine Internspannungserzeugeschaltung vom Einzelanhebungstyp ist verwirklicht.

[0299] Durch Herstellen desselben Schaltungsaufbaus im Hauptprozess und durch selektives Anordnen der Maskenmetallverbindungsleitungen bei der Scheibenverarbeitung entsprechend dem Span-

nungspegel der Versorgungsspannung EXVDD können Internhochspannungserzeugeschaltungen vom Doppelanhebungstyp und vom Einzelanhebungstyp selektiv gebildet werden.

[0300] In dem in **Fig. 27** dargestellten Aufbau ist das Gate des kapazitiven Elements **191** mit dem Knoten ND52 verbunden, und der Substratbereich und der Dotierungsbereich (Source/Drain-Bereich) sind mit dem Knoten ND53 verbunden. In dem Fall, in dem das kapazitive Element **191** bei der Einzelanhebungsanordnung in der umgekehrten Richtung angeordnet ist, wird die Verbindung des Gates, des Substrats und des Dotierungsbereichs des kapazitiven Elements **191** durch Verbindungen entsprechend dem Einzelanhebungstyp und dem Doppelanhebungstyp geschaltet.

[0301] Eine Spannungserzeugeschaltung **230** ist ein Schaltungsabschnitt, der die Schaltungen zum Erzeugen der Spannung GATE und der Vorladespannung des Knotens ND53 bei den in **Fig. 21** und **26** dargestellten Aufbauten erzeugt, und er hat einen Abschnitt, der entsprechend dem in **Fig. 27** gezeigten Vorladesteuersignal PRE und Ausgangsgattersteuersignale GATEEE arbeitet.

[0302] **Fig. 28** ist eine Darstellung des Aufbaus einer ersten Abwandlung der achten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 28** dargestellt, ist ein Metallschalter **250** für den Sourceknoten des MOS-Transistors **186** bereitgestellt, ein Metallschalter **251** für den Drainknoten des MOS-Transistors **190**, und ein Metallschalter **253** für den Knoten ND53. Ein Metallschalter **252** ist für den Elektrodenknoten des kapazitiven Elements **187** bereitgestellt. Die Verbindungsfade der Metallschalter **250** bis **253** werden durch Metallverbindungsleitungen bei der Scheibenverarbeitung gelegt.

[0303] Bei dem Doppelanhebungsaufbau verbindet der Metallschalter **250** eine Verbindungsleitung **245** und die Gateelektrode des kapazitiven Elements **187** gemeinsam mit dem Sourceknoten des MOS-Transistors **186**. Der Metallschalter **251** verbindet den Drainknoten des MOS-Transistors **190** mit der Verbindungsleitung **245**. Der Metallschalter **253** verbindet den Masseknoten mit einer Verbindungsleitung **247**. Der Metallschalter **252** verbindet das Negativspannungsanhebesteuersignal ZVBTB mit dem Source-, Drain und Substratbereich des kapazitiven Elements **187**.

[0304] Bei dem Einzelanhebungsaufbau verbindet der Metallschalter **250** den Masseknoten mit dem Sourceknoten des MOS-Transistors **186** und die Gateelektrode des kapazitiven Elements **187** mit der Verbindungsleitung **245**. Der Metallschalter **251** verbindet die Verbindungsleitung **245** mit einer Verbindungsleitung **247** und den Drainknoten des MOS-Transistors **190** mit dem Masseknoten. Der Metallschalter **253** verbindet die Verbindungsleitung **247** mit dem Knoten ND53. Der Metallschalter **252** verbindet ein Ausgangssignal des Inverters **220** mit den Source-, Drain- und Backgate(Substratbe-

reichs-)Knoten des kapazitiven Elements **187**.

[0305] Durch Verlegen der Verbindungsfade der Metallschalter **250** bis **253** durch Metallverbindungsleitungen bei dem Scheibenprozess entsprechend dem Spannungspegel der externen Versorgungsspannung EXVDD kann selektiv die Hochspannungserzeugeschaltung mit dem Doppelanhebungsaufbau und die Hochspannungserzeugeschaltung mit dem Einzelanhebungsaufbau verwirklicht werden.

[0306] Bei dem in **Fig. 28** dargestellten Aufbau ist die Verbindung des kapazitiven Elements **191** in dem Einzelanhebungsaufbau und in dem Doppelanhebungsaufbau dieselbe. Wenn das Gate des kapazitiven Elements **191** dagegen in dem Einzelanhebungsaufbau mit dem Knoten ND53 verbunden ist, werden Metallschalter zum Schalten der Verbindungsrichtung am Gate und an den Substrat- und Dotierungsbereichen des kapazitiven Elements **191** bereitgestellt.

[0307] Auch in dem in **Fig. 28** dargestellten Aufbau ist als Spannungserzeugeeinheit **230** ein Schaltungsabschnitt zum Erzeugen der Spannung des Knotens ND53 und der Spannung GATE entsprechend dem Vorladesteuersignal PRE und dem Ausgangsgattersteuersignal GATEEE dargestellt.

[0308] **Fig. 29** ist eine schematische Darstellung des Aufbaus nach einer zweiten Abwandlung der achten Ausführungsform. In **Fig. 29** ist der Aufbau der Spannungserzeugeeinheit zum Vorladen des Spannungspegels des Knotens ND53 nicht dargestellt.

[0309] Wie in **Fig. 29** dargestellt, enthält die Hochspannungserzeugeschaltung: einen n-Kanal-MOS-Transistor **260**, der zwischen den Sourceknoten ND60 des MOS-Transistors **186** und den Masseknoten geschaltet ist und dessen Gate ein Steuersignal CTL1 empfängt; einen n-Kanal-MOS-Transistor **261**, der zwischen die Knoten ND60 und ND61 geschaltet ist und an seinem Gate ein Steuersignal CTL2 empfängt; einen p-Kanal-MOS-Transistor **262**, der zwischen die Knoten ND61 und ND62 geschaltet ist und dessen Gate mit dem Masseknoten verbunden ist; einen n-Kanal-MOS-Transistor **263**, der zwischen den Knoten ND62 und den Masseknoten geschaltet ist und an seinem Gate ein Steuersignal CTL3 empfängt; einen p-Kanal-MOS-Transistor **264**, der zwischen die Knoten ND62 und ND53 geschaltet ist; einen p-Kanal-MOS-Transistor **265** zum Verbinden des Gates des MOS-Transistors **264** mit dem Knoten ND53 entsprechend einem Steuersignal CTL4; und einen n-Kanal-MOS-Transistor **266**, der entsprechend einem Steuersignal CTL5 ein Gate des MOS-Transistors **264** mit dem Masseknoten verbindet.

[0310] Dem Elektrodenknoten des kapazitiven Elements **187** wird ein Ausgangssignal einer OR-Schaltung **270** zugeführt, die das Negativspannungsanhebesteuersignal ZVBTB und ein Ausgangssignal des Inverters **220** empfängt.

[0311] In dem Doppelanhebungsaufbau wird das Steuersignal CTL1 auf den negativen Spannungspegel VBB gelegt, und das Steuersignal CTL2 wird auf den Pegel der externen Versorgungsspannung gelegt. Das Steuersignal CTL3 wird auf den H-Pegel (externer Versorgungsspannungspegel) gelegt. Dadurch ist der MOS-Transistor **260** nichtleitend, der MOS-Transistor **263** ist leitend, und der Knoten ND62 wird fest auf Massespannungspegel gehalten.

[0312] Die Steuersignale CTL4 und CTL5 werden auf L-Pegel eingestellt, der MOS-Transistor **265** ist leitend, der MOS-Transistor **266** ist nichtleitend, und das Gate des MOS-Transistors **264** wird mit dem Knoten ND53 verbunden.

[0313] In dem Doppelanhebungsaufbau ändert der Knoten ND61 seine Spannung zwischen der negativen Spannung -Vb und dem Massespannungspegel. Wenn der Spannungspegel des Knotens ND61 nicht kleiner ist als der Absolutwert der Schwellenspannung des MOS-Transistors **262**, wird der MOS-Transistor **262** leitend. In dem Doppelanhebungsaufbau bleibt der MOS-Transistor **262** in nichtleitendem Zustand. Der MOS-Transistor **261** dagegen ist leitend, und das Steuersignal CTL2 wird auf dem Pegel der externen Versorgungsspannung EXVDD gehalten, so dass die Spannung des Knotens ND61 exakt zu dem Knoten ND60 übertragen wird.

[0314] In dem Doppelanhebungsaufbau ändert der Knoten ND53 seinen Spannungspegel zwischen der externen Versorgungsspannung EXVDD und der Spannung 2,5\*EXVDD. Da der Knoten ND62 auf Massespannungspegel gehalten wird, bleibt der MOS-Transistor **264** daher in nichtleitendem Zustand.

[0315] In dem Doppelanhebungsbetrieb wird das Pumpsteuersignal ZPUMPA fest auf H-Pegel gehalten, und ein Ausgangssignal des Inverters **220** wird auf L-Pegel gehalten. Dementsprechend arbeitet die OR-Schaltung **270** als Pufferschaltung und treibt das kapazitive Element **187** entsprechend dem Negativspannungsanhebungssteuersignal ZVBTB.

[0316] In dem Einzelanhebungsaufbau dagegen wird das Steuersignal CTL1 auf den Pegel der externen Versorgungsspannung gelegt, und der MOS-Transistor **260** wird in leitenden Zustand versetzt. Das Steuersignal CTL2 wird auf Massespannungspegel gehalten, und der MOS-Transistor **261** wird nichtleitend gemacht. In ähnlicher Weise wird das Steuersignal CTL3 auf den Massespannungspegel gehalten, und der MOS-Transistor **263** wird in ausgeschaltetem bzw. nichtleitendem Zustand gehalten. Im Einzelanhebungsbetrieb ist der Knoten ND60 daher fest auf Massespannungspegel gehalten.

[0317] In dem Einzelanhebungsbetrieb wird das Negativspannungsanhebungssignal ZVBTB fest auf L-Pegel gehalten, und die OR-Schaltung **270** treibt das kapazitive Element entsprechend einem Ausgangssignal des Inverters **220**. Daher ändert der Knoten ND61 seinen Spannungspegel zwischen der Massespannung und der externen Versorgungs-

spannung EXVDD, und der MOS-Transistor **262** wird leitend gemacht, um ein Signal mit einer Amplitude der externen Versorgungsspannung EXVDD zu dem Knoten ND62 zu übertragen.

[0318] In dem Einzelanhebungsbetrieb wird das Steuersignal CTL4 auf H-Pegel mit der hohen Spannung gelegt, und der MOS-Transistor **265** wird nichtleitend gemacht. Das Steuersignal CTL5 dagegen wird auf den Pegel der externen Versorgungsspannung gelegt, der MOS-Transistor **266** wird leitend gemacht, und das Gate des MOS-Transistors **264** wird fest auf Massespannungspegel gehalten. In diesem Fall wird daher ein Signal an dem Knoten ND62 mit der Amplitude der externen Versorgungsspannung EXVDD über den MOS-Transistor **264** zu dem Knoten ND53 übertragen. Entsprechend einem solchen Aufbau kann der Spannungspegel des Knotens ND53 zwischen der externen Versorgungsspannung EXVDD und dem Spannungspegel 2\*EXVDD geändert werden.

[0319] Der Vorladungsspannungspegel des Knotens ND53 ist der Pegel der externen Versorgungsspannung EXVDD, und die Vorladespannung des Knotens ND61 kann über die MOS-Transistoren **264** und **262** auf den Pegel der externen Versorgungsspannung EXVDD eingestellt werden. Durch den Ladungspumpbetrieb des kapazitiven Elements **187** kann der Knoten ND61 seinen Spannungspegel zwischen der externen Versorgungsspannung EXVDD und 2\*EXVDD ändern.

[0320] In der obigen Beschreibung ist die Verbindungsrichtung des kapazitiven Elements **191** nicht besonders beschrieben worden. Wenn die Verbindungsrichtung des kapazitiven Elements **191** zwischen dem Einzelanhebungsbetrieb und dem Doppelanhebungsbetrieb umgeschaltet wird, wird die Verbindungsrichtung in ähnlicher Weise entsprechend einem Steuersignal geschaltet. Da in dem Pumpbetrieb über das kapazitive Element **191** elektrische Ladungen übertragen werden, kann die Verbindungsrichtung des kapazitiven Elements **191** auch zum Verhindern von Ladungsverlust in dem Transistorschaltglied durch eine Metallverbindung geschaltet sein.

[0321] Zum Schalten der Verbindungsrichtung kann ein CMOS-Übertragungsgatter als Schaltglied verwendet werden. Beim Verwenden eines Schaltglieds zum Schalten der Verbindung des kapazitiven Elements **191** wird der Knoten ND52 in dem Doppelanhebungsaufbau auf eine negative Spannung getrieben. Daher ist es erforderlich, für das mit dem Knoten ND52 verbundene Schaltglied als Steuersignal ähnlich wie bei dem Steuersignal CTL1 einen auf einen negativen Spannungspegel umgewandelten Steuersignalpegel zu verwenden. Für das Schaltglied zum Herstellen der Verbindung mit Knoten ND53 wird als Steuersignal ähnlich wie das Steuersignal CTL4 ein Signal mit dem Pegel der hohen Spannung VP verwendet. Mit einem solchen Aufbau kann die Verbindung des kapazitiven Elements **191** entsprechend

dem Aufbau der Pumpschaltung geschaltet werden. [0322] **Fig.** 30 ist eine schematische Darstellung eines Beispiels für den Aufbau eines Abschnitts zum Erzeugen der in **Fig.** 29 gezeigten Steuersignale. Wie in **Fig.** 30 dargestellt, enthält die Steuersignalerzeugeschaltung: eine Negativspannungserzeugeschaltung **300**, die aktiviert wird, wenn ein Doppelanhebungsanweisungssignal DBLE aktiviert ist, um eine negative Spannung VBB zu erzeugen; eine Pegelwandlerschaltung, die die externe Versorgungsspannung EXVDD und die negative Spannung VBB als Betriebsversorgungsspannungen empfängt und den Pegel des Doppelanhebungsanweisungssignals DBLE umwandelt, um ein Steuersignal CTL1 zu erzeugen; eine Hochspannungserzeugeschaltung **304**, die aktiviert wird, wenn das Doppelanhebungsanweisungssignal DBLE aktiviert wird, um eine hohe Spannung VP zu erzeugen; eine Pegelwandlerschaltung **306**, die eine hohe Spannung VP von der Hochspannungserzeugeschaltung **304** und eine Massespannung als Betriebsversorgungsspannungen empfängt und den Pegel des Doppelanhebungsanweisungssignals DBLE umformt, um ein Steuersignal CTL4 zu erzeugen; und einen Inverter **308** zum Invertieren des Doppelanhebungsanweisungssignals DBLE, um ein Steuersignal CTL5 zu erzeugen.

[0323] Die Steuersignale CTL2 und CTL3 werden entsprechend dem Doppelanhebungsanweisungssignal DBLE erzeugt.

[0324] Der Logikpegel des Doppelanhebungsanweisungssignals DBLE wird durch eine Metallverbindungsleitung, eine feste Spannung einer Bondfläche oder ein Betriebsartbezeichnungssignal festgelegt.

[0325] Das Doppelanhebungsanweisungssignal DBLE wird z. B. auf H-Pegel gelegt, wenn der Doppelanhebungsbetrieb eingestellt wird, und auf L-Pegel, wenn der Einzelanhebungsbetrieb eingestellt wird.

[0326] Die Negativspannungserzeugeschaltung **300** erzeugt die negative Spannung VBB, wenn der Doppelanhebungsbetrieb bezeichnet ist. Die negative Spannung VBB liegt auf einem Spannungspegel, der gleich groß wie oder kleiner als die negative Spannung -Vb der in **Fig.** 21 gezeigten Spannung VBTB an dem Knoten ND54 ist. Im deaktivierten Zustand gibt die Negativspannungserzeugeschaltung **300** die Massespannung aus.

[0327] Die Pegelwandlerschaltung **302** erzeugt das Steuersignal CTL1 entsprechend dem Doppelanhebungsanweisungssignal DBLE. Wenn der Doppelanhebungsaufbau bezeichnet ist, wird das Steuersignal CTL1 auf den negativen Spannungspegel VBB gelegt. Wenn der Einzelanhebungsaufbau bezeichnet ist, wird das Steuersignal CTL1 fest auf den H-Pegel (Pegel der externen Versorgungsspannung EXVDD) gelegt. Die Pegelwandlerschaltung **302** wird unter Verwendung eines bekannten Schaltungsaufbaus gebildet und zum Beispiel durch die in **Fig.** 13 dargestellte Pegelwandlerschaltung **114** verwirklicht, wobei alle Spannungspolaritäten der Versorgungsknoten

und Transistorpolaritäten der MOS-Transistoren invertiert sind.

[0328] Die Steuersignale CTL2 und CTL3 werden auf L-Pegel (Massespannungspegel) gelegt, wenn der Einzelanhebungsaufbau bezeichnet ist, und auf H-Pegel, wenn der Doppelanhebungsaufbau bezeichnet ist.

[0329] Die Hochspannungserzeugeschaltung **304** wird in dem Einzelanhebungsaufbau aktiviert, um die hohe Spannung VP zu erzeugen. Die hohe Spannung VP hat einen Spannungspegel, der gleich groß wie oder größer als 2\*EXVDD ist. Im deaktivierten Zustand gibt die Hochspannungserzeugeschaltung **304** eine Spannung mit dem Pegel der externen Versorgungsspannung EXVDD aus.

[0330] Die Pegelwandlerschaltung **306** invertiert das Doppelanhebungsbezeichnungssignal DBLE und stellt den H-Pegel ihres Ausgangssignals auf den Pegel der hohen Spannung VP ein. Daher liegt das Steuersignal CTL4 in dem Einzelanhebungsaufbau auf dem Pegel der hohen Spannung VP und in dem Doppelanhebungsaufbau auf dem L-Pegel mit dem Massespannungspegel.

[0331] Der Inverter **308** empfängt die externe Versorgungsspannung als eine Betriebsversorgungsspannung und invertiert das Doppelanhebungsbezeichnungssignal DBLE, um das Steuersignal CTL5 zu erzeugen. Daher liegt das Steuersignal CTL5 in dem Doppelanhebungsaufbau auf L-Pegel und in dem Einzelanhebungsaufbau auf H-Pegel.

[0332] Die Negativspannungserzeugeschaltung **300** und die Hochspannungserzeugeschaltung **304** sind jeweils durch eine Ladungspumpeschaltung aufgebaut, die den Ladungspumpbetrieb einer Kapazität verwenden.

[0333] **Fig.** 31 ist eine schematische Darstellung eines Beispiels für den Aufbau einer in **Fig.** 30 gezeigten Negativspannungserzeugeschaltung **300**. Wie in **Fig.** 31 dargestellt, enthält die Negativspannungserzeugeschaltung **300**: eine Ladungspumpeschaltung **300a**, die aktiviert wird, um unter Verwendung des Ladungspumpbetriebs eines Kondensators die negative Spannung VBB an einem Ausgangsknoten ND70 zu erzeugen; eine Pegelwandlerschaltung **300b** zum Umwandeln des Pegels des Doppelanhebungsanweisungssignals DBLE; und einen n-Kanal-MOS-Transistor **300c**, der entsprechend einem Ausgangssignal der Pegelwandlerschaltung **300b** selektiv leitend gemacht wird, um den Ausgangsknoten ND70 mit dem Masseknoten zu verbinden.

[0334] Wenn das Doppelanhebungsanweisungssignal DBLE auf H-Pegel aktiviert wird, führt die Ladungspumpeschaltung **300a** den Ladungspumpbetrieb synchron mit einem Taktsignal von einer nicht dargestellten Taktsignalerzeugeschaltung durch, um an dem Knoten ND70 eine negative Spannung zu erzeugen. In diesem Fall, in dem das Doppelanhebungsanweisungssignal DBLE auf H-Pegel liegt, liegt ein Ausgangssignal der Pegelwandlerschaltung **300b** auf einem Spannungspegel des Ausgangskno-

tens ND70, und der MOS-Transistor **300c** bleibt in dem nichtleitenden Zustand. Somit wird entsprechend dem Ladungspumpbetrieb die negative Spannung VBB von der Ladungspumpschaltung **300a** erzeugt.

[0335] Wenn das Doppelanhebungsanweisungssignal DBLE dagegen auf L-Pegel liegt, liegt ein Ausgangssignal der Pegelwandlerschaltung **300b** auf dem Pegel der externen Versorgungsspannung EX-VDD, der MOS-Transistor **300c** wird leitend, und der Ausgangsknoten ND70 wird auf dem Massespannungspegel gehalten. Wenn das Doppelanhebungsanweisungssignal DBLE auf L-Pegel liegt, wird der Ladungspumpbetrieb der Ladungspumpschaltung **300a** über einen nicht dargestellten Pfad beendet. Daher liegt die negative Spannung VBB an dem Ausgangsknoten ND70 auf dem Massespannungspegel.

[0336] Für die in **Fig. 30** gezeigte Pegelwandlerschaltung **302** kann die in **Fig. 31** dargestellte Pegelwandlerschaltung **300b** verwendet werden. In diesem Fall entspricht ein Ausgangssignal der Pegelwandlerschaltung **300b** dem Steuersignal CTL1.

[0337] **Fig. 32** ist eine Darstellung eines Beispiels für den Aufbau der in **Fig. 30** gezeigten Hochspannungserzeugeschaltung **304**.

Wie in **Fig. 32** dargestellt, enthält die Hochspannungserzeugeschaltung **304**: eine Ladungspumpschaltung, die aktiviert wird, um unter Verwendung des Ladungspumpbetriebs eines Kondensators an einem Knoten ND72 die hohe Spannung VP zu erzeugen; eine Pegelwandlerschaltung **304b** zum Invertieren des Doppelanhebungsanweisungssignals DBLE und zum Umwandeln seines Pegels in dem Einzelanhebungsaufbau; und einen p-Kanal-MOS-Transistor **304c** zum Einstellen des Knotens ND72 auf den Pegel der externen Versorgungsspannung EXVDD entsprechend einem Ausgangssignal der Pegelwandlerschaltung **304**.

[0338] Wenn das Doppelanhebungsanweisungssignal DBLE zum Bezeichnen des Einzelanhebungsaufbaus auf L-Pegel liegt, führt die Ladungspumpschaltung **304a** den Ladungspumpbetrieb durch, um an dem Ausgangsknoten ND72 die hohe Spannung VP zu erzeugen. In dem Einzelanhebungsaufbau erhält ein Ausgangssignal der Pegelwandlerschaltung **304b** den Pegel der Spannung VP an Knoten ND72, und der MOS-Transistor **304c** ist nichtleitend. Daher wird der Knoten ND72 auf den Spannungspegel einer von der Ladungspumpschaltung **304a** erzeugten hohen Spannung eingestellt. In dem Doppelanhebungsaufbau dagegen liegt das Doppelanhebungsanweisungssignal DBLE auf H-Pegel, ein Ausgangssignal der Pegelwandlerschaltung **304c** liegt auf L-Pegel (Massespannungspegel), und der MOS-Transistor **304c** wird leitend und überträgt die externe Versorgungsspannung EXVDD zu dem Knoten ND72. In dem Doppelanhebungsaufbau führt die Ladungspumpschaltung **304a** keinen Ladungspumpbetrieb durch. Daher liegt die hohe Spannung VP an dem Knoten ND72 in dem Doppelanhebungsaufbau auf dem Pegel der externen Versorgungsspannung

EXVDD.

[0339] In dem in **Fig. 32** dargestellten Aufbau der Hochspannungserzeugeschaltung **304** kann die Pegelwandlerschaltung **304b** als Pegelwandlerschaltung **306** verwendet werden, um das Steuersignal CTL4 zu erzeugen. Ein von der Pegelwandlerschaltung **304b** an das Gate des MOS-Transistors **304c** angelegtes Signal wird als Steuersignal CTL4 verwendet.

[0340] Die Zustände der in **Fig. 29** gezeigten Steuersignale ZVBTB und ZPNPA können entsprechend dem Doppelanhebungsanweisungssignal DBLE eingestellt werden. Ein AND-verknüpftes Signal des Doppelanhebungsanweisungssignals DBLE und des Steuersignals ZVBTBF wird z. B. als Negativspannungsanhebungssteuersignal ZVBTB verwendet. Das Pumpsteuersignal ZPNPA wird z. B. aus einem OR-verknüpften Signal des Doppelanhebungsanweisungssignals DBLE und des Pumpsteuersignals ZPNPA erzeugt.

[0341] Wie oben beschrieben, wird entsprechend der achten Ausführungsform der vorliegenden Erfindung bei einem niedrigen Pegel der externen Versorgungsspannung der Kondensator zum Durchführen des Ladungspumpbetriebs in zwei Stufen angepasst, um eine Ausgangsspannungsamplitude an einem internen Knoten zu erhöhen. Wenn die externe Versorgungsspannung groß ist, werden die Kondensatoren zum gleichzeitigen Betrieb angepasst, um elektrische Ladungen anzusammeln. Entsprechend dem Pegel der externen Versorgungsspannung kann eine hohe Spannung mit einem erforderlichen Spannungspegel effizient erzeugt werden.

[0342] **Fig. 33** ist eine schematische Darstellung des Aufbaus eines Steuerabschnitts in der Hochspannungserzeugeschaltung nach einer neunten Ausführungsform der vorliegenden Erfindung. Wie in **Fig. 33** dargestellt, enthält eine Hochspannungserzeugeschaltung: eine Spannungsteilerschaltung **400** zum Teilen einer hohen Spannung Vpp, um eine geteilte Spannung VPDIV zu erzeugen; eine Vergleichsschaltung **402** zum Vergleichen der geteilten Spannung VPDIV mit der Referenzspannung Vrefd; eine Abweichungskompensationsschaltung **404** zum Erzeugen eines Pegelerfassungssignals DETN entsprechend einem Ausgangssignal der Vergleichsschaltung **402** und der geteilten Spannung VPDIV; einen Ringoszillator **406**, der als Reaktion auf das Pegelerfassungssignal DETN selektiv aktiviert wird, um in vorbestimmten Zyklen einen Oszillierbetrieb durchzuführen; und eine Steuersignalergeschaltung **408** zum Erzeugen der Pumpsteuersignale PRE, GATEE, ZPNP und dergleichen unter Verwendung des Pumptaktsignals PCLK als eines grundlegenden Zeitsteuersignals.

[0343] Das Pumpsteuersignal PRE und andere Signale von der Steuersignalergeschaltung **408** werden der in der vorausgegangenen siebten und achten Ausführungsform gezeigten Hochspannungserzeugeschaltung zugeführt.

[0344] Die Spannungsteilerschaltung **400** enthält Widerstandselement **400a** und **400b**, die in Reihe zueinander zwischen einen Hochspannungseingangsknoten und einen Masseknoten geschaltet sind. Das Spannungsteilverhältnis der Teilerschaltung **400** wird auf 0,43 eingestellt, und die geteilte Spannung VPDIV wird auf einen Spannungspegel eingestellt, der kleiner ist als die Hälfte der hohen Spannung VPP.

[0345] Die Vergleichsschaltung **402** enthält: n-Kanal-MOS-Transistoren NQ1 und NQ2, die eine Differenzstufe zum Vergleichen der geteilten Spannung VPDIV mit der Referenzspannung Vrefd bilden; p-Kanal-MOS-Transistoren PQ1 und PQ2, die eine Stromspiegelstufe zum Zuführen von Strom zu den MOS-Transistoren NQ1 und NQ2 bilden; und einen MOS-Transistor NQ3 zum Liefern eines Betriebsstroms für die Vergleichsschaltung **402**.

[0346] Der MOS-Transistor PQ1 bildet eine Hauptstufe der Stromspiegelstufe, und ein Spiegelstrom des durch den MOS-Transistor PQ1 fließenden Stroms fließt durch den MOS-Transistor PQ2.

[0347] Dem Gate des Stromquellentransistors NQ3 in der Vergleichsschaltung **402** wird ein Aktiviersignal EN zugeführt. Das Aktiviersignal EN kann ein Feldaktiviersignal oder ein invertiertes Signal des Leistungsunterbrechungsfreigabesignals sein.

[0348] Im Betrieb der Vergleichsschaltung **402** erreicht ein Ausgangssignal der Vergleichsschaltung **402** einen hohen Pegel, wenn die geteilte Spannung VPDIV größer ist als die Referenzspannung Vrefd. Wenn die geteilte Spannung VPDIV dagegen kleiner ist als die Referenzspannung Vrefd, erhält das Ausgangssignal der Vergleichsschaltung **402** einen niedrigen Pegel.

[0349] Die Abweichungskompensationsschaltung **404** enthält einen p-Kanal-MOS-Transistor PQ3, der an seinem Gate ein Ausgangssignal der Vergleichsschaltung **402** empfängt und das Pegelerfassungssignal DETN auf H-Pegel treibt, wenn ein Ausgangssignal der Vergleichsschaltung **402** auf dem hohen Pegel liegt, und einen n-Kanal-MOS-Transistor NQ4, der an seinem Gate die geteilte Spannung VPDIV empfängt und einen Treiberstrom des MOS-Transistors PQ3 kompensiert. Der MOS-Transistor NQ4 ist mit dem Stromquellentransistor NQ3 verbunden. So mit führt die Abweichungskompensationsschaltung **404** auch einen Vorgang des Erzeugens des Pegelerfassungssignals DETN durch, wenn das Aktiviersignal EN aktiviert wird.

[0350] Wenn der Spannungspegel der externen Versorgungsspannung EXVDD sinkt, wird die Differenz zwischen der externen Versorgungsspannung EXVDD und der geteilten Spannung VPDIV klein, wenn die geteilte Spannung VPDIV auf dem Spannungspegel von  $V_p/2$  liegt, die MOS-Transistoren NQ1 und NQ2 in der Differenzstufe arbeiten in einem linearen Bereich, und die Empfindlichkeit der Vergleichsschaltung **402** kann verringert sein. Das Teilungsverhältnis der geteilten Spannung VPDIV wird

z. B. auf 43/100 verringert, um den Spannungspegel der geteilten Spannung VPDIV zu verringern; der Spannungspegel der Referenzspannung Vrefd wird ebenfalls verringert, und die MOS-Transistoren NQ1 und NQ2 arbeiten in einem Sättigungsbereich.

[0351] Die Abweichungskompensationsschaltung **404** ist bereitgestellt, um eine Verschlechterung der Empfindlichkeit der Pegelerfassung auch dann zu verhindern, wenn die geteilte Spannung VPDIV in der Differenzstufe im Vergleich zu dem Spannungspegel der externen Versorgungsspannung EXVDD relativ groß wird. Wenn die geteilte Spannung VPDIV größer ist als die Referenzspannung Vrefd, wird ein Ausgangssignal der Vergleichsschaltung **402** auf einen hohen Pegel gelegt, die Leitfähigkeit des MOS-Transistors PQ3 wird verringert, während die Leitfähigkeit des MOS-Transistors NQ4 ansteigt, und ein Ausgangssignal der Abweichungskompensationsschaltung **404** wird auf den L-Pegel getrieben.

[0352] Wenn die geteilte Spannung VPDIV dagegen kleiner ist als die Referenzspannung Vrefd, sinkt ein Ausgangssignal der Vergleichsschaltung **402** ab, die Leitfähigkeit des MOS-Transistors PQ3 steigt an, und die Leitfähigkeit des MOS-Transistors NQ4 fällt ab. In diesem Zustand wird daher das Ausgangssignal DETN der Abweichungskompensationsschaltung **404** auf den H-Pegel getrieben.

[0353] Es wird insbesondere bewirkt, dass die Gatespannungen der MOS-Transistoren PQ3 und NQ4 sich entsprechend einem Eingangssignal und einem Ausgangssignal der Vergleichsschaltung **402** in die selbe Richtung ändern, und es wird bewirkt, dass der MOS-Transistor NQ4 in dem Sättigungsbereich arbeitet. Die Leitwerte der MOS-Transistoren NQ4 und PQ3 werden komplementär geändert, um das Ausgangssignal entsprechend einem Ausgangssignal der Vergleichsschaltung **402** mit hoher Geschwindigkeit zu ändern.

[0354] Auch in dem Fall, in dem die Empfindlichkeit der Vergleichsschaltung **402** gering ist, kann die Abweichungskompensationsschaltung **404** daher das Ausgangssignal DETN entsprechend dem Ausgangssignal der Vergleichsschaltung **402** mit hoher Geschwindigkeit treiben. Auch in dem Fall, in dem der Spannungspegel der geteilten Spannung VPDIV hoch ist, kann der Spannungspegelerfassungsbetrieb exakt durchgeführt werden.

[0355] Der Ringoszillator **406** enthält Inverter mit einer geradzahligen Anzahl von Stufen und eine Gatterschaltung zum Empfangen eines Ausgangssignals des Inverters der Endstufe und des Pegelerfassungssignals DETN. Dieses Ausgangssignal der Gatterschaltung wird dem Inverter in der ersten Stufe der Inverterkette zugeführt.

[0356] Wenn das Pegelerfassungssignal DETN auf H-Pegel liegt und die geteilte Spannung VPDIV kleiner ist als die Referenzspannung Vrefd, wird der Oszillierbetrieb durchgeführt. Wenn die geteilte Spannung VPDIV größer ist als die Referenzspannung Vrefd, fällt das Pegelerfassungssignal DETN auf den

L-Pegel ab, und der Ringoszillator **406** beendet den Oszillierbetrieb. Im Hinblick auf den Spannungspegel der hohen Spannung Vpp kann die hohe Spannung Vpp somit auf dem Spannungspegel  $100^*Vrefd/43$  gehalten werden.

[0357] **Fig. 34** ist eine schematische Darstellung des Aufbaus einer Hochspannungserzeugungssteuerschaltung nach einer Abwandlung der neunten Ausführungsform. In dem in **Fig. 34** dargestellten Aufbau sind in der Spannungsteilerschaltung **400** Widerstandselemente **400ba** und **400bb** in Reihe zueinander zwischen einen Ausgangsknoten ND75 für eine geteilte Spannung und den Masseknoten geschaltet. Parallel zu dem Widerstandselement **400ba** ist ein n-Kanal-MOS-Transistor **400c** geschaltet, dessen Gate ein Signal ZDBLE empfängt, das komplementär zu dem Doppelanhebungsanweisungssignal ist. Der Steuersignalerzeugeschaltung **408** wird das Doppelanhebungsanweisungssignal DBLE zugeführt. Ansonsten ist der Aufbau der in **Fig. 34** dargestellten Hochspannungserzeugungssteuerschaltung derselbe wie in **Fig. 33** dargestellt, entsprechende Teile sind mit den selben Bezugszeichen versehen, und ihre detaillierte Beschreibung wird nicht wiederholt.

[0358] Wenn die externe Versorgungsspannung EXVDD so klein ist wie z. B. 1,8 V oder 2,5 V, wird der Doppelanhebungsaufbau bezeichnet. Durch Durchführen des Doppelanhebungsbetriebs wird die hohe Spannung Vpp erzeugt. In diesem Fall wird das komplementäre Doppelanhebungsanweisungssignal ZD-BLE auf L-Pegel gelegt, und der MOS-Transistor **400c** wird leitend. In diesem Fall wird die geteilte Spannung VPDIV daher durch Teilen der hohen Spannung Vpp mit dem Teilungsverhältnis 0,43 erzeugt.

[0359] Wenn die externe Versorgungsspannung dagegen so hoch ist wie z. B. 3,3 V, wird die hohe Spannung Vpp mit dem Einzelanhebungsaufbau erzeugt. In diesem Fall wird das komplementäre Doppelanhebungsanweisungssignal ZDBLE auf den H-Pegel gelegt, der MOS-Transistor **400c** wird leitend, und das Widerstandselement **400b** wird kurzgeschlossen. Die geteilte Spannung VPDIV am Ausgangsknoten ND75 wird von der hohen Spannung Vpp mit einem Spannungsteilverhältnis von 1/2 erzeugt, wobei die Widerstandswerte der Widerstandselemente **400a** und **400bb** auf den selben Wert gesetzt sind. In dem Einzelanhebungsaufbau schaltet die Steuersignalerzeugeschaltung **408** entsprechend dem Doppelanhebungsanweisungssignal DBLE einen Steuersignalerzeugebetrieb (siehe achte Ausführungsform).

[0360] Durch Verwenden des in **Fig. 34** dargestellten Aufbaus können mit einer einzelnen Hochspannungserzeugungssteuerschaltung Steuerbetriebsarten entsprechend einer Mehrzahl von externen Versorgungsspannungen verwirklicht werden. Während ein optimaler Pegelerfassungsbetrieb je nach dem verwendeten Hochspannungserzeugeverfahren durchgeführt wird, kann der Hochspannungserzeugvorgang kontrolliert werden.

[0361] In **Fig. 34** kann anstelle des MOS-Transistors **400c** eine Maskenmetallverbindungsleitung oder ein Verbindungselement (Sicherungselement) verwendet werden.

[0362] **Fig. 35** ist eine Darstellung eines Beispiels für den Aufbau des Abschnitts zum Erzeugen der Referenzspannung Vrefd.

[0363] Wie in **Fig. 35** dargestellt, enthält eine Referenzspannungserzeugeschaltung: eine Konstantstromquelle **420a**, die mit einem externen Versorgungsknoten verbunden ist und einen Konstantstrom I0 zuführt; einen p-Kanal-MOS-Transistor **420b**, der als Reaktion auf ein dem Steuereingang DIS zugeführtes Signal selektiv leitend gemacht wird und der in leitendem Zustand einen Strom von der Konstantstromquelle **420a** einem Knoten ND78 zuführt; Widerstandselemente **420c** und **420d**, die in Reihe zueinander zwischen die Knoten ND78 und ND79 geschaltet sind; einen p-Kanal-MOS-Transistor **420e**, der zwischen den Knoten ND79 und den Masseknoten geschaltet ist und dessen Gate mit dem Masseknoten verbunden ist; einen n-Kanal-Transistor **420f**, der parallel zu dem Widerstandselement **420c** geschaltet ist und an seinem Gate das Doppelanhebungsanweisungssignal DBLE empfängt; und einen n-Kanal-MOS-Transistor **420g**, der entsprechend einem dem Steuereingang DIS zugeführten Signal selektiv leitend gemacht wird und der in leitendem Zustand den Ausgangsknoten ND78 mit dem Masseknoten verbindet.

[0364] Dem Steuereingang DIS wird ein invertiertes Signal des in **Fig. 34** gezeigten Aktiviersignals EN zugeführt.

[0365] Wenn der Spannungspegel der externen Versorgungsspannung EXVDD klein ist und das Doppelanhebungsanweisungssignal DBLE auf H-Pegel liegt, ist der MOS-Transistor **420f** leitend, und das Widerstandselement **420c** wird kurzgeschlossen. Der Spannungspegel der Referenzspannung Vrefd an dem Knoten ND78 ist daher gegeben durch die Summe aus einem Produkt des Widerstandswerts des Widerstandselements **420d** mit dem Konstantstrom I0 und einem Absolutwert Vthp der Schwellenspannung des MOS-Transistors **420e**.

[0366] Wenn die externe Versorgungsspannung EXVDD dagegen groß ist und die Hochspannungserzeugeschaltung in den Einzelanhebungsaufbau geschaltet ist, liegt das Doppelanhebungsanweisungssignal DBLE auf L-Pegel, und der MOS-Transistor **420f** ist nichtleitend. In diesem Fall ist die Referenzspannung Vrefd gegeben durch die Summe aus einem Produkt eines kombinierten Widerstandswerts der Widerstandselemente **420c** und **420d** mit dem Konstantstrom I0 und dem Absolutwert der Schwellenspannung des MOS-Transistors **420e**.

[0367] In dem Fall, in dem die externe Versorgungsspannung EXVDD groß eingestellt ist, wird der Spannungspegel der Referenzspannung Vrefd so hoch wie Vpp/2 eingestellt. Wenn die externe Versorgungsspannung EXVDD dagegen klein eingestellt

ist, wird die Referenzspannung Vrefd z. B. so klein wie 0,43Vpp eingestellt.

[0368] In dem in **Fig. 35** dargestellten Aufbau der Referenzspannungserzeugeschaltung kann der MOS-Transistor **420e** weggelassen werden.

[0369] Wie oben beschrieben wird nach der neunten Ausführungsform der vorliegenden Erfindung die der Vergleichsschaltung zugeführte Vorspannung in dem Fall, in dem die externe Versorgungsspannung klein eingestellt ist und eine interne hohe Spannung nach dem Doppelanhebungsverfahren erzeugt wird, beim Erfassen des Pegels der hohen Spannung klein eingestellt. Demzufolge kann der Vergleichsvorgang in einem sogenannten "Trefferbereich" der Vergleichsschaltung durchgeführt werden, und der Pegelerfassungsbetrieb kann exakt durchgeführt werden.

[0370] Ein Strom zum Treiben der Schaltung, die letztlich das Pegelerfassungssignal ausgibt, wird entsprechend der geteilten Spannung der hohen Spannung eingestellt. Eine Beeinträchtigung der Empfindlichkeit der Vergleichsschaltung wird kompensiert, und das Pegelerfassungssignal kann exakt erzeugt werden.

[0371] Auch bei dem in **Fig. 35** dargestellten Aufbau der Referenzspannungserzeugeschaltung kann anstelle des MOS-Transistors **420f** ein schmelzbares Verbindungselement verwendet werden, oder das Widerstandselement **420c** kann selektiv durch eine Maskenmetallverbindung kurzgeschlossen werden.

[0372] Wie oben beschrieben wird die Art der Erzeugung der internen Spannung nach der vorliegenden Erfindung entsprechend dem Spannungspegel der externen Versorgungsspannung eingestellt, und eine Halbleitervorrichtung, die an eine Mehrzahl von externen Versorgungsspannungen angepasst werden kann, kann mit einem einzigen Chip verwirklicht werden.

## Patentansprüche

1. Halbleitervorrichtung mit einer Referenzspannungserzeugeschaltung (**2; 2p, 2s, 2i**) zum Erzeugen einer Referenzspannung (Vref, Vrefp, Vrefs, Vrefi), einer Vergleichsschaltung (**23, 50, 60**) zum Vergleichen der Referenzspannung mit einer internen Spannung und zum Ausgeben eines Signals entsprechend einem Ergebnis des Vergleichs im aktvierten Zustand, einer Treberschaltung (**24, 51, 61**) zum Zuführen eines Stroms von einem Versorgungsknoten (EXVDD) zu einer internen Spannungsleitung (**10; 10p, 10s, 10i**) und zum Erzeugen der internen Spannung entsprechend einem Ausgangssignal der Vergleichsschaltung, einer Vergleichssteuerschaltung (**25–29**) zum Beenden eines Vergleichsbetriebs der Vergleichsschaltung, zum Festlegen eines Ausgangssignals der Vergleichsschaltung auf einen vorbestimmten Span-

nungspegel und zum Einstellen der Treberschaltung in einen leitenden Normalzustand entsprechend einem Externspannungspegeleinstellsignal (ZCMPE), und einem Hilfstransistor (**31**) zum Verbinden der internen Spannungsleitung mit dem Versorgungsknoten.

2. Halbleitervorrichtung nach Anspruch 1 mit einer Referenzspannungssteuerschaltung (**6**) zum Beenden eines Referenzspannungserzeugerbetriebs der Referenzspannungserzeugeschaltung (**2; 2p, 2s, 2i**) entsprechend dem Externspannungspegeleinstellsignal (ZCMPE).

3. Halbleitervorrichtung nach Anspruch 1 oder 2, bei der die Vergleichsschaltung (**23**) enthält: eine Differenzstufe (**23c, 23d**) zum Vergleichen der Referenzspannung (Vrefp) mit einer Spannung (VDDP), die der internen Spannung entspricht, und eine Stromspiegelstufe (**23c, 23d**) zum Zuführen von Strom zu der Differenzstufe; die Treberschaltung (**24**) enthält: einen Treibertransistor (**24**) zum Zuführen des Stroms von dem Versorgungsknoten (EXVDD) zu der internen Spannungsleitung (**10p**) in leitendem Zustand; die Vergleichssteuerschaltung (**25–29**) enthält: einen ersten Transistor (**27**) zum Verbinden eines ersten internen Ausgangsknotens der Vergleichsschaltung mit einer ersten Spannungsquelle entsprechend dem Externspannungspegeleinstellsignal (ZCMPE) und einen zweiten Transistor (**28**) zum Verbinden eines zweiten internen Ausgangsknotens der Vergleichsschaltung mit einer zweiten Spannungsquelle, die von der ersten Spannungsquelle verschieden ist, entsprechend dem Externspannungspegeleinstellsignal; wobei der zweite interne Ausgangsknoten mit einem Gate des Treibertransistors verbunden ist und Differenzspannungen entsprechend einem Vergleichsergebnis der Differenzstufe an dem ersten und zweiten internen Ausgangsknoten erzeugt werden, wenn die Vergleichsschaltung aktiviert ist.

4. Halbleitervorrichtung nach einem der Ansprüche 1 bis 3, bei der die Vergleichsschaltung (**23**) enthält:

einen Vergleicher (**23a–23d**) zum Vergleichen der internen Spannung (VDDP) mit der Referenzspannung (Vrefp) und zum Erzeugen eines Signals entsprechend einem Ergebnis des Vergleichs im aktvierten Zustand, und einen Stromquellentransistor (**23e**) zum selektiven Führen eines Betriebsstroms zu dem Vergleicher entsprechend dem Externspannungspegeleinstellsignal (ZCMPE) und einem Betriebsartanweisungssignal (ACT).

5. Halbleitervorrichtung nach einem der Ansprü-

che 1 bis 4, bei der die Vergleichsschaltung (23) enthält:

einen Vergleicher (23a–23d) zum Vergleichen der internen Spannung mit der Referenzspannung und zum Erzeugen eines Signals, das ein Ergebnis des Vergleichs anzeigt, im aktivierte Zustand, und einen Stromquellentransistor (23e) zum Beenden des Erzeugens eines Betriebsstroms des Vergleichers entsprechend dem Externspannungspegeleinstellsignal (ZCMPE).

6. Halbleitervorrichtung nach einem der Ansprüche 1 bis 5 mit

einer Mehrzahl von Speicherzellen (MC) und einer peripheren Schaltung (150, 152, 154, 160), die die interne Spannung (VDDP) als eine Betriebsversorgungsspannung empfängt und entsprechend einem Adresssignal eine Speicherzelle aus der Mehrzahl von Speicherzellen auswählt.

7. Halbleitervorrichtung nach einem der Ansprüche 1 bis 6 mit

einer Internspannungserzeugeschaltung (5), die entsprechend dem Externspannungspegeleinstellsignal (ZCMPE) selektiv aktiviert wird und im aktivierte Zustand eine zweite interne Spannung (VDDI) auf einer internen Versorgungsleitung (10i) auf der Grundlage eines Vergleichs zwischen einer zweiten Referenzspannung (Vrefi) und der zweiten internen Spannung erzeugt, und

einer Verbindungssteuerschaltung (12) zum elektrischen Verbinden der internen Versorgungsleitung (10i) und der internen Spannungsleitung (10p) entsprechend einem Spannungsbetriebseinstellsignal (MLV).

8. Halbleitervorrichtung nach Anspruch 7 mit einer Eingangsschaltung (78), die die zweite interne Spannung (VDDI) auf der internen Versorgungsleitung (10i) als eine Betriebsversorgungsspannung empfängt und im Betrieb aus einem externen Signal ein internes Signal erzeugt.

9. Halbleitervorrichtung mit einer ersten Eingangsschaltung (72, 74), die eine erste Versorgungsspannung (VDDP) als Betriebsversorgungsspannung empfängt und entsprechend einem Betriebsarteinstellsignal (MLV) selektiv freigegeben wird, zum Erzeugen eines ersten internen Signals aus einem externen Signal im freigegebenen Zustand,

einer zweiten Eingangsschaltung (78), die eine zweite Versorgungsspannung (VDDI) als Betriebsversorgungsspannung empfängt und entsprechend dem Betriebsarteinstellsignal selektiv freigegeben wird, zum Erzeugen eines zweiten internen Signals aus dem externen Signal im freigegebenen Zustand, einer Pegelwandlerschaltung (80, 82) zum Pegelwandeln des zweiten internen Signals von der zweiten Eingangsschaltung zu einem Signal mit einer Am-

plitude mit dem Pegel der ersten Versorgungsspannung, zum Erzeugen eines dritten internen Signals, und

einer Eingangsgatterschaltung (84), die die erste Versorgungsspannung als Betriebsversorgungsspannung empfängt, zum Erzeugen eines vierten internen Signals, das an eine interne Schaltung übertragen werden soll, entsprechend dem ersten und dem dritten Signal;

wobei die Eingangsgatterschaltung als Pufferschaltung arbeitet entsprechend dem Ausgangssignal der ersten oder zweiten Eingangsschaltung, je nachdem, welche deaktiviert ist, zum Puffern eines entweder von der Pegelwandlerschaltung oder der ersten Eingangsschaltung empfangenen Signals im aktivierte Zustand.

10. Halbleitervorrichtung nach Anspruch 9 mit einer Schaltung (12) zum elektrischen Kurzschließen von Knoten, die die erste und zweite Versorgungsspannung zuführen, entsprechend dem Betriebsartestellsignal (MLV).

11. Halbleitervorrichtung nach Anspruch 9 oder 10 mit einer Internspannungserzeugeschaltung, die entsprechend dem Betriebsarteinstellsignal (MLV) selektiv gesperrt wird, zum Beenden eines Betriebs des Erzeugens der zweiten Versorgungsspannung (VDDI) in gesperrtem Zustand.

12. Halbleitervorrichtung mit einem ersten kapazitiven Element (180), das zwischen einen ersten Steuersignaleingangsknoten zum Empfangen eines ersten Steuersignals (PRE) und einen ersten internen Knoten (ND50) geschaltet ist, einem zweiten und einem dritten Transistor (182, 183) zum jeweiligen Vorladen eines zweiten (ND51) und dritten (ND53) internen Knotens auf den Pegel einer externen Versorgungsspannung (EXVDD) entsprechend einem Spannungspegel an dem ersten internen Knoten,

einem zweiten kapazitiven Element (184), das zwischen einen zweiten Steuersignaleingangsknoten zum Empfangen eines zweiten Steuersignals (GATEE) und den zweiten internen Knoten geschaltet ist, einem Ausgangstransistor (192), der entsprechend einem Spannungspegel des zweiten internen Knotens selektiv leitend gemacht wird und der in leitendem Zustand elektrische Ladungen zwischen dem dritten Knoten und einem Ausgangsknoten überträgt, einer Treiberschaltung (185, 186), die Spannungen von einem externen Versorgungsknoten (EXVDD) und einem ersten internen Spannungsknoten (ND54) als Betriebsversorgungsspannungen empfängt und einen vierten internen Knoten (ND52) entsprechend einem dritten Steuersignal (ZPUMP) treibt, einem dritten kapazitiven Element (191), das zwischen den vierten und den dritten internen Knoten geschaltet ist, einem vierten kapazitiven Element (187) und

Verbindungen (**237, 235a, 235b, 240a, 240b, 245, 247**), die das vierte kapazitive Element fest entweder zwischen einen vierten Steuereingangsknoten, der ein fünftes Steuersignal (ZVBTB) empfängt, und den ersten internen Spannungsknoten oder zwischen den vierten Steuersignaleingangsknoten und den dritten internen Knoten schalten.

13. Halbleitervorrichtung nach Anspruch 12, bei der die Verbindungen das vierte kapazitive Element (**187**) zwischen den vierten Steuersignaleingangsknoten, der das fünfte Steuersignal (ZVBTB) empfängt, und den dritten internen Knoten (ND53) schalten.

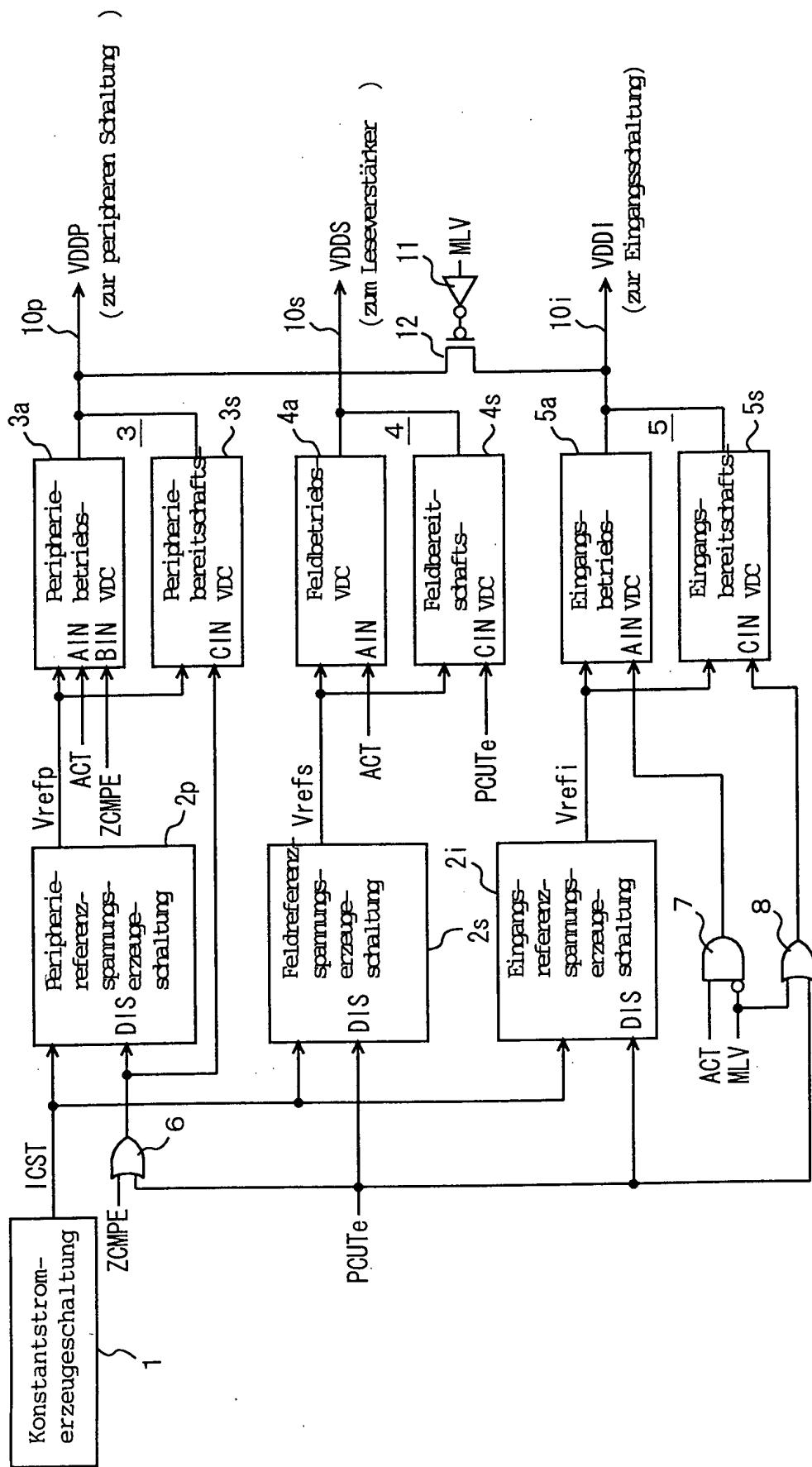
14. Halbleitervorrichtung nach Anspruch 13, bei der der erste interne Spannungsknoten (ND54) fest auf einem zweiten Versorgungsspannungspegel (VSS) gehalten wird.

15. Halbleitervorrichtung nach einem der Ansprüche 12 bis 14 mit einem fünften kapazitiven Element (**188**), das zwischen einen sechsten Steuersignaleingangsknoten zum Empfangen eines sechsten Steuersignals (ZPREB) und einen fünften internen Knoten (ND55) geschaltet ist, und einem vierten Transistor (**190**), der entsprechend einem Spannungspegel an dem fünften internen Knoten selektiv leitend gemacht wird und der im Betrieb den ersten internen Spannungsknoten auf einen vorbestimmten Spannungspegel auflädt; wobei das vierte kapazitive Element zwischen den vierten Steuersignaleingangsknoten (ZVBTB) und den ersten internen Spannungsknoten geschaltet ist.

16. Halbleitervorrichtung nach einem der Ansprüche 12 bis 15, bei der das zweite Steuersignal (GATEEE) eine Amplitude hat, die größer ist als die externe Versorgungsspannung (EXVDD).

Es folgen 22 Blatt Zeichnungen

卷之三



F I G . . 2

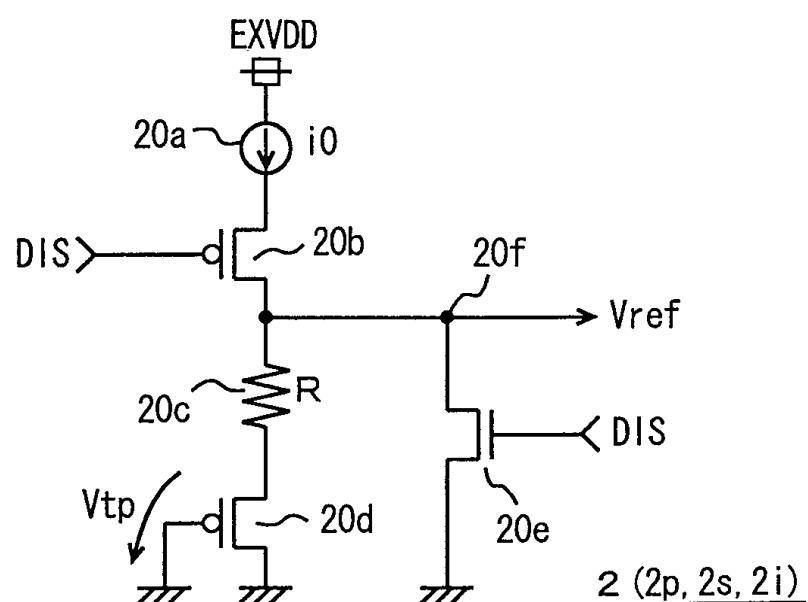
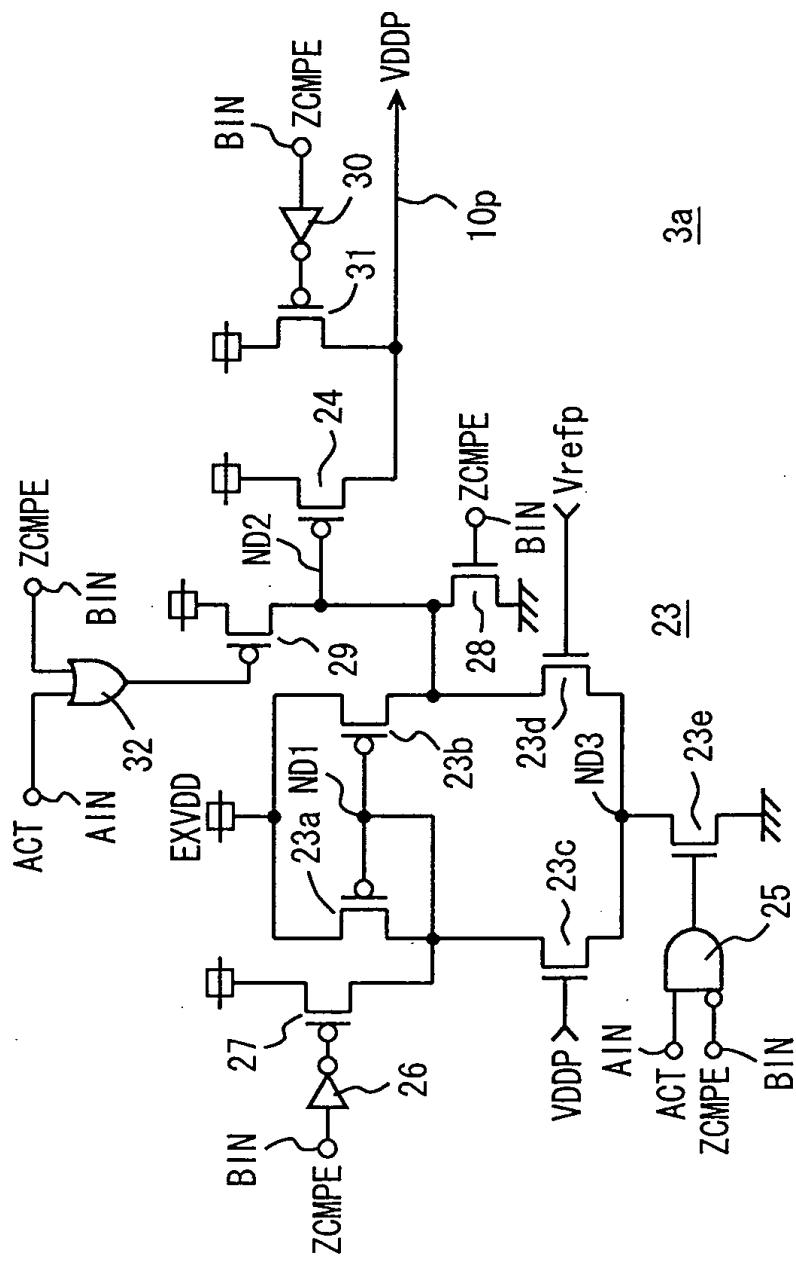
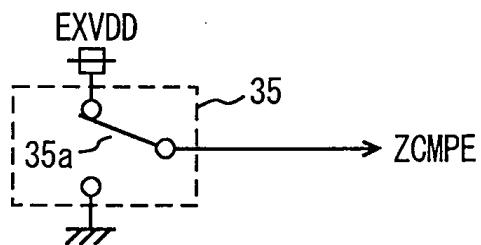
2 (2p, 2s, 2i)

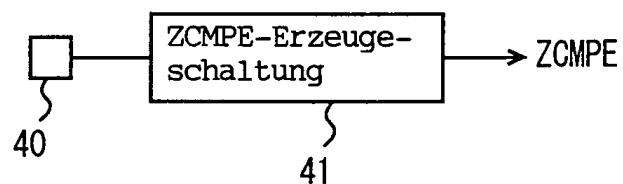
FIG. 3



F I G . 4



F I G . 5



F I G . 6

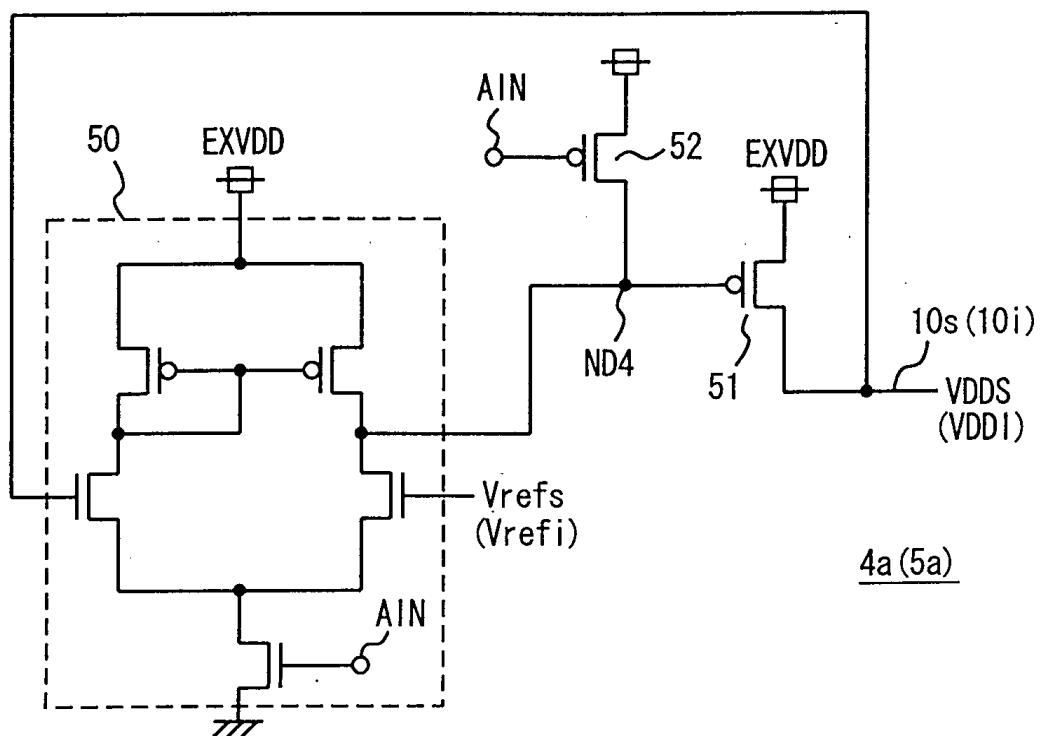


FIG. 7

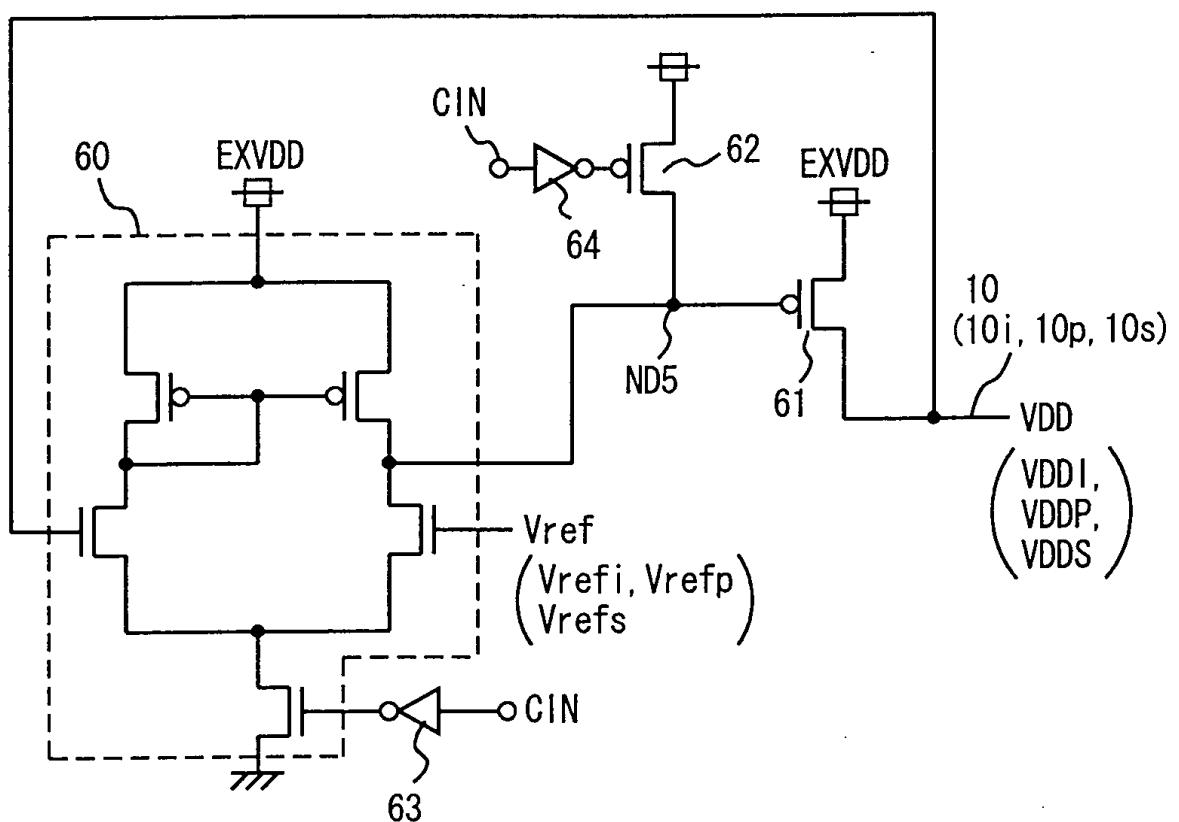
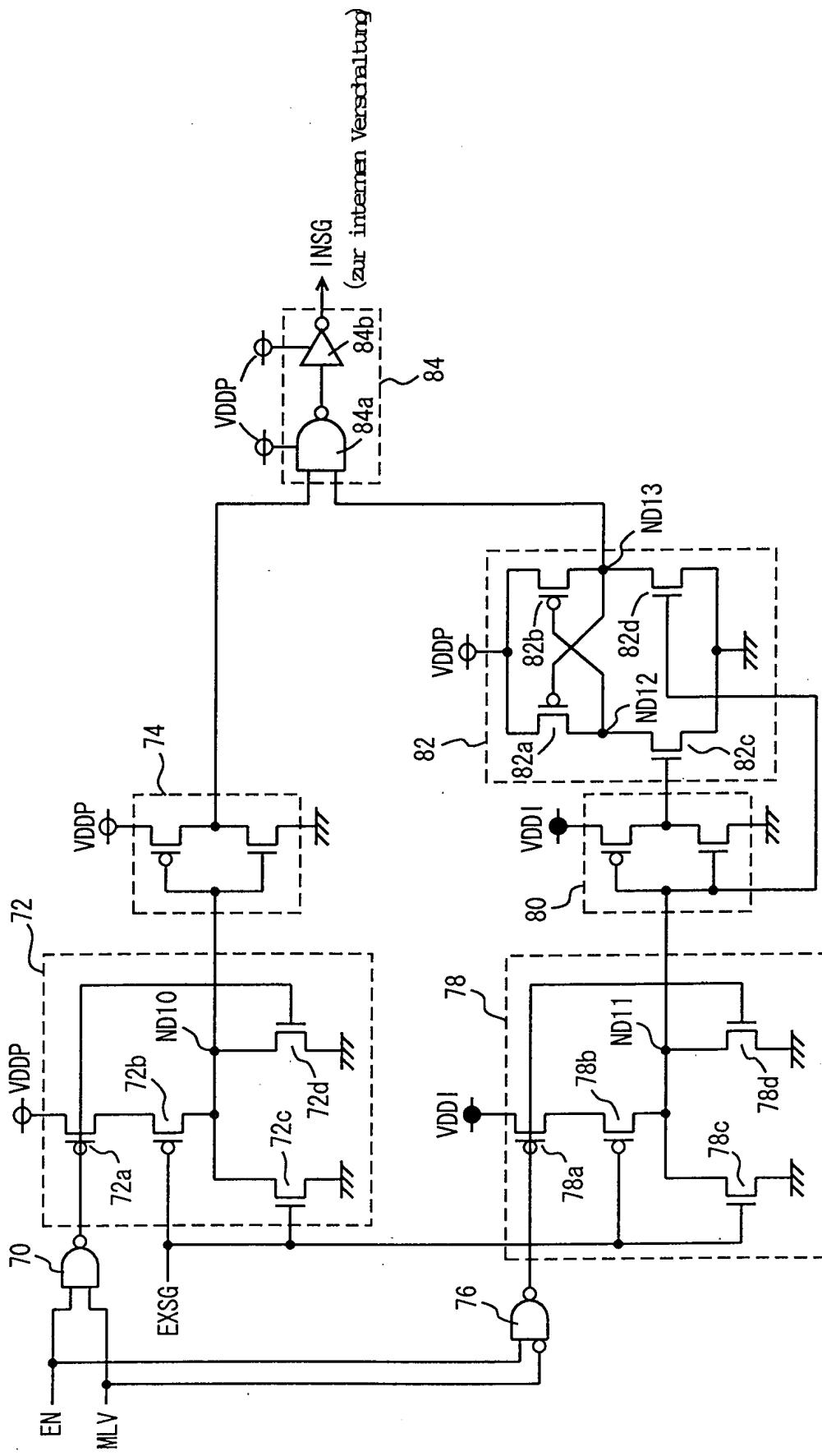
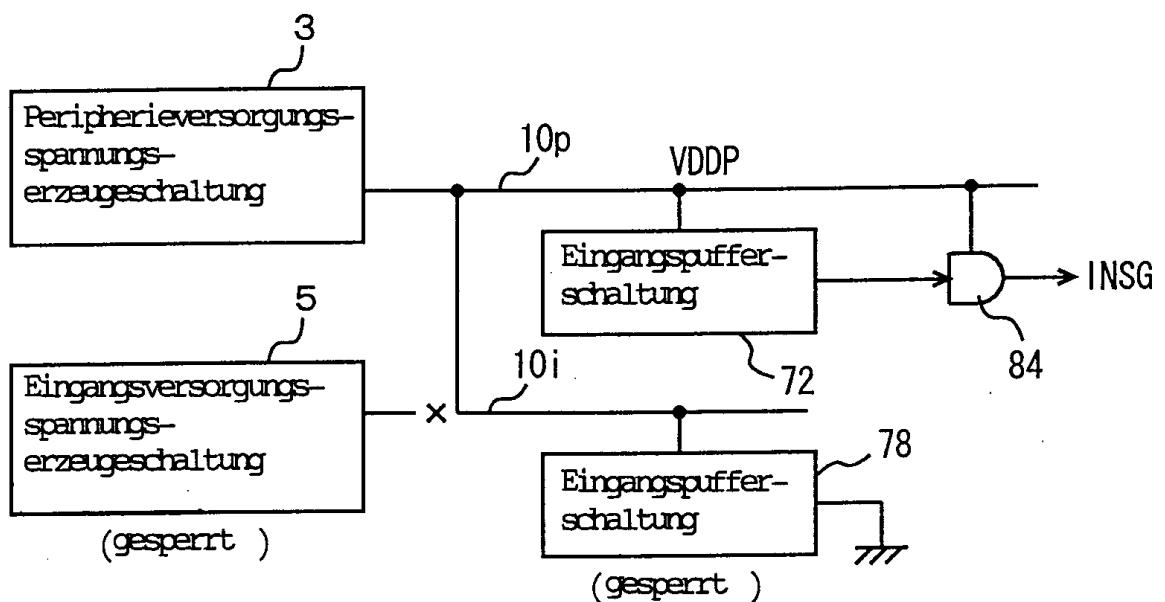


FIG. 8



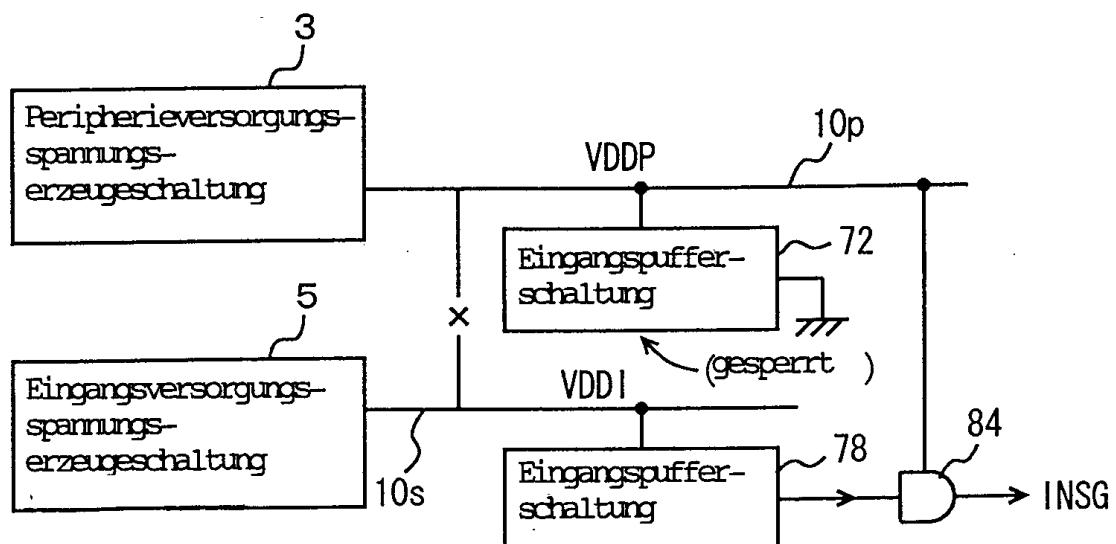
F I G . 9

MLV : H

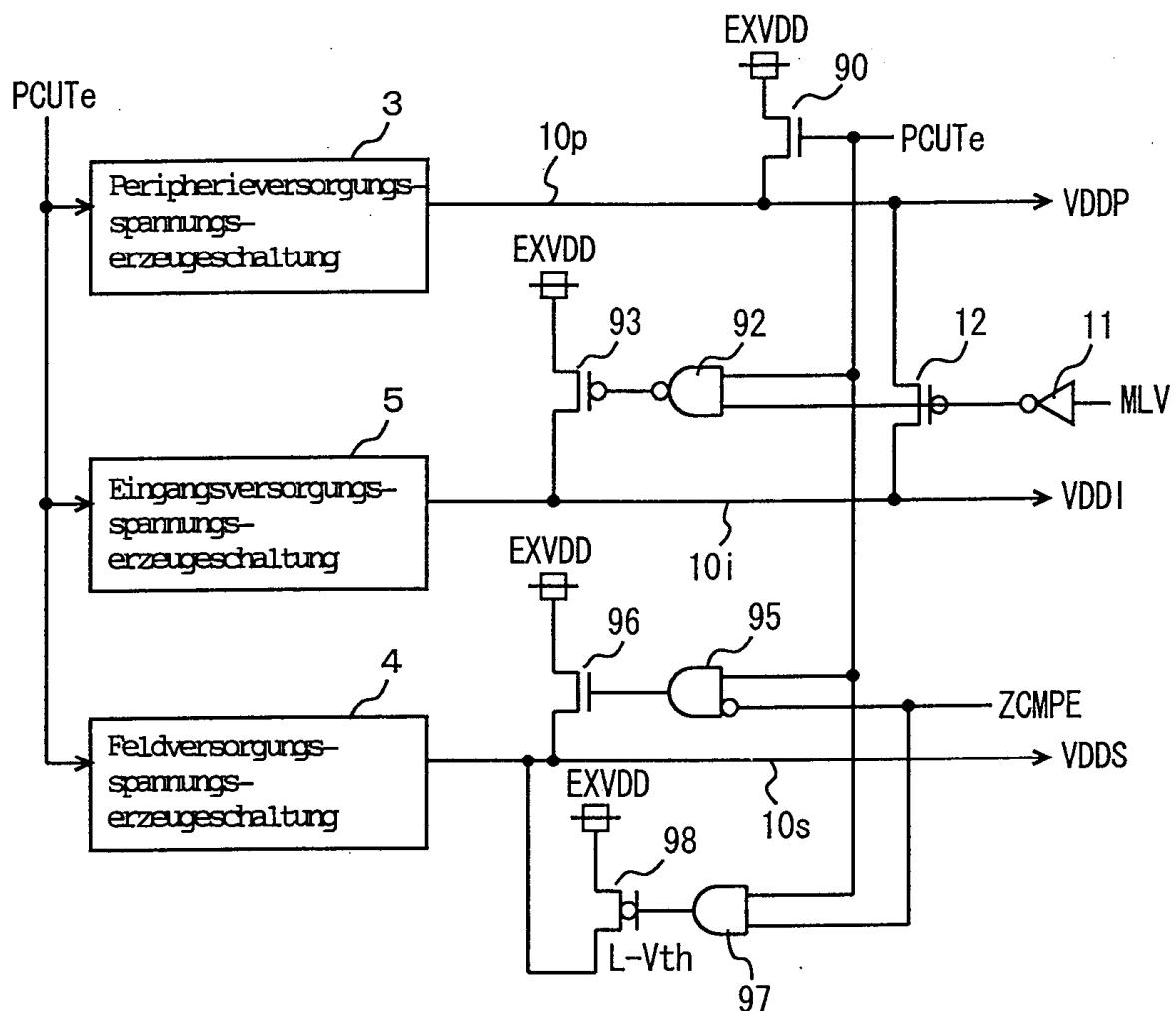


F I G . 1 0

MLV : L



F I G . 1 1



F I G . 1 2

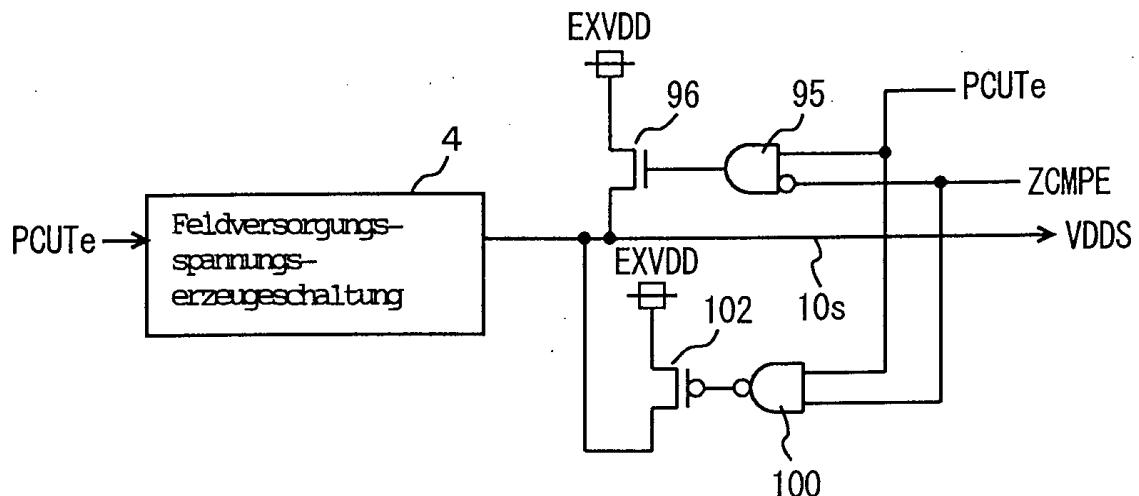
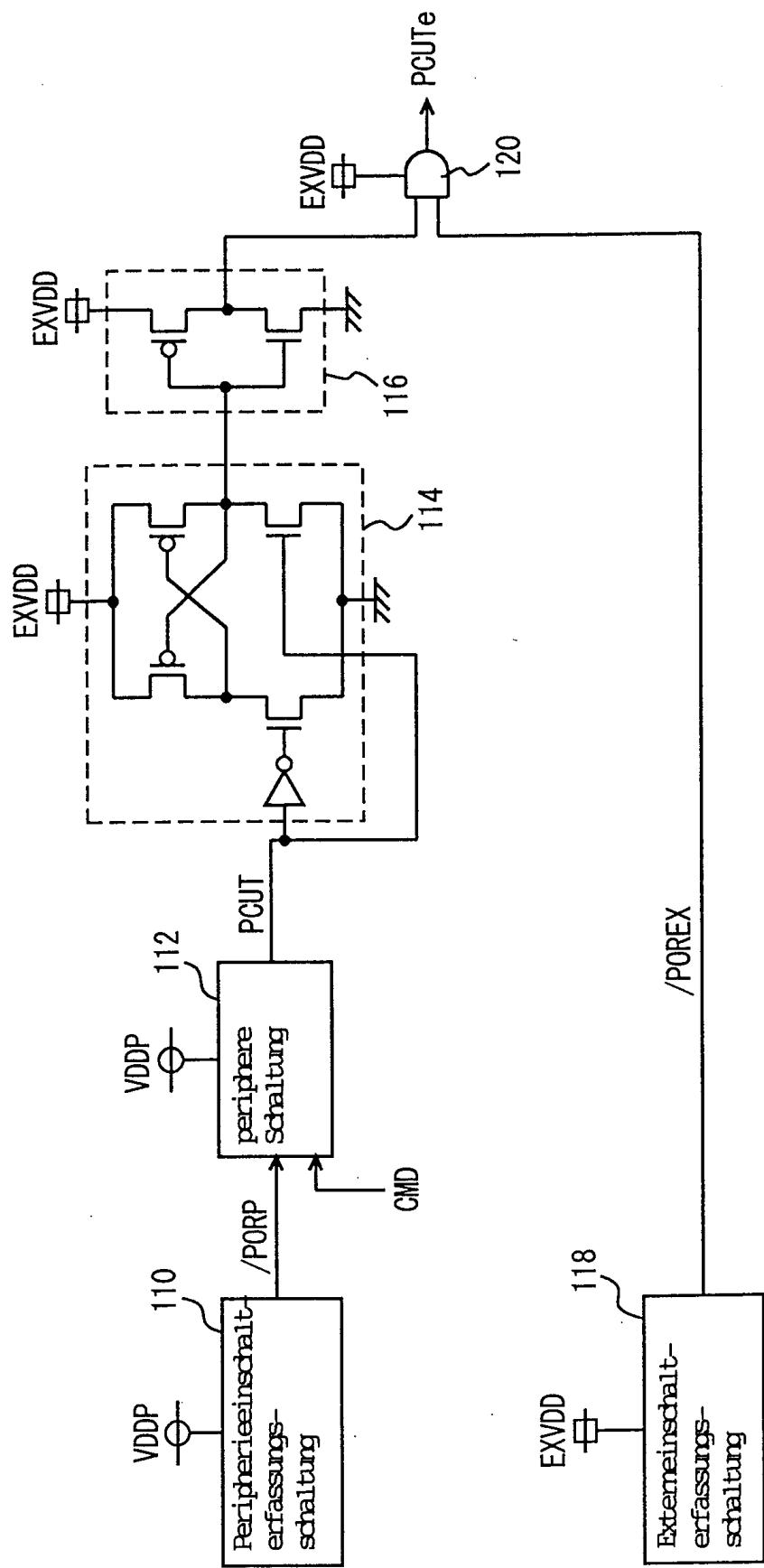
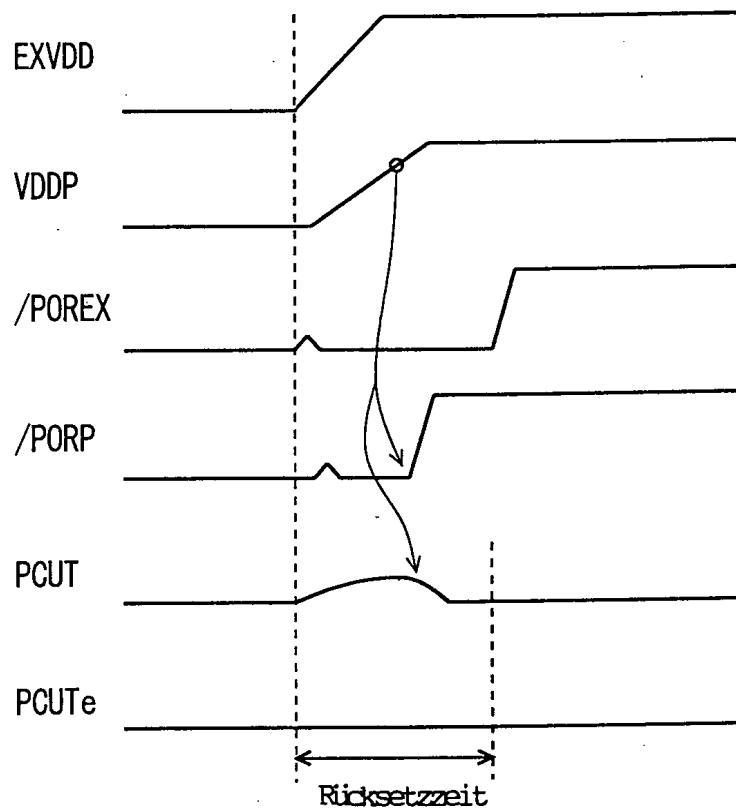


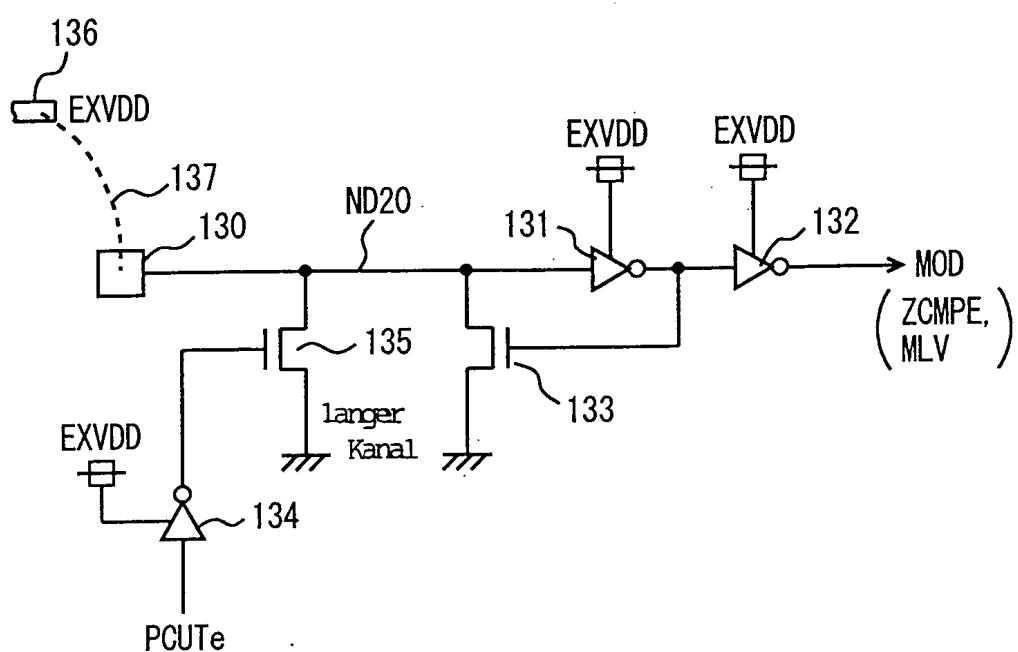
FIG. 13



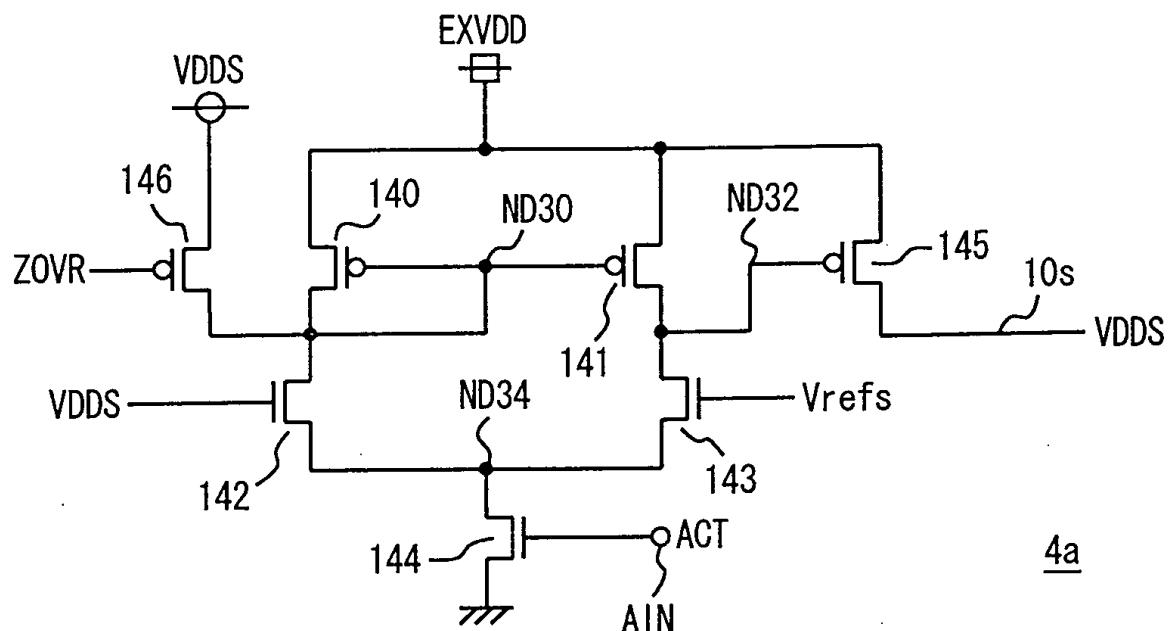
F I G . 1 4



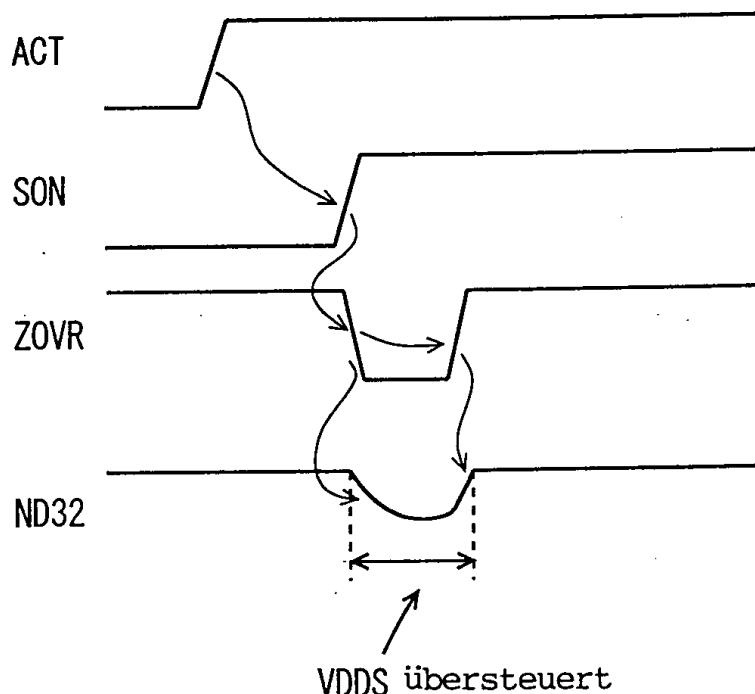
F I G . 1 5



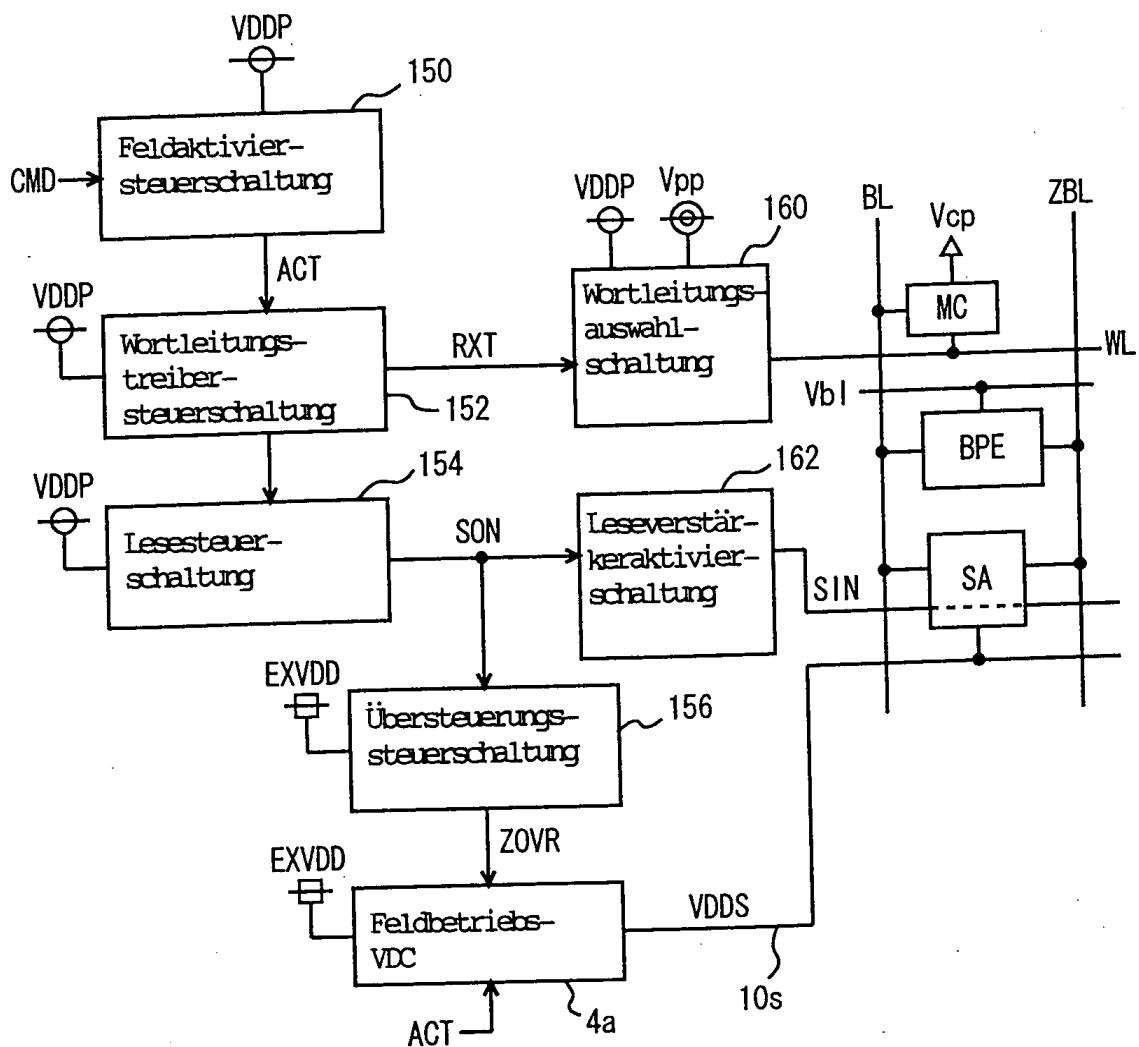
F I G . 1 6

4a

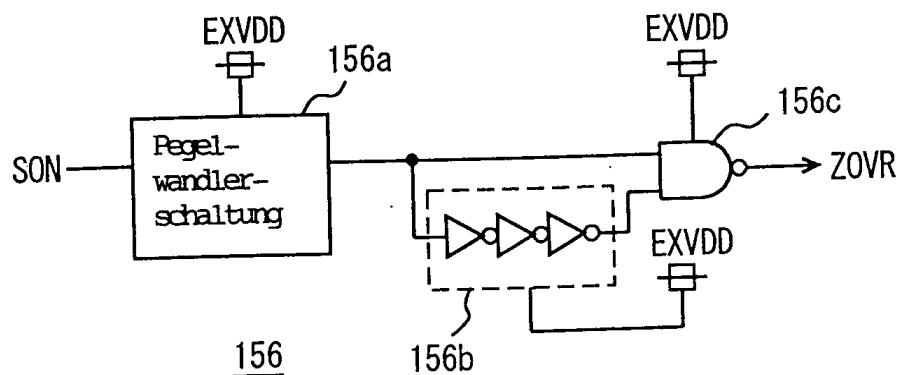
F I G . 1 7



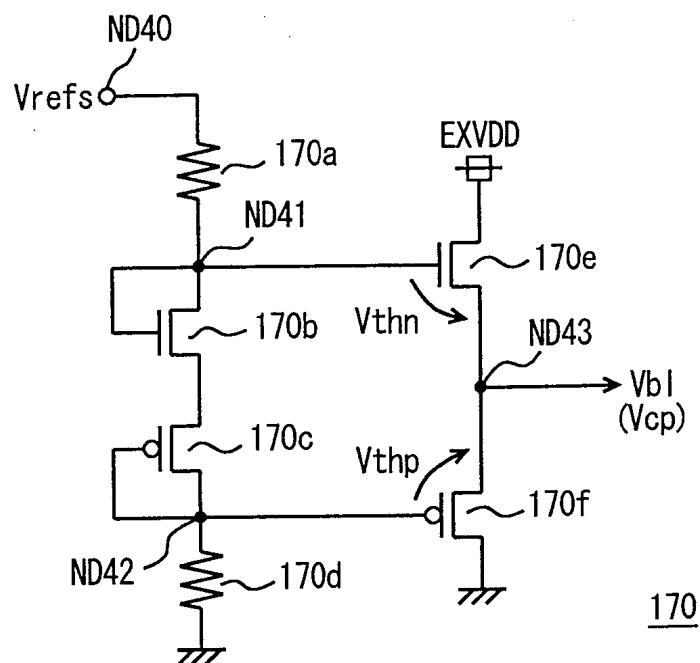
F I G . 1 8



F I G . 1 9



F I G . 2 0



F I G . 2 1

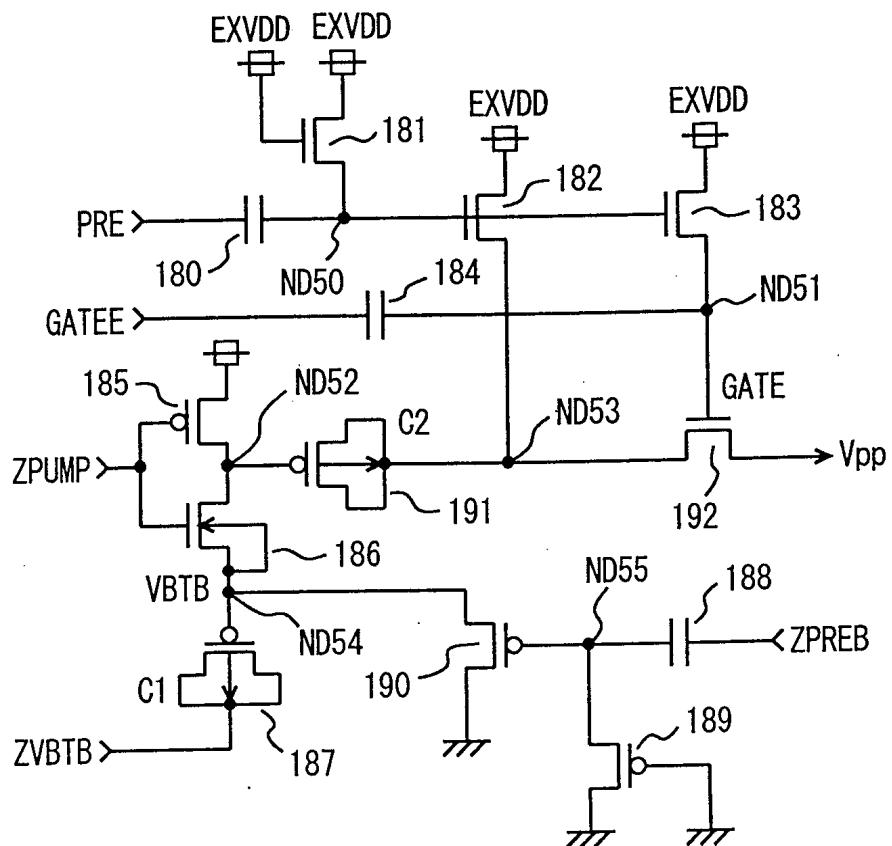
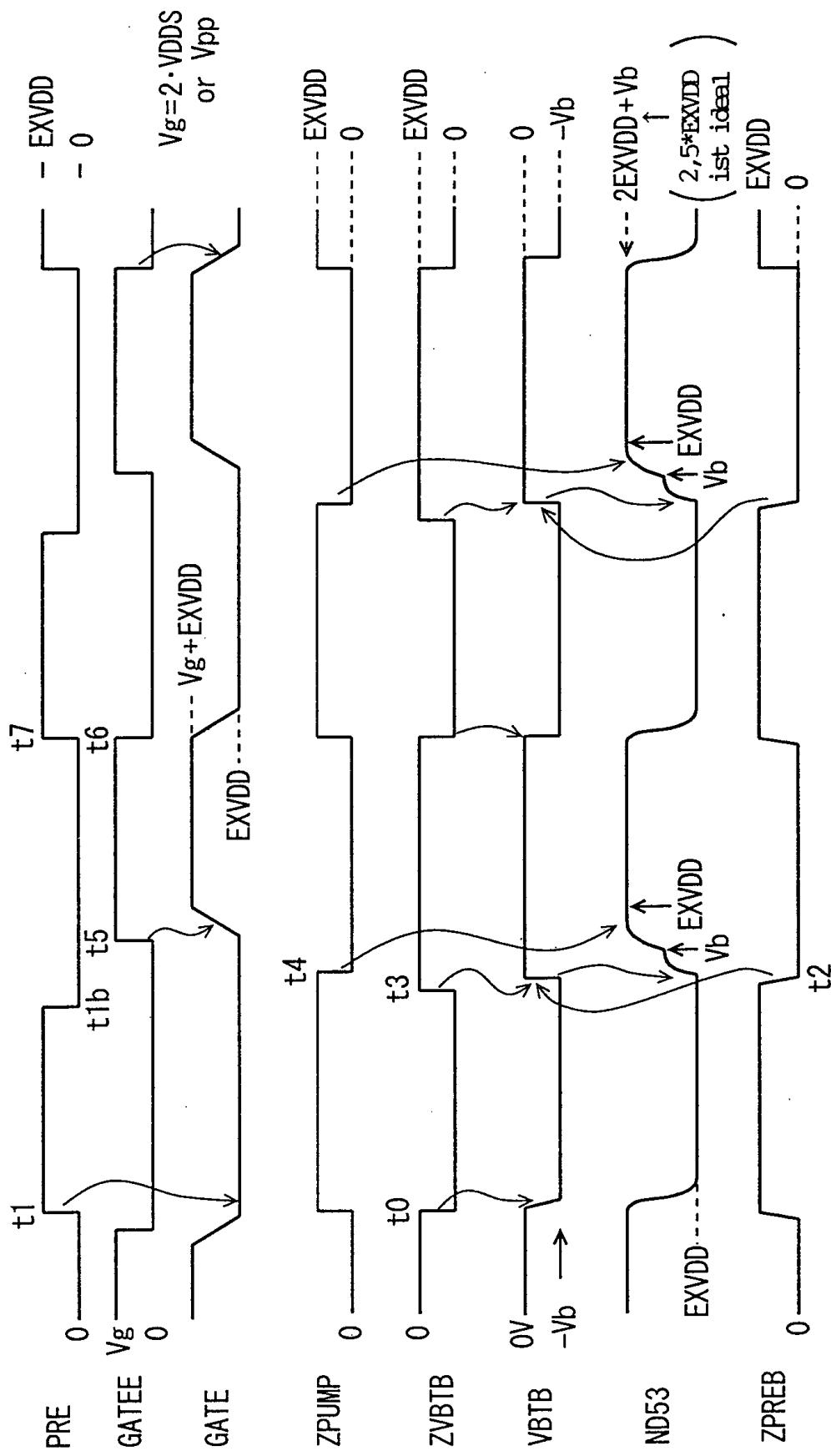
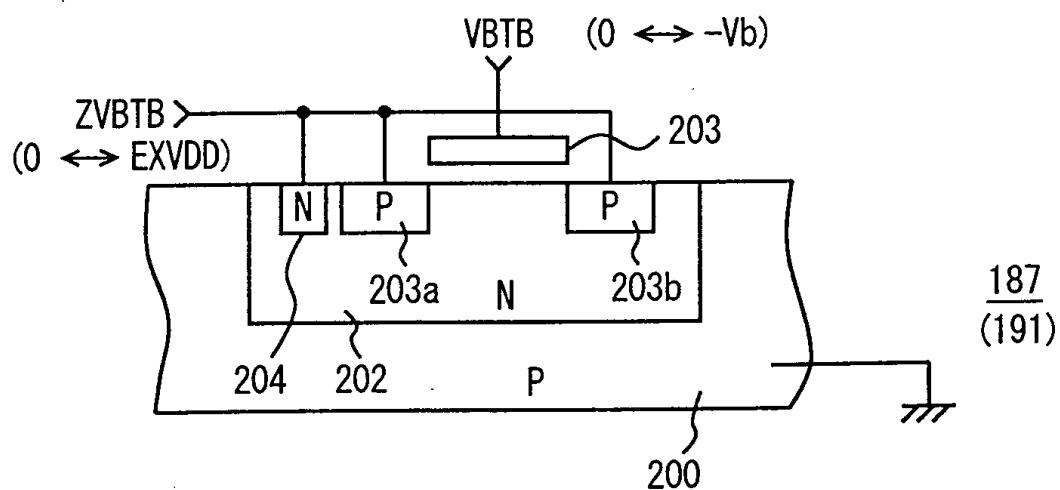


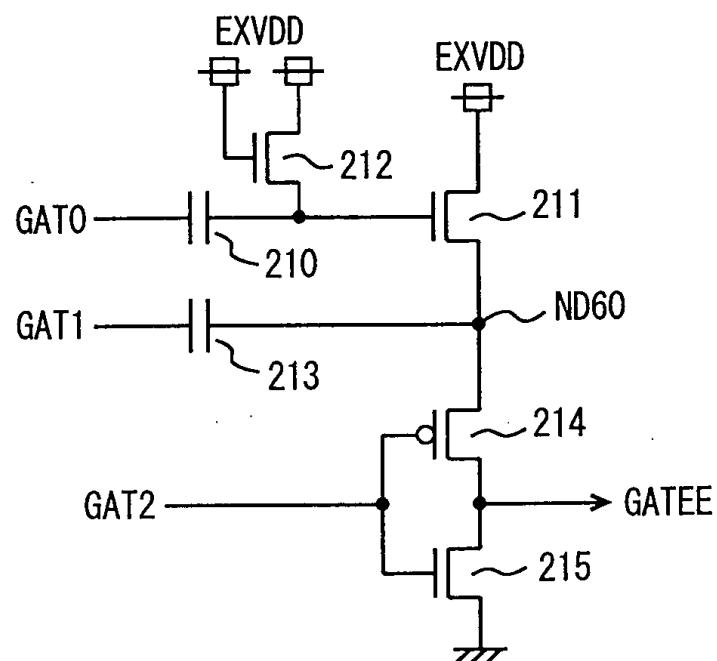
FIG. 22



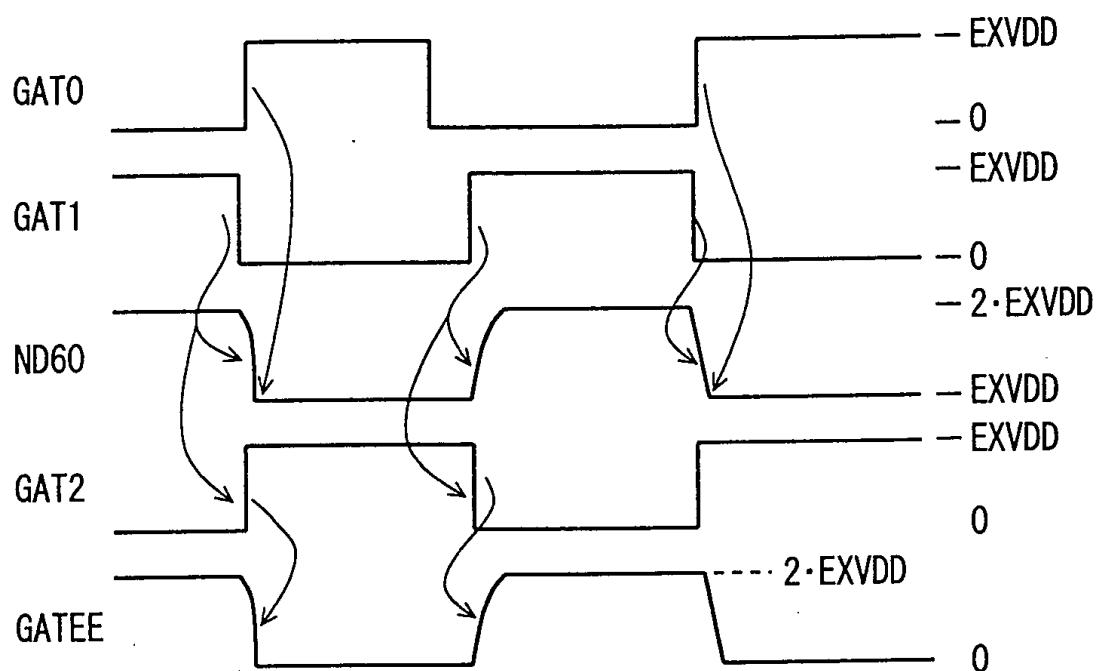
F I G. 2 3



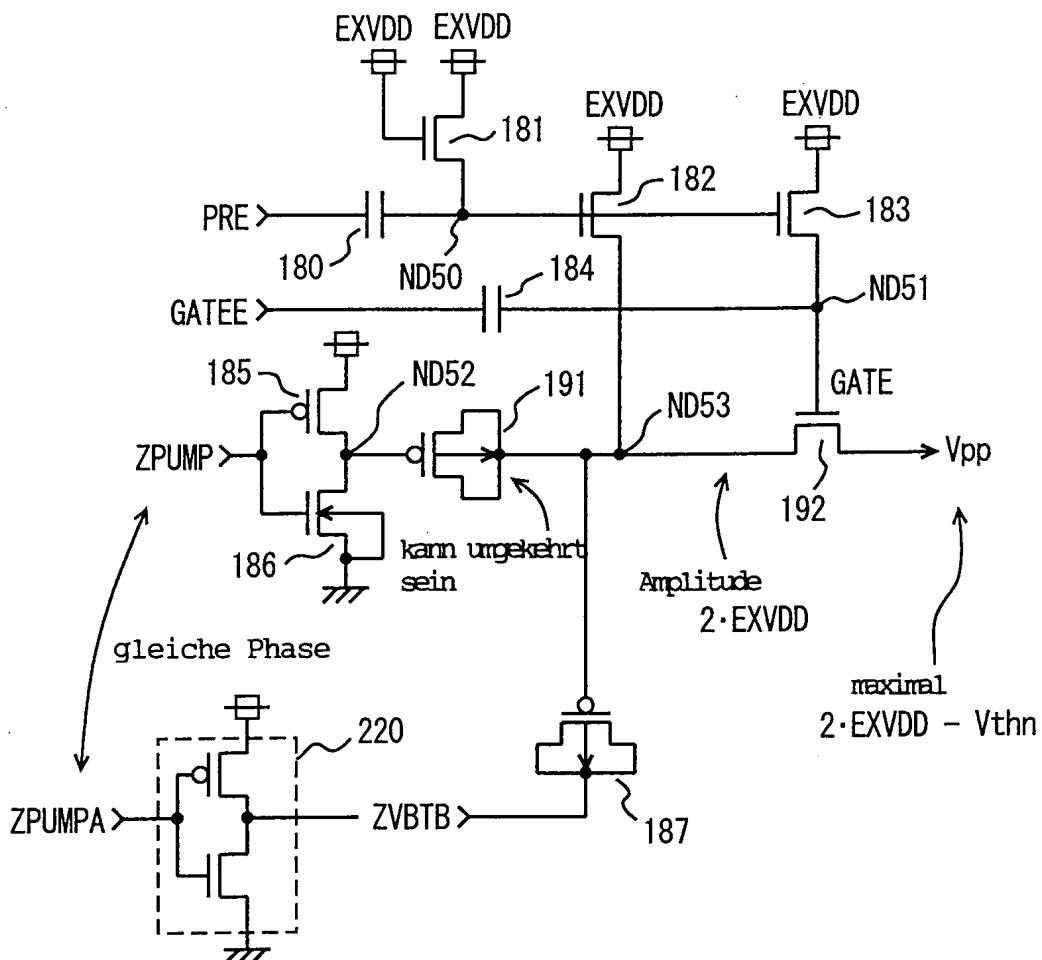
F I G. 2 4



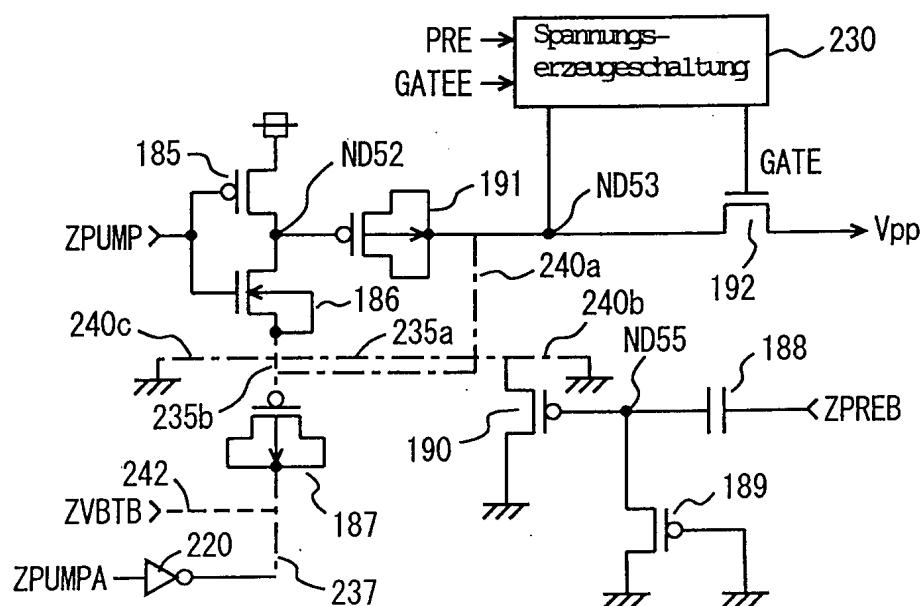
F I G . 2 5



F I G . 2 6



F I G . 2 7



F I G . 2 8

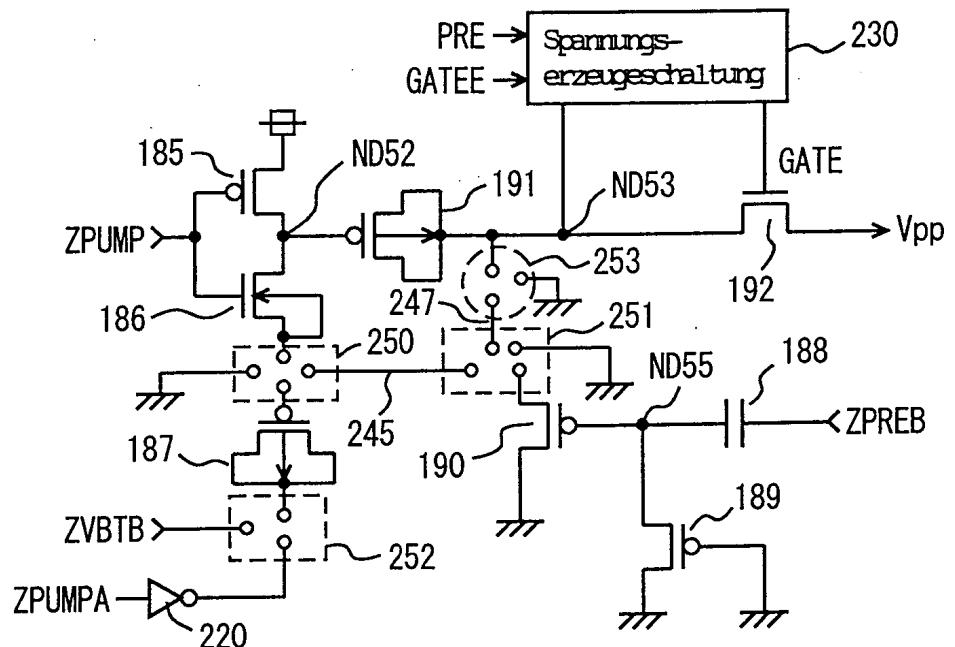
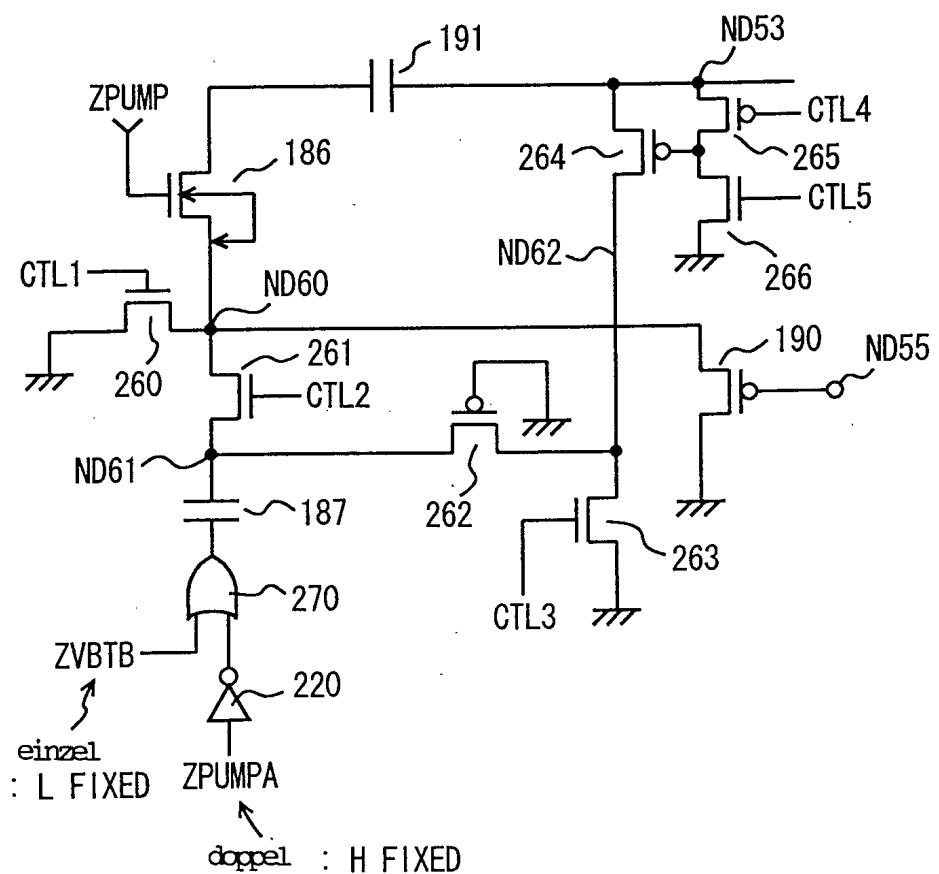
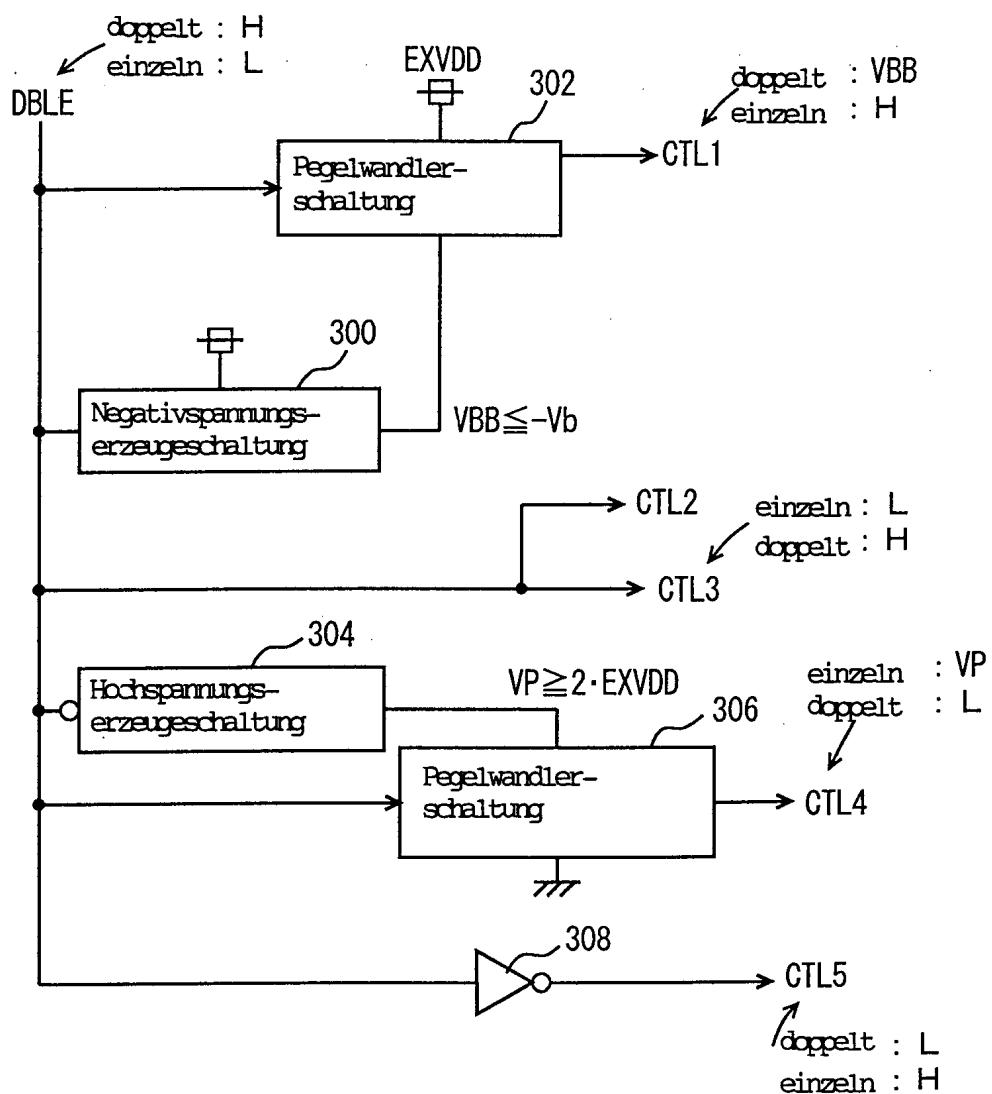


FIG. 29



F I G . 3 0



F I G . 3 1

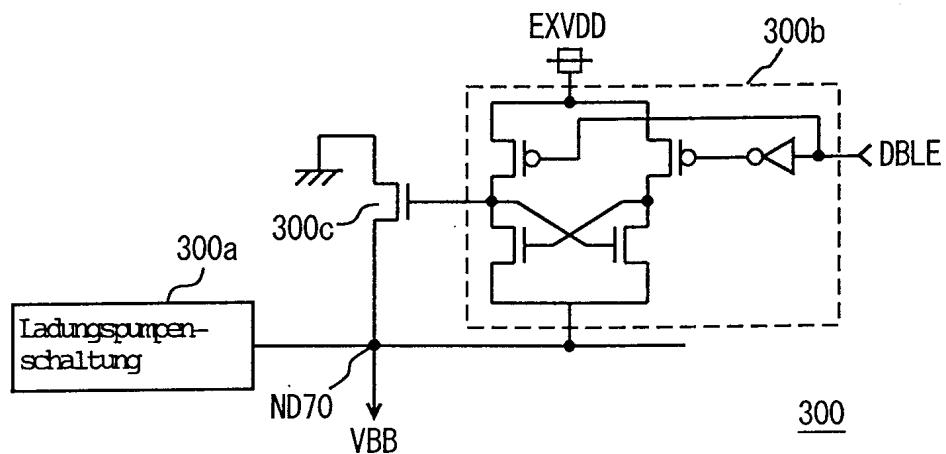


FIG. 32

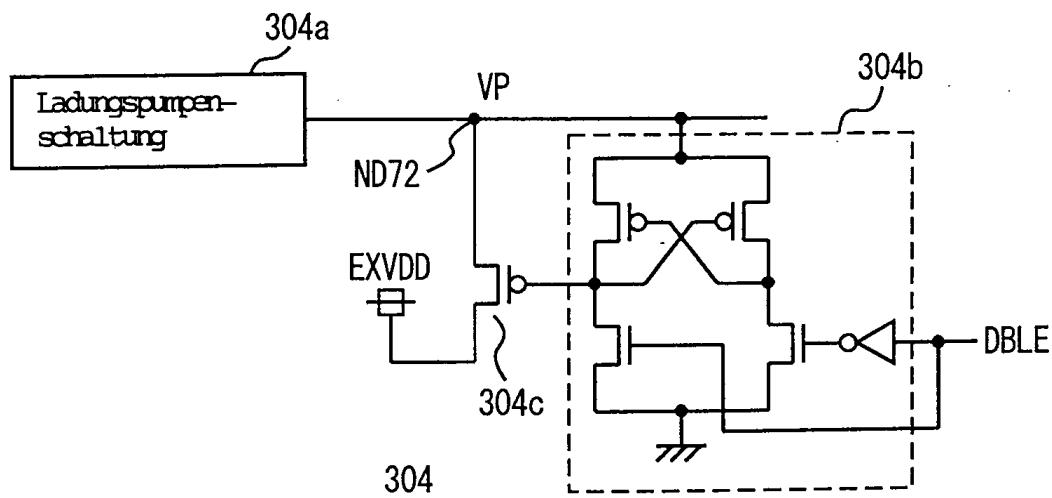
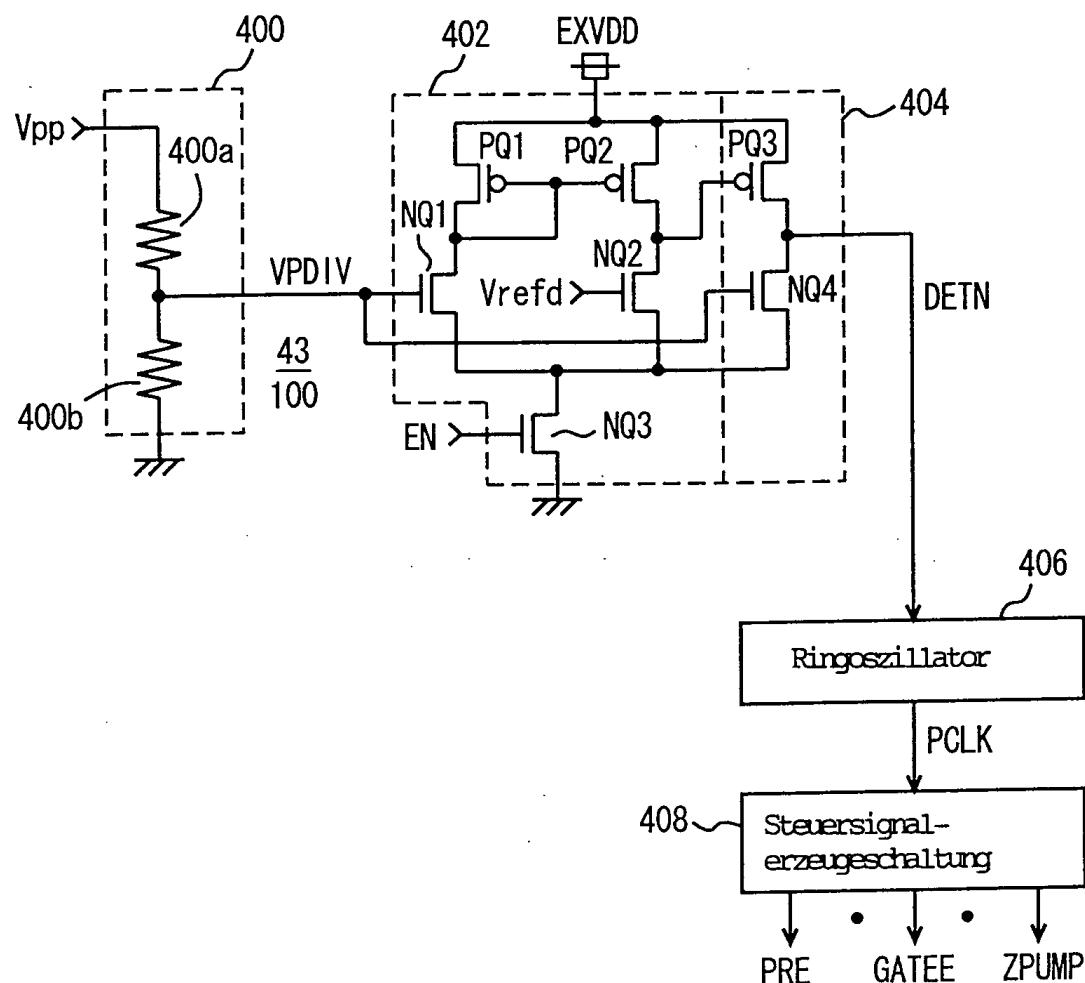
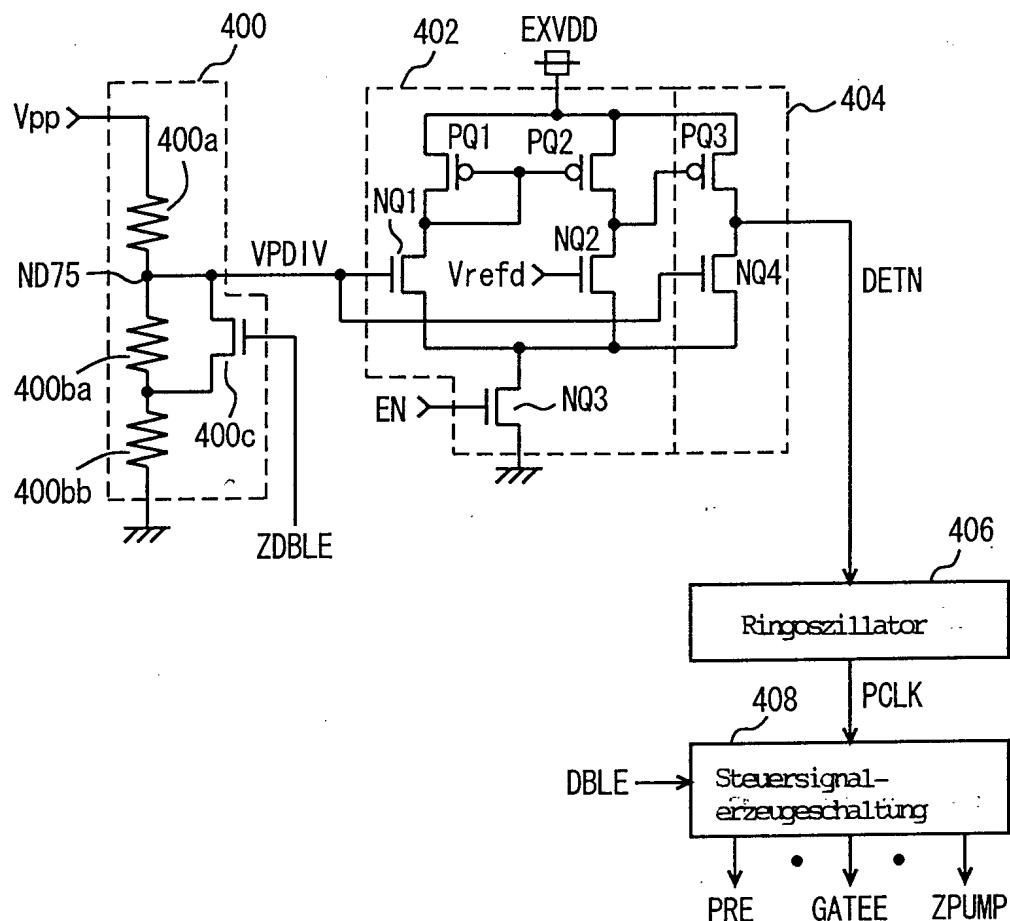


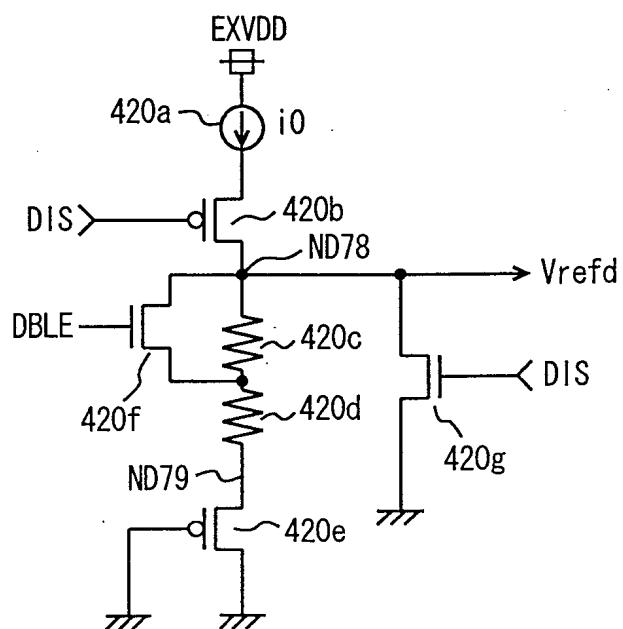
FIG. 33



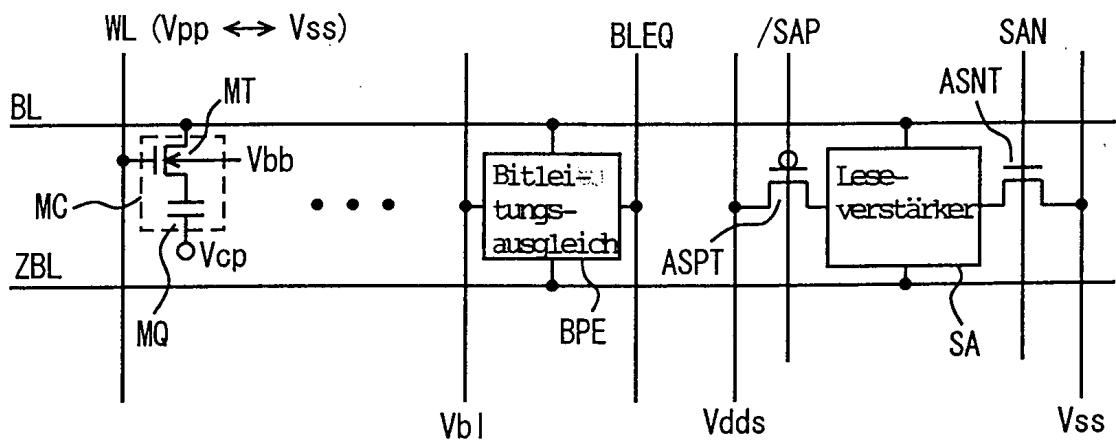
F I G . 3 4



F I G . 3 5



F I G . 3 6



F I G . 3 7

