

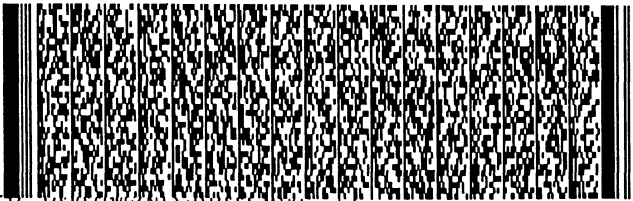
申請日期： 92.12.22	IPC分類
申請案號： 92136356	H01L 23/60

(以上各欄由本局填註)

發明專利說明書

200522280

一、 發明名稱	中文	具高靜電放電防護耐受能力之高壓元件結構
	英文	
二、 發明人 (共3人)	姓名 (中文)	1. 柯明道 2. 林昆賢 3. 林耿立
	姓名 (英文)	1. Ming-Dou KER 2. Kuen-Shien LIN 3. Geeng-Lih LIN
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之3 2. 屏東縣萬巒鄉成德村恭寬路2號 3. 新竹縣竹東鎮中興路2段658巷10弄1號6樓之1
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 世界先進積體電路股份有限公司
	名稱或 姓名 (英文)	1. Vanguard International Semiconductor Corporation
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹縣園區三路123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 123, Park Ave-3rd, Science-Based Industrial Park, Hsinchu, Taiwan 30077, R. O. C.
	代表人 (中文)	1. 簡學仁
代表人 (英文)	1. S. J. Paul Chien	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



五、發明說明(1)

發明所屬之技術領域：

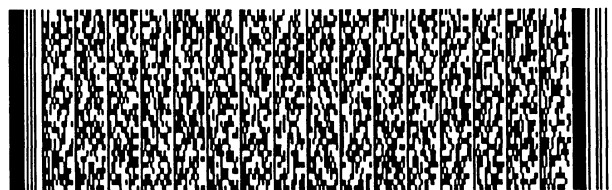
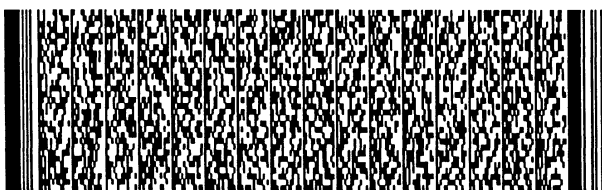
本發明係有關於一種靜電放電防護元件，特別有關於一種應用於高壓元件之靜電放電防護元件結構。

先前技術：

在半導體裝置中，靜電放電(ESD: electrostatic discharge)經常在乾燥環境下因碰觸帶靜電體而自晶片之輸出入墊(I/O pad)侵入，造成積體電路損傷。

當CMOS製程技術縮小到次微米階段，先進的製程技術，例如更薄的閘極氧化層，更短的通道長度，更淺的汲極/源極接面深度，LDD(低摻雜濃度汲極)結構，以及金屬矽化物(silicided)擴散層等，這些先進的製程反而嚴重地降低CMOS IC的靜電放電防護能力，根據目前的工業標準，IC元件中積體電路的輸出入端(I/O pad)需能承受超過2000V的人體模型ESD應力以及超過200V的機械模型ESD模型，因此，為了防止ESD放電造成IC內部電路的損害，通常在輸出墊片至內部電路間會設置ESD防護電路或ESD防護元件以防止ESD損害。

目前越來越多的自動化及消費型電子產品應用在高壓領域中，例如噴墨頭驅動IC即須使用高壓製程，而應用在高壓電路之傳統ESD防護元件結構，以N型金氧半場效電晶體(NMOS)為例，其係如第1a圖及第1b圖所示，第1a圖係為一習知高壓NMOS電晶體之上視圖；第1b圖則為第1a圖沿著A-A'切線之剖面圖，NMOS元件1其源極N⁺摻雜區11及閘極13係耦接至接地端，汲極N⁺摻雜區12則耦接至輸出入墊片上



五、發明說明 (2)

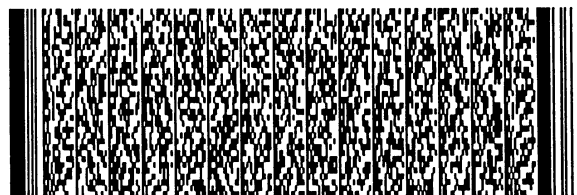
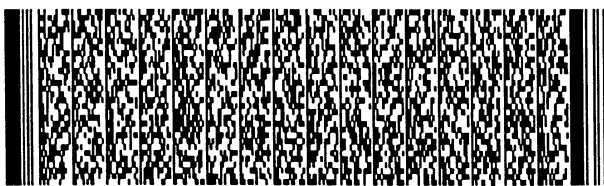
(I/O pad)，在汲極 N^+ 摻雜區12下方形成一 n 型井區14用以作為緩衝，當發生靜電放電時，藉由寄生NPN雙載子電晶體(lateral BJT)之導引(bypass)來保護內部電路。然而，過度集中之ESD電流會引起元件的損壞。由於尖端放電的原理，電流多集中在汲極 N^+ 摻雜區12的轉角120(corner)處，因此會先由轉角120處先崩潰(breakdown)，使電流路徑多集中於轉角處，造成電流導通路徑分佈不均的問題。

美國專利第6258672號專利提供另一種ESD保護電路，其包括有至少一連接至參考電壓源之源極、至少一連接至輸出/入墊片及內部電路間之汲極及至少一閘極，其特徵為閘極電極區域的寬度係由中央往兩旁擴大，但仍無法解決電荷易由轉角處先崩潰造成導通不均的問題。

發明內容：

有鑑於此，本發明的目的就在於提供一高靜電放電(electrostatic discharge, ESD)防護元件結構，藉由汲極區域側邊邊緣至對應之通道區域側邊呈不等距離，使汲極區域週邊形成多個放電轉角，以增進靜電放電導通效能及增進電性導通的均勻度。

為達上述目的，本發明提供一靜電放電防護元件結構，係包括：一基板；一通道區域，形成於該基板表面的既定位置上，該通道區域具有一第一側及一第二側；一源極區域，鄰接於該第一側；一汲極區域，鄰接於該第二側，係包括一濃摻雜區域及形成於該濃摻雜區域下方的一淡摻



五、發明說明 (3)

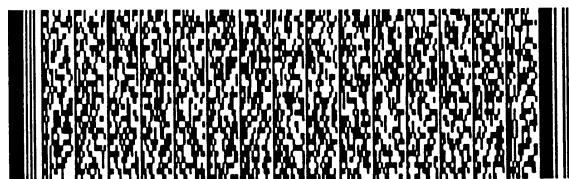
雜井區，其中，該濃摻雜區域之寬度係沿一縱軸方向而變化，使該濃摻雜區域之一側邊至該通道區域之該第二側呈不等距離。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

實施方式：

第2a圖所示係為本發明一第一實施例之上視圖；第2b圖係為第2a圖沿著B-B'切線之剖面圖；第2c圖係為第2a圖沿著C-C'切線之剖面圖，在本實施例中之靜電放電防護元件係一指狀(finger-type)排列之NMOS電晶體20，其係包括一基板2、一汲極區域22、設於汲極區域22左右兩側之源極區域23及設於汲極區域22及源極區域23間之通道區域24。

該汲極區域22係為一N型摻雜區，係耦接至輸出入墊片3上，其係包括一濃摻雜區域220及形成於濃摻雜區域220下方的淡摻雜井區221，其中，該濃摻雜區域之220寬度係沿一縱軸Y方向於第一寬度a及第二寬度b間變化，使濃摻雜區域220於對應於兩通道區域24之第一側邊2200及第二側邊2201形成數個梯形凸出，並形成多個放電轉角25，在濃摻雜區域220的周邊環繞設有淺通道絕緣層(STI)26。上述兩源極區域23係為N型摻雜區，其係耦接至接地端(GND)，兩源極區域下方則為P型摻雜區(P-tube)。在兩通道區域24上形成有閘極結構240，其係分別形成於源極



五、發明說明 (4)

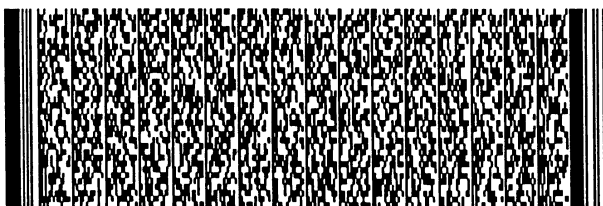
區域23及汲極區域220間的基板2表面上，兩閘極結構240係耦接到一電源線或是受一前置驅動電路控制(圖中未示)。

第3圖係為本發明一第二實施例之上視圖，其大部分結構包括汲極區域22之淡摻雜井區221、淺通道絕緣層26；源極區域23及通道區域24係與前一實施例相同，在此不再贅述。其主要不同係為在汲極區域22中之濃摻雜區域220'於對應於兩通道區域24之第一側邊2200及第二側邊2201形成數個三角狀凸出，使其具有多個放電轉角25'。

第4圖係為本發明一第三實施例之上視圖，其大部分結構包括汲極區域22之淡摻雜井區221、淺通道絕緣層26；源極區域23及通道區域24係與前一實施例相同，在此不再贅述。其主要不同係為在汲極區域22中之濃摻雜區域220''於對應於兩通道區域24之第一側邊2200及第二側邊2201形成數個圓弧狀凸出，使其形成多個放電轉角25''。

第5圖係為本發明一第四實施例之上視圖，其大部分結構包括汲極區域22之淡摻雜井區221、淺通道絕緣層26；源極區域23及通道區域24係與前一實施例相同，在此不再贅述。其主要不同係為汲極區域22中包括有二濃摻雜區域222，且每一濃摻雜區域222於鄰近對應通道區域24之側邊形成數個梯形凸出，使其形成多個放電轉角27。

第6圖係為本發明一第五實施例之上視圖，其大部分元件例如包括汲極區域22之淡摻雜井區221、淺通道絕緣層26；源極區域23及通道區域24皆與前一實施例相同，在



五、發明說明 (5)

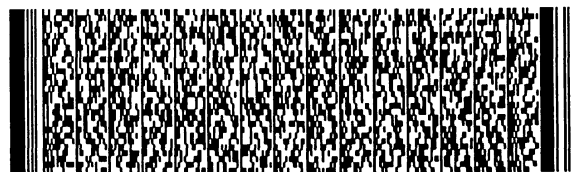
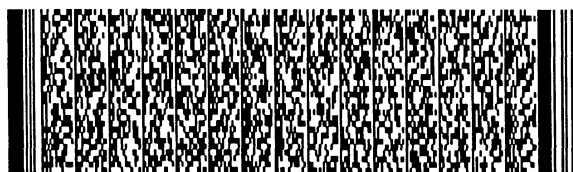
此不再贅述，其主要不同處係在汲極區域22中的二濃摻雜區域222'於鄰近對應通道區域24之側邊形成數個三角狀凸出，使其形成多個放電轉角27'。

第7圖係為本發明一第六實施例之上視圖，其大部分元件例如包括汲極區域22之淡摻雜井區221、淺通道絕緣層26；源極區域23及通道區域24皆與前一實施例相同，在此不再贅述，其主要不同處係在汲極區域22中的二濃摻雜區域222''於鄰近對應通道區域24之側邊形成數個圓弧狀凸出，使其形成多個放電轉角27''。

如第8a圖及第8b圖所示，係為本發明一第七實施例之上視圖及沿著B-B'切線之剖面圖，其係藉由一主動式光罩(圖中未視)定義出主動區域40、41及42，然後再於主動區域40、42上形成源極區域23及於主動區域41上形成汲極區域22之濃摻雜區域222，而在本實施例中，其濃摻雜區域222的兩側邊係為梯形，亦可如前述為三角形、弧形之結構。其絕緣區域26不與濃摻雜區域22相接觸(如第8b圖所示)。

上述各實施例亦可以例如P型金氧半電晶體(PMOS)達成，若如第9圖所示使用PMOS電晶體，則其源極區域50為P型摻雜區；汲極區域51之濃摻雜區域510及淡摻雜井區511為P型摻雜區，該基板52為N型摻雜基板，其中源極區域50係耦接至高電源端(V_{DD})，汲極區域51則耦接至輸出入墊片(I/O pad)上。

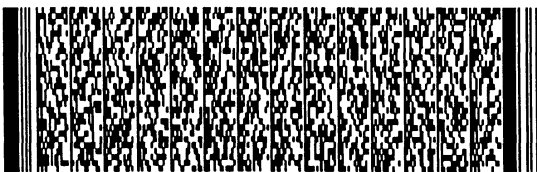
藉由上述實施例，本發明的確可以藉由汲極區域中濃



五、發明說明 (6)

摻雜區域之寬度變化，使汲極區域側邊形成多個放電轉角，如此可使電流路徑分散，達到增進靜電放電導通效能及增進導通的均勻度的功效。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a圖係為一習知ESD高壓防護元件之上視圖；

第1b圖則為第1a圖沿著A-A'切線之剖面圖

第2a圖所示係為本發明高靜電放電(electrostatic discharge, ESD)防護能力之元件結構第一較佳實施例之上視圖；

第2b圖係為第2a圖沿著B-B'切線之剖面圖；

第2c圖係為第2a圖沿著C-C'切線之剖面圖；

第3圖所示係為本發明第二較佳實施例之上視圖；

第4圖所示係為本發明第三較佳實施例之上視圖；

第5圖所示係為本發明第四較佳實施例之上視圖；

第6圖所示係為本發明第五較佳實施例之上視圖；

第7圖所示係為本發明第六較佳實施例之上視圖；

第8a圖係為本發明第七實施例之上視圖；

第8b圖係為第8a圖沿著B-B'切線之剖面圖；

第9圖係為本發明第八實施例之剖面圖。

相關符號說明：

1~ESD防護元件；

11~源極N⁺摻雜區；

12~汲極N⁺摻雜區；

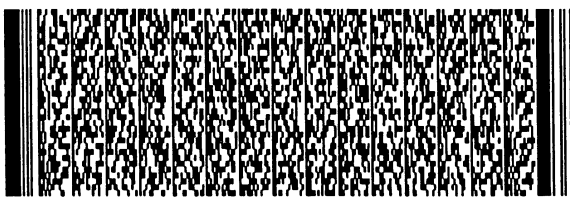
13~通道區域；

14~n型井區；

20、21~NMOS電晶體；

2~基板；

22、51~汲極區域；



圖式簡單說明

23、50~源極區域;

24~通道區域;

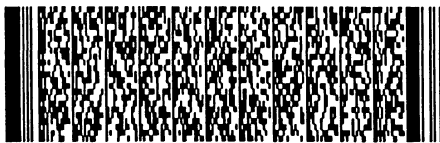
240~閘極結構

220、220'、220''、222、222'、222''~濃摻雜區域;

221~淡摻雜井區;

25、25'、25''、27、27'、27''~放電轉角;

40、41、42~主動區域



四、中文發明摘要 (發明名稱：具高靜電放電防護耐受能力之高壓元件結構)

本發明係關於一種具高靜電放電防護耐受能力之高壓元件結構，係適用於一靜電放電防護電路中，此ESD防護元件係包括通道區域、汲極區域及源極區域，其主要特徵係在於汲極區域之寬度係沿一縱軸方向而變化，使每一汲極區域的側邊邊緣至對應之通道區域側邊呈不等距離，使汲極區域週邊形成多個放電轉角(corner)，以增進靜電放電導通效能及增進導通的均勻度。

伍、(一)、本案代表圖為：第2圖

(二)、本案代表圖之元件代表符號簡單說明：

2~基板；

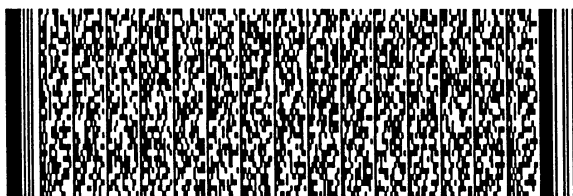
20、21~電晶體；

22~汲極區域；

23~源極區域；

24~通道區域；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：具高靜電放電防護耐受能力之高壓元件結構)

220~濃摻雜區域；

221~淡摻雜井區；

25~放電轉角。

六、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一靜電放電防護元件結構，係包括：

一基板；

一通道區域，形成於該基板表面的既定位置上，該通道區域具有一第一側及一第二側；

一源極區域，鄰接於該第一側；及

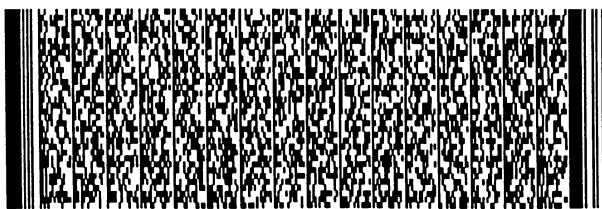
一汲極區域，鄰接於該第二側，係包括一濃摻雜區域及形成於該濃摻雜區域下方的一淡摻雜井區，其中，該濃摻雜區域之寬度係沿一縱軸方向而變化，使該濃摻雜區域之一側邊至該通道區域之該第二側呈不等距離。

2. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電防護元件係為一N型金屬氧化半導體(NMOS)元件，其中該源極區域係為N型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為N型摻雜區該基板係為一P型摻雜基板。

3. 如申請專利範圍第2項所述之靜電放電防護元件結構，其中該源極區域係耦接至一接地端，該濃摻區域係耦接至一輸出入墊片。

4. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電防護元件係為一P型金屬氧化半導體(PMOS)元件，其中該源極區域係為P型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為P型摻雜區，該基板係為N型摻雜基板。

5. 如申請專利範圍第4項所述之靜電放電防護元件結構，其中該源極區域係耦接至一高電源端，該濃摻雜區域



六、申請專利範圍

係耦接至輸出入墊片上。

6. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中在該濃摻雜區域及該通道區域之間，更進一步設有一絕緣層。

7. 如申請專利範圍第6項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層相接觸(butting)。

8. 如申請專利範圍第6項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層不相接觸(butting)。

9. 如申請專利範圍第8項所述之靜電放電防護元件結構，其中該絕緣層係為淺通道絕緣層。

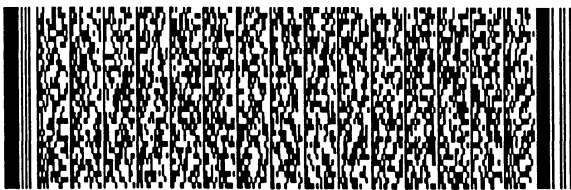
10. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個梯形凸出。

11. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個三角狀凸出。

12. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該濃摻雜區域之該側邊係形成數個圓弧狀凸出。

13. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該靜電放電防護元件具有複數通道區域以及複數源極區域，該汲極區域係為一共享汲極，以形成一指狀MOS。

14. 如申請專利範圍第1項所述之靜電放電防護元件結構，其中該通道區域上設有閘極結構，且該閘極結構耦接



六、申請專利範圍

到一電源線或是受一前置驅動電路控制。

15. 一指狀靜電放電防護元件結構，係包括：

一基板；

二源極區域，形成於該基板表面的既定位置上；

一汲極區域，設於該等源極區域之間，該汲極區域具有至少一濃摻雜區域及形成於該濃摻雜區域下方的一淡摻雜井區；

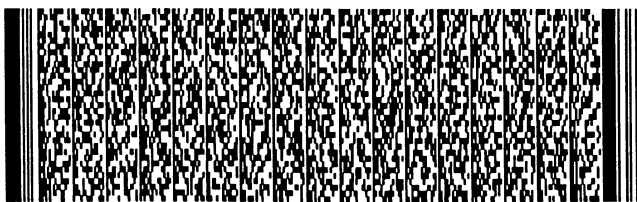
二通道區域，各該通道區域係形成於一對源極區域及該汲極區域之間；及

其中，該濃摻雜區域之寬度係沿一縱軸方向而變化，使該濃摻雜區域之一側邊至該對應通道區域呈不等距離。

16. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該靜電防護元件係為一N型金屬氧化半導體(NMOS)元件，各該源極區域係為N型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為N型摻雜區，該基板係為一P型摻雜基板。

17. 如申請專利範圍第16項所述之靜電放電防護元件結構，其中該等源極區域係耦接至一接地端，該濃摻區域係耦接至一輸出入墊片。

18. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該靜電防護元件係為一P型金屬氧化半導體(PMOS)元件，各該源極區域係為P型摻雜區；該汲極區域之該濃摻雜區域及該淡摻雜井區係為P型摻雜區，該基板係為N型摻雜基板。



六、申請專利範圍

19. 如申請專利範圍第18項所述之靜電放電防護元件結構，其中各該源極區域係耦接至一高電源端，該濃摻雜區域係耦接至一輸出入墊片上。

20. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中在該濃摻雜區域及該對應通道區域之間，更進一步設有一絕緣層。

21. 如申請專利範圍第20項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層相接觸(butting)。

22. 如申請專利範圍第20項所述之靜電放電防護元件結構，在該濃摻雜區域被該絕緣層所環繞，且該濃摻雜區域與該絕緣層不相接觸(butting)。

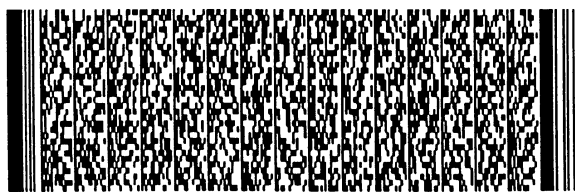
23. 如申請專利範圍第22項所述之靜電放電防護元件結構，其中該絕緣層係為淺通道絕緣層。

24. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形成數個梯形凸出。

25. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形成數個三角狀凸出。

26. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有單一濃摻雜區域，並於該濃摻雜區域之第一側邊及第二側邊形成有數個圓弧狀凸出。

27. 如申請專利範圍第15項所述之靜電放電防護元件



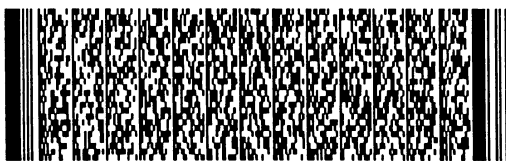
六、申請專利範圍

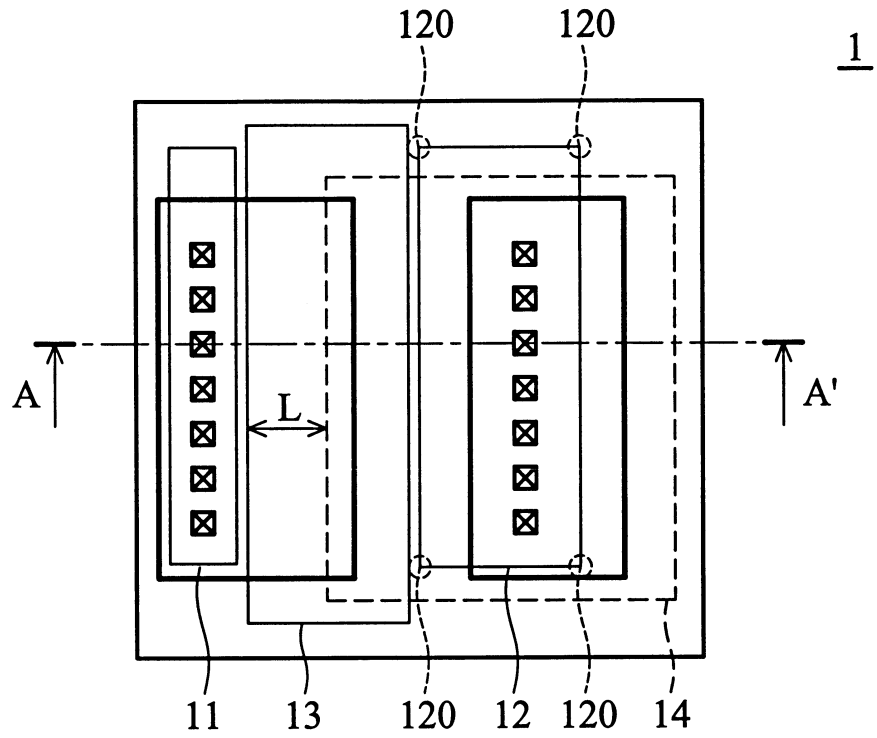
結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個梯形凸出。

28. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個三角狀凸出。

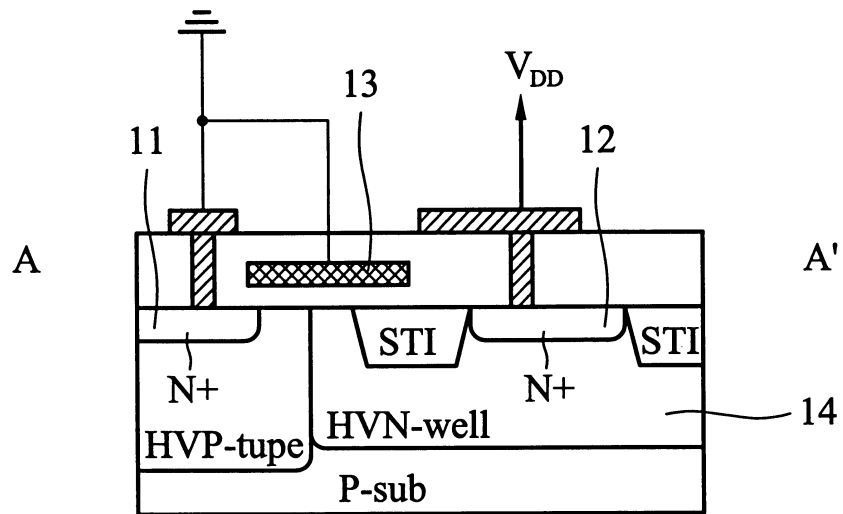
29. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中該汲極區域具有二濃摻雜區域，並於各該濃摻雜區域於鄰近通道區域之側邊形成數個圓弧狀凸出。

30. 如申請專利範圍第15項所述之靜電放電防護元件結構，其中各該通道區域上設有閘極結構，且該閘極結構耦接到一電源線或是受一前置驅動電路控制。

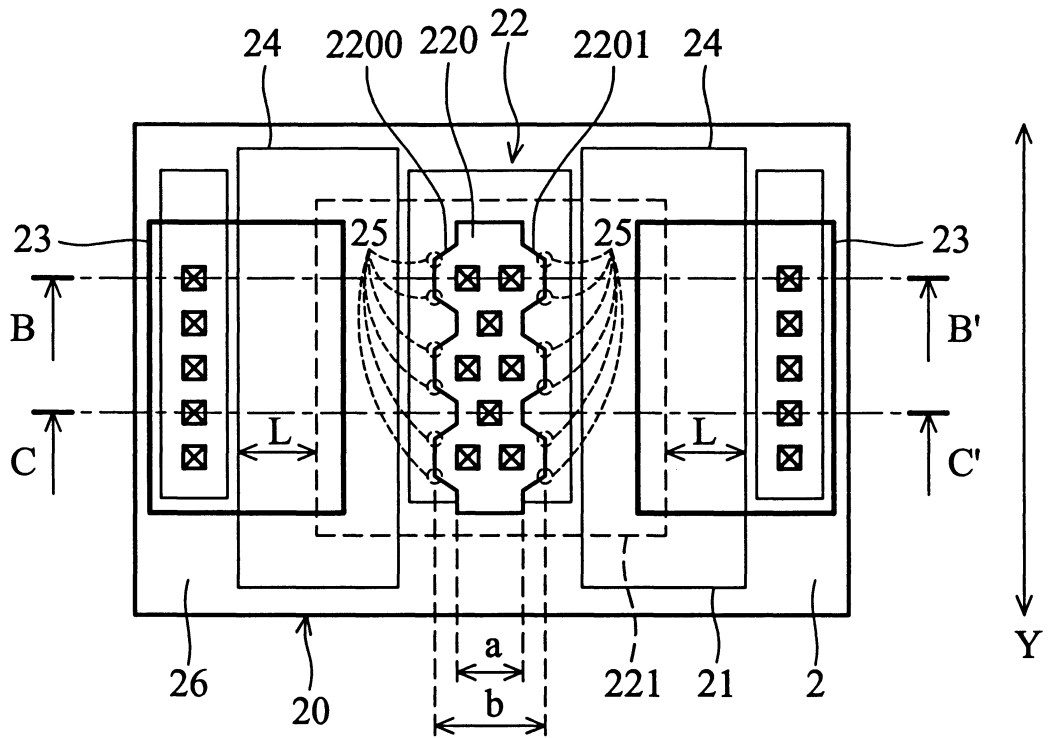




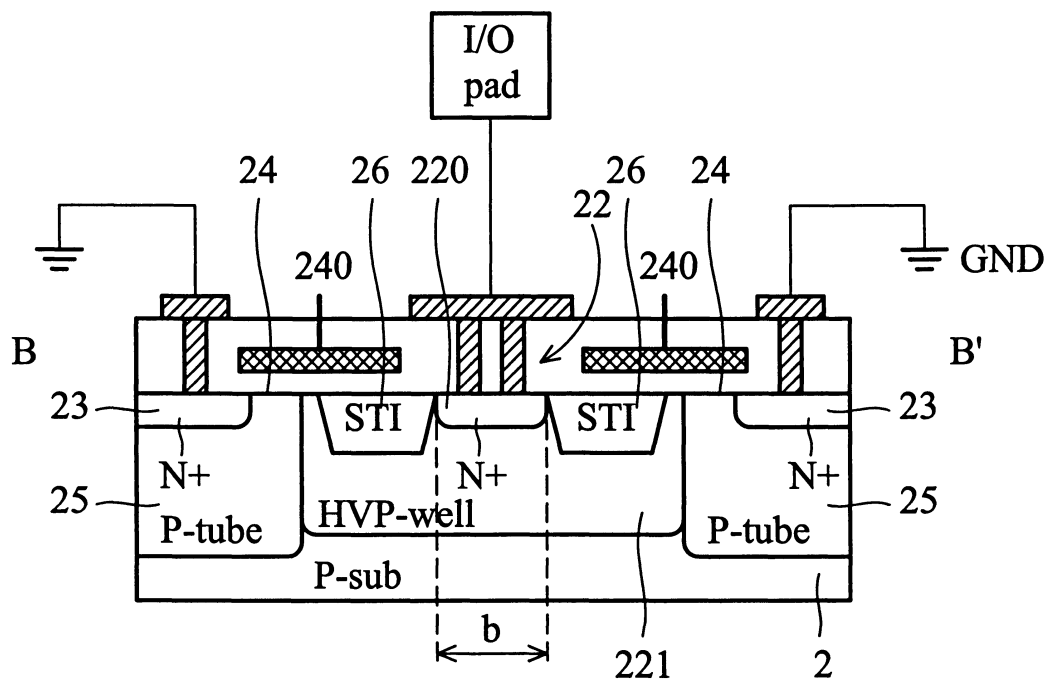
第 1a 圖



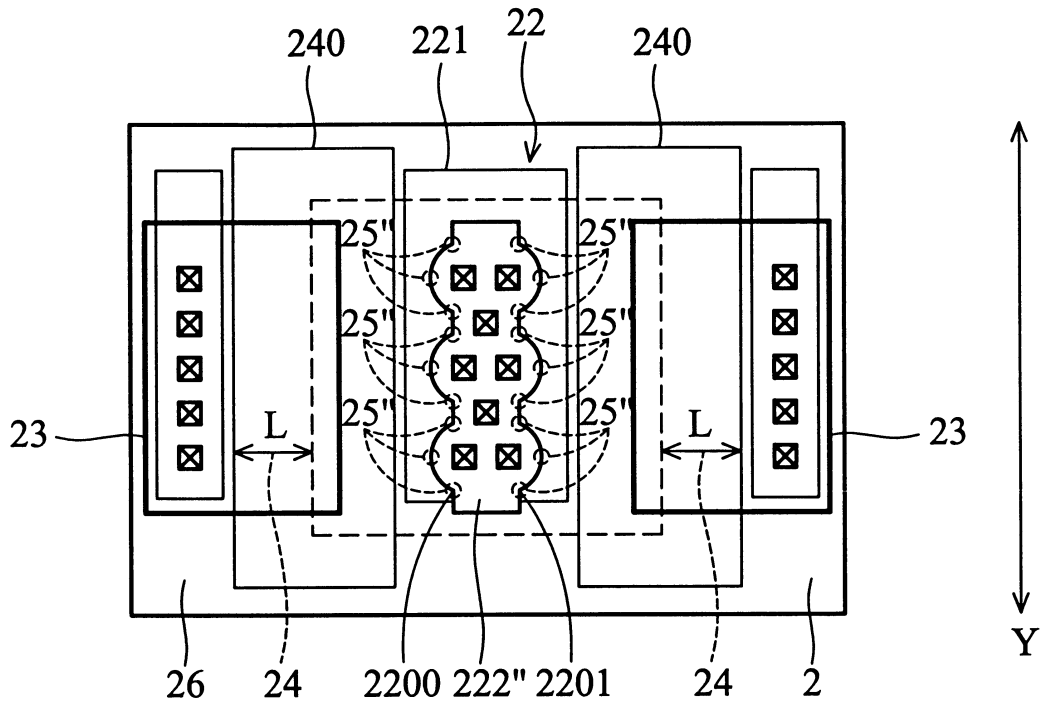
第 1b 圖



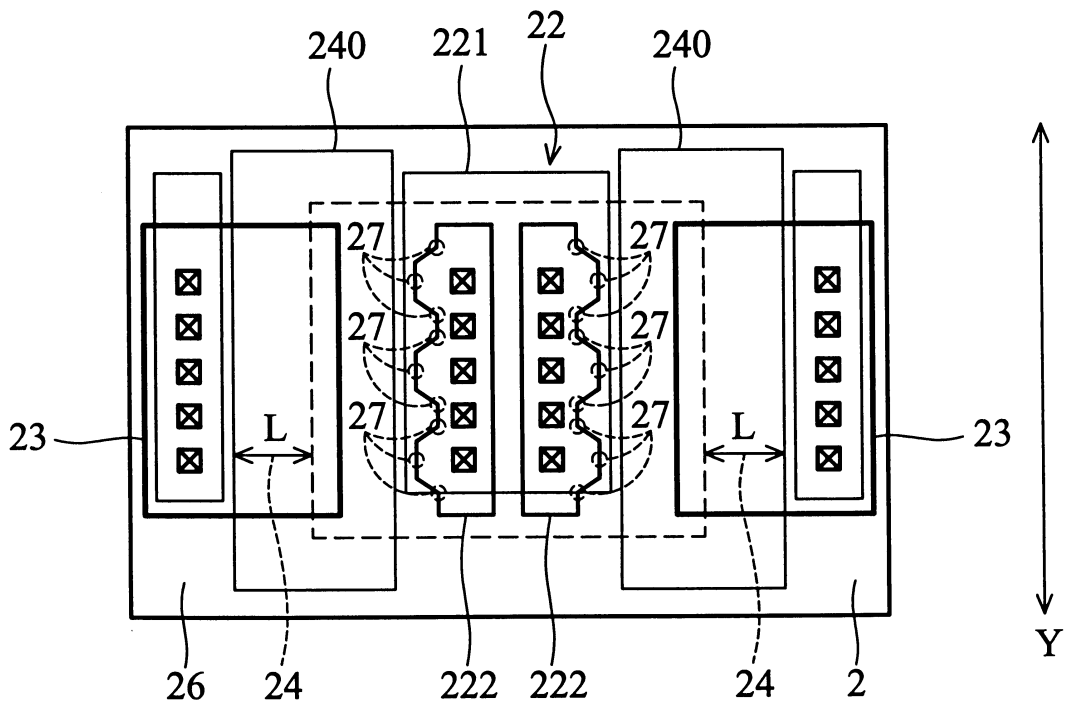
第 2a 圖



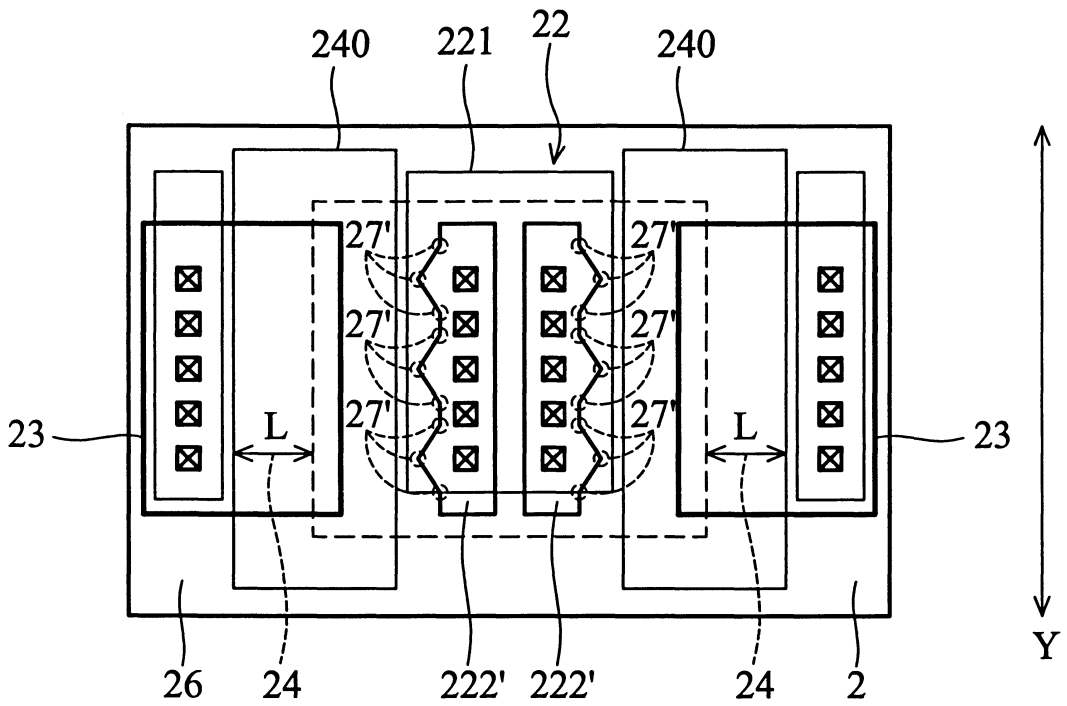
第 2b 圖



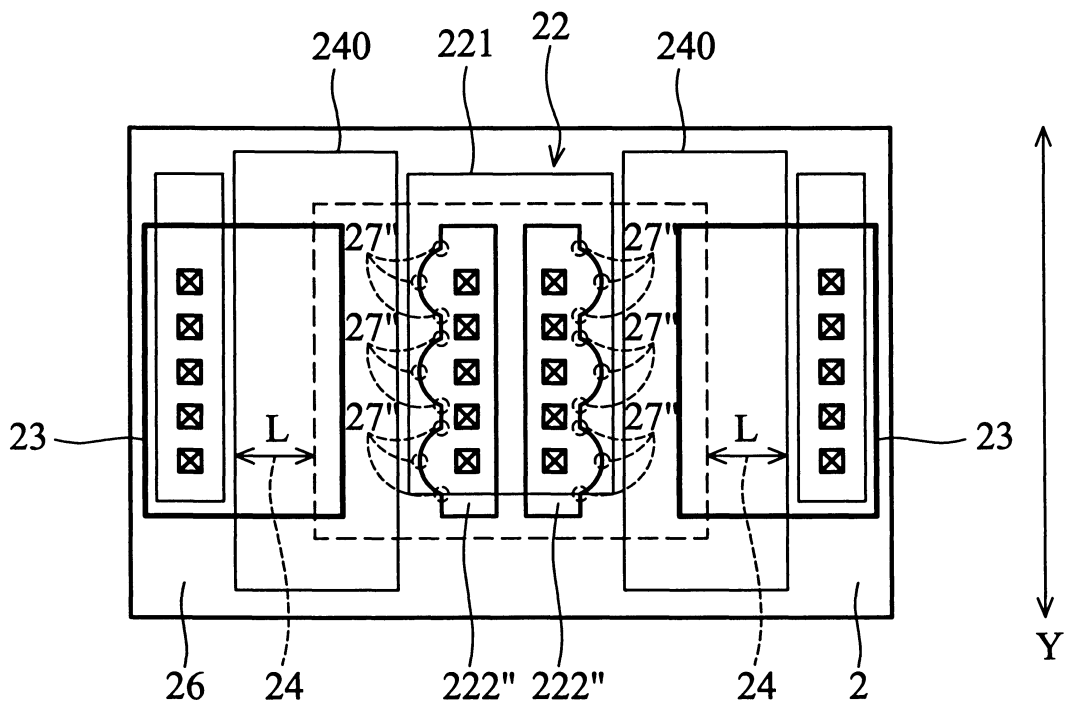
第 4 圖



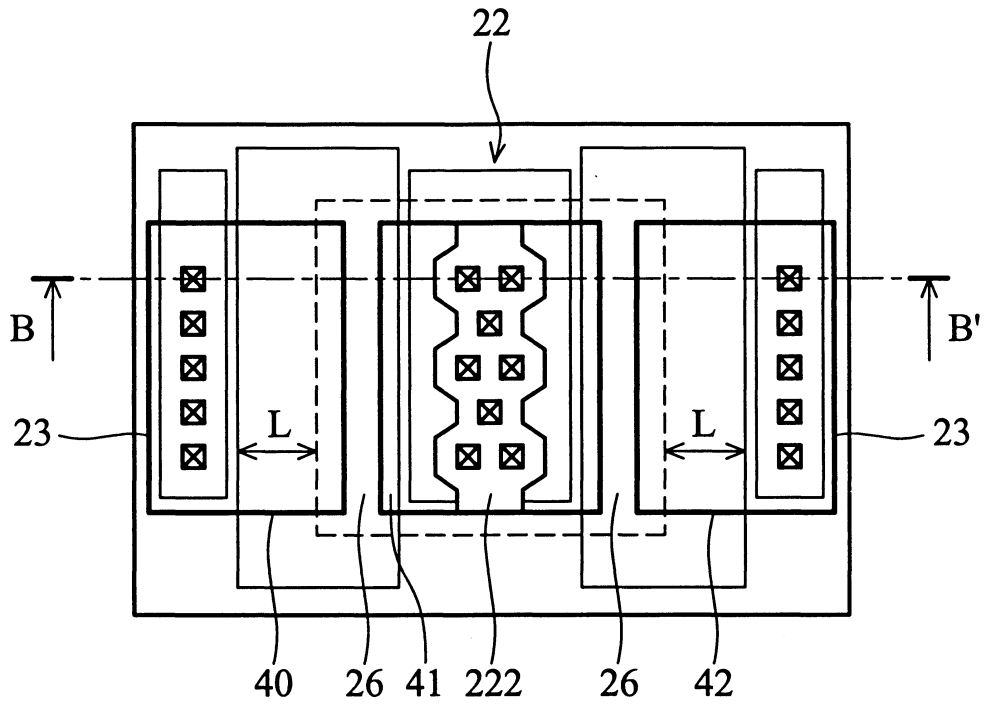
第 5 圖



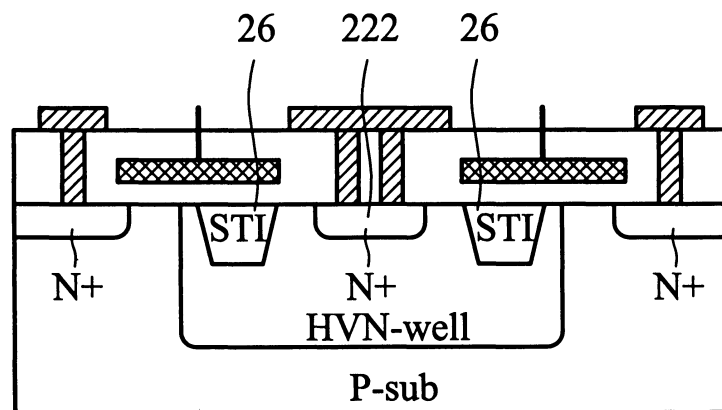
第 6 圖



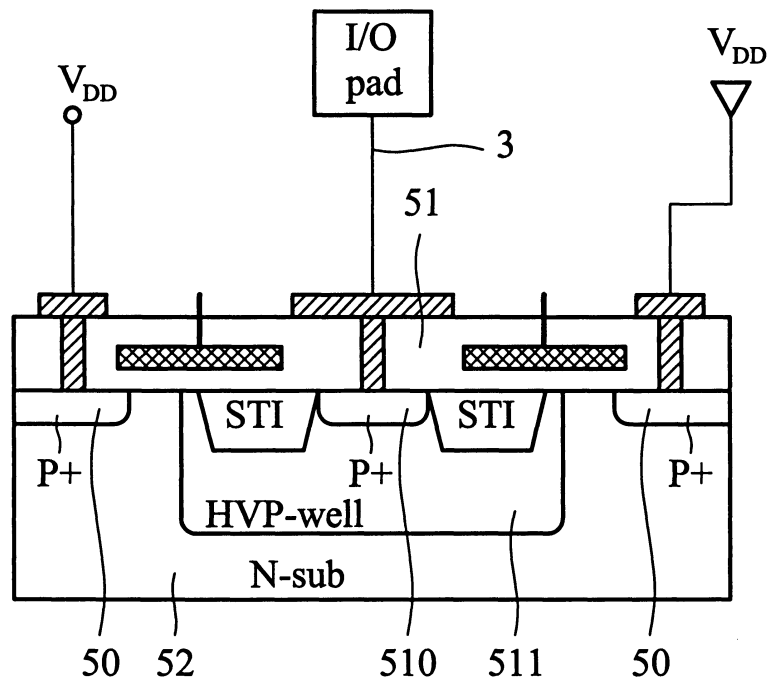
第 7 圖



第 8a 圖



第 8b 圖



第 9 圖