

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2007年1月25日 (25.01.2007)

PCT

(10) 国際公開番号  
WO 2007/010742 A1

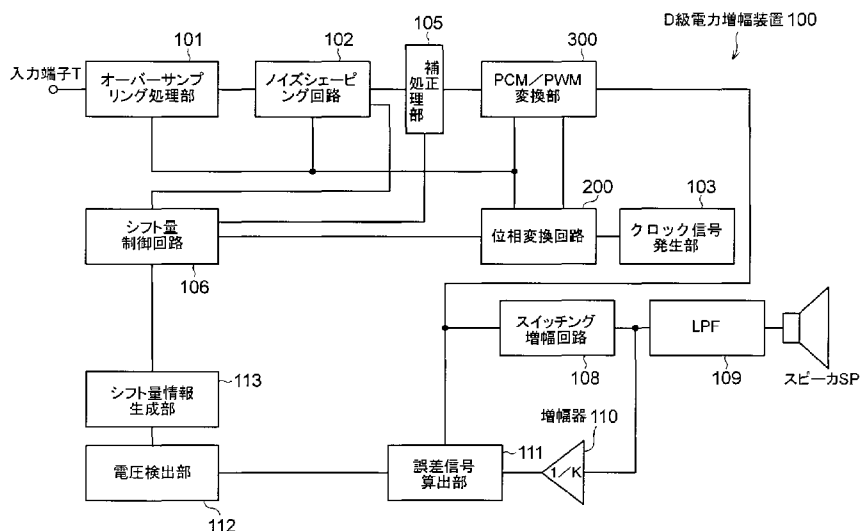
- (51) 国際特許分類:  
H03F 3/217 (2006.01) H03F 1/32 (2006.01)
- (21) 国際出願番号: PCT/JP2006/313289
- (22) 国際出願日: 2006年7月4日 (04.07.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2005-211399 2005年7月21日 (21.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒1538654 東京都目黒区目黒一丁目4番1号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 石原博幸 (ISHIHARA, Hiroyuki) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見六丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). 吉田実 (YOSHIDA, Minoru) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見六丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP). 鈴木康悟 (SUZUKI, Yasunori) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見六丁目1番1号 パイオニア株式会社 総合研究所内 Saitama (JP).
- (74) 代理人: 石川泰男, 外 (ISHIKAWA, Yasuo et al.); 〒1050014 東京都港区芝二丁目17番11号 パーク芝ビル 2階 Tokyo (JP).

[続葉有]

(54) Title: CLASS D POWER AMPLIFIER

(54) 発明の名称: D級電力増幅装置



T... INPUT TERMINAL  
101... OVERSAMPLING SECTION  
102... NOISE SHAPING CIRCUIT  
105... CORRECTING SECTION  
300... PCM/PWM CONVERTING SECTION  
100... CLASS D POWER AMPLIFIER  
106... SHIFT AMOUNT CONTROL CIRCUIT  
200... PHASE CONVERTING CIRCUIT  
103... CLOCK SIGNAL GENERATING CIRCUIT  
108... SWITCHING AMPLIFYING CIRCUIT  
SP... LOUD SPEAKER  
113... SHIFT AMOUNT INFORMATION CREATING SECTION  
112... VOLTAGE DETECTING SECTION  
111... ERROR SIGNAL CALCULATING SECTION  
110... AMPLIFIER

(57) Abstract: A small-sized class D power amplifier in which the nonlinear distortion caused when switching is carried out is adequately prevented. In order to correct the nonlinear distortion caused when switching is carried out, the class D power amplifier (100) calculates the error signal between a PWM signal before switching and the PWM signal after the switching, directly varies the phase of a base clock signal according to the variation of the calculated error signal each time the PCM value is updated or varies the phase of the base clock signal relatively to the PCM value of the PCM signal by correcting the PCM value. The class D power amplifier (100) carries out pulse width modulation of the PCM signal with the relatively varied base clock signal.

(57) 要約: スイッチング処理が施される際に生じる非線形歪みを的確に防止し、かつ、小型化が可能なD級電力増幅装置を提供することにある。D級電力増幅装置100は、スイッチング処理が施される際に生じる非線形歪みを補正するために、後述するように、スイッチング処理

が為される前のPWM信号と当該スイッチング処理が為された後のPWM信号との誤差信号を算出し、算出された誤差信号の変化に応じてベースクロック信号の位相をPCM値が更新

[続葉有]

WO 2007/010742 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### D級電力増幅装置

#### 技術分野

[0001] 本発明は、非線形歪み補正を行う電力増幅装置の技術分野に属する。

#### 背景技術

[0002] 近年、ミニコンポと呼ばれるスピーカ、アンプ、CDプレーヤなどが一体化されたステレオシステムにおいて、2チャンネル再生だけでなく、5.1チャンネルの再生できる仕様が求められている。その一方で、当該ミニコンポにおいては、デザイン的な問題から小型化が要求され、各回路の小型化が必要とされてきており、特に、電力増幅装置の小型化が要求されている。

[0003] 最近では、このような電力増幅装置の小型化の要求から、例えば、PCM(Pulse Code Modulation)信号などの電力増幅装置に入力した信号について、パルス幅変調(PWM:Pulse Width Modulation)やパルス密度変調(PDM:Pulse Density Modulation)などの変調処理を施してデジタル変調信号に変換した後に信号の増幅を行い、増幅された信号を、ローパスフィルタを介してアナログ信号として出力するD級電力増幅方式を用いた電力増幅装置が普及している。

[0004] このD級電力増幅方式を用いた電力増幅装置(以下、「D級電力増幅装置」という。)では、入力信号をもとに生成されたデジタル変調信号に基づいて、ローパスフィルタの前段に位置する増幅部分の出力段におけるスイッチング素子をON/OFFすることにより、信号の増幅を行うので理論的には100%の電力効率が得られるようになっており、このような高効率によって電力増幅装置の小型化が図れるようになっている。

[0005] 従来、このようなD級電力増幅方式を用いた電力増幅装置としては、基準信号に基づいて入力されるパルス信号のエッジの幅調整を行い、非線形歪みを補正するものが知られている。

[0006] 具体的には、この電力増幅装置は、スイッチング素子における非線形歪みを補正するために、基準信号として所定の台形波信号を生成し、スライスレベルを変化させ

ることによって入力されるパルス信号のエッジの幅調整を行い、負帰還制御を行うようになっている(例えば、特許文献1)。

特許文献1:特表2001-517393号公報(国際公開WO98/44626号 パンフレット)

## 発明の開示

### 発明が解決しようとする課題

[0007] しかしながら、従来のD級電力増幅装置であっては、パルス信号のエッジの幅調整を的確に補正するためには、基準信号としての高精度の台形波信号を生成する必要があり、当該高精度の台形波信号を生成するためには、当該生成回路の規模が大きくなり、電力増幅装置の小型化に影響を与える場合がある。

[0008] また、このD級電力増幅装置であっては、スライスレベルに基づいて、エッジ幅の調整を行うので、生成された台形波におけるエッジの傾きに依存する。従って、このD級電力増幅装置は、クロック周波数が高周波数になると、エッジの傾きが急峻となり、生成される台形波が矩形波に近くなるため、エッジ幅の補正に関して十分な補正量を確保することができない。

[0009] 本発明は、上記の課題の一例を解決するものとして、スイッチング処理が施される際に生じる非線形歪みを的確に防止するとともに、高周波数に適用可能であり、かつ、小型化が可能なD級電力増幅装置を提供することにある。

### 課題を解決するための手段

[0010] 上記の課題を解決するために、請求項1に記載の発明は、音信号をパルス幅変調し、当該パルス変調された音信号を増幅してスピーカに出力するD級電力増幅装置であって、デジタル信号である音信号を受信する受信手段と、クロック信号に基づいて、受信された音信号をパルス変調し、パルス幅変調信号を生成する第1生成手段と、前記生成されたパルス幅変調信号に従って電源電圧をスイッチングし、当該パルス幅変調信号の信号レベルを増幅して拡声信号を生成する第2生成手段と、前記生成されたパルス幅変調信号と前記拡声信号との誤差を示す誤差信号を検出する検出手段と、前記検出された誤差信号に基づいて、前記第1生成手段によって用いられる前記クロック信号の位相を前記受信された音信号に対して相対的に変化させる

位相変化手段と、を備える構成を有している。

### 図面の簡単な説明

[0011] [図1]本願に係るD級電力増幅装置の第1実施形態における構成を示すブロック図である。

[図2]第1実施形態における位相変換回路の構成を示すブロック図である。

[図3]第1実施形態におけるPCM/PWM変換部の構成を示すブロック図である。

[図4]第1実施形態のシフト量制御回路におけるメイン処理の動作を示すフローチャートである。

[図5]第1実施形態のシフト量制御回路におけるシフト量決定処理の動作を示すフローチャート(I)である。

[図6]第1実施形態のシフト量制御回路におけるシフト量決定処理の動作を示すフローチャートである(II)。

[図7]第1実施形態のシフト量制御回路におけるシフト量決定処理の動作を示すフローチャート(III)である。

[図8]第1実施形態のシフト量制御回路における補正值決定処理の動作を示すフローチャートである。

[図9]第1実施形態のシフト量制御回路におけるトータルシフト量算出処理の動作を示すフローチャートである。

[図10]第1実施形態のPCM/PWM変換部におけるPCM/PWM変換処理の動作を示すフローチャートである。

[図11]第1実施形態のPCM/PWM変換部における出力されるPWM信号とシフトクロック信号の切換を示すタイミングチャート(I)である。

[図12]第1実施形態のPCM/PWM変換部における出力されるPWM信号とシフトクロック信号の切換を示すタイミングチャート(II)である。

[図13]第2実施形態における位相変換回路の構成を示すブロック図である。

[図14]第2実施形態におけるPCM/PWM変換部の構成を示すブロック図である。

[図15]第2実施形態のPCM/PWM変換部におけるPCM/PWM変換処理の動作を示すフローチャートである。

[図16]第2実施形態のPCM/PWM変換部における出力されるPWM信号とシフトクロック1信号およびシフトクロック2信号の切換を示すタイミングチャートである。

### 符号の説明

- [0012] 100 … D級電力増幅装置
- 101 … オーバーサンプリング処理部
- 102 … ノイズシェーピング回路
- 103 … クロック信号発生部
- 105 … 補正処理部
- 106 … シフト量制御回路
- 108 … スイッチング増幅回路
- 109 … LPF
- 110 … 増幅器
- 111 … 誤差信号算出部
- 112 … 電圧検出部
- 113 … シフト量情報生成部
- 200 … 位相変換回路
- 201、211 … 入力分配器
- 202、212 … メインディレイ回路
- 203、213 … 第1セレクタ
- 204 … サブディレイ回路
- 205 … 第2セレクタ
- 206、219 … 制御部
- 207 … 第3セレクタ
- 208 … サブディレイ回路
- 209 … 第4セレクタ
- 300 … PCM/PWM変換部
- 301 … スタートカウンタ
- 302、401 … アップカウンタ

303 … コンパレータ  
304、406 … RS－FF回路  
402 … ダウンカウンタ  
403 … スタート指示回路  
404 … 第1コンパレータ  
405 … 第2コンパレータ  
SP … スピーカ

### 発明を実施するための最良の形態

[0013] 次に、本願に好適な実施の形態について、図面に基づいて説明する。

[0014] なお、以下に説明する実施形態は、CD(Compact Disc)等のデジタル信号にて記録された記録媒体から読み出されたPCM信号が入力され、当該入力されたPCM信号の信号レベルを増幅してスピーカに出力するD級増幅装置において、本願のD級電力増幅装置を適用した場合の実施形態である。また、以下の説明では、1chのD級電力増幅装置を用いているが、ステレオ、5. 1chまたは7. 1chのマルチチャンネルのスピーカを拡声するD級電力増幅装置においても適用可能である。

[0015] [第1実施形態]

初めに、図1～図12を用いて本願に係るD級電力増幅装置の第1実施形態について説明する。

[0016] まず、図1および図2を用いて本実施形態におけるD級電力増幅装置の構成について説明する。なお、図1は、本実施形態のD級電力増幅装置の構成を示すブロック図であり、図2は、本実施形態における位相変換回路の構成を示すブロック図である。

[0017] 本実施形態のD級電力増幅装置100は、所定のベースクロック信号に基づいて入力されたPCM信号に対してパルス幅変調を施し、PWM信号を生成するようになっており、当該生成されたPWM信号に従って電源電圧のスイッチングを行う処理(以下、「スイッチング処理」という。)を実行して信号レベルが増幅されたPWM信号をスピーカSPに出力するようになっている。

[0018] 特に、本実施形態のD級電力増幅装置100は、スイッチング処理が施される際に

生じる非線形歪みを補正するために、後述するように、スイッチング処理が施される前のPWM信号と当該スイッチング処理が施された後のPWM信号との誤差信号を算出し、算出された誤差信号の変化に応じてベースクロック信号の位相をPCM信号の値(以下、「PCM値」という。)が更新される毎に直接変化させて、または、当該PCM値を補正して、当該ベースクロック信号の位相をPCM信号のPCM値に対して相対的に変化させるようになっている。そして、このD級電力増幅装置100は、相対的に変化されたベースクロック信号に基づいて、PCM信号に対してパルス幅変調を施すようになっている。

[0019] このD級電力増幅装置100は、入力されたPCM信号に対して前処理としてオーバーサンプリング処理およびノイズシェーピング処理を行うオーバーサンプリング処理部101およびノイズシェーピング回路102と、各部の動作時に基準となるベースクロック信号を発生させるクロック信号発生部103と、発生されたベースクロック信号の位相を変化させる位相変換回路200と、前処理されたPCM信号の各PCM値を補正する補正処理部105と、後述するように、PCM値が更新される毎に算出された位相量(以下、「シフト量」ともいう。)に基づいて位相変換回路200および補正処理部105を制御するシフト量制御回路106と、位相変換回路200の制御の下、補正処理されたPCM信号に対してパルス幅変調を行い、PWM信号を生成するPCM/PWM変換部300と、を有している。

[0020] また、このD級電力増幅装置100は、生成されたPWM信号に基づいてスイッチング処理を行い、当該PWM信号の信号レベルを $k$ 倍に増幅するスイッチング増幅回路108と、信号レベルが増幅されたPWM信号に対してフィルタ処理を行い、拡声信号を生成するローパスフィルタ(以下、「LPF」という。)109と、拡声信号の信号レベルを $1/k$ 倍する増幅器110と、 $1/k$ 倍された拡声信号とPCM/PWM変換部300から出力されたPWM信号との誤差信号を算出する誤差信号算出部111と、を有している。

[0021] さらに、このD級電力増幅装置100は、直流電圧化(DC値化)された誤差信号の電圧値を検出する電圧検出部112と、検出された電圧値の変化に応じてシフト量を算出し、当該算出されたシフト量に基づいてPCM値が更新される毎にシフト量に関する情報(以下、「シフト量情報」という。)を生成するシフト量情報生成部113と、を有



している。

- [0022] なお、例えば、本実施形態の位相変換回路200、補正処理部105およびシフト量制御回路106は、本発明の位相変化手段を構成し、PCM/PWM変換部300は、本発明の受信手段および第1生成手段を構成する。また、例えば、本実施形態のスイッチング増幅回路108は、本発明の第2生成手段を構成し、電圧検出部112およびシフト量情報生成部113は、本発明の検出手段を構成する。
- [0023] オーバーサンプリング処理部101には、入力端子Tを介してPCM信号が入力されるとともに、位相変換回路200を介してクロック信号発生部103にて生成されたベースクロック信号と、が入力されるようになっており、このオーバーサンプリング処理部101は、ベースクロック信号に基づいて、入力されたPCM信号に対してオーバーサンプリング処理を行い、当該オーバーサンプリング処理が為されたPCM信号をノイズシェーピング回路102に出力するようになっている。
- [0024] 例えば、本実施形態のオーバーサンプリング処理部101は、4倍または8倍など、入力されたPCM信号に対して当該PCM信号のサンプリング周波数より所定倍数のサンプリング周波数によりサンプリングを行う処理を実行するようになっている。
- [0025] ノイズシェーピング回路102には、オーバーサンプリングされたPCM信号と、位相変換回路200を介してクロック信号発生部103にて生成されたベースクロック信号と、が入力されるようになっており、このノイズシェーピング回路102は、ベースクロック信号に基づいて、入力されたPCM信号から量子化ビット数を所定のビット数(Nビット)に減らし、量子化雑音を高周波数帯域にシフトさせるノイズシェーピング処理を施すようになっている。また、このノイズシェーピング回路102は、ノイズシェーピング処理が施されたPCM信号を補正処理部105に出力するようになっている。
- [0026] クロック信号発生部103は、予め定められた一定のベースとなる信号(以下、「ベース信号」という。)のクロック周波数に基づいてベースクロック信号を生成し、当該生成されたベースクロック信号を位相変換回路200と、当該位相変換回路200を介してオーバーサンプリング処理部101、ノイズシェーピング回路102、および、PCM/PWM変換部300に出力するようになっている。
- [0027] なお、ベース信号とベースクロック信号の関係は、後述するメインディレイ回路202

における位相間隔のステップ量によって決定される。例えば、図2に示すような位相間隔のステップが「90」度のときは、ベースクロック信号は、ベース信号の $1/2$ となり、位相間隔のステップが「180」度のときはベースクロック周波数は、ベース信号と同一となる。

[0028] 位相変換回路200には、クロック信号発生部103にて発生されたベースクロック信号が入力されるようになっており、この位相変換回路200は、ベースクロック信号の位相を変化させるため、後述するように、シフト量制御回路106によって設定されたシフト量に基づいて、入力されたベースクロック信号の位相を変換または無変換し、位相が変換されたまたは当該位相が無変換のベースクロック信号(以下、「シフトクロック信号」という。また、位相が変換されていないものも便宜上シフトクロック信号という。)を、位相の変化が施されないベースクロック信号とともに、PCM/PWM変換部300に出力するようになっている。

[0029] 具体的には、この位相変換回路200は、シフト量制御回路106の制御の下、入力されたベースクロック信号の位相を、「+270」度〜「−270」度の範囲において変換し、変換したシフトクロック信号を位相の変化が施されないベースクロック信号とともに、PCM/PWM変換部300に出力するようになっている。

[0030] 例えば、本実施形態の位相変換回路200は、図2に示すように、入力されたベースクロックを複数に分配する入力分配器201と、「+270」度から「−270」度において「90」度の位相間隔にてベースクロック信号の位相変化を行う複数のメインディレイ回路202と、各メインディレイ回路202の出力を制御する第1セクタ203と、「0」度〜「90」度の範囲内において、所定の位相差を与える複数のサブディレイ回路204と、各サブディレイ回路204の出力を制御する第2セクタ205と、シフト量制御回路106の制御の下、シフト量制御回路106によって決定されたシフト量が設定され、当該設定されたシフト量に基づいて第1セクタ203および第2セクタ205を制御する制御部206と、から構成され、入力されたベースクロック信号の位相を変化させ、入力分配器にて分配されたベースクロック信号の他に、シフトクロック信号を生成し、生成されたシフトクロック信号を、当該ベースクロック信号とともに、PCM/PWM変換部300に出力するようになっている。

- [0031] なお、本実施形態の位相変換回路200は、PCM/PWM変換部300にてPWM信号を生成する際に用いるために、シフトクロック信号とともに、ベースクロック信号をPCM/PWM変換部300に出力するようになっており、ベースクロック信号をPCM/PWM変換部300だけでなく、オーバーサンプリング処理部101およびノイズシェーピング回路102にも出力するようになっている。
- [0032] また、例えば、本実施形態の制御部206は、後述するように、PCM/PWM変換部300と連動してPWM信号の立ち上がりにてシフトクロック信号の位相を変化させるため、シフト量制御回路106にて決定されたシフト量に基づいて、後述のPCM/PWM変換部300におけるスタートカウンタ301の「0」と同期させて第1セクタ203および第2セクタ205の切り換え制御を行うようになっている。
- [0033] さらに、メインディレイ回路202における位相間隔は、上述の「90」度だけではなく、例えば45度といった任意の位相間隔で設定してもよい。
- [0034] 補正処理部105には、ノイズシェーピング処理が施されたPCM信号が入力されるようになっており、この補正処理部105は、後述するように、シフト量制御回路106に設定された補正值に基づいて、入力されたPCM信号の各PCM値に対して所定の補正処理を行ってPCM/PWM変換部300に出力するようになっている。
- [0035] 具体的には、この補正処理部105は、後述するように、生成されたシフト量情報に基づいて、シフト量制御回路106の制御の下、入力されたPCM信号の各PCM値に対して「1」を加算、または、「1」を減算する補正処理を行うようになっている。
- [0036] なお、本実施形態では、補正処理部105は、補正処理を行わない場合には、PCM値に「0」を加算して当該PCM信号をPCM/PWM変換部300に出力するようになっている。
- [0037] シフト量制御回路106には、後述のように、シフト量情報生成部113においてシフト量情報として生成された位相情報フラグ値(F)と、ノイズシェーピング回路102から出力されたPCM信号、すなわち、当該PCM信号におけるPCM値と、が入力されるようになっている。また、このシフト量制御回路106は、入力されたシフト量情報、前回までのPCM値において制御の基になったトータルのシフト量(以下、「トータルシフト量」という。)(b)、前回におけるシフト量(以下、「前回シフト量」という。))と、入力されたP

CM信号のPCM値と、に基づいて、PCM値が更新される毎に、PCM/PWM変換部300において、入力されたPCM信号に対して相対的にベースクロック信号の位相を変化させてシフトクロック信号を生成させるために、すなわち、位相変換回路200にてベースクロック信号の位相の変化、または、補正処理部105にてPCM値の補正処理の少なくとも何れか一方を実行させるために、シフト量を決定するなどの所定の処理(以下、「メイン処理」という。)を行うようになっている。

[0038] 具体的には、シフト量制御回路106は、入力されたシフト量情報に基づいて、今回のPCM値におけるシフト量(以下、「シフト更新量」という。)を算出するとともに、算出されたシフト更新量と前回に設定された前回シフト量とに基づいて、今回のシフト量(以下、単に「位相シフト量」という。)を決定する処理(以下、「シフト量決定処理」という。)を行い、決定された位相シフト量を位相変換回路200に設定するようになっている。

[0039] また、このシフト量制御回路106は、後述する補正を行うためのフラグの値(以下、「補正フラグ値(H)」という。)を用いてトータルシフト量(b)を各PCM値が更新される毎に算出する処理(以下、「トータルシフト量算出処理」という。)を行うようになっている。

[0040] さらに、このシフト量制御回路106は、補正処理部105にて入力されたPCM値を補正する際に用いる補正值を「0」、「-1」または「+1」の何れかに決定する処理(以下、「補正值決定処理」という。)を行い、決定された補正值を当該補正処理部105に設定するようになっている。例えば、シフト量制御回路106は、算出されたトータルシフト量(b)が「+270」度以上の値のときには、補正值を「+1」に決定するとともに、当該トータルシフト量(b)が「-270」度以上の値のときには、補正值を「-1」に決定し、トータルシフト量(b)が「-270」度より大きい値であり、かつ、「+270」度より小さい値のときには、トータルシフト量(b)を「0」に決定するようになっている。

[0041] なお、このシフト量制御回路106は、入力されたPCM信号におけるPCM値が最小値または最大値であって、シフト量情報生成部113から出力された位相情報フラグ値(F)が所定の情報の場合には、スイッチング増幅回路108におけるスイッチング素子の追従性により当該素子の破壊や誤動作の関係上、PCM/PWM変換部300に

おける位相差制御および補正処理部105における補正処理制御の何れの制御も行わないようになっている。そして、シフト量制御回路106は、入力された位相情報フラグ値(F)、算出されたトータルシフト量(b)、および、設定された位相シフト量を内部のメモリに一時的に格納するようになっている。

[0042] また、本実施形態のシフト量制御回路106におけるシフト量決定処理、トータルシフト量算出処理および補正值決定処理を含むメイン処理の詳細については後述する。

[0043] PCM/PWM変換部300には、PCM信号がPCM値が更新される毎に入力されるようになっているおり、このPCM/PWM変換部300は、ベースクロック信号およびシフトクロック信号に基づいて、入力されたPCM信号に対してパルス幅変調を行い、PWM信号を生成してスイッチング増幅回路108および誤差信号算出部111に出力するようになっている。

[0044] なお、本実施形態のPCM/PWM変換部300の構成およびその動作の詳細については、後述する。

[0045] スwitching増幅回路108には、パルス幅変調されたPWM信号が入力されるようになっている。このスイッチング増幅回路108は、例えば、MOS (Metal Oxide Semiconductor) 型トランジスタであって、電界効果型トランジスタ(以下、「FET:Field Effect Transistor」という。)FETと、スピーカSPを駆動するための駆動電圧を印加するための直流電源と、を有し、入力されたPWM信号のスイッチング制御などの所定の制御を行い、PWM信号の信号レベルをk倍に、すなわち、所定の信号レベルに増幅するようになっている。そして、このスイッチング増幅回路108は、当該増幅されたPWM信号をLPF109および増幅器110に出力するようになっている。

[0046] LPF109には、所定のレベルに増幅されたPWM信号が入力されるようになっており、このLPF109は、高域雑音を除去するために入力されたPWM信号に対して高域遮断処理を施して拡声信号を生成し、当該生成された拡声信号をスピーカSPに出力するようになっている。

[0047] 増幅器110には、所定の信号レベルに増幅されたPWM信号が入力されるようになっており、この増幅器110は、誤差信号を算出する際に一方の信号、すなわち、PCM/PWM変換部300から直接出力されたPWM信号との整合性を図るために

されたPWMの信号レベルを $(1/k)$ 倍に増幅し、当該信号レベルが $(1/k)$ 倍に増幅されたPWM信号を誤差信号算出部111に出力するようになっている。

[0048] 誤差信号算出部111には、スイッチング増幅回路108から出力されたPWM信号と、PCM/PWM変換部300から出力されたPWM信号と、が入力されるようになっており、この誤差信号算出部111は、入力された各信号に基づいて誤差信号を算出し、当該算出された誤差信号を電圧検出部112に出力するようになっている。

[0049] 具体的には、本実施形態の誤差信号算出部111は、減算器から構成され、スイッチング増幅回路108から出力されたPWM信号からPCM/PWM変換部300から出力されたPWM信号を減算し、誤差信号を生成するようになっている。

[0050] 電圧検出部112には、積分器112にてDC値化された誤差信号が入力されるようになっており、この電圧検出部112は、入力された誤差信号の電圧値を検出し、検出された電圧値をシフト量情報生成部113に出力するようになっている。

[0051] シフト量情報生成部113には、電圧検出部112にて検出された電圧値が入力されるようになっており、シフト量情報生成部113は、入力された電圧値に基づいて、PCM値が更新される毎の所定の位相情報フラグ値(F)を決定し、当該決定された位相情報フラグ値(F)をシフト量情報としてシフト量制御回路106に出力するようになっている。

[0052] 具体的には、このシフト量情報生成部113は、入力された電圧値が予め定められた第1の閾値(以下、「第1閾値( $-V_e$ )」という。)より小さい値であるか、第1閾値以上「0」より小さい値であるか、「0」であるか、「0」より大きく第2の閾値(以下「第2閾値( $V_e$ )」という。))以下の値であるか、および、第2閾値より大きい値であるかを判別するようになっている。そして、このシフト量情報生成部113は、電圧値が第1閾値より小さい値のときは、「 $-90$ 」度の位相差を設けるための位相情報フラグ値(F)を、第1閾値以上「0」より小さい値のときは、電圧値に基づくマイナスの位相差( $-D$ )を算出し、当該位相差を設けるための位相情報フラグ値(F)をシフト量制御回路106に出力するようになっている。また、このシフト量情報生成部113は、入力された電圧値に基づいて上記判別をした結果、当該電圧値が「0」より大きく第2閾値以下の場合には、電圧値に基づくプラスの位相差( $+D$ )を算出し、当該位相差を設けるための位相情報フ

ラグ値(F)を、第2閾値より大きい場合には、「+90」度の位相差を設けるための移動情報フラグ値(F)を、シフト量制御回路106に出力するようになっている。

[0053] 例えば、本実施形態のシフト量情報生成部113は、位相情報フラグ値(F)を3ビットのデータで出力するとともに、位相差を算出した場合には、算出された位相差をデータとして電圧値が第1閾値より小さい値のときは、「011」、第1閾値以上「0」より小さい値のときは、「001」と「-D」の値、「0」のときは、「000」「0」より大きく第2閾値以下のときは、「101」と「+D」の値、および、第2閾値より大きいときは、「111」の各フラグ情報と所定の値の情報をシフト量情報としてシフト量制御回路106に出力するようになっている。

[0054] なお、シフト量情報生成部113は、位相変換回路200にて与える位相差と対応させて位相差「±D」を適宜算出することできる構成を有しており、例えば、1nsec～6nsecの位相差を算出することができるようになっている。

[0055] 次に、図3を用いて本実施形態のPCM/PWM変換部300の構成およびその動作について説明する。なお、図3は、本実施形態におけるPCM/PWM変換部300の構成を示すブロック図である。

[0056] 本実施形態のPCM/PWM変換部300は、ベースクロック信号に基づいて動作し、入力されたPCM信号に基づいてカウントを行うスタートカウンタ301と、シフトクロック信号に基づいてカウントアップを行うアップカウンタ302と、入力されたPCM信号におけるPCM値とアップカウンタ302の出力を比較するコンパレータ303と、スタートカウンタ301とコンパレータ303の出力に基づいてPWM信号を生成する同期型のフリップフロップ回路(以下、「RS-FF回路」という。)304と、から構成される。

[0057] スタートカウンタ301には、位相変換回路200を介してクロック信号発生部103にて発生されたベースクロック信号が入力されるようになっており、このスタートカウンタ301は、入力されたベースクロック信号に基づいて、例えばノイズシェーピング回路102の出力のビット数が6ビットのときは、「0」から「63」までのカウントを繰り返し、「0」をカウントするときに、RS-FF回路304にPWM信号の立ち上がりを指示する旨の信号を出力するとともに、アップカウンタ302におけるカウント開始を指示する信号、すなわち、当該アップカウンタ302のカウントを「0」にする信号を出力するようになっている。

る。

- [0058] アップカウンタ302には、位相変換回路200から出力されたシフトクロック信号とスタートカウンタ301から出力されたスタート指示が入力されるようになっており、このアップカウンタ302は、スタート指示に基づいて、シフトクロックを「0」からカウントし、カウントした値(以下、「カウント値」)をデータとしてコンパレータ303に出力するようになっている。
- [0059] コンパレータ303には、入力されたPCM信号のPCM値とアップカウンタ302から出力されたカウント値とを比較し、PCM値とカウント値が同一の値になったときに、RS-FF回路304にPWM信号の立ち下げを指示する旨の信号を出力するようになっている。
- [0060] RS-FF回路304には、スタートカウンタ301からPWM信号の立ち上がりを指示する信号と、コンパレータ303から当該PWM信号の立ち下がり指示する信号と、が入力されるようになっており、このRS-FF回路304は、立ち上がりを指示する信号が入力された際に出力するPWM信号を立ち上げるとともに、立ち下げを指示する信号が入力された際に当該出力するPWM信号を立ち下げるようになっている。
- [0061] なお、本実施形態のPCM/PWM変換部300におけるPCM信号をPWM信号に変換する処理(以下、「PCM/PWM変換処理」という。)の動作の詳細については後述する。
- [0062] 次に、図4を用いて本実施形態におけるシフト量制御回路106におけるメイン処理について説明する。なお、図4は、本実施形態におけるシフト量制御回路106におけるメイン処理を示すフローチャートである。
- [0063] 本動作では、シフト量制御回路106は、ベースクロック信号に基づいて、ノイズシェーピング回路102、PCM/PWM変換部300、補正処理部105および位相変換回路200と連動する。なお、クロック信号発生部103は、PWM信号の生成の処理が開始されると、ベースクロック信号を発生させるようになっている。
- [0064] まず、操作者の指示など所定の指示に基づいてPWM信号の生成の処理が開始され、シフト量制御回路106がこの開始を検出すると(ステップS11)、当該シフト量制御回路106は、位相変換回路200および補正処理部105に設定した値をクリアし、



各値の初期設定を行う(ステップS12)。具体的には、シフト量制御回路106は、初期設定としては、位相情報フラグ値(F)、トータルシフト量(b)、および、位相シフト量(S)の値を「0」に設定する。

[0065] 次いで、シフト量制御回路106は、位相情報フラグ値(F)、トータルシフト量(b)、および、位相シフト量(S)の値を図示しない内部のメモリから読み出す(ステップS13)。

[0066] 次いで、シフト量制御回路106は、シフト更新量の決定と位相シフト量(S)の決定を行うシフト量決定処理を行い、その値を位相変換回路200に設定する(ステップS14)。具体的には、シフト量制御回路106は、読み出した位相情報フラグ値(F)に基づいて、シフト更新量、シフト量およびトータルシフト量(b)を決定するとともに、位相情報フラグ値(F)に基づいて補正フラグ値(H)を設定する。

[0067] なお、本実施形態のシフト量制御回路106におけるシフト量決定処理の動作の詳細について後述する。また、この補正フラグ値(H)は、補正值決定処理およびトータルシフト量算出処理において条件を決定するためのフラグ値である。

[0068] 次いで、シフト量制御回路106は、ステップS13の処理において設定された補正フラグ値(H)に基づいて、補正処理部105における補正処理に用いる値を決定する補正值決定処理を行い、補正処理部105に設定する(ステップS15)。具体的には、シフト量制御回路106は、補正フラグ値(H)に基づいて、補正值を「0」、「-1」または「1」に決定し、決定された補正值を補正処理部105に設定する。

[0069] なお、本実施形態のシフト量制御回路106における補正值決定処理の動作の詳細について後述する。

[0070] 次いで、シフト量制御回路106は、ステップS13の処理において設定された補正フラグ値(H)に基づいて、トータルシフト量(b)を算出するトータルシフト量算出処理を行い、決定されたトータルシフト量(b)を内部のメモリに記憶する(ステップS16)。

[0071] なお、本実施形態のシフト量制御回路106におけるトータルシフト量算出処理の動作の詳細について後述する。

[0072] 次いで、シフト量制御回路106は、PWM信号の生成の処理における終了の検出を含め、次のPCM信号におけるPCM値の入力が有るか否かを判断し(ステップS17)、次のPCM信号におけるPCM値の入力がある場合には、ステップS13の処理に

移行するとともに、当該PCM値の入力がない場合には、本動作を終了させる。

[0073] なお、シフト量制御回路106は、ステップS16の処理において、図示しない制御部206などの、入力されるPCM信号におけるPCM値の有無を示す指示に基づいてPWM信号の生成の処理における終了を検出すると、次のPCM信号におけるPCM値の入力がないことを検出する。

[0074] このように、シフト量および補正值が決定され、位相変換回路200および補正処理部105に各値が設定されると、位相変換回路200は、PCM値が更新される毎に、PCM/PWM変換部300におけるスタートカウンタ301と連動して設定された位相シフト量(S)に基づいて第1セクタ203および第2セクタ205を切り換えてシフトクロック信号を発生させ、補正処理部105は、PCM値が更新される毎に、設定された補正值に基づいてオーバーサンプリング処理およびノイズシェーピング処理が施されたPCM信号におけるPCM値を補正してPCM/PWM変換部300に出力する。そして、PCM/PWM変換部300は、PCM値が更新される毎に、相対的に変化されたシフトクロック信号に基づいてPWM信号を生成し、生成されたPWM信号を、スイッチング増幅回路108を介してスピーカSPに出力する。

[0075] 次に、図5～図7を用いて本実施形態のシフト量制御回路106におけるシフト量決定処理について説明する。なお、図5～図7は、本実施形態のシフト量制御回路106におけるシフト量決定処理を示すフローチャートである。

[0076] このシフト量決定処理は、メイン処理中に実行される処理であって、シフト更新量および位相シフト量(S)を決定するための処理である。

[0077] まず、シフト量制御回路106は、入力されたPCM値が予め定められた最小の値(min)であるか否かを判断し(ステップS101)、入力されたPCM値が予め定められた最小の値である判断したときには、ステップS102の処理に移行し、当該入力されたPCM値が予め定められた最小の値でない判断したときには、ステップS103の処理に移行する。

[0078] 次いで、シフト量制御回路106は、ステップS101の処理において、PCM値が予め定められた最小の値である判断したときには、メイン処理において読み出した位相情報フラグ値(F)が「111」であるか、または、「101」であるかを判断し(ステップS102)

、位相情報フラグ値(F)が「111」および「101」の何れでもないと判断したときには、ステップS105の処理に移行するとともに、「111」または「101」であると判断するとステップS120の処理に移行する。

[0079] 次いで、シフト量制御回路106は、ステップS101の処理において、PCM値が予め定められた最小の値でない判断したときには、入力されたPCM値が予め定められた最大の値(max)であるか否かを判断し(ステップS103)、入力されたPCM値が予め定められた最大の値であると判断したときには、ステップS104の処理に移行し、当該入力されたPCM値が予め定められた最大の値でない判断したときには、ステップS105の処理に移行する。

[0080] 次いで、シフト量制御回路106は、ステップS103の処理において、入力されたPCM値が予め定められた最大の値であると判断したときには、メイン処理において読み出した位相情報フラグ値(F)が「011」であるか、または、「001」であるかを判断し(ステップS104)、位相情報フラグ値(F)が「011」および「001」の何れでもないと判断したときには、ステップS111の処理に移行するとともに、「011」または「001」であると判断するとステップS120の処理に移行する。

[0081] 次いで、シフト量制御回路106は、ステップS102の処理において、位相情報フラグ値(F)が「111」および「101」の何れでもないと判断したとき、または、ステップS103の処理において、入力されたPCM値が予め定められた最大の値でない判断したときには、位相フラグ値が「011」か否かを判断し(ステップS105)、位相フラグ値が「011」でないと判断したときは、トータルシフト量(b)が「+270」度であるか否かを判断する(ステップS106)。

[0082] なお、シフト量制御回路106は、位相フラグ値が「011」でないと判断したときには、ステップS111の処理に移行する。

[0083] 次いで、シフト量制御回路106は、ステップS106の処理において、トータルシフト量(b)が「+270」度でないと判断したときには、補正フラグ値(H)を「100」に設定してメモリに格納するとともに(ステップS107)、シフト更新量を「+90」度に決定し(ステップS108)、ステップS121の処理に移行する。

[0084] 一方、シフト量制御回路106は、ステップS106の処理において、トータルシフト量(

b)が「+270」度であると判断したときには、補正フラグ値(H)を「101」に設定してメモリに格納するとともに(ステップS109)、位相シフト量(S)を「0」度に設定し(ステップS110)、ステップS122の処理に移行する。

[0085] 次いで、シフト量制御回路106は、ステップS104の処理において、位相情報フラグ値(F)が「011」および「001」の何れでもない判断したとき、または、ステップS105の処理において、位相フラグ値が「011」でない判断したときには、位相フラグ値が「111」か否かを判断し(ステップS111)、位相フラグ値が「111」でない判断したときは、トータルシフト量(b)が「-270」度であるか否かを判断する(ステップS112)。

[0086] なお、シフト量制御回路106は、位相フラグ値が「111」でない判断したときには、ステップS116の処理に移行する。

[0087] 次いで、シフト量制御回路106は、ステップS112の処理において、トータルシフト量(b)が「-270」度でない判断したときには、補正フラグ値(H)を「110」に設定してメモリに格納するとともに(ステップS113)、シフト更新量を「-90」度に決定し(ステップS114)、ステップS121の処理に移行する。

[0088] 一方、シフト量制御回路106は、ステップS112の処理において、トータルシフト量(b)が「-270」度であると判断したときには、補正フラグ値(H)を「111」に設定してメモリに格納するとともに(ステップS115)、シフト量を「0」度に決定し(ステップS110)、ステップS122の処理に移行する。

[0089] 次いで、シフト量制御回路106は、ステップS111の処理において、位相フラグ値が「111」でない判断したときには、位相フラグ値が「001」であるか否かを判断し(ステップS116)、位相フラグ値が「001」であると判断したときには、シフト更新量をシフト量情報生成部113において算出された「+D」度に決定し(ステップS117)、ステップS121の処理に移行する。

[0090] 他方、シフト量制御回路106は、位相フラグ値が「001」でない判断したときには、位相フラグ値が「101」であるか否かを判断し(ステップS118)、位相フラグ値が「101」であると判断したときには、シフト更新量をシフト量情報生成部113において算出された「-D」度に決定し(ステップS119)、ステップS121の処理に移行する。

[0091] なお、シフト量制御回路106は、位相フラグ値が「101」でない判断したときには、

ステップS120の処理に移行する。

[0092] 次いで、シフト量制御回路106は、ステップS102の処理において、位相フラグ値が「111」または「101」であると判断したとき、ステップS104の処理において、位相フラグ値が「011」または「001」であると判断したとき、または、ステップS118の処理において、位相フラグ値が「101」でないと判断したときには、シフト更新量を「0」に決定する(ステップS120)。

[0093] 次いで、シフト量制御回路106は、ステップS108、S114、S117、S119およびS120の処理において各シフト更新量が決定されると、当該決定された各シフト更新量と前回シフト量を加算し、位相シフト量(S)を算出する(ステップS121)。

[0094] 次いで、シフト量制御回路106は、ステップS110の処理にて設定された位相シフト量(S)、すなわち、「0」またはステップS121の処理において算出された位相シフト量(S)を当該PCM値における位相シフト量(S)と決定する(ステップS122)。

[0095] 最後に、シフト量制御回路106は、決定された位相シフト量(S)を位相変換回路200に設定し(ステップS123)、本動作を終了する。

[0096] 次に、図8を用いて本実施形態のシフト量制御回路106におけるシフト量決定処理について説明する。なお、図8は、本実施形態のシフト量制御回路106における補正值決定処理を示すフローチャートである。

[0097] この補正值決定処理は、メイン処理中に実行される処理であって、上述のシフト量決定処理にて決定された補正フラグ値(H)を用いて補正処理部105において補正するPCM値の補正量を決定する処理である。

[0098] まず、シフト量制御回路106は、補正フラグ値(H)をメモリから読み出し、当該読み出された補正フラグ値(H)が「101」または「111」の何れかであるかを判断する(ステップS201)。なお、シフト量制御回路106は、補正フラグ値(H)が「101」または「111」の何れかであると判断したときには、ステップS202の処理に移行し、補正フラグ値(H)が「101」および「111」の何れでもない判断したときには、ステップS205の処理に移行する。

[0099] 次いで、シフト量制御回路106は、ステップS201の処理において、補正フラグ値(H)が「101」または「111」の何れかであると判断したときには、当該補正フラグ値(H)

)が「101」であるか否かを判断し(ステップS202)、補正フラグ値(H)が「101」である判断したときには、補正値を「+1」に決定して(ステップS203)ステップS206の処理に移行する。

[0100] 一方、シフト量制御回路106は、ステップS203の処理において、補正フラグ値(H)が「101」でない判断したときには、補正値を「-1」に決定し(ステップS204)、ステップS206の処理に移行する。

[0101] 他方、シフト量制御回路106は、ステップS201の処理において、補正フラグ値(H)が「101」および「111」の何れでもない判断したときには、補正値を「0」に決定し(ステップS203)、ステップS206の処理に移行する。

[0102] 最後に、シフト量制御回路106は、決定された補正値を補正処理部105に設定し(ステップS206)、本動作を終了する。

[0103] 次に、図9を用いて本実施形態のシフト量制御回路106におけるトータルシフト量算出処理について説明する。なお、図9は、本実施形態のシフト量制御回路106におけるトータルシフト量算出処理を示すフローチャートである。

[0104] このトータルシフト量算出処理は、メイン処理中に実行される処理であって、上述のシフト量決定処理にて決定された補正フラグ値(H)を用いてシフト量決定処理において使用するトータルシフト量(b)を決定する処理である。

[0105] まず、シフト量制御回路106は、補正フラグ値(H)をメモリから読み出し、当該読み出された補正フラグ値(H)が「100」または「110」の何れかであるかを判断する(ステップS301)。なお、シフト量制御回路106は、補正フラグ値(H)が「100」または「110」の何れかであると判断したときには、ステップS302の処理に移行し、補正フラグ値(H)が「100」および「110」の何れでもない判断したときには、ステップS305の処理に移行する。

[0106] 次いで、シフト量制御回路106は、ステップS301の処理において、補正フラグ値(H)が「100」または「110」の何れかであると判断したときには、当該補正フラグ値(H)が「110」であるか否かを判断し(ステップS302)、補正フラグ値(H)が「110」である判断したときには、メモリに格納されているトータルシフト量(b)に「+90」度を加算して新たなトータルシフト量(b)を算出し(ステップS303)、本動作を終了する。

- [0107] 一方、シフト量制御回路106は、ステップS303の処理において、補正フラグ値(H)が「110」でない判断したときには、メモリに格納されているトータルシフト量(b)に「-90」度を加算して新たなトータルシフト量(b)を算出し(ステップS304)、本動作を終了する。
- [0108] 他方、シフト量制御回路106は、ステップS301の処理において、補正フラグ値(H)が「100」および「110」の何れでもない判断したときには、メモリに格納されているトータルシフト量(b)を「0」に設定し(ステップS305)、本動作を終了する。
- [0109] 次に、図10～図12を用いて本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理について説明する。なお、図10は、本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理を示すフローチャートであり、図11および図12は、ノイズシェーピング回路102の出力ビット数が6ビットの場合において、本実施形態のPCM/PWM変換部300における出力されるPWM信号とシフトクロック信号の切換を示すタイミングチャートである。
- [0110] 本動作では、PCM/PWM変換部300は、ベースクロック信号に基づいて、シフト量制御回路106、補正処理部105および位相変換回路200と連動するとともに、当該ベースクロック信号とシフトクロック信号とに基づいて以下の処理を行う。
- [0111] なお、クロック信号発生部103は、PWM信号の生成の処理が開始されると、ベースクロック信号を発生させるので、PWM信号の生成の処理が開始されると、ベースクロック信号およびシフトクロック1信号が入力される。また、ノイズシェーピング回路102の出力ビット数が6ビットとする。
- [0112] まず、操作者の指示など所定の指示に基づいてPWM信号の生成の処理が開始され、PCM/PWM変換部300がこの開始を検出すると(ステップS401)、スタートカウンタ301およびアップカウンタ302は、所定の値をクリアし、初期設定を行う(ステップS402)。
- [0113] 次いで、コンパレータ303は、入力されたPCM信号のPCM値を読み込む(ステップS403)。
- [0114] 次いで、スタートカウンタ301は、ベースクロック信号に基づいてカウントを開始するとともに(ステップS404)、スタート指示をRS-FF回路304に出力し、当該RS-FF

回路304にPWM信号として「High」の信号を出力させる(ステップS405)。なお、スタートカウンタ301は、カウントが開始されると、ベースクロック信号に基づいて、「0」から「63」までを繰り返してカウントを行う。

[0115] 次いで、アップカウンタ302は、シフトクロック信号に基づいてカウントを開始し、カウントの値を随時コンパレータ303に出力する(ステップS406)。

[0116] 次いで、コンパレータ303は、アップカウンタ302から出力されたカウンタの値がステップS403の処理において読み込まれたPCM値と同一であるか検出し(ステップS407)、アップカウンタ302の値がPCM値と同一でないときには、アップカウンタ302から出力されたカウンタの値がステップS403の処理において読み込まれたPCM値と同一になるまで当該ステップS407の処理を繰り返す。

[0117] 他方、コンパレータ303は、アップカウンタ302から出力されたカウンタの値がPCM値と同一であることを検出したときには、RS-FF回路304に所定の信号を出力し、当該RS-FF回路304にPWM信号として「Low」の信号を出力させる(ステップS408)。

[0118] なお、本動作は、ステップS409の処理が終了すると、ステップS403の処理に移行し、本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理を電源がオフになるなど所定の指示によって回路動作が停止するまで当該処理を繰り返す。

[0119] このように、本実施形態のPCM/PWM変換部300は、ベースクロック信号に基づいてPWM信号の「High」を出力し、シフトクロック信号に基づいてPWM信号の「Low」を出力するので、シフトクロック信号の位相が上述のシフト量制御回路106にて設定されたシフト量によってシフトクロック信号の位相が変化されていると、または、シフト量制御回路106にて設定された当該補正処理部105の補正值が算出されていると、スイッチング処理が施される際に生じる非線形歪みが補正されたPWM信号が出力される。

[0120] また、本実施形態では、シフトクロック信号の位相を直接的に変化させる場合には、シフトクロック信号をスタートカウンタ301が「0」のときに、位相が変化されたシフトクロック信号に切り換えるようになっている。



- [0121] 例えば、PCM値が「2」の場合であって、「+90」度の位相差を設ける場合には、本実施形態では、図11に示すように、PWM信号は、スタートカウンタ301が「0」のときに立ち上げられる。しかしながら、当該スタートカウンタ301が「0」のときに位相が変化されたシフトクロック信号に切り換えられ、PWM信号は、当該切り換えられたシフト信号によって立ち下げられるので、PWM信号の幅が長くすることができる。
- [0122] また、PCM値が「2」の場合であって、「-90」度の位相差を設ける場合には、本実施形態では、図12に示すように、PWM信号は、スタートカウンタ301が「0」のときに立ち上げられる。しかしながら、当該スタートカウンタ301が「0」のときに位相が変化されたシフトクロック信号に切り換えられ、PWM信号は、当該切り換えられたシフトクロック信号に基づいて立ち下げられるので、PWM信号の幅が短くすることができる。
- [0123] なお、図11および図12において、n番目のPCM値から「n+1」番目のPCM値に切り換わるときのタイミングチャートであり、また、タイミングチャート上一番上の信号は、ベースクロック信号およびシフトクロック1信号を生成する際に用いるベース信号である。
- [0124] 以上により、本実施形態のD級電力増幅装置100は、PCM信号をパルス変調し、当該パルス変調されたPCM信号を増幅してスピーカSPに出力するD級電力増幅装置100であって、PCM信号を受信するとともに、ベースクロック信号に基づいて、受信されたPCM信号をパルス変調し、パルス幅変調信号を生成するPCM/PWM変換部300と、生成されたパルス幅変調信号に従って電源電圧をスイッチングし、当該パルス幅変調信号の信号レベルを増幅して拡声信号を生成するスイッチング増幅回路108と、生成されたパルス幅変調信号と拡声信号との誤差を示す誤差信号を算出する誤差信号算出部111と、算出された誤差信号に基づいて、PCM/PWM変換部300によって用いられるベースクロック信号の位相を受信されたPCM信号に対して相対的に変化させる位相変換回路200と、を備える構成を有している。
- [0125] この構成により、本実施形態のD級電力増幅装置100は、算出された誤差信号に基づいて、PCM/PWM変換部300によって用いられるベースクロック信号の位相を受信されたPCM信号に対して相対的に変化させる。
- [0126] したがって、本実施形態のD級電力増幅装置100は、スイッチング増幅回路108に

よって生ずる誤差信号に基づいて、ベースクロック信号の位相を変化させることができるので、すなわち、シフトクロック信号を生成することができるので、当該シフトクロック信号を用いて、受信されたPCM信号からPWM信号を生成することができ、スイッチング増幅回路108にて増幅されるPWM信号のパルス幅を可変させることができる。

- [0127] この結果、本実施形態のD級電力増幅装置100は、スイッチング増幅回路108にてスイッチング処理が施される際に生じる非線形歪み、すなわち、当該スイッチング増幅回路108にて直流電源のオン・オフの切り換えにより発生する非線形な歪みを的確に防止することができるとともに、高周波数に適用可能であり、PWM信号のパルス幅を可変にするための精度の高い専用の回路も必要なく、回路規模も小さくすることができる。
- [0128] また、本実施形態のD級電力増幅装置100は、位相変換回路200が、パルス幅変調信号を生成する際にPCM値に、PCM/PWM変換部300によって用いられるクロック信号の位相を相対的に変化させるので、各PWM信号毎に非線形歪みを補正することができ、スピーカSPから出力される際の雑音を的確に除去することができる。
- [0129] また、本実施形態のD級電力増幅装置100は、位相変換回路200が、算出された誤差信号に基づいて、クロック信号の位相を直接的に変化させること、または、PCM信号の受信時のタイミングを変化させることの少なくとも何れか一方によって、クロック信号の位相を受信されたPCM信号に対して相対的に変化させる構成を有している。
- [0130] したがって、本実施形態のD級電力増幅装置100は、シフトクロック信号を生成する際に、所定の範囲内、例えば、 $-270$ 度から $+270$ 度にて行うことができるので、構成を簡易にすることができる。
- [0131] また、本実施形態のD級電力増幅装置100は、PCM/PWM変換部300の出力と、スイッチング増幅回路108の出力と、に基づいて誤差信号算出部111にて誤差信号を算出するようになっているが、PCM/PWM変換部300の出力とLPF109の出力とに基づいて誤差信号算出部111にて誤差信号を算出するようにしてもよい。この場合には、PCM/PWM変換部300の出力に対してLPF109と同様の高域遮断処理を施し、施した信号に基づいて誤差信号を算出するようになっている。

[0132] 〔第2実施形態〕

次に、図13～図16を用いて本願に係るD級電力増幅装置の第2実施形態について説明する。

[0133] 本実施形態では、第1実施形態においてPWM変調方式がSingle Sided方式である点に代えて、当該Single Sided方式より高調波歪が減少するDouble Sided方式、すなわち、信号の立ち上がりおよび立ち下りの両側からPWM信号の幅を制御してPWM変調を行う点に特徴があり、その他の点は、第1実施形態と同様であり、同一の部材については同一の符号を付してその説明を省略する。また、本実施形態のシフト量制御回路106におけるメイン処理は、第1実施形態と同様であるため、その説明を省略する。

[0134] なお、本実施形態では、位相変換回路200から出力される各シフトクロック信号、すなわち、シフトクロック1信号およびシフトクロック2信号は、それぞれ別々にPCM/PWM変換部に出力されるようになっている。

[0135] まず、図13を用いて本実施形態における位相変換回路について説明する。なお、図13は、本実施形態における位相変換回路の構成の一例を示すブロック図である。

[0136] 本実施形態の位相変換回路200は、入力されたベースクロック信号の位相を変化させ、ベースクロック信号の他に、シフトクロック1信号およびシフトクロック2信号を生成し、生成された各シフトクロック信号を当該各ベースクロック信号とともに、PCM/PWM変換部300に出力するようになっている。

[0137] 例えば、本実施形態の位相変換回路200は、図13に示すように、入力されたベースクロックを複数に分配する入力分配器211と、「+270」度から「-270」度において「90」度の位相間隔にてベースクロック信号の位相変化を行う複数のメインディレイ回路212と、各メインディレイ回路212の出力のうちシフトクロック1信号を制御する第1セレクタ213と、「0」度～「90」度の範囲内において、シフトクロック1信号について所定の位相差を与える複数の第1サブディレイ回路214と、各第1サブディレイ回路214の出力を制御する第2セレクタ215と、各メインディレイ回路212の出力のうちシフトクロック2信号を制御する第3セレクタ216と、「0」度～「90」度の範囲内において、シフトクロック2信号について所定の位相差(後述のシフト量情報生成部113において

算出される位相差「D」)を与える複数の第2サブディレイ回路217と、各第2サブディレイ回路217の出力を制御する第4セクタ218と、シフト量制御回路106の制御の下、シフト量制御回路106によって決定されたシフト量が設定され、当該設定されたシフト量に基づいて第1セクタ213、第2セクタ215、第3セクタ216および第4セクタ218を制御する制御部219、とから構成される。

[0138] なお、シフトクロック2信号は、制御部206において、後述するシフト量制御回路106にて算出されたトータルシフト量を $-1$ 倍した値に基づいて第3セクタ206および第4セクタ209を制御することによって生成されるようになっている。すなわち、シフトクロック1信号におけるシフト量がベースクロック信号に対して $+90$ 度の位相ずれが生じている場合には、シフト量がベースクロック信号に対して $-90$ 度の位相がずれているシフトクロック2信号が出力されるようになっている。ただし、メインディレイ回路202における位相間隔は、上述の「 $90$ 」度だけではなく、例えば $45$ 度といった任意の位相間隔で設定してもよい。

[0139] また、例えば、本実施形態の制御部219は、後述するように、PCM/PWM変換部300と連動して、シフトクロック1信号にてPWM信号の立ち上がり、シフトクロック2信号にてPWM信号の立下りを変化させるため、シフト量制御回路106にて決定されたシフト量に基づいて、後述のPCM/PWM変換部300におけるスタートカウンタ301の「0」と同期させて第1セクタ213、第2セクタ215、第3セクタ216および第4セクタ218の切り換え制御を行うようになっている。

[0140] 次に、図14を用いて本実施形態のPCM/PWM変換部300の構成について説明する。なお、図14は、本実施形態におけるPCM/PWM変換部300の構成を示すブロック図である。

[0141] 本実施形態のPCM/PWM変換部300は、シフトクロック2信号に基づいてカウントアップするアップカウンタ401と、シフトクロック1信号に基づいてカウントダウンするダウンカウンタ402と、ベースクロック信号に基づいて動作し、アップカウンタ401およびダウンカウンタ402のスタートの指示出力を行うスタート指示回路403と、入力されたPCM信号におけるPCM値とアップカウンタ401の出力を比較する第1コンパレータ404と、入力されたPCM信号におけるPCM値とダウンカウンタ402の出力を比較

する第2コンパレータ405と、第1コンパレータ404と第2コンパレータ405の出力に基づいてPWM値を出力するRS-FF回路406と、から構成される。

- [0142] アップカウンタ401には、位相変換回路200から出力されたシフトクロック2信号とスタート指示カウンタ回路403からのスタート指示が入力されるようになっており、このアップカウンタ401は、スタート指示に基づいて、シフトクロックを「0」からカウントし、カウントした値を示すカウント値をデータとして第1コンパレータ404に出力するようになっている。
- [0143] ダウンカウンタ402には、位相変換回路200から出力されたシフトクロック1信号とスタート指示回路403からのスタート指示が入力されるようになっており、このダウンカウンタ402は、スタート指示に基づいて、シフトクロック1信号をPCM値からカウントダウンし、カウント値をデータとして第2コンパレータ405に出力するようになっている。
- [0144] スタート指示回路403には、位相変換回路200を介してクロック信号発生部103にて発生されたベースクロック信号が入力されるようになっており、このスタート指示回路403は、入力されたベースクロック信号に基づいて、例えばノイズシェーピング回路102における出力ビット数が6ビットの場合には、「0」から「127」までのカウントを繰り返し、「0」をカウントするときに、ダウンカウンタ402開始を指示する旨の信号を出力するようになっている。また「64」をカウントするときに、アップカウンタ401に対してカウント開始を指示する旨の信号を出力するようになっている。
- [0145] 第1コンパレータ404には、入力されたPCM信号のPCM値とアップカウンタ401から出力されたカウント値とを比較し、PCM値とカウント値が同一の値になったときに、RS-FF回路406にPWM信号の立ち下げを指示する旨の信号を出力するようになっている。
- [0146] 第2コンパレータ405には、入力されたPCM信号のPCM値とダウンカウンタ402から出力されたカウント値とを比較し、PCM値とカウント値が同一の値になったときに、RS-FF回路406にPWM信号の立ち上げを指示する旨の信号を出力するようになっている。
- [0147] RS-FF回路406には、第2コンパレータ405からPWM信号の立ち上がりを指示する信号と、第1コンパレータ404から当該PWM信号の立ち下がり指示する信号

と、が入力されるようになっており、このRS-FF回路406は、立ち上がりを指示する信号が入力された際に出力するPWM信号を立ち上げるとともに、立ち下げを指示する信号が入力された際に当該出力するPWM信号を立ち下げようになっている。

[0148] 次に、図15を用いて本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理について説明する。なお、図15は、本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理を示すフローチャートである。

[0149] 本動作では、PCM/PWM変換部300は、ベースクロック信号に基づいて、シフト量制御回路106、補正処理部105および位相変換回路200と連動するとともに、当該ベースクロック信号、シフトクロック1信号およびシフトクロック2信号に基づいて以下の処理を行う。なお、クロック信号発生部103は、PWM信号の生成の処理が開始されると、ベースクロック信号を発生させるので、PWM信号の生成の処理が開始されると、ベースクロック信号、シフトクロック1信号およびシフトクロック2信号が入力される。

[0150] まず、操作者の指示など所定の指示に基づいてPWM信号の生成の処理が開始され、PCM/PWM変換部300がこの開始を検出すると(ステップS501)、アップカウンタ401、ダウンカウンタ402およびスタート指示回路403は、所定の値をクリアし、初期設定を行う(ステップS502)。

[0151] 次いで、第1コンパレータ404、第2コンパレータ405およびアップカウンタ401、ダウンカウンタ402は、入力されたPCM信号のPCM値を読み込む(ステップS503)。

[0152] 次いで、スタート指示回路403は、ベースクロック信号に基づいてカウントを開始するとともに(ステップS504)、ダウンカウンタ402にカウントを開始する旨の信号を出力する。

[0153] 次いで、ダウンカウンタ402は、シフトクロック1信号に基づいてカウントを開始し、カウントの値を随時第2コンパレータ405に出力する(ステップS505)。なお、ダウンカウンタ402は、カウントが開始されると、シフトクロック1信号に基づいて、ステップS503の処理にて読み込んだPCM値から「0」まで繰り返してカウントを行う。

[0154] 次いで、第2コンパレータ405は、ダウンカウンタ402から出力されたカウンタの値がステップS503の処理において読み込まれたPCM値と同一であるかを検出し(ステッ

プS506)、ダウンカウンタ402の値がPCM値と同一でないときには、ダウンカウンタ402は、カウンタの値がPCM値と同一になるまで当該ステップS506の処理を繰り返す。

[0155] 一方、第2コンパレータ405は、カウンタの値がPCM値と同一のときには、所定の指示をRS-FF回路406に出力し、当該RS-FF回路406にPWM信号として「High」の信号を出力させる(ステップS507)。

[0156] 次いで、スタート指示回路403は、スタート指示カウンタの値が64であるかを検出し(ステップS508)、カウンタが「64」であることを検出するまで当該ステップS508の処理を繰り返す。

[0157] 次いで、スタート指示回路403は、カウンタが「64」になったことを検出すると、アップカウンタ401にカウントを開始する旨の信号を出力する(ステップS509)。

[0158] 次いで、アップカウンタ401は、シフトクロック2信号に基づいてカウントを開始し、カウントの値を随時第1コンパレータ404に出力する(ステップS510)。なお、アップカウンタ401は、カウントが開始されると、シフトクロック2信号に基づいて、「0」からステップS503の処理にて読み込んだPCM値まで繰り返してカウントを行う。

[0159] 次いで、第1コンパレータ404は、アップカウンタ401から出力されたカウンタ値がステップS503の処理にて読み込んだPCM値と同一であるかを検出し(ステップS511)、アップカウンタ401から出力されたカウンタの値がステップS503の処理において読み込まれたPCM値と同一になるまで当該ステップS511の処理を繰り返す。

[0160] 一方、第1コンパレータ404は、アップカウンタ401から出力されたカウンタの値がPCM値と同一のときには、所定の指示をRS-FF回路406に出力し、当該RS-FF回路406にPWM信号として「Low」の信号を出力させる(ステップS512)。

[0161] なお、本動作は、ステップS512の処理が終了すると、ステップS503の処理に移行し、本実施形態のPCM/PWM変換部300におけるPCM/PWM変換処理を電源がオフになるなど所定の指示によって回路動作が停止するまで当該処理を繰り返す。

[0162] このように、本実施形態のPCM/PWM変換部300は、シフトクロック1信号に基づいてPWM信号の「High」を出力し、シフトクロック2信号に基づいてPWM信号の「L

ow」を出力するので、各シフトクロックの位相が上述のシフト量制御回路106にて設定されたシフト量によってシフトクロック信号の位相が変化されていると、または、シフト量制御回路106にて設定された当該補正処理部105の補正值が算出されていると、スイッチング処理が施される際に生じる非線形歪みが補正されたPWM信号が出力される。

[0163] また、本実施形態では、各シフトクロック信号の位相を直接的に変化させる場合には、シフトクロック信号をスタートカウンタ301が「0」のときに、位相が変化された各シフトクロック信号に切り換えるようになっている。

[0164] 例えば、PCM値が「2」の場合であって、「+Dnsec」の位相差を設ける場合には、本実施形態では、図16に示すように、スタート指示カウンタ403が「0」のときに位相が変化されたシフトクロック1信号およびシフトクロック2信号が切り換えられ、PWM信号は、当該切り換えられたシフトクロック1信号によって立ち上げられ、当該切り換えられたシフトクロック2信号によって立ち下げられるので、PWM信号の幅を両側方向から短くすることができる。

[0165] なお、図16はノイズシェーパ出力のビット数が6ビットの場合における、n番目のPCM値のときのタイミングチャートであり、また、タイミングチャート上一番上の信号は、ベースクロック信号およびシフトクロック1およびシフトクロック2信号である。

[0166] 以上により、本実施形態のD級電力増幅装置100は、第1実施形態と同様に、PCM信号をパルス変調し、当該パルス変調されたPCM信号を増幅してスピーカSPに出力するD級電力増幅装置100であって、PCM信号を受信するとともに、ベースクロック信号に基づいて、受信されたPCM信号をパルス変調し、パルス幅変調信号を生成するPCM/PWM変換部300と、生成されたパルス幅変調信号に従って電源電圧をスイッチングし、当該パルス幅変調信号の信号レベルを増幅して拡声信号を生成するスイッチング増幅回路108と、生成されたパルス幅変調信号と拡声信号との誤差を示す誤差信号を算出する誤差信号算出部111と、算出された誤差信号に基づいて、PCM/PWM変換部300によって用いられるクロック信号の位相を受信されたPCM信号に対して相対的に変化させる位相変換回路200と、を備える構成を有している。



[0167] この構成により、本実施形態のD級電力増幅装置100は、算出された誤差信号に基づいて、PCM/PWM変換部300によって用いられるベースクロック信号の位相を受信されたPCM信号に対して相対的に変化させる。

[0168] したがって、本実施形態のD級電力増幅装置100は、スイッチング増幅回路108によって生ずる誤差信号に基づいて、ベースクロック信号の位相を変化させることができるので、すなわち、シフトクロック1信号およびシフトクロック2信号を生成することができるので、当該シフトクロック1信号およびシフトクロック2信号を用いて、受信されたPCM信号からPWM信号を生成することができ、スイッチング増幅回路108にて増幅されるPWM信号のパルス幅を可変させることができる。

[0169] この結果、本実施形態のD級電力増幅装置100は、スイッチング増幅回路108にてスイッチング処理が施される際に生じる非線形歪み、すなわち、当該スイッチング増幅回路108にて直流電源のオン・オフの切り換えにより発生する非線形な歪みを的確に防止することができるとともに、PWM信号のパルス幅を可変にするための精度の高い専用の回路も必要なく、回路規模も小さくすることができる。

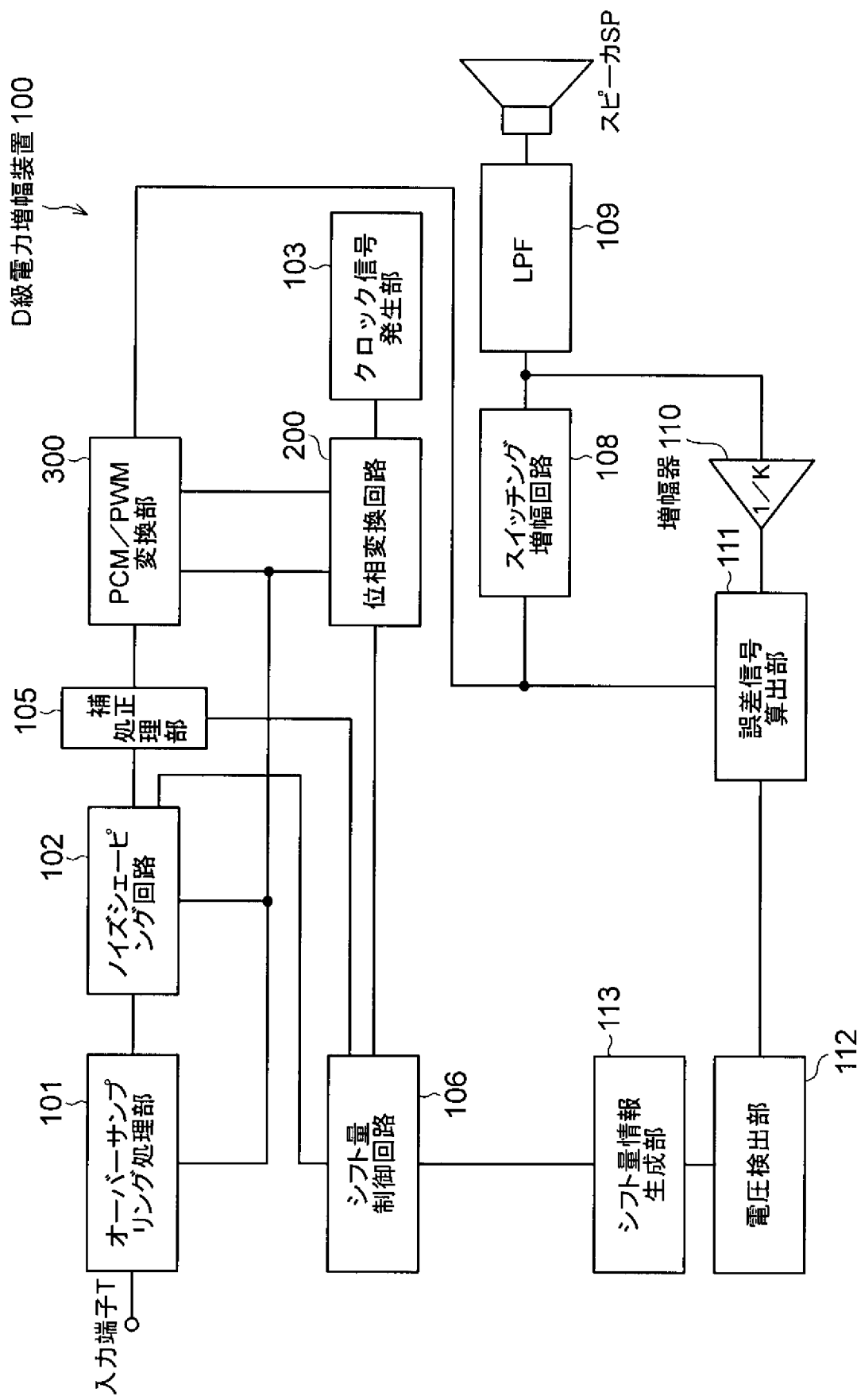
### 請求の範囲

- [1] 音信号をパルス変調し、当該パルス変調された音信号を増幅してスピーカに出力するD級電力増幅装置であって、
- デジタル信号である音信号を受信する受信手段と、
- クロック信号に基づいて、受信された音信号をパルス変調し、パルス幅変調信号を生成する第1生成手段と、
- 前記生成されたパルス幅変調信号に従って電源電圧をスイッチングし、当該パルス幅変調信号の信号レベルを増幅して拡声信号を生成する第2生成手段と、
- 前記生成されたパルス幅変調信号と前記拡声信号との誤差を示す誤差信号を検出する検出手段と、
- 前記検出された誤差信号に基づいて、前記第1生成手段によって用いられる前記クロック信号の位相を前記受信された音信号に対して相対的に変化させる位相変化手段と、
- を備えることを特徴とするD級電力増幅装置。
- [2] 請求項1に記載のD級電力増幅装置において、
- 前記位相変化手段が、前記パルス幅変調信号を生成する際に所定の区間毎に、前記第1生成手段によって用いられる前記クロック信号の位相を相対的に変化させることを特徴とするD級電力増幅装置。
- [3] 請求項1または2に記載のD級電力増幅装置において、
- 前記位相変化手段が、前記検出された誤差信号に基づいて、前記クロック信号の位相を直接的に変化させること、または、音信号の受信時のタイミングを変化させることの少なくとも何れか一方によって、前記クロック信号の位相を前記受信された音信号に対して相対的に変化させることを特徴とするD級電力増幅装置。
- [4] 請求項1乃至3の何れか一項に記載のD級電力増幅装置において、
- 前記音信号がPCM(Pulse Code Modulation)信号である場合に、
- 前記位相変化手段が、前記受信されたPCM信号の値であるPCM値に対応付けて前記クロック信号の位相を相対的に変化させるとともに、前記第1生成手段が、前記PCM値に対応するPCM信号毎に相対的に変化するクロック信号に基づいて、当

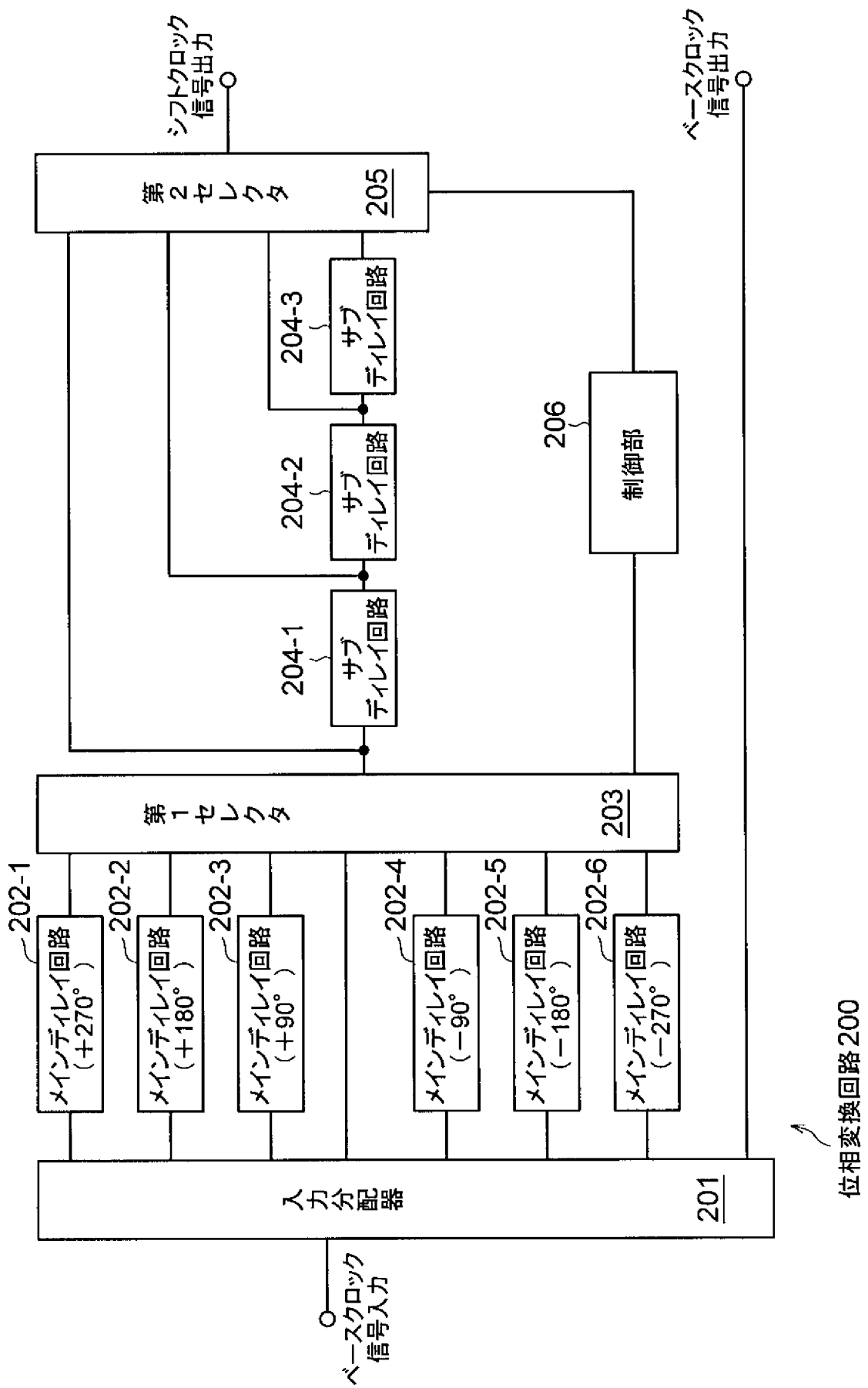
該PCM信号をパルス変調し、パルス幅変調信号を生成することを特徴とするD級電力増幅装置。

- [5] 請求項4に記載のD級電力増幅装置において、
- 前記位相変化手段が、任意のPCM値を有するPCM信号の変調に用いるクロック信号の位相を相対的に変化させる場合に、前記検出された誤差信号と、当該任意のPCM値を有する信号以前に受信されたPCM信号を変調する際に用いたクロック信号の位相変化と、に基づいて、前記任意のPCM値を有するPCM信号のパルス変調を行う際に用いる前記クロック信号の位相を相対的に変化させることを特徴とするD級電力増幅装置。

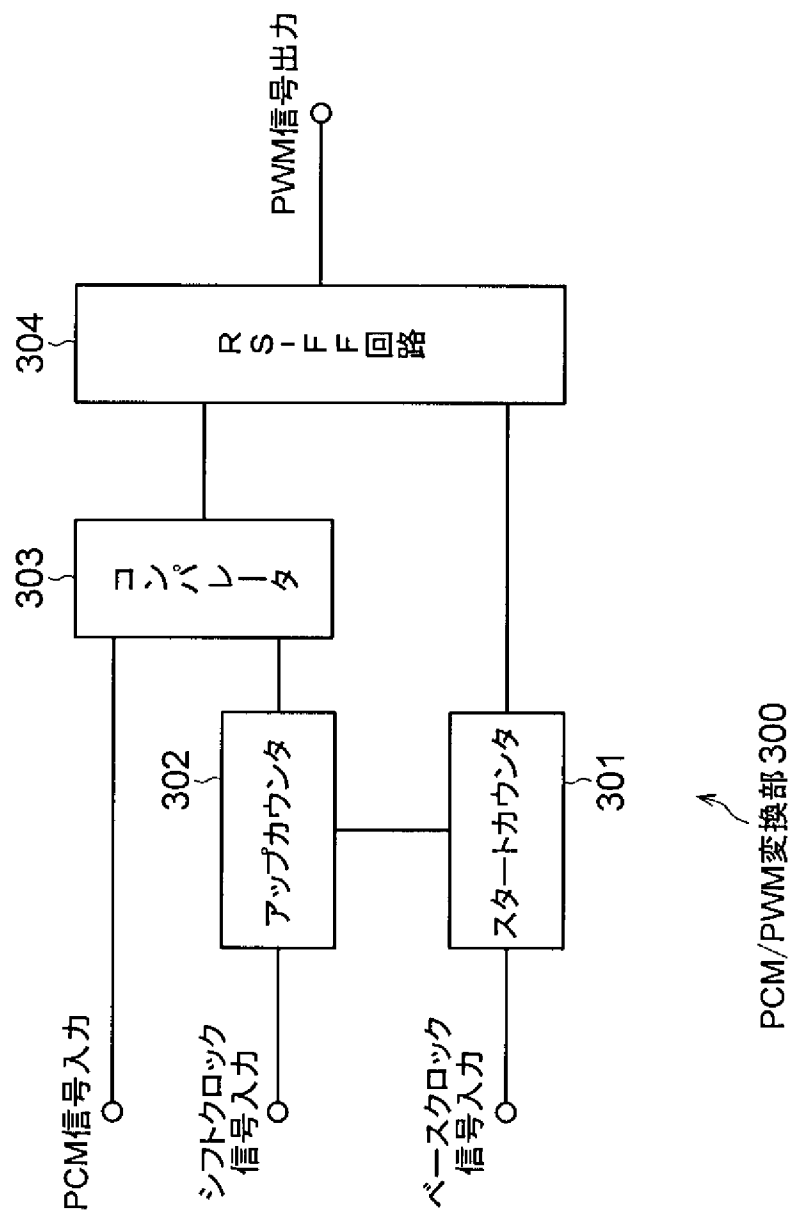
[図1]



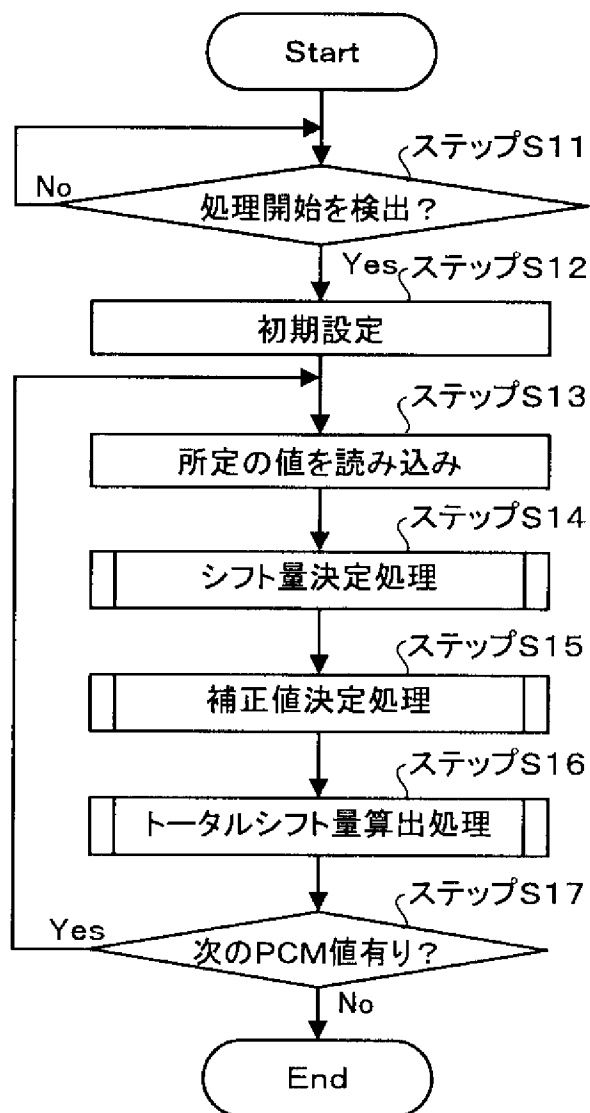
[図2]



[図3]



[図4]



[図5]

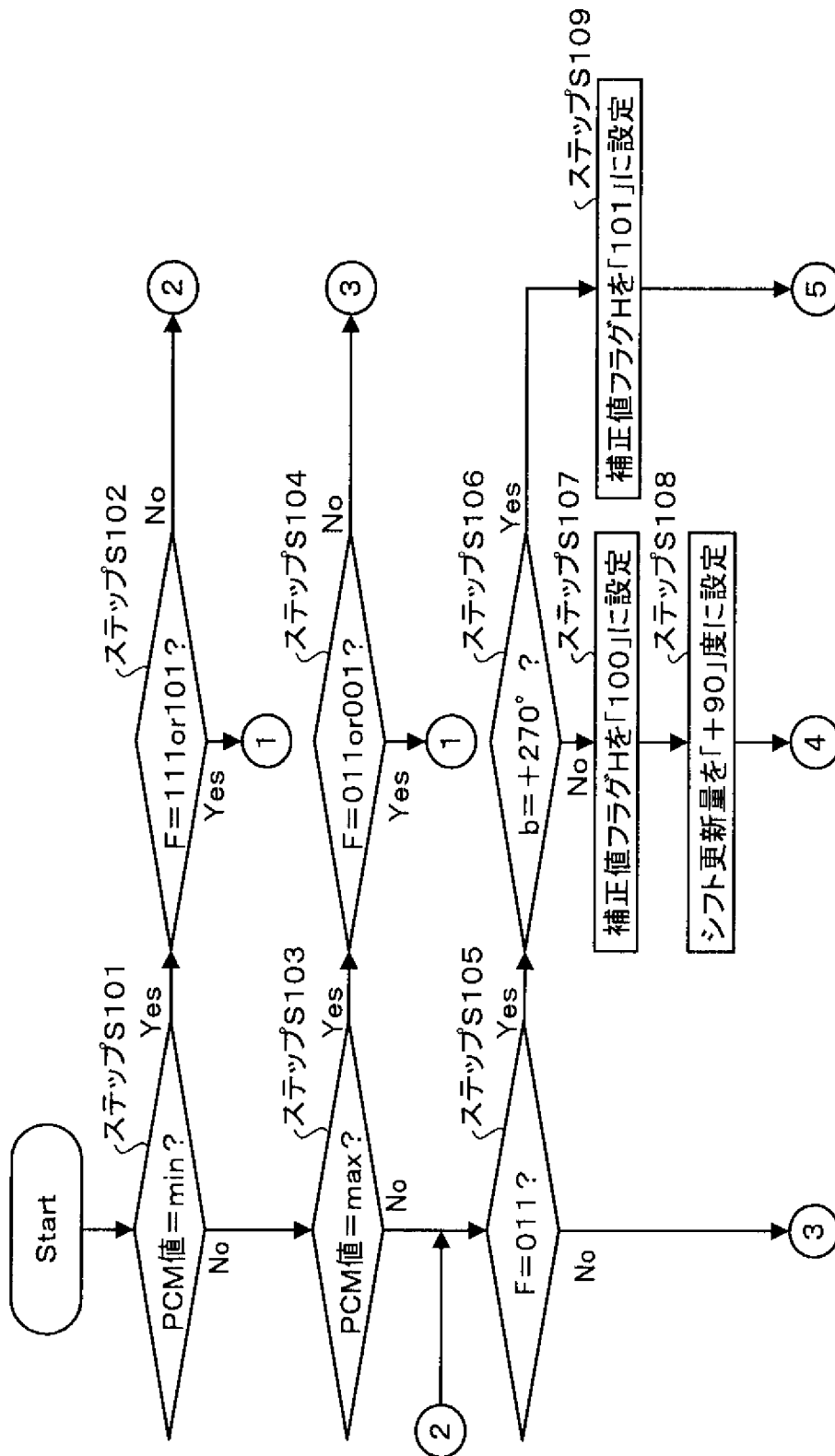
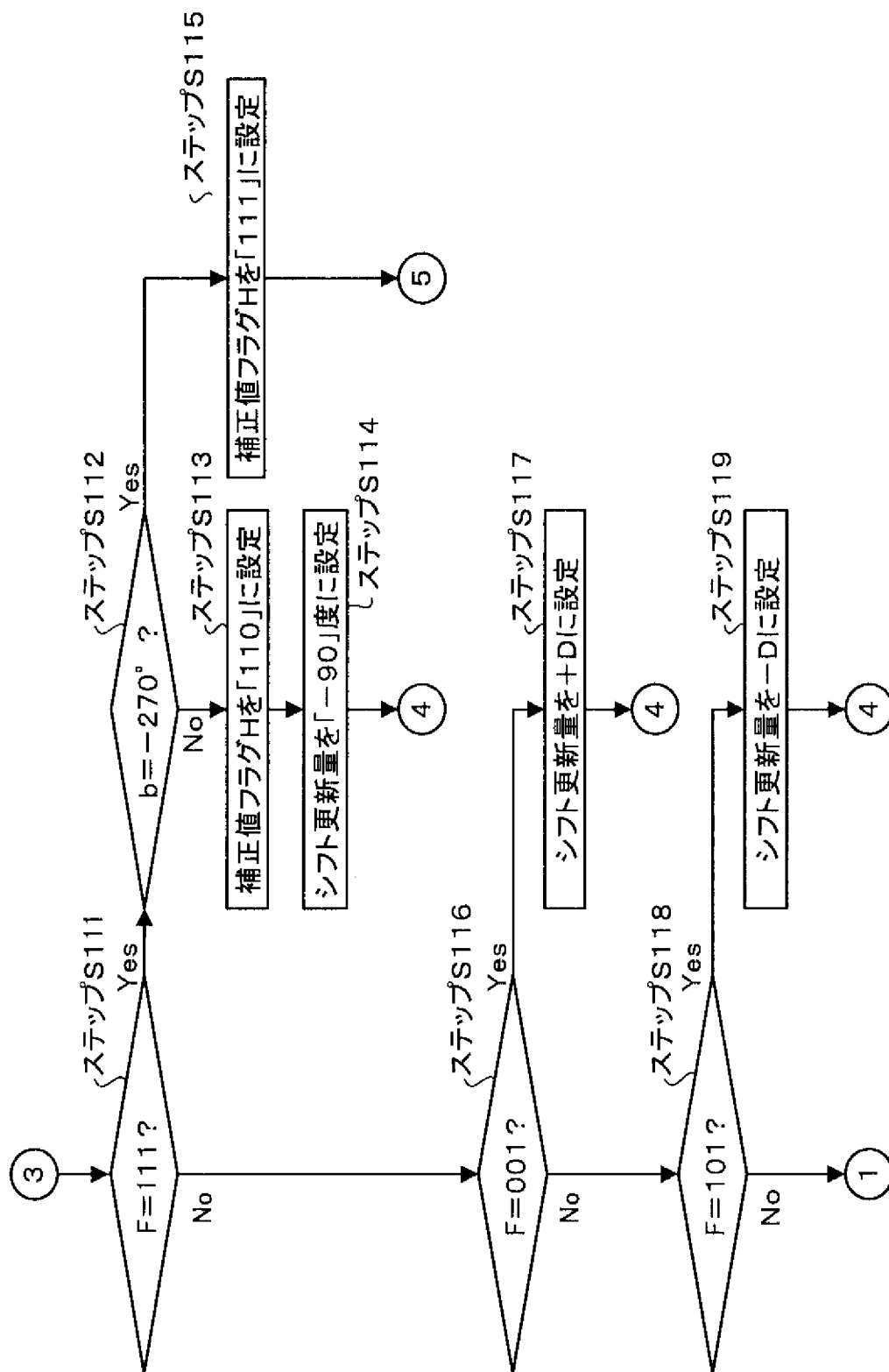
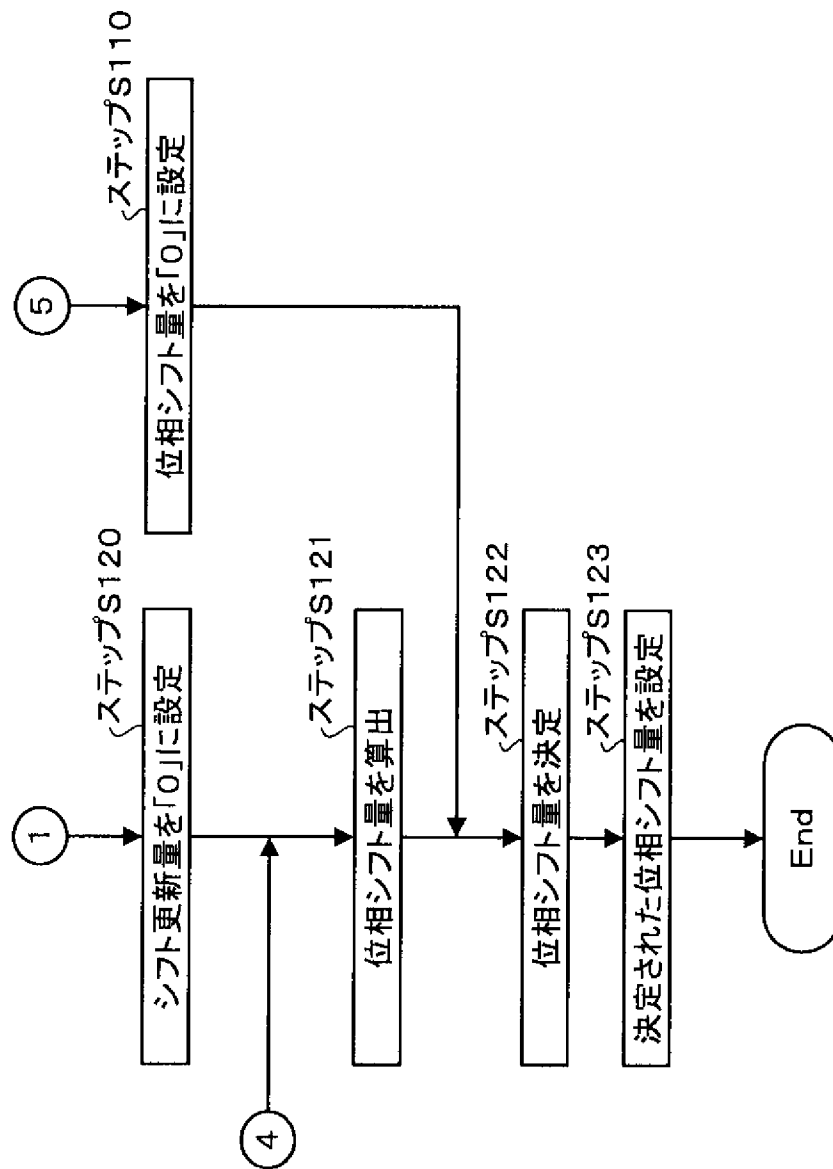




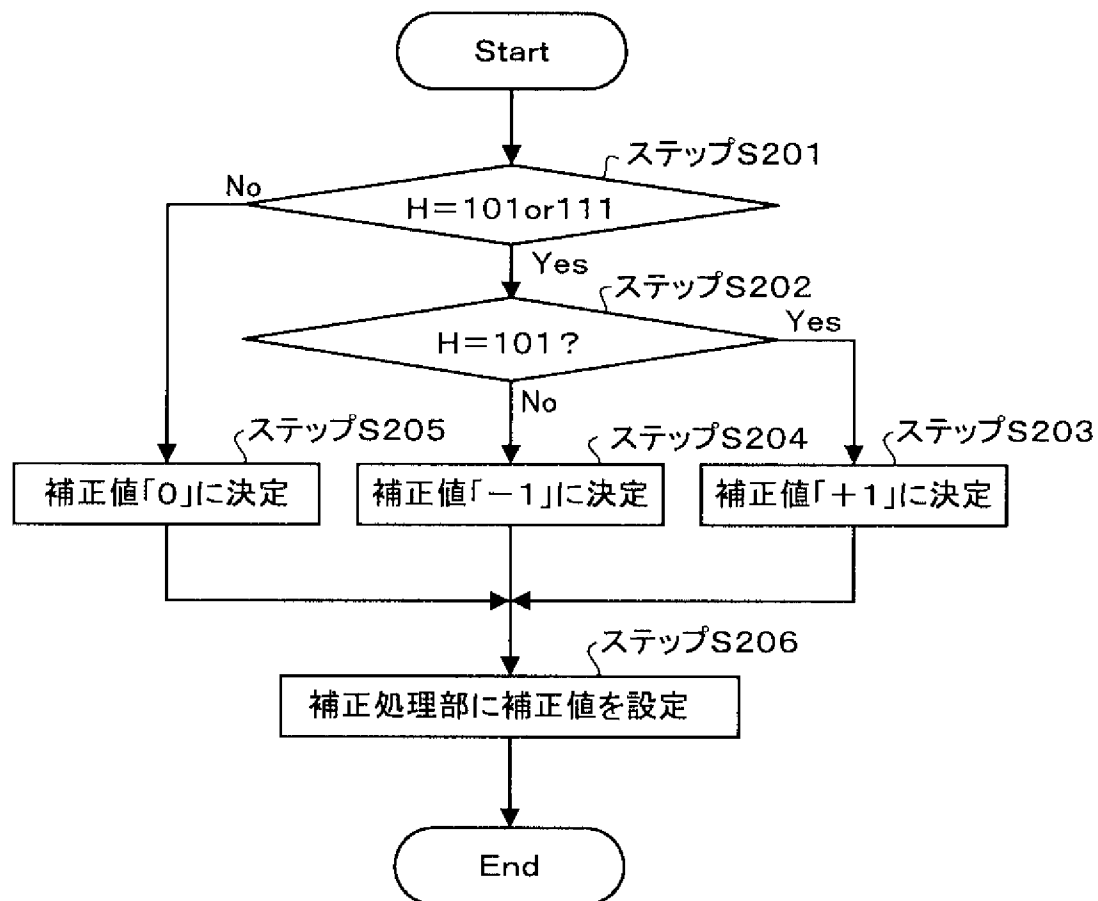
図6



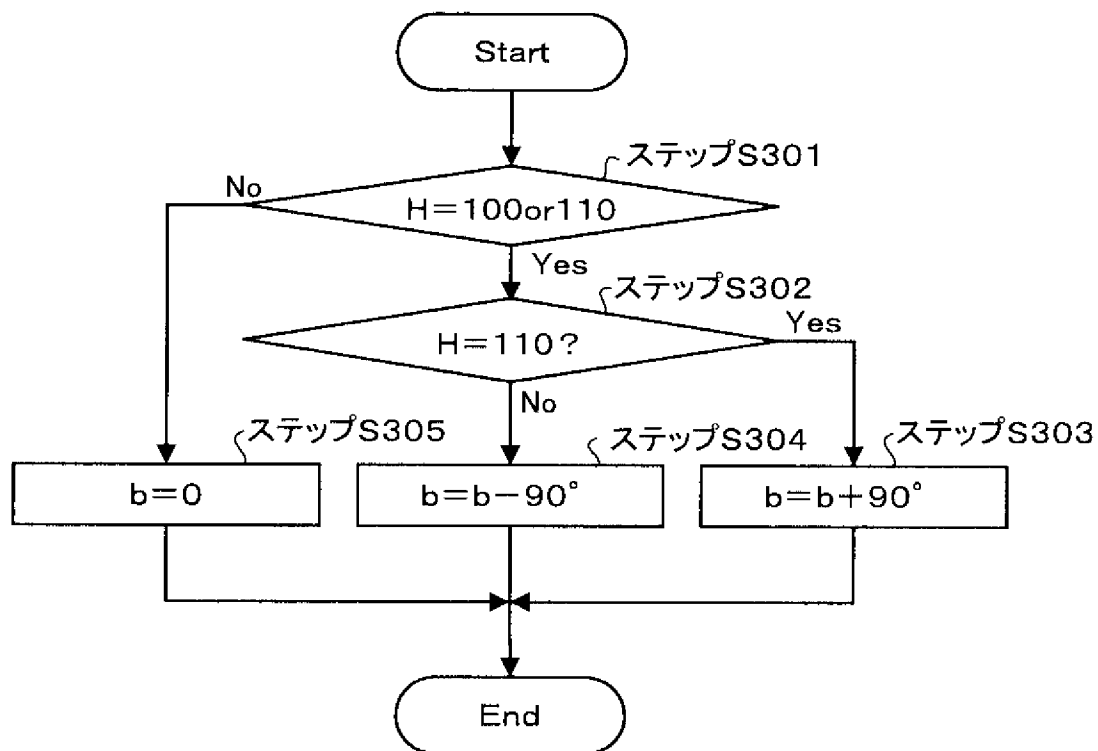
[図7]



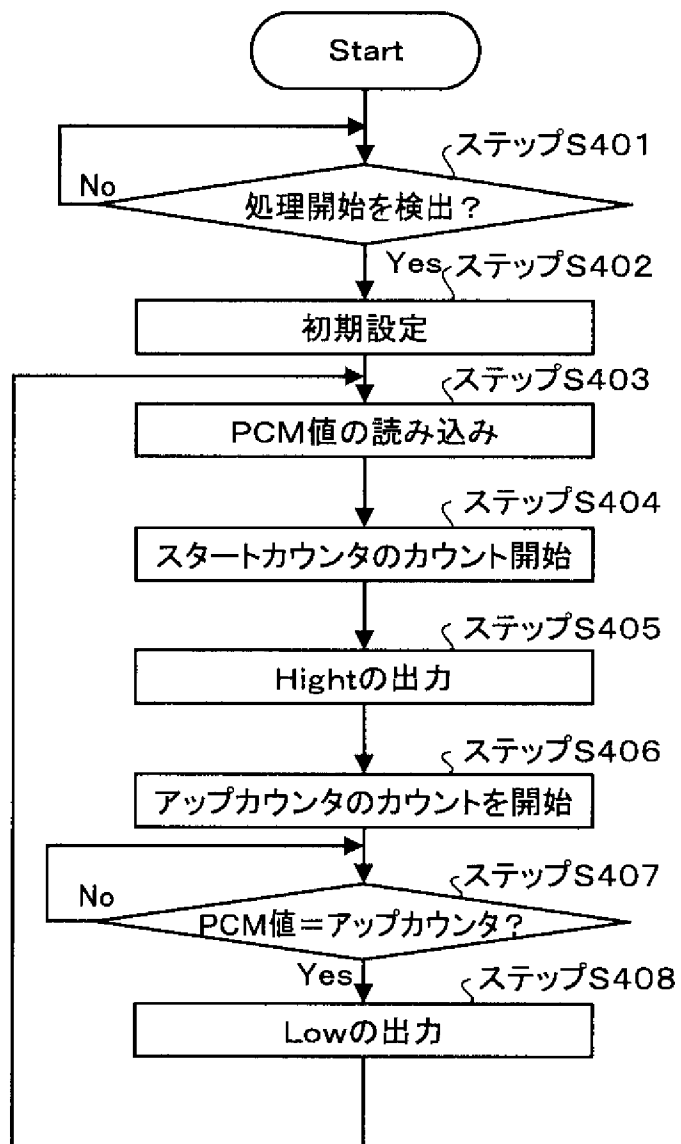
[図8]



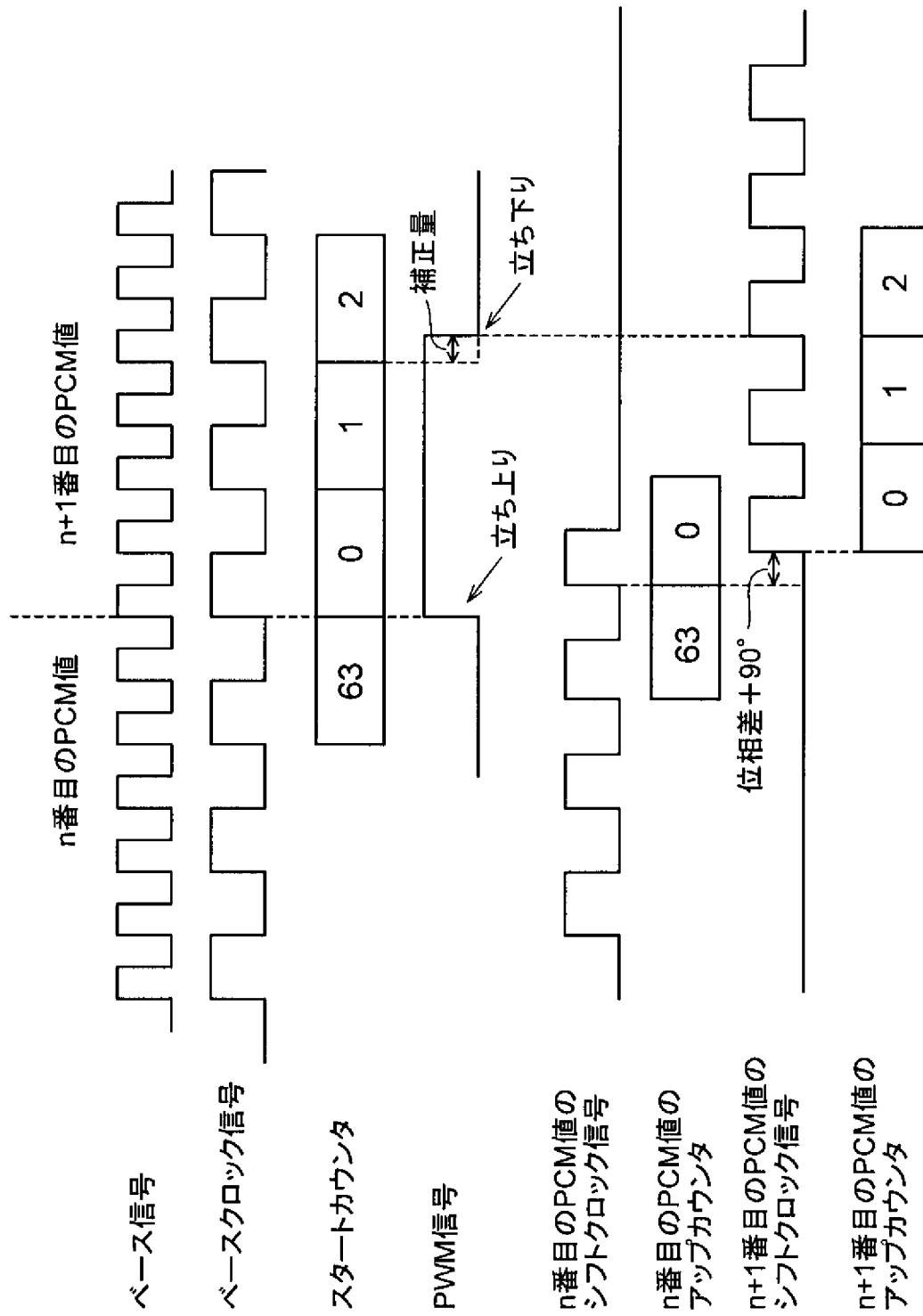
[図9]



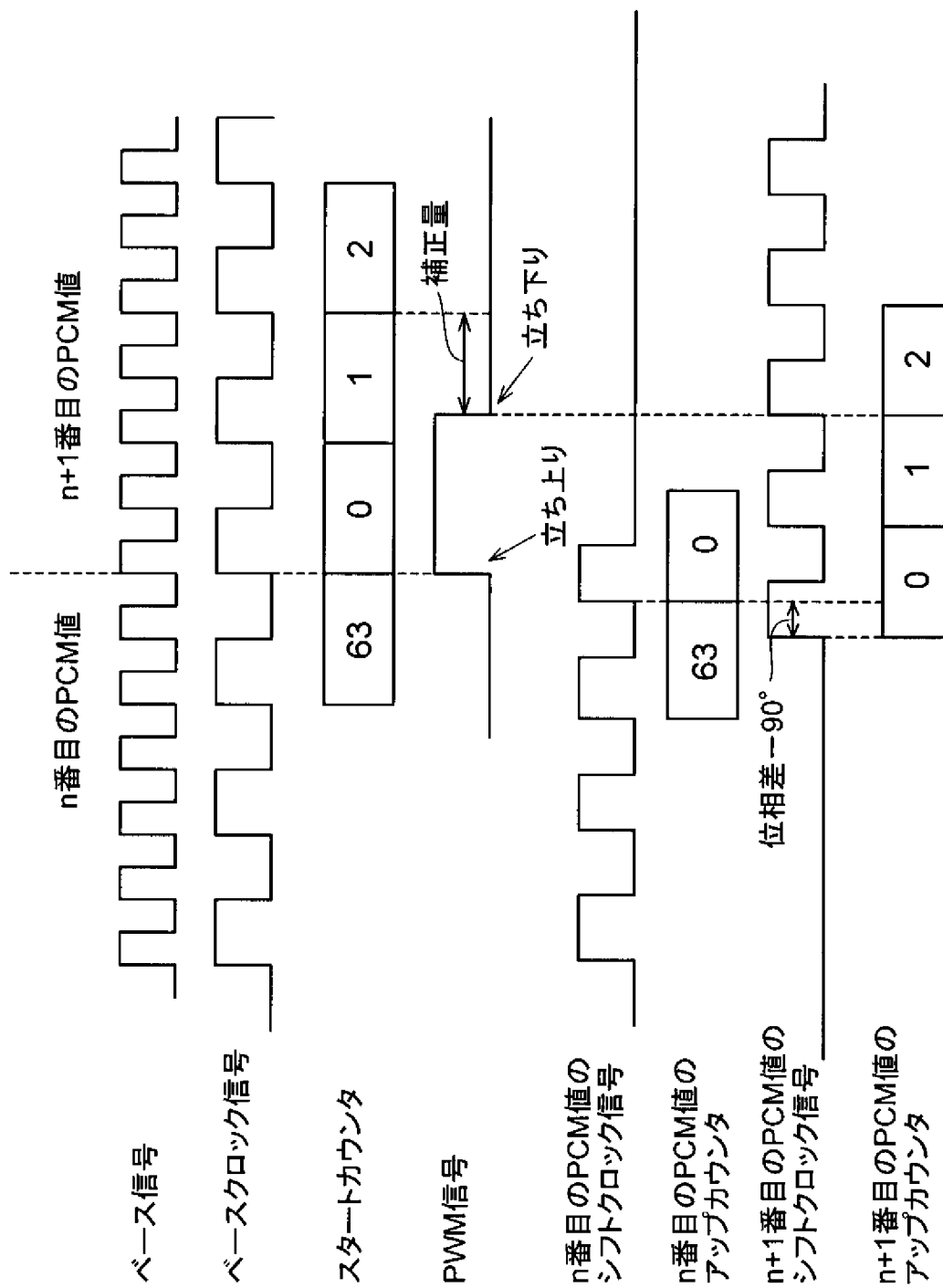
[図10]



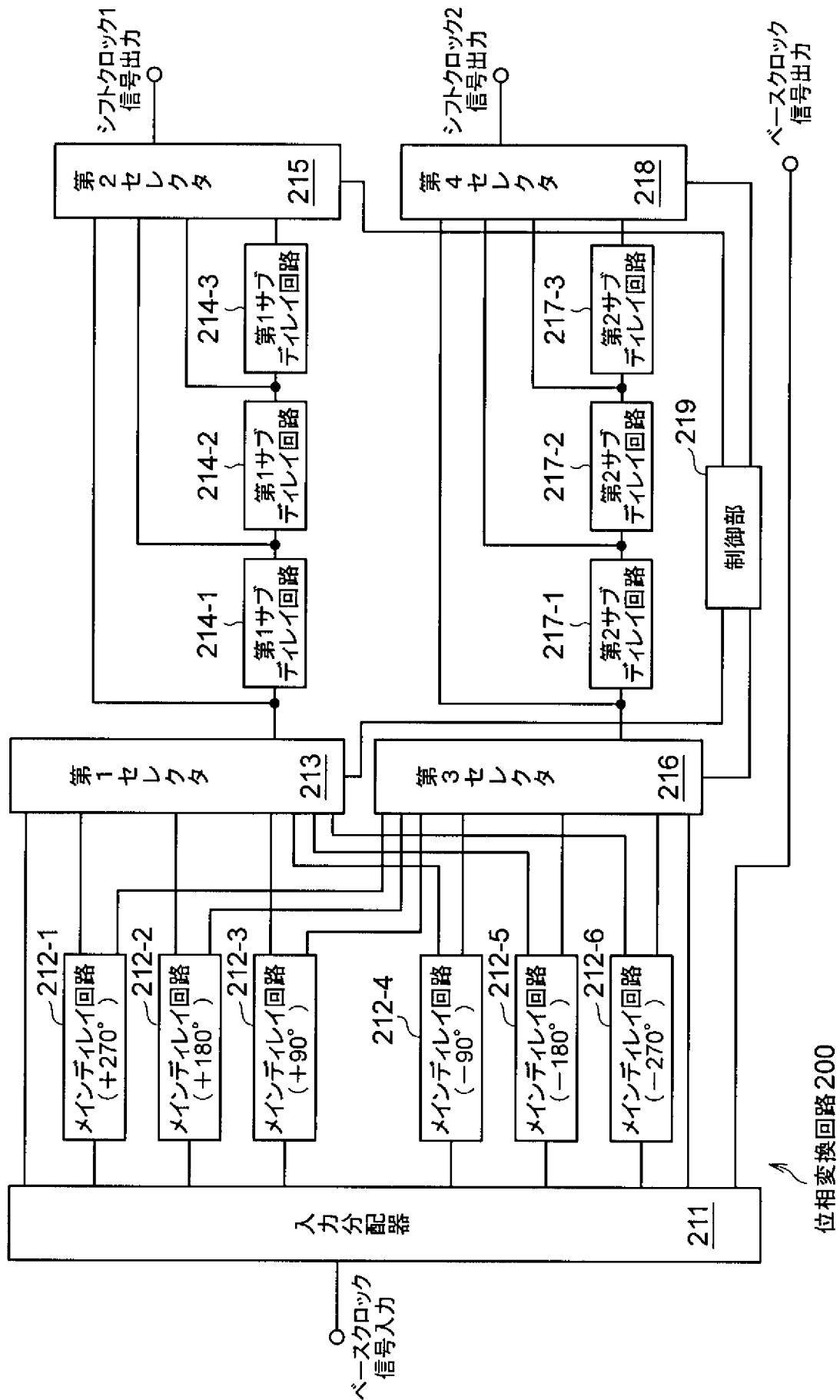
[図11]



[図12]

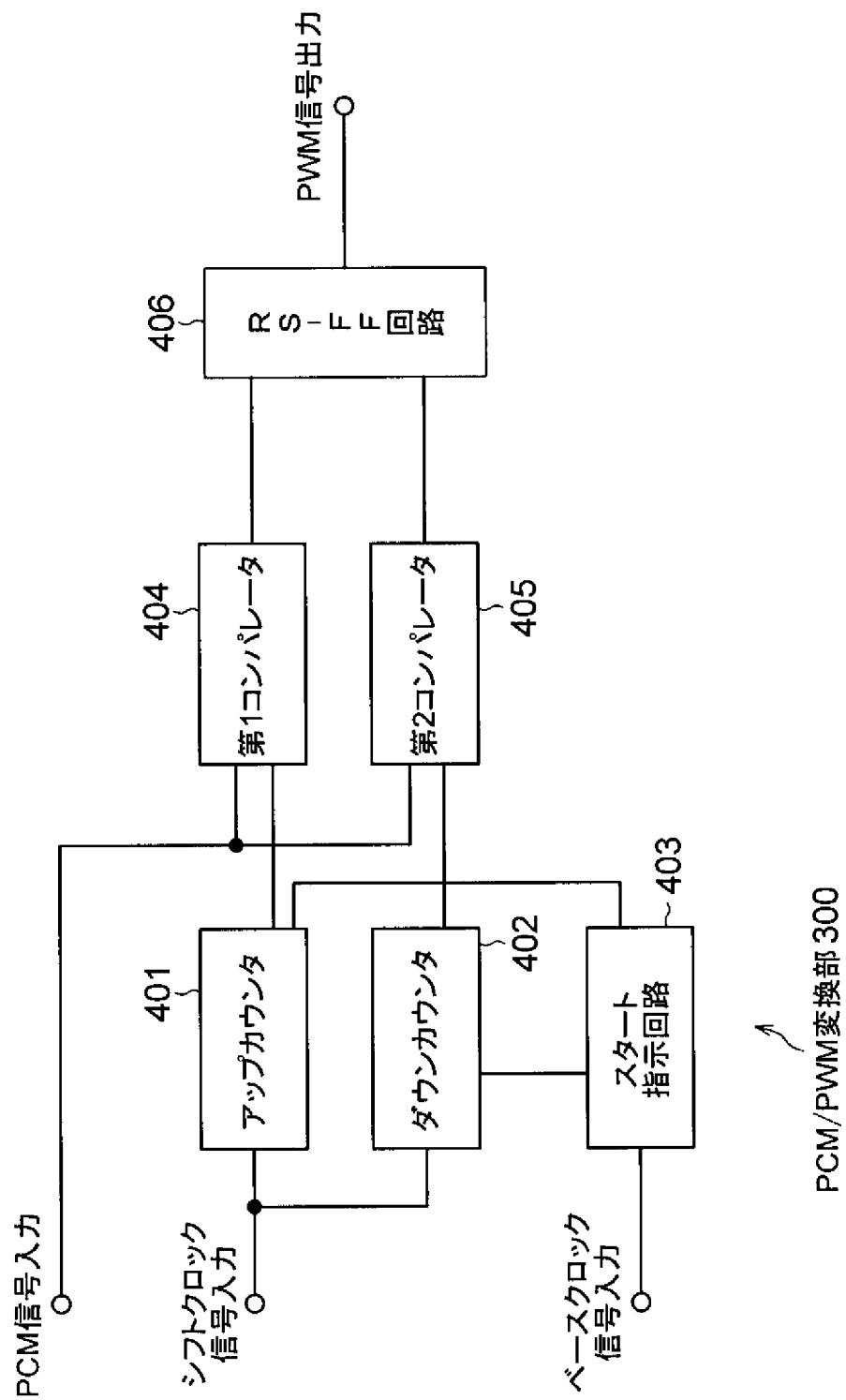


[図13]

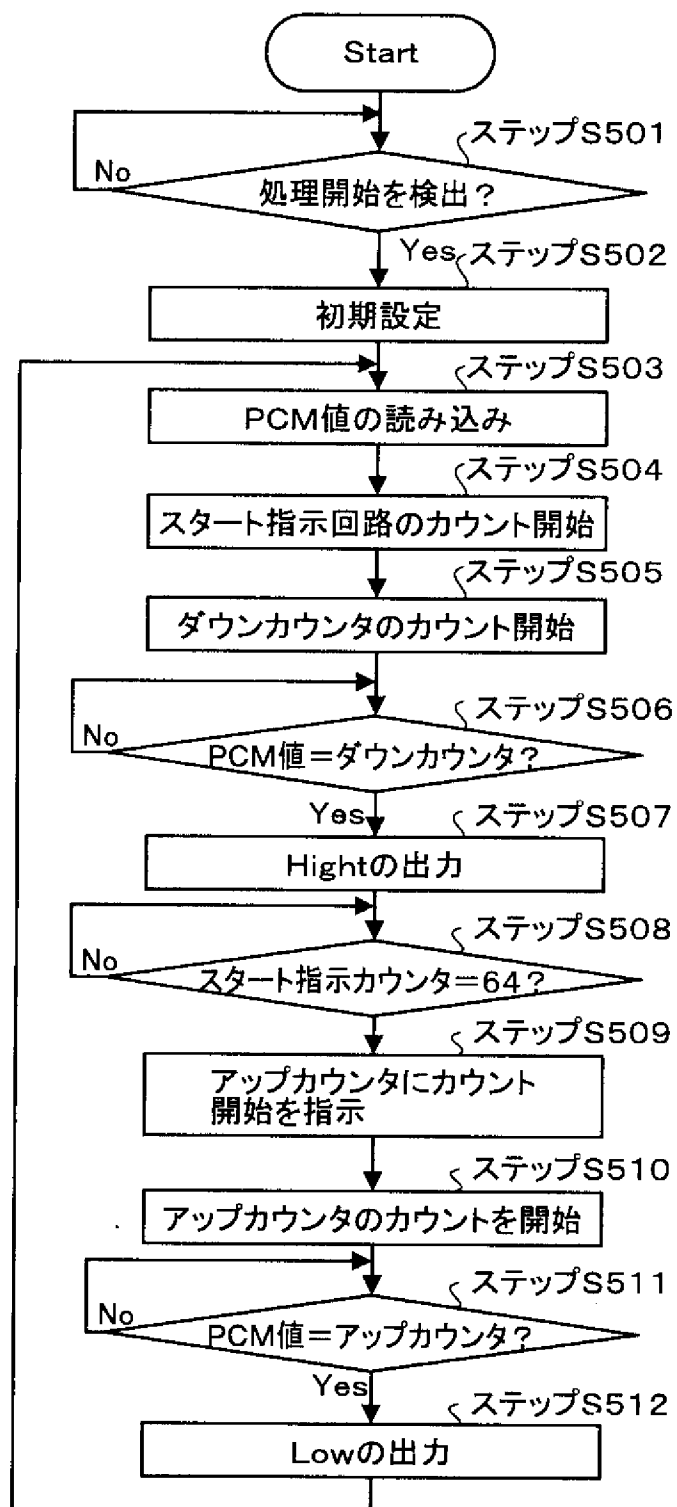




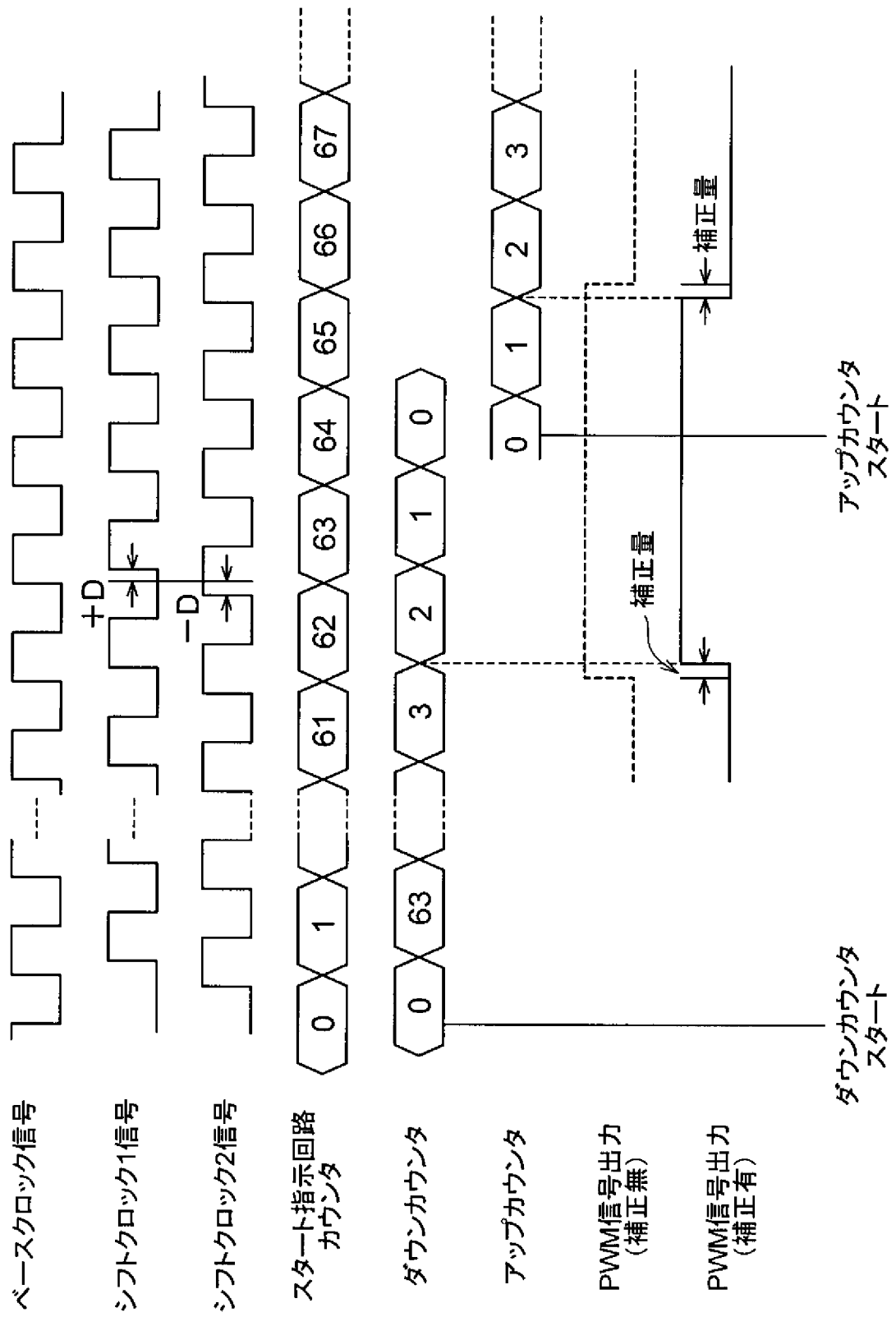
[図14]



[図15]



[図16]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313289

## A. CLASSIFICATION OF SUBJECT MATTER

H03F3/217(2006.01) i, H03F1/32(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/217, H03F1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2006 |
| Kokai Jitsuyo Shinan Koho | 1971-2006 | Toroku Jitsuyo Shinan Koho | 1994-2006 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                       | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2001-517393 A (NIELSEN, Karsten),<br>02 October, 2001 (02.10.01),<br>Full text; all drawings<br>& US 6768779 B1 & EP 1042865 A<br>& WO 98/044626 A2 & DE 69827039 D<br>& DE 69827039 T & AU 6495098 A<br>& CN 1251697 A & AU 730339 B<br>& CA 2285355 A & AT 279811 T | 1-5                   |
| A         | JP 2002-252527 A (Nokia Mobile Phones Ltd.),<br>06 September, 2002 (06.09.02),<br>Full text; all drawings<br>& US 2002-0084843 A1 & EP 1227579 B1<br>& DE 60115834 D                                                                                                     | 1-5                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
06 October, 2006 (06.10.06)

Date of mailing of the international search report  
17 October, 2006 (17.10.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/313289

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2004-172715 A (Mitsubishi Electric Corp.),<br>17 June, 2004 (17.06.04),<br>Full text; all drawings<br>& US 2004-0066229 A1 & DE 10347293 A<br>& CN 1497839 A | 1-5                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/217(2006.01)i, H03F1/32(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/217, H03F1/32

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                  |
|-------------|------------------|
| 日本国実用新案公報   | 1 9 2 2－1 9 9 6年 |
| 日本国公開実用新案公報 | 1 9 7 1－2 0 0 6年 |
| 日本国実用新案登録公報 | 1 9 9 6－2 0 0 6年 |
| 日本国登録実用新案公報 | 1 9 9 4－2 0 0 6年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                     | 関連する<br>請求の範囲の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|
| A               | JP 2001-517393 A（ニールセン，カールステン）2001.10.02,<br>全文、全図<br>& US 6768779 B1 & EP 1042865 A & WO 98/044626 A2<br>& DE 69827039 D & DE 69827039 T & AU 6495098 A<br>& CN 1251697 A & AU 730339 B & CA 2285355 A & AT 279811 T | 1-5              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 0 6

国際調査報告の発送日

1 7 . 1 0 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

野元 久道

5W

9184

電話番号 03-3581-1101 内線 3576

| C (続き) . 関連すると認められる文献 |                                                                                                                      |                  |
|-----------------------|----------------------------------------------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                    | 関連する<br>請求の範囲の番号 |
| A                     | JP 2002-252527 A (ノキア モービル フォーンズ リミティド)<br>2002.09.06, 全文、全図<br>& US 2002-0084843 A1 & EP 1227579 B1 & DE 60115834 D | 1-5              |
| A                     | JP 2004-172715 A (三菱電機株式会社) 2004.06.17, 全文、全図<br>& US2004-0066229 A1 & DE10347293 A & CN1497839 A                    | 1-5              |