

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8234 (2006.01)



[12] 发明专利说明书

专利号 ZL 03818175.4

[45] 授权公告日 2006 年 12 月 20 日

[11] 授权公告号 CN 1291483C

[22] 申请日 2003.7.2 [21] 申请号 03818175.4

[30] 优先权

[32] 2002. 7. 11 [33] US [31] 10/193,783

[86] 国际申请 PCT/US2003/021009 2003.7.2

[87] 国际公布 WO2004/008529 英 2004.1.22

[85] 进入国家阶段日期 2005.1.28

[73] 专利权人 国际整流器公司

地址 美国加利福尼亚州

[72] 发明人 安藤浩二 达维德·基奥拉

审查员 刘 微

[74] 专利代理机构 北京英赛嘉华知识产权代理有限公司

代理人 余 滕 方 挺

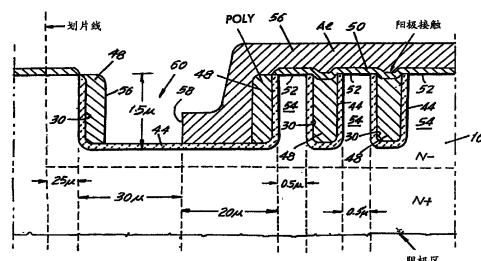
权利要求书 4 页 说明书 6 页 附图 4 页

[54] 发明名称

沟槽肖特基势垒二极管

[57] 摘要

一种肖特基势垒结构的制造方法，包括：直接在外延层上形成氮化物层，然后在该外延层中形成多个沟槽。在沟槽内壁淀积最终氧化物层而无需形成牺牲氧化物层，以避免在沟槽内壁顶部形成鸟喙。在同样的工艺步骤中腐蚀最终沟槽，用于在有源区中形成多个沟槽。



1. 一种用于制造沟槽肖特基势垒半导体器件的方法,包括以下步骤:在具有第一导电类型的硅衬底表面上直接形成氮化物层;对所述氮化物层进行构图以限定间隔的窗口,然后穿透所述窗口进行腐蚀以形成间隔的沟槽,所述沟槽由所述表面向下延伸至所述硅衬底内部;以及通过最终氧化物层形成所述沟槽的内壁的衬层而无需形成牺牲氧化物层并对所述牺牲氧化物层进行腐蚀,以防止在所述沟槽的内壁的顶部形成鸟喙。

2. 如权利要求 1 所述的方法,进一步包括:以具有第二导电类型的导电材料填充所述沟槽;形成位于顶部并与所述表面相接触的肖特基金属层;以及分别形成越过所述肖特基金属层和所述硅衬底的另一面并与所述肖特基金属层和所述硅衬底的另一面相接触的阳极和阴极,其中,通过穿透所述氮化物层以及穿透所述硅衬底上与所述窗口并列的间隔区域的腐蚀来开出所述窗口,以形成交替的沟槽和台。

3. 如权利要求 1 所述的方法,其中,以具有所述第二导电类型的所述导电材料填充所述沟槽的步骤包括在所述已构图的氮化物层上淀积连续的未掺杂的多晶硅层,以及向填充所述沟槽的所述未掺杂多晶硅层中注入具有第二导电类型的杂质。

4. 如权利要求 2 所述的方法,进一步包括去除覆盖于所述台的所述氮化物层以暴露所述硅衬底的间隔部分,所述去除在利用所述最终氧化物层形成所述间隔的沟槽的内壁的衬层后,通过在 150℃下在磷酸中进行湿法腐蚀实现。

5. 如权利要求 4 所述的方法,其中,所述肖特基金属层被用于所述台的顶部和所述沟槽的顶部的所述硅衬底的暴露部分上以形成肖特基势垒。

6. 如权利要求 1 所述的方法, 其中, 所述硅衬底的厚度为 $2.5 - 4\mu\text{m}$, 电阻率为 0.3 至 0.5 欧姆厘米。

7. 如权利要求 2 所述的方法, 其中, 所述最终氧化物层生长的厚度最大为 $500\text{\AA}$ 。

8. 如权利要求 3 所述的方法, 其中, 所述未掺杂层淀积的厚度为约 $7500\text{\AA}$ 。

9. 如权利要求 3 所述的方法, 其中, 杂质的注入包括将硼离子注入填充所述沟槽的所述未掺杂的硅层中, 其掺杂浓度为 $3 \times 10^{16}/\text{cm}^2$, 并在 1050°C 下推进一小时使所述硼离子进入所述沟槽, 以形成 P 型导电区域并提供在相邻台和沟槽间具有多个 p-n 结的半导体器件。

10. 如权利要求 3 所述的方法, 进一步包括通过等离子腐蚀对所述未掺杂的多晶硅层的掩蔽腐蚀的步骤, 腐蚀时间为超过腐蚀完成点 5 秒钟。

11. 如权利要求 5 所述的方法, 其中, 所述肖特基金属为钛或钛钨合金中的一种, 其溅射的厚度最大为 $600\text{\AA}$ 。

12. 如权利要求 11 所述的方法, 进一步包括下列步骤: 在 625°C 下对所述肖特基势垒层退火 30 秒, 并选择性地腐蚀所述退火后的肖特基势垒层。

13. 如权利要求 1 所述的方法, 其特征在于, 所述硅衬底具有从所述衬底的一面延伸并终止于所述沟槽下方的 N-外延层, 以及在所述 N-外延层和所述半导体衬底的所述另一面之间延伸的 N+衬底层。

14. 一种形成沟槽肖特基势垒器件的方法, 所述方法包括以下步骤: 在具有第一导电类型的半导体衬底的两个相对表面中的一个上形成

氮化物层;

构图所述氮化物层以在所述氮化物层上限定间隔的窗口;

通过腐蚀在所述氮化物层上开出窗口,所述腐蚀穿透所述窗口并且穿过所述半导体衬底的与所述窗口相对的一面的区域,以在所述半导体衬底中形成交替的沟槽和台;

在所述沟槽的底表面和侧壁上形成氧化物层而无需形成牺牲氧化物层,以避免在所述氮化物层和所述半导体衬底之间沿着所述台的间隔界面处形成鸟喙;

在所述氮化物层上淀积连续的未掺杂多晶硅层,以通过所述未掺杂多晶硅层填充所述沟槽;

在所述未掺杂多晶硅层中注入第二导电类型的杂质,以提供具有第二导电类型的所述多晶硅层;

去除覆盖于所述台上的所述氮化物层,以暴露所述半导体衬底;

在所述一个面上使用连续的阻挡层,以在所述台上的所述半导体衬底的暴露部分和所述阻挡层之间形成肖特基;以及

在所述半导体衬底的所述相对的表面上使用金属,以形成所述半导体器件的阳极和阴极。

15. 如权利要求 1 所述的方法,其中,最终沟槽与所述间隔的沟槽同时形成;所述肖特基金属层至少部分地被排除在所述最终沟槽之外。

16. 一种肖特基势垒半导体器件,包括硅衬底;所述硅衬底具有相对的面;所述相对的面中的一个具有多个间隔的沟槽以及可去除的氮化物层,所述氮化物层被直接提供于所述沟槽之间的所述一个面上;每个所述沟槽具有由最终氧化物层形成衬层的内壁,所述最终氧化物层直接生长于所述内壁上,而无需通过牺牲氧化物层在所述内壁上形成预衬层,因此当所述氮化物层被从所述硅衬底的所述一个表面上去除后,在所述间隔沟槽的所述内壁的顶部没有鸟喙形成。

17. 如权利要求 16 所述的器件,其中,最终沟槽与所述间隔沟槽同

时形成；所述肖特基金属层被排除在所述最终沟槽之外。

18. 如权利要求 17 所述的器件，其中，在所述最终沟槽的底表面上形成有薄的二氧化硅层，所述二氧化硅层插入于所述沟槽底部和所述肖特基金属层的重叠部分之间。

19. 如权利要求 18 所述的器件，进一步包括插入于所述二氧化硅层和所述肖特基金属层的所述重叠部分之间的 TEOS 阻挡层。

沟槽肖特基势垒二极管

发明领域

本发明涉及半导体器件，特别涉及一种新型沟槽肖特基二极管及其制造方法。

发明背景

肖特基二极管已被人们所熟知并通过多种不同的布图技术制造。其中最普遍的是平面布图。Baliga 的第 5,612,567 号专利中典型示出的沟槽型布图也已为人们所知。沟槽型肖特基二极管的制造工艺需要大量掩膜层和制造步骤。需要以减少的工艺步骤和较少掩膜层的方法制造沟槽肖特基二极管，并改善其最终结构。

发明内容

根据本发明，采用一种新型的 LOCOS（硅的局部氧化）工艺来制造沟槽型肖特基器件，其中去除了 LOCOS 工艺通常所需的氧化，并且去除了通常在壁上的栅氧化物生长之前沟槽壁所需的牺牲氧化。在这些去除步骤中保留了掩膜层和相关的关键工艺步骤，并且，出乎意料地避免了在沟槽边缘产生有害的“鸟喙（birds beak）”氧化物，从而改善了器件的反向漏电分布特性并且增加了产量。

更特别地，在为输出整流器市场的额定电压约为 20 伏的整流器的制造中，氮化硅层直接生长在硅片表面，其间不带有插入的二氧化硅垫层。然后通过沟槽掩膜工艺步骤在氮化物层中开出窗口图形，并进行沟槽腐蚀（包括最终沟槽的腐蚀）。继而不进行预先的牺牲氧化和光刻胶去除步骤的情况下对沟槽壁进行氧化。在对沟槽重新填充和平整化之后，通过湿法腐蚀去除氮化物以为随后的金属化提供表面。由此利用了 LOCOS 工艺的优点，但对其进行了调整以减少工艺步骤（包括一些较为关键的步骤），并改善制造能力和器件特性。

根据本发明的一个方面，提供了一种用于制造沟槽肖特基势垒半导体器件的方法，所述方法包括以下步骤：在具有第一导电类型的硅衬底表面上直接形成氮化物层；对所述氮化物层进行构图以限定间隔的窗口，然后穿透所述窗口进行腐蚀以形成间隔的沟槽，所述沟槽由所述表面向下延伸至所述硅衬底内部；以及通过最终氧化物层形成所述沟槽的内壁的衬层而无需形成牺牲氧化物层并对所述牺牲氧化物层进行腐蚀，以防止在所述沟槽的内壁的顶部形成鸟喙。

根据本发明的另一个方面，提供了一种形成沟槽肖特基势垒器件的方法，所述方法包括以下步骤：在具有第一导电类型的半导体衬底的两个相对表面中的一个上形成氮化物层；构图所述氮化物层以在所述氮化物层上限定间隔的窗口；通过腐蚀在所述氮化物层上开出窗口，所述腐蚀穿透所述窗口并且穿过所述半导体衬底的与所述窗口相对的一面的区域，以在所述半导体衬底中形成交替的沟槽和台；在所述沟槽的底表面和侧壁上形成氧化物层而无需形成牺牲氧化物层，以避免在所述氮化物层和所述半导体衬底之间沿着所述台的间隔界面处形成鸟喙；在所述氮化物层上淀积连续的未掺杂多晶硅层，以通过所述未掺杂多晶硅层填充所述沟槽；在所述未掺杂多晶硅层中注入第二导电类型的杂质，以提供具有第二导电类型的所述多晶硅层；去除覆盖于所述台上的所述氮化物层，以暴露所述半导体衬底；在所述一个面上使用连续的阻挡层，以在所述台上的所述半导体衬底的暴露部分和所述阻挡层之间形成肖特基；以及在所述半导体衬底的所述相对的表面上使用金属，以形成所述半导体器件的阳极和阴极。

根据本发明的又一个方面，提供了一种肖特基势垒半导体器件，其包括硅衬底；所述硅衬底具有相对的面；所述相对的面中的一个具有多个间隔的沟槽以及可去除的氮化物层，所述氮化物层被直接提供于所述沟槽之间的所述一个面上；每个所述沟槽具有由最终氧化物层形成衬层的内壁，所述最终氧化物层直接生长于所述内壁上，而无需通过牺牲氧化物层在所述内壁上形成预衬层，因此当所述氮化物层被从所述硅衬底的所述一个表面上去除后，在所述间隔沟槽的所述内壁的顶部没有鸟喙形成。

附图简要说明

图 1 示出了传统 LOCOS 工艺中形成垫氧化物层和氮化物层之后一小部分硅片的剖面图；

图 2 是对图 1 中的结构进行氮化物和沟槽干法刻蚀、牺牲氧化和氧化物湿法腐蚀后导致其下垫氧化物层底切的示意图；

图 3 是图 2 中的结构在沟槽壁上生长栅氧化物层后的示意图；

图 4 是图 3 中的结构在进行氮化物去除、多晶硅淀积、硼注入和推进、多晶硅回蚀 (etch back) 以及随后的垫氧化物腐蚀后产生鸟喙结构的示意图；

图 5 示出了图 1 中的晶片部分，其中氮化物层直接形成于硅上，不带有垫氧化物；

图 6 是图 5 中的晶片部分进行沟槽腐蚀和栅氧化物生长（没有牺牲氧化物步骤）后的示意图；

图 7 是图 6 中的结构在进行用于填充沟槽的多晶硅层淀积和向多晶硅中注入硼后的示意图；

图 8 是图 7 中结构进行多晶硅腐蚀后的示意图；

图 9 是图 8 中结构进行势垒金属（钛）淀积后的示意图；

图 10 是图 9 中结构进行势垒金属退火、未反应钛腐蚀和金属掩膜形成后的示意图；

图 11 是类似于图 10 的剖面图并且示出了晶片的更多的区域，包括有源区中的平行沟槽和最终沟槽。

具体实施方案

图 1 到图 4 示出了申请人使用 LOCOS 工艺形成沟槽肖特基器件的最初尝试。具有 N+ 衬底和生长于衬底上表面的 N- 外延的初始硅片 10，首先生长有常规的垫氧化物层 12（200 至 500 Å 厚的 SiO_2 层）。然后氮化物层 14（ Si_3N_4 ）淀积于垫氧化物层 12 的顶部。之后形成沟槽掩膜并进行光刻处理以形成多个平行的窗口。然后在硅中腐蚀多个平行沟槽（例如如图 2 所示的单个沟槽 16）。牺牲氧化物生长后对牺牲氧化物进行湿法腐

蚀。在这一过程中，如图 2 所示，垫氧化物层被底蚀。随后在沟槽 16 的壁上生长栅氧化物（500Å），在这一过程中，氮化物层 14 的悬置边被底切空间中生长的氧化物向上挤压。继而去除氮化物层，淀积多晶硅，对多晶硅进行硼掺杂并回蚀。垫氧化物被腐蚀，在沟槽的顶部边缘留下图 4 中所示的鸟喙。该鸟喙降低了完成的器件的漏电特性。

根据本发明，已发现可以去除垫氧化物和牺牲氧化物步骤而不会降低器件性能，并简化制造工艺。

图 5 到图 11 详细示出了本发明的肖特基二极管的制造工艺以及制造出的新型器件。所描述的是制造 20 伏器件的过程，但其可应用于具有适当改变的额定电压的任何器件。如图 5 所示，硅晶片 10 的厚度为 2.5μm 至约 4μm，其电阻率在 0.3 至 0.5 欧姆厘米之间。该晶片被例如氢氟酸（HF）清洗。HF 处理去除了热氧化物和自然氧化物。

利用使用多个掩蔽层的常规光刻工艺，将形成的构图图形从光掩膜转移到硅片表面，每次的光刻图形必须与硅片上的前一次构图小心对准。典型地，在晶片顶部形成所谓的零层或基层以提供这样的对准。该零层是在晶片上形成的初始层（典型的为图 1 中的垫氧化物层）。最常使用的一种商业对准方法是利用分步投影光刻机（stepper）来改善对准精度，该分步投影光刻机包括在 X 和 Y 方向上沿着划片线设置若干对准标记。但是这增加了生产成本。

申请人已经发现可以避免形成这种零掩膜而直接淀积约 600Å 厚的可移除的氮化物层，该氮化物层通过低压化学气相淀积技术（LPCVD）直接淀积在外延层 26 的表面 22 的顶部，如图 5 所示。因此，通过避免形成零氧化物掩膜可降低本发明的结构的总的生产成本。

为形成沟槽，在 Si_3Ni_4 层 26 的表面上形成掩膜层（未示出），并通过适当的光刻工艺对该掩膜层进行构图，其中该掩膜包括所需的沟槽图形。

如图 6 所示，使用适当的腐蚀工艺（例如等离子腐蚀）在层 26 中形成沟槽。结果，多个间隔的沟槽 28、30（图 6 至 11），优选地为平行间隔排列条，从外延层的顶侧 22 向下延伸至外延层中。最终沟槽区 30（图 11）也可在这一步形成。沟槽 28 和 30 的宽度约为 0.5 微米，间隔约为 0.5 微米，深度为 1.5 微米。注意也可使用其它已知的沟槽形成和腐蚀技

术。

一旦形成沟槽，光刻掩膜的保留部分将被去除，沟槽的暴露表面将经过预扩散清洗步骤。

总结上面公开的步骤序列，所发明的工艺成功避免了形成垫氧化物层。

本发明的工艺与已知的制造工艺进一步的关键区别是去除了图 3 的牺牲氧化物层。如上所述，申请人发现这两个步骤通常可被去掉，并且事实上这些步骤对于沟槽肖特基势垒结构的质量是有害的。

因此，本发明的方法接下来提供了如图 6 所示的栅氧化物步骤，其无需生长和腐蚀牺牲氧化物层。在本方法的这一阶段，使用湿法或干法工艺在沟槽的壁上生长厚度约为 $500\text{\AA}$ 的均匀的最终薄栅氧化物层 44。

接着，在该预先制造的结构上淀积厚度约为 $7500\text{\AA}$ 的非掺杂多晶硅层 48 以填充沟槽，如图 7 所示。

对器件的表面进行例如剂量为 $1\text{E}14/\text{cm}^2$ 、能量为 80keV 的硼注入。可使用任何一种可作为 P 型掺杂剂的注入粒子。在这些掺杂剂中，硼或 BF_2 是最常用的。

然后在进行了再一次的预扩散清洗后，在 1050°C 下对注入粒子进行一小时的激活和推进，以使得沟槽中的多晶硅为 P 型导电。因为 P 型多晶硅 48，在沟槽 28 和台 30 之间形成的多个电极在反向偏置作用下耗尽沟槽间 N-台中的电荷以阻滞反向电压。

随后通过适当的等离子刻蚀机执行多晶硅掩蔽 (blanket) 刻蚀 (如图 8 所示)，刻蚀时间比去除器件表面的多晶硅所需的时间长约 5 秒钟。在完成多晶硅刻蚀步骤后，在 150°C 下使用磷酸通过湿法腐蚀去除覆盖台区的氮化物层。

鸟喙效应并不能通过如传统 LOCOS 工艺中的附加掩膜去除。去除鸟喙效应的好处在于漏电减少、产量增加并且从而成本降低。

接下来参照图 9，通过任何可使用的所需预金属化清洗来清洗顶表面 22。然后在表面溅射厚度为约 $600\text{\AA}$ 的势垒金属 50，例如钛或钛钨合金 (TiW) 等。可使用任何技术来进行钛淀积；溅射和电子束蒸发是最常用的技术。可使用任何厚度的钛层，但钛层优选为约 $600\text{\AA}$ 厚以最大化随后

的金属硅化物层厚度，并且最小化未反应的钛的厚度。

将钛层在惰性气体中进行高温退火。结果薄钛层与器件有源区进行反应以在有源区上形成硅化钛层，以形成延伸至台区 54 顶部的肖特基接触 52。沿着停止区 21 延伸的未反应钛层可通过对本发明的结构的腐蚀而去除，可使用任何已知的基于氢氧化铵和过氧化氢的溶液进行腐蚀。腐蚀时间可以变化，但腐蚀温度不应超过 80℃ 以避免 H_2O_2 的过快分解。

可以是铝层或其它导电金属层的接触金属层 56（图 10）随后被淀积在本发明的结构的顶部。使用金属掩膜（未示出）用于进一步腐蚀以部分去除最终的沟槽区域 60 中的顶部金属的外围部分 58（图 11）。

最后，整个晶片通过胶带连接到研磨设备的框架（未示出）并对其底部进行研磨，以将晶片减薄至 8 密耳，然后将该工件取下，进行腐蚀以平滑由研磨所产生的粗糙表面。在晶片的底部上溅射背面金属（例如三金属 Ti/Ni/Ag）以形成位于本发明的肖特基整流器底表面上的阴极。然后沿着划片线切割晶片将其分离为多个相同的二极管。

在图 11 的实施例中，沟槽 60 中的二氧化硅 44 具有与栅氧化物相同的厚度，约为 500Å。在温度周期变化中，位于铝接触 58 的外围部分 58 的底部以及“x”区的这种极薄氧化物层可能会破裂。可通过使用较厚的氧化物（例如 750 Å 至 1000 Å）或使用附加的掩膜步骤（利用 5000 Å 厚的 TEOS 层）来防止破裂。可选地，可通过随后的接触金属形成过程中的钛钨合金以及铝淀积来形成约为 3500 Å 厚（非严格的）的钛钨合金势垒，以保护最终区域中的栅氧化物 44。

虽然对本发明的描述是参考其具体实施方案进行的，但对本领域的普通技术人员而言，许多其它的变化和修改都是显而易见的。本发明不应该局限于本文的特定公开，而应仅由所附权利要求书来限定。

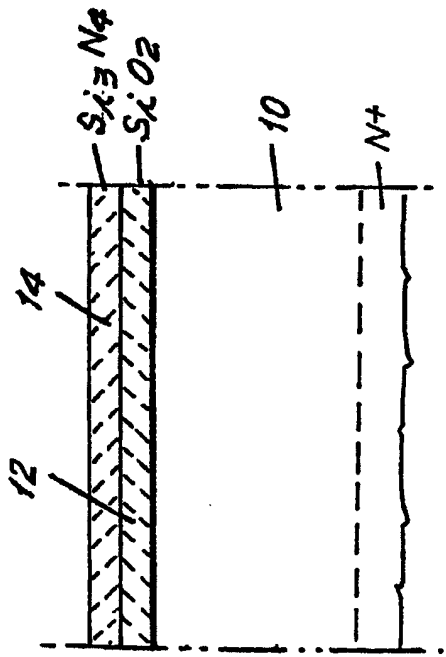


图 1

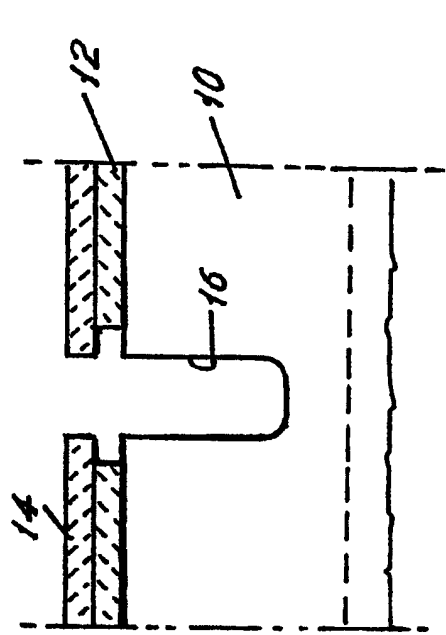


图 2

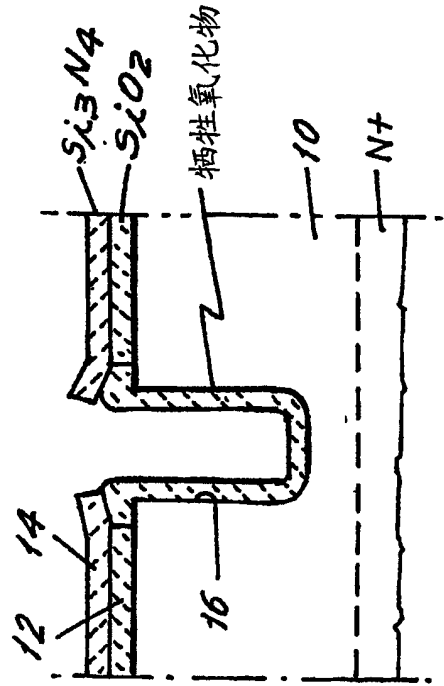


图 3

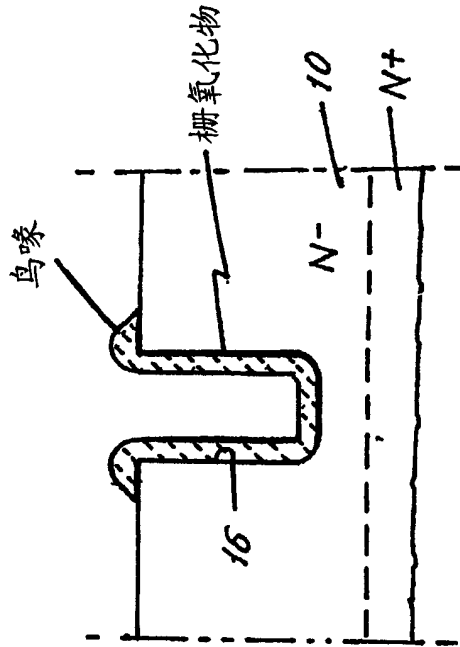


图 4

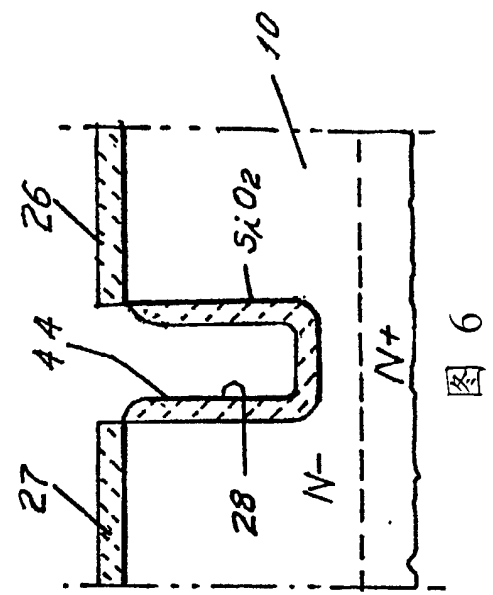


图 6

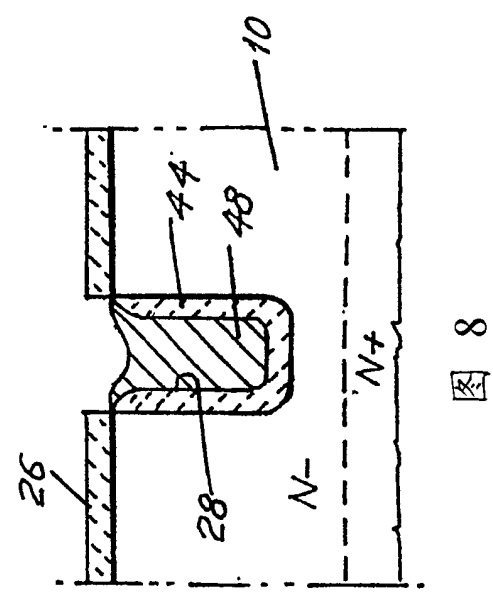


图 8

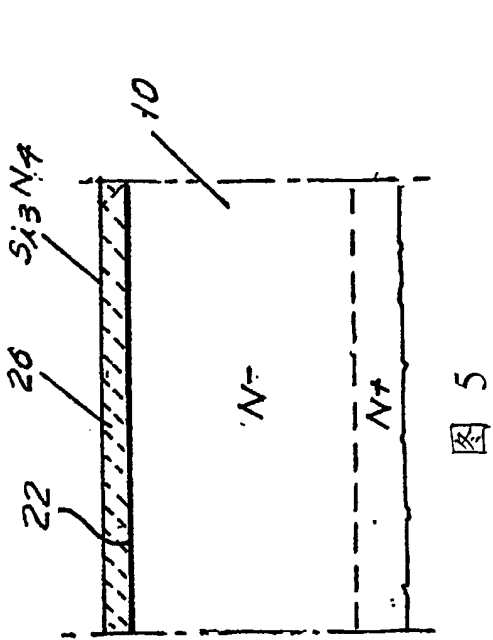


图 5

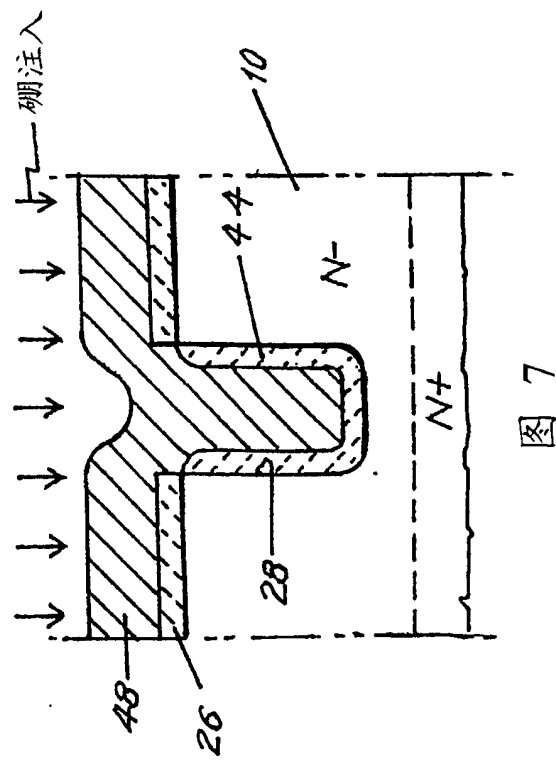


图 7

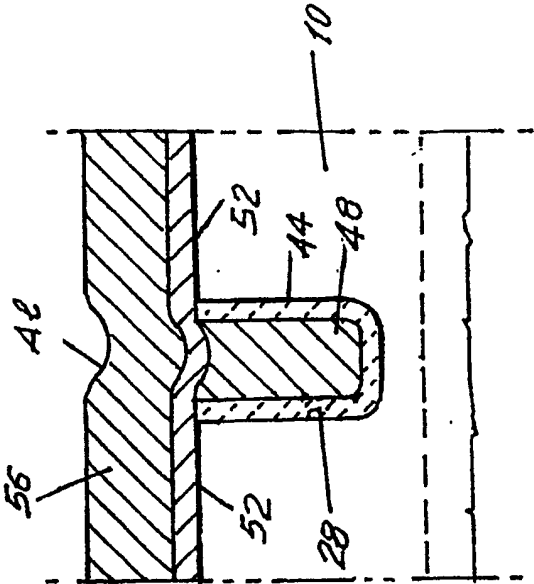


图 10

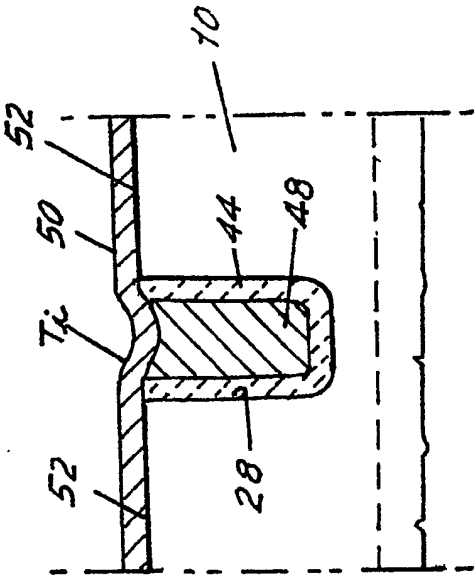


图 9

