

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-212503

(P2009-212503A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 21/02 (2006.01)	HO1L 27/12	B 5F11O
HO1L 27/12 (2006.01)	HO1L 21/322	X 5F152
HO1L 21/322 (2006.01)	HO1L 21/265	F
HO1L 21/265 (2006.01)	HO1L 21/265	Q
HO1L 21/20 (2006.01)	HO1L 21/20	

審査請求 未請求 請求項の数 11 O L (全 39 頁) 最終頁に続く

(21) 出願番号	特願2009-22434 (P2009-22434)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成21年2月3日 (2009.2.3)	(72) 発明者	大沼 英人 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2008-24608 (P2008-24608)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成20年2月4日 (2008.2.4)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

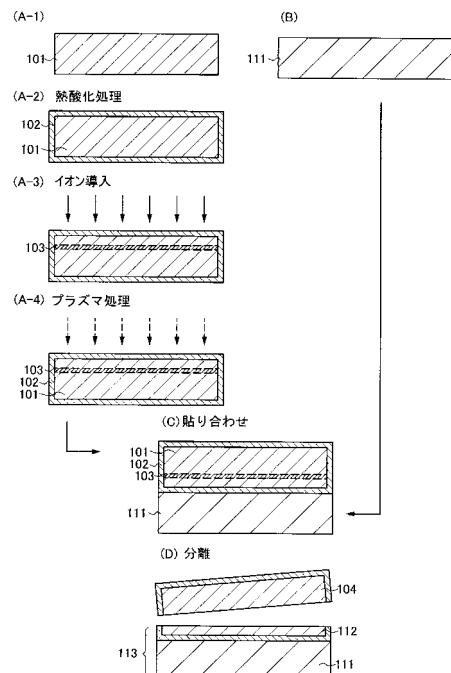
(54) 【発明の名称】 S O I 基板の作製方法

(57) 【要約】

【課題】 単結晶半導体層と半導体基板との密着性を向上させ、貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつS O I基板の作製方法を提供することを目的とする。

【解決手段】 脆化層を形成する単結晶半導体基板側にハロゲンを含む絶縁膜を形成し、該ハロゲンを含む絶縁膜に対してプラズマ処理を行い、ハロゲンを含む絶縁膜と半導体基板の一方の面とが向かい合うようにボンディング(接着)させ、熱処理を行うことにより、脆化層において単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対して平坦化処理を行う。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

単結晶半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該単結晶半導体基板の表面にハロゲンを含む絶縁膜を形成し、

前記ハロゲンを含む絶縁膜を介して前記単結晶半導体基板にイオンを照射することにより、前記単結晶半導体基板中に脆化層を形成し、

バイアス電圧を印加して前記ハロゲンを含む絶縁膜に対して、プラズマ処理を行い、

前記ハロゲンを含む絶縁膜と半導体基板の一方の面とが向かい合うように接着させ、

熱処理を行うことにより、前記脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された前記半導体基板と単結晶半導体基板とに分離し、

前記半導体基板に接着された前記単結晶半導体層に対して平坦化処理を行うことを特徴とするSOI基板の作製方法。

10

【請求項 2】

単結晶半導体基板にイオンを照射することにより、前記単結晶半導体基板中に脆化層を形成し、

半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該半導体基板の表面にハロゲンを含む絶縁膜を形成し、

バイアス電圧を印加して前記ハロゲンを含む絶縁膜に対して、プラズマ処理を行い、

前記ハロゲンを含む絶縁膜と前記単結晶半導体基板の一方の面とが向かい合うように接着させ、

熱処理を行うことにより、前記脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された前記半導体基板と単結晶半導体基板とに分離し、

20

前記半導体基板に接着された前記単結晶半導体基層に対して平坦化処理を行うことを特徴とするSOI基板の作製方法。

【請求項 3】

単結晶半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該単結晶半導体基板の表面にハロゲンを含む絶縁膜を形成し、

前記ハロゲンを含む絶縁膜を介して前記単結晶半導体基板にイオンを照射することにより、前記単結晶半導体基中に脆化層を形成し、

バイアス電圧を印加して前記ハロゲンを含む絶縁膜に対して、プラズマ処理を行い、

半導体基板の表面に熱酸化処理を行うことにより、該半導体基板の表面に絶縁膜を形成し、

30

前記ハロゲンを含む絶縁膜と前記絶縁膜の一方の面とが向かい合うように接着させ、

熱処理を行うことにより、前記脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された前記半導体基板と単結晶半導体基板とに分離し、

前記半導体基板に接着された前記単結晶半導体層に対して平坦化処理を行うことを特徴とするSOI基板の作製方法。

【請求項 4】

単結晶半導体基板に熱酸化処理を行うことにより、該単結晶半導体基板の表面に絶縁膜を形成し、

前記絶縁膜を介して前記単結晶半導体基板にイオンを照射することにより、前記単結晶半導体基板中に脆化層を形成し、

半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該半導体基板の表面にハロゲンを含む絶縁膜を形成し、

バイアス電圧を印加して前記ハロゲンを含む絶縁膜に対して、プラズマ処理を行い、

前記ハロゲンを含む絶縁膜と前記絶縁膜の一方の面とが向かい合うように接着させ、

熱処理を行うことにより、前記脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された前記半導体基板と単結晶半導体基板とに分離し、

40

前記半導体基板に接着された前記単結晶半導体層に対して平坦化処理を行うことを特徴とするSOI基板の作製方法。

50

【請求項 5】

単結晶半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該単結晶半導体基板の表面にハロゲンを含む絶縁膜を形成し、

前記ハロゲンを含む絶縁膜を介して前記単結晶半導体基板にイオンを照射することにより、前記単結晶半導体基板中に脆化層を形成し、

前記脆化層が形成された側の前記ハロゲンを含む絶縁膜上に第1の絶縁膜を形成し、

バイアス電圧を印加して前記第1の絶縁膜に対してプラズマ処理を行い、

半導体基板の表面に熱酸化処理を行うことにより、該半導体基板の表面に第2の絶縁膜を形成し、

前記第1の絶縁膜と前記第2の絶縁膜の一方の面とが向かい合うように接着させ、

熱処理を行うことにより、前記脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された前記半導体基板と単結晶半導体基板とに分離し、

前記半導体基板に接着された前記単結晶半導体層に対して平坦化処理を行うことを特徴とするSOI基板の作製方法。

【請求項 6】

請求項1乃至請求項5のいずれか一において、

前記脆化層の形成のためのソースガスに水素ガスを用い、

前記水素ガスを励起して、 H_3^+ を含むプラズマを生成し、前記プラズマに含まれるイオンを加速して、前記単結晶半導体基板に照射することで、前記脆化層を形成することを特徴とするSOI基板の作製方法。

【請求項 7】

請求項1乃至請求項6のいずれか一において、

前記ハロゲンを含む絶縁膜は、酸化シリコンを主成分とする絶縁膜であることを特徴とするSOI基板の作製方法。

【請求項 8】

請求項1乃至請求項7のいずれか一において、

前記ハロゲンを含む絶縁膜は、ハロゲンの濃度が 1×10^{16} atoms/cm³以上 2×10^{21} atoms/cm³以下であることを特徴とするSOI基板の作製方法。

【請求項 9】

請求項1乃至請求項8のいずれか一において、

前記ハロゲンは、塩素であることを特徴とするSOI基板の作製方法。

【請求項 10】

請求項1乃至請求項9のいずれか一において、

前記プラズマ処理に用いるガスとして、酸素を用いることを特徴とするSOI基板の作製方法。

【請求項 11】

請求項1乃至請求項10のいずれか一において、

前記半導体基板は、単結晶シリコン基板、多結晶シリコン基板または太陽電池級シリコン基板であることを特徴とするSOI基板の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁層上に形成された半導体層を有する半導体装置及び半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、バルク状のシリコンウェハに代わり、SOI(Silicon On Insulator)基板を使った集積回路が開発されている。絶縁層上に形成された薄い単結晶シリコン層の特長を生かすことで、集積回路中のトランジスタの半導体層を完全に分離して形成することができ、またトランジスタを完全空乏型とすることができますため、高集積、

10

20

30

40

50

高速駆動、低消費電力など付加価値の高い半導体集積回路が実現できる。

【0003】

SOI基板として、SIMOX基板、貼り合わせ基板が知られている。例えばSIMOX基板は、単結晶シリコン基板に酸素イオンを注入し、1300以上で熱処理して埋め込み酸化膜（BOX；Buried Oxide）を形成することにより、表面に単結晶シリコン薄膜を形成してSOI構造を得ている。

【0004】

貼り合わせ基板は、酸化膜を介して2枚の単結晶シリコン基板（ベース基板およびボンド基板）を貼り合わせ、一方の単結晶シリコン基板（ボンド基板）を裏面（貼り合わせた面ではない面）から薄膜化することにより、単結晶シリコン薄膜を形成してSOI構造を得ている。研削や研磨では均一で薄い単結晶シリコン薄膜を形成することが難しいため、スマートカット（登録商標）と呼ばれる水素イオン注入を利用する技術が提案されている（例えば、特許文献1参照）。

10

【0005】

このSOI基板の作製方法の概要を説明すると、イオンインプランテーション法により単結晶シリコン基板に水素イオンを注入することによって、表面から所定の深さに脆化層を形成する。次に、ベース基板となる別の単結晶シリコン基板を酸化して酸化シリコン膜を形成する。その後、水素イオンを注入した単結晶シリコン基板と、ベース基板となる単結晶シリコン基板の酸化シリコン膜とを接合させて、2枚の単結晶シリコン基板を貼り合わせる。そして、加熱処理によって、脆化層において単結晶シリコン基板を劈開させることで、ベース基板となる単結晶シリコン基板に薄い単結晶シリコン層が貼り付けられた基板が形成される。

20

【0006】

イオンインプランテーション法は、イオン注入法とも呼ばれ、真空中で試料に注入したい粒子をイオン化し、直流もしくは高周波により加速して、試料に注入する方法である。イオン注入法を用いたイオン注入装置は、イオン源、質量分離部、加速部、ビーム走査部（静電スキャン）、注入室（エンドステーション）、及び真空排気装置から構成される。また、イオンビームの断面は不均一であるため、試料面上での均一性を得るために、イオンビームを電気的に走査する。また、注入した粒子は深さ方向にガウス分布を示す。

30

【0007】

また、SOI基板を用いた半導体装置の一例として、イオン注入法を用いて水素を注入することが開示されている（特許文献2参照）。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平5-211128号公報

【特許文献2】特開2000-012864号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、2枚の単結晶シリコン基板の貼り合わせ工程において、単結晶シリコン基板と単結晶シリコン基板との接着界面に微小な異物（例えばパーティクルなど）が付着すると、接着界面にボイドが多発して、接着不良が増加する原因となっている。

40

【0010】

また、単結晶シリコン基板と単結晶シリコン基板との接着界面に存在する水分子が周囲に拡散あるいは吸収しないと、接着界面において水分がたまってしまい、接着不良が増加する。また、接着界面において脱水縮合反応が進まず強固な接着とならず、接着不良となる。

【0011】

このような接合不良が多発すると接着強度が低下して、ベース基板となる単結晶シリコン

50

基板と劈開された薄い単結晶シリコン層との接合界面において、薄い単結晶シリコン層が剥がれてしまうおそれがある。また、半導体装置を製造する場合においてもこのような接着不良があると、高品質の半導体装置を製造するための妨げとなる。

【0012】

上記問題点に鑑み、単結晶半導体層と半導体基板との密着性を向上させ、貼り合わせ不良を低減することを目的の一とする。また、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板の作製方法を提供することを目的の一とする。

【課題を解決するための手段】

【0013】

本発明の一態様は、脆化層を形成する単結晶半導体基板側にハロゲンを含む絶縁膜を形成し、該ハロゲンを含む絶縁膜に対してプラズマ処理を行い、ハロゲンを含む絶縁膜と半導体基板の一方の面とが向かい合うようにボンディング（接着）させることを特徴としている。

10

【0014】

本発明の一態様は、単結晶半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該単結晶半導体基板の表面にハロゲンを含む絶縁膜を形成し、ハロゲンを含む絶縁膜を介して単結晶半導体基板にイオンを照射することにより、単結晶半導体基板中に脆化層を形成し、バイアス電圧を印加してハロゲンを含む絶縁膜に対して、プラズマ処理を行い、ハロゲンを含む絶縁膜と半導体基板の一方の面とが向かい合うように接着させ、熱処理を行うことにより、脆化層において単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対して平坦化処理を行うことを特徴としている。

20

【0015】

本発明の一態様は、単結晶半導体基板にイオンを照射することにより、単結晶半導体基板中に脆化層を形成し、半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該半導体基板の表面にハロゲンを含む絶縁膜を形成し、バイアス電圧を印加してハロゲンを含む絶縁膜に対して、プラズマ処理を行い、ハロゲンを含む絶縁膜と単結晶半導体基板の一方の面とが向かい合うように接着させ、熱処理を行うことにより、脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対して平坦化処理を行うことを特徴としている。

30

【0016】

本発明の一態様は、単結晶半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該単結晶半導体基板の表面にハロゲンを含む絶縁膜を形成し、ハロゲンを含む絶縁膜を介して単結晶半導体基板にイオンを照射することにより、単結晶半導体基板中に脆化層を形成し、バイアス電圧を印加してハロゲンを含む絶縁膜に対して、プラズマ処理を行い、半導体基板の表面に熱酸化処理を行うことにより、該半導体基板の表面に絶縁膜を形成し、ハロゲンを含む絶縁膜と半導体基板の一方の面とが向かい合うように接着させ、熱処理を行うことにより、脆化層において単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対して平坦化処理を行うことを特徴としている。

40

【0017】

本発明の一態様は、単結晶半導体基板に熱酸化処理を行うことにより、該単結晶半導体基板の表面に絶縁膜を形成し、絶縁膜を介して単結晶半導体基板にイオンを照射することにより、単結晶半導体基板中に脆化層を形成し、半導体基板にハロゲンを含む雰囲気で熱酸化処理を行うことにより、該半導体基板の表面にハロゲンを含む絶縁膜を形成し、バイアス電圧を印加してハロゲンを含む絶縁膜に対して、プラズマ処理を行い、ハロゲンを含む絶縁膜と単結晶半導体基板の一方の面とが向かい合うように接着させ、熱処理を行うことにより、脆化層において前記単結晶半導体基板を分割して、単結晶半導体層が接着された半導体基板と単結晶半導体基板とに分離し、半導体基板に接着された単結晶半導体層に対

50

して平坦化処理を行うことを特徴としている。

【0018】

本明細書において、「単結晶」とは、結晶面、又は結晶軸が揃っている結晶であり、それを構成している原子又は分子が空間的に規則正しい配列になっているものをいう。もっとも、単結晶は規則正しく配列することによって構成されるものであるが、一部にこの配列の乱れがある格子欠陥を含むもの、意図的又は意図しない格子歪みを有するものも含まれる。

【0019】

上記構成において、ハロゲンを含む絶縁膜は、酸化シリコンを主成分とする絶縁膜であることを特徴としている。また、ハロゲンを含む絶縁膜は、ハロゲンの濃度が 1×10^{-6} atoms / cm³ 以上 2×10^{-1} atoms / cm³ 以下であることを特徴としている。また、ハロゲンは、塩素であることを特徴としている。

10

【0020】

また、上記構成において、プラズマ処理に用いるガスとして、酸素を用いることを特徴としている。

【0021】

なお、本明細書において、表面の平均面粗さ (Ra) とは、JIS B 0601で定義されている中心線平均粗さを、測定面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、次の式(1)にて定義される。

20

【0022】

【数1】

$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy \quad (1)$$

【0023】

なお、式(1)において、S₀は、測定面(座標(x₁, y₁)(x₁, y₂)(x₂, y₁)(x₂, y₂)で表される4点により囲まれる長方形の領域)の面積を指し、Z₀は測定面の平均高さを指す。

30

【0024】

また、最大高低差 (P-V) とは、測定面において、最も高い標高 Z_{max} と最も低い標高 Z_{min} の差を指す。

【0025】

本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置に含まれる。

【0026】

また、本明細書において表示装置とは、液晶表示装置や発光装置を含む。液晶表示装置は液晶素子を含み、発光装置は発光素子を含む。発光素子は、電流又は電圧によって輝度が抑制される素子をその範疇に含んでおり、具体的には無機EL (Electro Luminescence) 素子、有機EL素子等が含まれる。

40

【発明の効果】

【0027】

本発明の一態様において、単結晶半導体層と半導体基板との密着性を向上させ貼り合わせ不良を低減し、貼り合わせ工程及び半導体装置製造工程においても十分な接着強度をもつSOI基板を作製することができる。

【図面の簡単な説明】

【0028】

【図1】SOI基板の作製方法の一例を示す図。

【図2】SOI基板の作製方法の一例を示す図。

【図3】SOI基板の作製方法の一例を示す図。

50

【図4】SOI基板の作製方法の一例を示す図。

【図5】SOI基板を用いた半導体装置の作製方法の一例を示す図。

【図6】SOI基板を用いた半導体装置の作製方法の一例を示す図。

【図7】SOI基板を用いた半導体装置の一例を示す図。

【図8】SOI基板を用いた表示装置の一例を示す図。

【図9】SOI基板を用いた表示装置の一例を示す図。

【図10】SOI基板を用いた表示装置の一例を示す図。

【図11】SOI基板を用いた電子機器の一例を示す図。

【図12】SIMSによる、酸化シリコン膜の塩素濃度の深さ方向プロファイル。

【図13】(A)ベース基板上に形成された単結晶シリコン層の表面を示す図。(B)図13(A)を拡大した図。

【図14】(A)ベース基板上に形成された単結晶シリコン層の表面を示す図。(B)図14(A)を拡大した図。

【図15】単結晶シリコン基板上に形成された酸化膜のTOF-SIMSの測定結果を示す図。

【図16】SOI基板の作製方法におけるプラズマ処理の一例を説明する図。

【図17】SOI基板の作製方法におけるプラズマ処理の一例を説明する図。

【発明を実施するための形態】

【0029】

以下に、実施の形態について図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、発明の趣旨及びその範囲から逸脱することなくその形態および詳細を変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0030】

(実施の形態1)

本実施の形態では、SOI基板の作製方法の一例について図面を参照して説明する。具体的には、単結晶半導体基板側にSi系の絶縁膜を形成し、該絶縁膜をO₂プラズマで処理した後、単結晶半導体基板と半導体基板とをボンディング(接着)する方法について説明する。

【0031】

初めに、単結晶半導体基板101を準備し、該単結晶半導体基板101を硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、塩酸過酸化水素水混合溶液(HPM)、希フッ酸(DHF)、オゾン水などを適宜使って洗浄する(図1(A-1)参照)。単結晶半導体基板101は、市販の単結晶半導体基板を用いることができる、例えば、単結晶のシリコン基板やゲルマニウム基板、ガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径18インチ(450mm)サイズの円形のものが代表的である。なお、形状は円形に限らず矩形状等に加工したシリコン基板を用いることも可能である。以下の説明では、単結晶半導体基板101として、単結晶シリコン基板を用いる場合について示す。

【0032】

次に、単結晶半導体基板101を酸化雰囲気下において熱処理すること(以下、「熱酸化」とも記す)により絶縁膜102を形成する(図1(A-2)参照)。熱酸化処理は通常のドライ酸化で行っても良いが、酸化雰囲気中にハロゲンを添加した酸化を行うことが好ましい。酸化雰囲気中にハロゲンを添加した酸化を行うことにより、絶縁膜102にハロゲンを含ませることができる。酸化雰囲気中にハロゲンを添加するためのガスとして、HClを用いることができる。このような熱酸化処理の一例としては、酸素に対しHClを

10

20

30

40

50

0.5～10体積%（好ましくは3体積%）の割合で含む雰囲気中で、900～1150の温度（代表的には1000）で熱酸化を行うと良い。処理時間は0.1～6時間、好ましくは0.5～1時間とすれば良い。形成される絶縁膜102の膜厚としては、10nm～1000nm（好ましくは50nm～300nm）、例えば200nmの厚さとする。

【0033】

このような温度範囲で熱処理を行うことで、単結晶半導体基板101に対してハロゲン（例えば、塩素）によるゲッタリング効果を得ることができる。ゲッタリング効果としては、金属不純物を除去する効果が得られる。すなわち、ハロゲンの作用により、金属などの不純物が揮発性のハロゲン化物となって気相中へ離脱して除去される。単結晶半導体基板101の表面を化学的機械研磨（CMP）処理したものに対して有効である。

10

【0034】

なお、熱酸化処理に適用する酸化雰囲気中にハロゲンを添加するためのガスとしては、HClの他にも、HF、NF₃、HBr、Cl₂、t-DCE（trans-1,2-dichloroethylene）、ClF₃、BCl₃、F₂、Br₂などから選ばれた一種又は複数種を適用することができる。なお、トランス-1,2-ジクロロエチレンにかえて、シス-1,2-ジクロロエチレン、1,1-ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

【0035】

また、ハロゲンを添加して熱酸化を行うことにより形成される絶縁膜102中にはハロゲンが含まれおり、ハロゲンは 1×10^{16} atoms/cm³以上 2×10^{21} atoms/cm³以下の濃度で含まれることにより金属などの不純物を捕獲して単結晶半導体基板101の汚染を防止する保護膜としての機能を発現させることができる。

20

【0036】

また、絶縁膜102中に含まれるハロゲンは、塩素に加えてフッ素も含ませることもできる。この場合フッ素は、塩素よりも少量含んでいることが好ましい。

【0037】

次いで、絶縁膜102を介して、単結晶半導体基板101にイオンを照射することにより、イオンを単結晶半導体基板101中に導入し、単結晶半導体基板101の一方の面から所定の深さの領域に脆化層103を形成する（図1（A-3）参照）。

30

【0038】

脆化層103が形成される深さは、イオン種、イオンの運動エネルギーと入射角によって調節することができる。運動エネルギーは加速電圧などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層103が形成される。イオンを導入する深さで、後の工程において単結晶半導体基板101から分離される単結晶半導体層の厚さが決定される。脆化層103が形成される深さは10nm以上500nm以下であり、好ましい深さの範囲は50nm以上200nm以下である。

【0039】

イオンを単結晶半導体基板101に導入するには、イオンドーピング装置を用いることができる。イオンドーピング装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオンを引き出し、イオンを質量分離せずに被処理物に導入する。イオンドーピング装置を用いることにより、単結晶半導体基板101に対して均一なドーピングを行うことができる。なお、質量分離装置を備えているイオンドーピング装置では、質量分離を伴うイオン注入を行うことができる。

40

【0040】

イオンドーピング法を用いる場合、イオンの添加の際に用いるソースガスとしては、水素ガス、希ガス等があるが、本実施の形態では水素ガスを用いることが好ましい。ソースガスとして水素ガスを用いた場合、生成されるイオンは、H⁺、H₂⁺及びH₃⁺であるが、H₃⁺が最も多く導入されることが好ましい。H₃⁺はH⁺、H₂⁺よりも水素原子の導入効率がよく、導入時間の短縮を図ることができる。また、後の工程において脆化層1

50

03に亀裂が生じやすくなる。

【0041】

イオンドーピング法を用いる場合、イオンドーピング装置は質量分離を行わずにイオンを導入するため、水素イオンの他に金属イオンも同時に単結晶半導体基板101中へ導入される場合がある。金属イオンは質量数が大きいので、イオンが導入される側の表面に多く分布する。本実施の形態では単結晶半導体基板101の表面に絶縁膜102が形成されている。この絶縁膜102の膜厚を金属イオンの導入される深さよりも厚く形成することで、当該金属の分布を絶縁膜102中に止めておくことができる。絶縁膜102にハロゲンを含ませることにより、重金属など単結晶半導体基板101に悪影響を与える不純物をゲッタリングする作用がある。それにより絶縁膜102中に捕集した当該不純物を固定して単結晶半導体基板101の汚染を防ぐことができる。

10

【0042】

次いで、絶縁膜102に対して、バイアス電圧を印加してプラズマ処理を行う（図1（A-4）参照）。

【0043】

プラズマ処理は、真空状態のチャンバーに不活性ガス（例えば、アルゴン（Ar）ガス）及び/又は反応性ガス（例えば酸素（O₂）ガス、窒素（N₂）ガス）を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行う。

【0044】

例えば、酸素ガスを用いてプラズマ処理を行う場合、真空状態のチャンバーに、O₂ガスを導入し、被処理面（ここでは、単結晶半導体基板101に形成された絶縁膜102）にバイアス電圧を印加してプラズマ状態として行う。プラズマ中には酸素の陽イオンが存在し、陰極方向（単結晶半導体基板101に形成された絶縁膜102）に酸素の陽イオンが加速される。加速された酸素の陽イオンが絶縁膜102の表面に衝突することによって、絶縁膜102表層のSi-O結合を切り低密度化し、ダメージを与えダングリングボンドを生成し、表面を活性化することができる。

20

【0045】

本実施の形態では、酸素ガスを用いて、容量結合プラズマの一種でRIE（リアクティブイオンエッティング）モードと呼ばれる方式のプラズマ処理で行う。なお、必ずしもエッティングを行うものではない。単結晶半導体基板101を、コンデンサを介して高周波電圧が印加される陰極電極上のステージに設置し、高周波電圧を印加してプラズマを生成する。その結果、陰極電極に負のバイアスが発生し（バイアスが印加された状態となり）、プラズマ中の陽イオンが加速されて単結晶半導体基板101に衝突する。また、RIE方式以外にも誘導結合プラズマ（ICP：Inductively Coupled Plasma）方式やマイクロ波励起方式で生成したプラズマを用いて基板側にバイアスを印加して絶縁膜表面にプラズマ処理を行っても良い。

30

【0046】

本実施の形態では、酸素ガスを用いて、容量結合プラズマの一種でRIE（リアクティブイオンエッティング）モードと呼ばれる方式のプラズマ処理で行うことができる（図16参照）。絶縁膜102が形成された単結晶半導体基板101を、コンデンサ193を介して高周波電圧が印加されるカソードとなる第1の電極191上のステージに設置し、高周波電圧を印加して第1の電極191とアノードとなる第2の電極192間にプラズマを生成する。その結果、第1の電極191に負の自己バイアスが発生し（バイアスが印加された状態となり）、プラズマ中の陽イオンが加速されて単結晶半導体基板101に衝突する。なお、単結晶半導体基板101上に形成された絶縁膜102が酸化シリコンであるため、原料ガスとして酸素を用いることにより、絶縁膜102のエッティング作用を小さくすることができる。

40

【0047】

なお、酸素プラズマの具体的な条件としては、処理電力0.1~3W/cm²、圧力30~130Pa、ガス（O₂）流量10~400sccmで行えばよい。

50

【0048】

また、酸素プラズマ処理を行うことにより、絶縁膜102の表面粗さ(R_a)を好ましくは0.5nm以下、より好ましくは0.3nm以下、さらに好ましくは0.2nm以下とし、最大高低差($P-V$)を好ましくは6nm以下、より好ましくは3nm以下とする。

【0049】

本実施の形態では、アルゴンガスを用いて、ICP方式のプラズマ処理で行うこともできる。図17に、プラズマ処理装置の簡略構造図を示す。チャンバー600上部の石英板601上にマルチスパイラルコイル602を配置し、マッチングボックス603を介してRF電源604に接続されている。また、対向に配置された基板610(ここでは、単結晶半導体基板101上に形成された絶縁膜102)側の下部電極605がRF電源606に接続されている。基板610上方のマルチスパイラルコイル602にRF電流JがX方向に流れ、Z方向に磁界Bが発生する。

10

【0050】

【数2】

$$\mu_0 J = \text{rot} B$$

【0051】

ファラデーの電磁誘導の法則に従い、X方向に誘導電界Eが生じる。

20

【0052】

【数3】

$$-\frac{\partial B}{\partial t} = \text{rot} E$$

【0053】

この誘導電界Eで電子がX方向に加速され、ガス分子と衝突し、プラズマが生成される。基板610側には、磁界Bがほとんどないので、シート状に広がった高密度のプラズマ領域が得られる。基板610側に印加するバイアス電圧により、陽イオンが加速されて基板610に衝突する。なお、具体的な条件は、ICPパワー300~3000W、バイアスパワー10~300W、圧力1~100Pa、ガス(O_2)流量10~200sccmで行えばよい。

30

【0054】

なお、ダンギングボンドの形成は、脆化層103の形成の際のイオンの照射によっても形成されるが、バイアス電圧を印加してプラズマ処理を行うことで、より多くのダンギングボンドを形成することができる。また、水素イオンの添加により水素を大量に含む絶縁膜102の最表面及びその近傍に酸素を含むイオンを照射することにより、Si-H結合やSi-O結合をSi-OH結合にして親水性を向上させる事ができる。

30

【0055】

次いで、単結晶半導体基板101と貼りあわせるための半導体基板111を準備する(図1(B)参照)。半導体基板111は、単結晶半導体基板101として用いる基板と同様の基板を用いることができる。さらには、多結晶半導体基板、太陽電池の製造に用いられる太陽電池級シリコン基板(SOG:例えばSi純度が99.9999%のもの)等も用いることができる。また、多結晶半導体基板の直径は、少なくとも5インチ以上であるウエハである。本明細書に示す多結晶半導体基板とは、多結晶シリコン基板に加え、化合物半導体多結晶基板も含み、さらには微量にゲルマニウムを含む多結晶シリコン基板、微量にボロンを含む多結晶シリコン基板を指すものとする。

40

【0056】

また、半導体基板111と絶縁膜102との接合を良好に行うために、接合面を活性化しておいてもよい。例えば、接合する面の一方又は双方に原子ビーム若しくはイオンビーム

50

を照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行うことで接合面を活性化することもできる。このような表面処理により、400 以下 の温度であっても異種材料間の接合をすることが容易となる。

【0057】

次いで、ハロゲンを含む絶縁膜102（脆化層が形成されている側）と半導体基板111の一方の面とが向かい合うようにボンディング（接着）する（図1（C）参照）。ハロゲンを含む絶縁膜102と半導体基板111とを密着させることにより、ファン・デル・ワールス力で基板同士が引き合う。そして、基板の表面にできたSi-OH（OH基）同士が水素結合で接着する。低温（例えば、150 ~ 200）の熱処理により脱水縮合反応が起こり、水分子が離脱して、シリコン原子間に酸素原子を介した結合（Si-O-Si）ができる。さらに高温で熱処理（例えば600）を行うことにより、酸素が拡散し界面はSi同士が接合し、単結晶半導体基板101と半導体基板111との接着がより強固なものとなる。

10

【0058】

絶縁膜102に対してバイアス電圧を印加してプラズマ処理を行うことにより、絶縁膜102の表面にダングリングボンドが形成された活性な表面となる。活性な表面をもって、絶縁膜102と半導体基板111とを接着することにより、低温であっても強固な結合を形成することができる。

20

【0059】

さらに、Si-Oの結合を切ることにより構造を緩和して水分を吸収し、拡散速度を大きくする。低温で貼り合わせた後の低温での熱処理の過程で、脱水縮合反応を起こして、（水分子が離脱するときに）余剰の水分子が酸化シリコン膜中に吸収されて、（貼り合わせ表面において）脱水反応が促進される。これにより低温処理でも接合強度が向上する。

20

【0060】

なお、単結晶半導体基板101と半導体基板111を接着させる前に、単結晶半導体基板101上に形成された絶縁膜102及び半導体基板111の表面処理を行うことが好ましい。表面処理としては、オゾン処理（例えば、オゾン水洗浄）、又はメガソニック洗浄及びオゾン水洗浄を行うことができる。また、オゾン水洗浄とフッ酸による洗浄を複数回繰り返し行ってもよい。このような表面処理を行うことにより、絶縁膜102及び半導体基板111の表面の有機物等のゴミを除去し、絶縁膜102及び半導体基板111の表面を親水化することができる。絶縁膜102の表面は、プラズマ処理によりダングリングボンドが形成されているためより親水化することができる。

30

【0061】

単結晶半導体基板101と半導体基板111とを貼り合わせた後は、加熱処理と加圧処理の一方又は両方を行うことが好ましい。加熱処理や加圧処理を行うことにより単結晶半導体基板101と半導体基板111との接着強度を向上させることができある。加圧処理は、接着面に対して垂直な方向に圧力が加わるように行い、単結晶半導体基板101及び半導体基板111の耐圧性を考慮して行う。

40

【0062】

単結晶半導体基板101に熱処理を行うことにより、前記脆化層103において前記単結晶半導体基板101を分割して、単結晶半導体層112が接着された前記半導体基板111と、単結晶半導体基板104とに分離する（図1（D）参照）。ここでの加熱処理には、RTA（Rapid Thermal Anneal）装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA装置には、加熱されたガス、もしくは、加熱されたガスと輻射熱で基板を加熱するGRTA（Gas Rapid Thermal Anneal）装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。GRTA装置には、加熱されたガス、もしくは、加熱されたガスと輻射熱で基板を加熱するGRTA（Gas Rapid Thermal Anneal）装置、ハロゲンランプ若しくは赤外線ランプで加熱するLRTA（Lamp Rapid Thermal Anneal）装置を用いることができる。この加熱処理で、単結晶半導体層112が貼り付けられた半導体基板111の温度が550 以上 65

50

0 以下の範囲に上昇させることが好ましい。

【0063】

本実施の形態では、抵抗加熱を有する縦型炉を用いた加熱処理を行う。単結晶半導体基板101が貼り付けられた半導体基板111を縦型炉のポートに載置する。ポートを縦型炉のチャンバーに搬入する。単結晶半導体基板101の酸化を抑制するため、まずチャンバー内を排気して真空状態とする。真空度は、 5×10^{-3} Pa程度とする。真空状態にした後、窒素をチャンバー内に供給して、チャンバー内を大気圧の窒素雰囲気にする。この間、温度を200に上昇させる。

【0064】

チャンバー内を大気圧の窒素雰囲気にした後、温度200で2時間加熱する。その後、1時間かけて400に温度上昇させる。加熱温度400の状態が安定したら、1時間かけて600に温度上昇させる。加熱温度600の状態が安定したら、600で2時間加熱処理する。その後、1時間かけて、加熱温度400まで下げ、10分～30分間に、チャンバー内からポートを搬出する。大気雰囲気下で、ポート上の単結晶半導体基板101、および単結晶半導体基板101が貼り付けられた半導体基板111を冷却する。

【0065】

上記の抵抗加熱炉を用いた加熱処理は、単結晶半導体基板101と半導体基板111との結合力を強化するための加熱処理と、脆化層103に分離を生じさせる加熱処理が連続して行われる。この2つの加熱処理を異なる装置で行う場合は、例えば、抵抗加熱炉やクリーンオーブンにおいて、処理温度200、処理時間2時間の加熱処理を行った後、貼り合わされた半導体基板111と単結晶半導体基板101を炉から搬出する。次いで、RTA装置で、処理温度600以上700以下、処理時間1分以上30分以下の加熱処理を行い、単結晶半導体基板101を脆化層103で分割させる。

【0066】

以上の工程を経ることによって、SOI基板113を得ることができる（図1（D）参照）。図1（D）に示すSOI基板113は、半導体基板111上にハロゲンを含む絶縁膜102を有し、該絶縁膜102上に単結晶半導体層112を有する構造である。

【0067】

なお、上記工程によって得られたSOI基板の表面に平坦化処理を行ってもよい。平坦化処理を行うことにより、剥離後に半導体基板111上に設けられた単結晶半導体層112の表面に凹凸が生じた場合でもSOI基板の表面を平坦化することができる。

【0068】

平坦化処理としては、CMP（Chemical Mechanical Polishing）、エッチング処理、レーザー光の照射等により行うことができる。ここでは、ドライエッチングまたはウェットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を行った後にレーザー光を照射することによって、単結晶半導体層112の再結晶化と表面の平坦化を行う。

【0069】

レーザー光を単結晶半導体層112の上面側から照射することで、単結晶半導体層112の上面を溶融させることができる。レーザー光照射雰囲気は、減圧下、N₂、Ar等の不活性ガス中でかつ、酸素濃度を1%以下とすることが望ましい。溶融した後、単結晶半導体層112が冷却、固化することで、その上面の平坦性が向上した単結晶半導体層112が得られる。レーザー光を用いることにより、半導体基板111が直接加熱されないため、該半導体基板111の温度上昇を抑えることができる。

【0070】

なお、レーザー光の照射による単結晶半導体層112の溶融は、部分溶融とすることが好ましい。完全溶融させた場合には、液相となった後の無秩序な核発生により微結晶化し、結晶性が低下する可能性が高いためである。一方で、部分溶融させることにより、溶融されていない固相部分から結晶成長が進行する。これにより、半導体層中の欠陥を減少させ

10

20

30

40

50

ることができる。ここで、完全溶融とは、単結晶半導体層112が下部界面付近まで溶融されて、液体状態になることをいう。他方、部分溶融とは、この場合、単結晶半導体層112の上部は溶融して液相となるが、下部は溶融せずに固相のままであることをいう。

【0071】

上記レーザー光の照射には、パルス発振レーザーを用いることが好ましい。これは、瞬間に高エネルギーのパルスレーザー光を発振することができ、溶融状態を作り出すことが容易となるためである。発振周波数は、1Hz以上10MHz以下程度とすることが好ましい。

【0072】

上述のようにレーザー光を照射した後には、単結晶半導体層112の膜厚を小さくする薄膜化工程を行っても良い。単結晶半導体層112の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を組み合わせたエッチング処理（エッチバック処理）を適用すればよい。例えば、単結晶半導体層112がシリコン材料からなる層である場合、ドライエッチングとしてSF₆とO₂の組み合わせや、Cl₂をプロセスガスに用いて、単結晶半導体層112を薄くすることができる。

10

【0073】

単結晶半導体基板の表面にハロゲン（例えば塩素）を含む絶縁膜を設けることによって、半導体基板に含まれる可動イオンや水分等の不純物が単結晶半導体層112に拡散することを防ぐことができる。

20

【0074】

なお、本実施の形態において、熱酸化処理を、酸化雰囲気中にハロゲンを添加した酸化を行う方法を示したが、本実施の形態はこれに限られず、ドライ酸化により絶縁膜102を形成した後に、ハロゲンをイオン注入法又はイオンドーピング法により添加してもよい。

【0075】

Si-Oの結合を切ることにより構造を緩和して水分を吸収し、拡散速度を大きくする。低温で貼り合わせた後の低温での熱処理の過程で、脱水縮合反応を起こして、（水分子が離脱するときに）余剰の水分子が酸化シリコン膜中に吸収されて、（貼り合わせ表面において）脱水反応が促進される。これにより低温処理でも接合強度が向上する。

【0076】

なお、本実施の形態において、単結晶半導体基板101上に形成された絶縁膜102に対して、バイアス電圧を印加してプラズマ処理を行う方法を示したが、本実施の形態はこれにかぎられず、半導体基板111の表面に対しても、バイアス電圧を印加してプラズマ処理を行うこともできる。また、単結晶半導体基板101上に形成された絶縁膜102及び半導体基板111のそれぞれの表面に対してバイアス電圧を印加してプラズマ処理を行うこともできる。

30

【0077】

なお、平坦化処理はSOI基板に限らず分離後の単結晶半導体基板104に対して行ってもよい。分離後の単結晶半導体基板104の表面を平坦にすることによって、当該単結晶半導体基板104をSOI基板の作製工程において再利用することが可能となる。

40

【0078】

（実施の形態2）

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。具体的には、半導体基板側にSi系の絶縁膜を形成し、該絶縁膜を酸素プラズマで処理した後、半導体基板と脆化層が形成された単結晶半導体基板とをボンディング（接着）する方法について説明する。以下、実施の形態1と同様の構成については同一の符号を付し、説明を省略する。

【0079】

先ず、単結晶半導体基板101を準備し、該単結晶半導体基板101を硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、塩酸過酸化水素水混合溶液（HPM）、希フッ酸（DHF）、オゾン水などを適宜使って洗浄する（図2（A

50

- 1) 参照)。

【 0 0 8 0 】

次いで、単結晶半導体基板 101 の一表面上に保護層(図示しない)を形成した後、保護層が形成された面側からイオンを照射することにより、イオンを単結晶半導体基板に導入し、単結晶半導体基板 101 の一方の面から所定の深さの領域に脆化層 103 を形成する(図 2 (A - 2) 参照)。脆化層 103 の形成は、図 1 (A - 3) と同様にして行うことができる。

【 0 0 8 1 】

保護層は、脆化層 103 を形成する際に単結晶半導体基板 101 表面がエッチングされる、あるいは損傷するのを防ぐための膜であり、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜などで形成する。例えば、オゾン水、過酸化水素水又はオゾン雰囲気により、単結晶半導体基板 101 表面に厚さ 2 nm 乃至 5 nm のケミカルオキサイドを保護層として形成する。熱酸化法や酸素ラジカル処理により、単結晶半導体基板 101 表面に厚さ 2 nm 乃至 10 nm の酸化膜を保護層として形成してもよい。また、プラズマ CVD 法により、厚さ 2 nm 乃至 10 nm の保護層を形成してもよい。

10

【 0 0 8 2 】

なお、本明細書において酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法 (RBS : Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS : Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 1.5 原子%、Si が 2.5 ~ 3.5 原子%、水素が 0.1 ~ 1.0 原子% の範囲で含まれるものと定義する。また、本明細書において窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、Si が 2.5 ~ 3.5 原子%、水素が 1.0 ~ 3.0 原子% の範囲で含まれるものと定義する。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 100 原子% としたとき、窒素、酸素、Si 及び水素の含有比率が上記の範囲内に含まれるものとする。

20

【 0 0 8 3 】

脆化層 103 が形成される深さは、イオン種、イオンの運動エネルギーと入射角によって調節することができる。運動エネルギーは加速電圧などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層 103 が形成される。イオンを導入する深さで、後の工程において単結晶半導体基板 101 から分離される単結晶半導体層の厚さが決定される。脆化層 103 が形成される深さは 10 nm 以上 500 nm 以下であり、好みの深さの範囲は 50 nm 以上 200 nm 以下である。

30

【 0 0 8 4 】

イオンを単結晶半導体基板 101 に導入するには、イオンドーピング装置を用いることができる。イオンドーピング装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオンを引き出し、イオンを質量分離せずに被処理物に導入する。イオンドーピング装置を用いることにより、単結晶半導体基板 101 に対して均一なドーピングを行うことができる。なお、質量分離装置を備えているイオンドーピング装置では、質量分離を伴うイオン注入を行うことができる。

40

【 0 0 8 5 】

イオンドーピング法を用いる場合、イオンの添加の際に用いるソースガスとしては、水素ガス、希ガス等があるが、本実施の形態では水素ガスを用いることが好み。ソースガスとして水素ガスを用いた場合、生成されるイオンは、 H^+ 、 H_2^+ 及び H_3^+ であるが、 H_3^+ が最も多く導入されることが好み。 H_3^+ は H^+ 、 H_2^+ よりも水素原子の導入効率がよく、導入時間の短縮を図ることができる。

【 0 0 8 6 】

続いて、半導体基板 111 を準備し、当該半導体基板 111 を硫酸過酸化水素水混合溶液

50

(S P M) 、アンモニア過酸化水素水混合溶液 (A P M) 、塩酸過酸化水素水混合溶液 (H P M) 、希フッ酸 (D H F) 、オゾン水などを適宜使って洗浄する (図 2 (B - 1) 参照) 。

【 0 0 8 7 】

次いで、半導体基板 111 に熱酸化処理を行うことにより絶縁膜 114 を形成する (図 2 (B - 2) 参照) 。熱酸化処理はドライ酸化で行っても良いが、酸化雰囲気中にハロゲンを添加した酸化を行うことが好ましい。酸化雰囲気中にハロゲンを添加した酸化を行うことにより、絶縁膜 114 にハロゲンを含ませることができる。酸化雰囲気中にハロゲンを添加するためのガスとして、 H C 1 を用いることができる。このような熱酸化処理の一例としては、酸素に対し H C 1 を 0.5 ~ 10 体積 % (好ましくは 3 体積 %) の割合で含む雰囲気中で、 900 ~ 1150 の温度 (代表的には 1000) で熱酸化を行うと良い。処理時間は 0.1 ~ 6 時間、好ましくは 0.5 ~ 1 時間とすれば良い。形成される絶縁膜 114 の膜厚としては、 10 nm ~ 1000 nm (好ましくは 50 nm ~ 300 nm) 、例えば 200 nm の厚さとする。

10

【 0 0 8 8 】

このような温度範囲で熱処理を行うことで、半導体基板 111 に対してハロゲン (例えば、塩素) によるゲッタリング効果を得ることができる。ゲッタリング効果としては、金属不純物を除去する効果が得られる。すなわち、ハロゲンの作用により、金属などの不純物が揮発性のハロゲン化物となって気相中へ離脱して除去される。半導体基板 111 の表面を化学的機械研磨 (C M P) 処理したものに対して有効である。

20

【 0 0 8 9 】

なお、熱酸化処理に適用する酸化雰囲気中にハロゲンを添加するためのガスとしては、 H C 1 の他にも、 H F 、 N F 3 、 H B r 、 C l 2 、 t - D C E (t r a n s - 1, 2 - d i c h l o r o e t h y l e n e) 、 C l F 3 、 B C l 3 、 F 2 、 B r 2 などから選ばれた一種又は複数種を適用することができる。なお、トランス - 1, 2 - ジクロロエチレンに加えて、シス - 1, 2 - ジクロロエチレン、 1, 1 - ジクロロエチレンや、これらの中から二種類以上のガスの混合ガスを用いてもよい。

【 0 0 9 0 】

また、ハロゲンを添加して熱酸化を行うことにより形成される絶縁膜 114 中にはハロゲンが含まれおり、ハロゲンは 1×10^{16} atoms / cm³ 以上 2×10^{21} atoms / cm³ 以下の濃度で含まれることにより金属などの不純物を捕獲して半導体基板 111 の汚染を防止する保護膜としての機能を発現させることができる。

30

【 0 0 9 1 】

また、絶縁膜 114 中に含まれるハロゲンは、塩素に加えてフッ素も含ませることもできる。この場合フッ素は、塩素よりも少量含んでいることが好ましい。

【 0 0 9 2 】

次いで、絶縁膜 114 に対して、バイアス電圧を印加してプラズマ処理を行う (図 2 (B - 3) 参照) 。

【 0 0 9 3 】

プラズマ処理は、真空状態のチャンバーに不活性ガス (例えば、アルゴン (A r) ガス) 及び / 又は反応性ガス (例えば酸素 (O 2) ガス、窒素 (N 2) ガス) を導入し、被処理面にバイアス電圧を印加してプラズマ状態として行う。

40

【 0 0 9 4 】

例えば、酸素ガスを用いてプラズマ処理を行う場合、真空状態のチャンバーに、 O 2 ガスを導入し、被処理面 (ここでは、半導体基板 111 に形成された絶縁膜 114) にバイアス電圧を印加してプラズマ状態として行う。プラズマ中には酸素の陽イオンが存在し、陰極方向 (半導体基板 111 に形成された絶縁膜 114) に酸素の陽イオンが加速される。加速された酸素の陽イオンが絶縁膜 114 の表面に衝突することによって、絶縁膜 114 表層の Si - O 結合を切り低密度化し、ダメージを与えダングリングボンドを生成し、表面を活性化することができる。

50

【0095】

なお、酸素プラズマの具体的な条件としては、処理電力0.1~1.5W/cm²、圧力30~130Pa、ガス(O₂)流量10~400sccmで行えればよい。

【0096】

また、酸素プラズマ処理を行うことにより、絶縁膜114の表面粗さ(Ra)を0.5nm以下、より好ましくは0.3nm以下、さらに好ましくは、0.2nm以下とし、最大高低差(P-V)を好ましくは6nm以下、より好ましくは3nm以下とする。

【0097】

その後、ハロゲンを含む絶縁膜114と単結晶半導体基板101のイオン照射を行った面とが向かい合うようにボンディング(接着)する(図2(C)参照)。続いて、加熱処理を行い脆化層103において分割することにより、単結晶半導体層112が接着された前記半導体基板111と、単結晶半導体基板104とに分離する。以上により、半導体基板111上に絶縁膜114を介して単結晶半導体層112が形成されたSOI基板113を形成することができる(図2(D)参照)。

10

【0098】

単結晶半導体基板101と半導体基板111とを接着させる前に、半導体基板111上に形成された絶縁膜114と単結晶半導体基板101のそれぞれの表面に対して表面処理を行うことが好ましい。表面処理としては、オゾン処理(例えば、オゾン水洗浄)、メガソニック洗浄及びオゾン水洗浄、メガソニック洗浄及びアンモニア過酸化水素水混合溶液(APM)洗浄、又はAPM洗浄及び純水と窒素を用いた二流体洗浄により行うことができる。このような表面処理を行うことにより、単結晶半導体基板101及び絶縁膜114のそれぞれの表面の有機物等のゴミを除去し、単結晶半導体基板101、絶縁膜114の表面を親水化することができる。

20

【0099】

なお、図2(C)、(D)の工程については、図1(C)、(D)と同様に行うことができるため、詳細な説明は省略する。

【0100】

なお、上記工程によって得られたSOI基板の表面に平坦化処理を行ってもよい。平坦化処理は、実施の形態1で示した方法で行うことができる。

30

【0101】

なお、本実施の形態において、熱酸化処理を、酸化雰囲気中にハロゲンを添加した酸化を行う方法を示したが、本発明の一態様はこれに限られず、ドライ酸化により絶縁膜114を形成した後に、ハロゲンをイオン注入法又はイオンドーピング法により添加してもよい。

【0102】

なお、本実施の形態において、半導体基板111上に形成された絶縁膜114に対して、バイアス電圧を印加してプラズマ処理を行う方法を示したが、本発明の一態様はこれに限られず、脆化層103を形成した後の単結晶半導体基板101の表面に対しても、バイアス電圧を印加してプラズマ処理を行うこともできる。また、単結晶半導体基板101及び半導体基板111上に形成された絶縁膜114のそれぞれの表面に対してバイアス電圧を印加してプラズマ処理を行うこともできる。

40

【0103】

(実施の形態3)

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。具体的には、単結晶半導体基板及び半導体基板のそれぞれの表面に絶縁膜を形成し、単結晶半導体基板に形成された絶縁膜をプラズマ処理した後、半導体基板と単結晶半導体基板とをボンディング(接着)する方法について説明する。以下、実施の形態1及び実施の形態2と同様の構成については同一の符号を付し、説明を省略する。

【0104】

まず、表面に絶縁膜102が設けられ、表面から所定の深さの領域に脆化層103が形成

50

され、絶縁膜 102 に対して、バイアス電圧を印加してプラズマ処理が行われた単結晶半導体基板 101 を準備する(図3(A-1)～(A-4)参照)。図3(A-1)～(A-4)については、上述した図1(A-1)～(A-4)において示した方法を用いればよいため、詳しい説明を省略する。

【0105】

続いて、半導体基板 111 を準備し、当該半導体基板 111 を硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、塩酸過酸化水素水混合溶液(HPM)、希フッ酸(DHF)、オゾン水などを適宜使って洗浄する(図3(B-1)参照)。

【0106】

次いで、半導体基板 111 に熱酸化処理を行うことにより絶縁膜 114 を形成する(図3(B-2)参照)。熱酸化処理は、ドライ酸化で行っても良いし、酸化雰囲気中にハロゲンを添加した酸化を行ってもよい。形成される絶縁膜 114 の膜厚としては、10nm～1000nm(好ましくは50nm～300nm)、例えば200nmの厚さとする。

【0107】

その後、ハロゲンを含む絶縁膜 102(脆化層が形成されている側)と絶縁膜 114 の一方の面とが向かい合うようにボンディング(接着)する(図3(C)参照)。続いて加熱処理を行い脆化層 103 において分割することにより、半導体基板 111 上に絶縁膜 114 及び絶縁膜 102 を介して単結晶半導体層 112 が形成されたSOI基板 113 を形成することができる(図3(D)参照)。

10

20

30

40

50

【0108】

なお、図3(C)、(D)の工程については、図1(C)、(D)と同様に行うことができるため、詳しい説明は省略する。

【0109】

なお、上記工程によって得られたSOI基板の表面に平坦化処理を行ってもよい。平坦化処理は、実施の形態1で示した方法で行うことができる。

【0110】

本実施の形態において、熱酸化処理を、酸化雰囲気中にハロゲンを添加した酸化を行う方法を示したが、本発明の一態様はこれに限られず、ドライ酸化により絶縁膜 102 を形成した後に、ハロゲンをイオン注入法又はイオンドーピング法により添加してもよい。また、本実施の形態において、絶縁膜 102 にハロゲンを添加する方法を示したが、本発明の一態様はこれに限られず、絶縁膜 114 にハロゲンを添加した構成としても良い。また、単結晶半導体基板及び半導体基板に絶縁膜を形成する際に、接合を形成する面の双方に、ハロゲンを添加した絶縁膜を形成することができる。

30

【0111】

本実施の形態において、単結晶半導体基板 101 上に形成された絶縁膜 102 に対して、バイアス電圧を印加してプラズマ処理を行う方法を示したが、本実施の形態はこれに限られず、半導体基板 111 に形成された絶縁膜 114 の表面に対しても、バイアス電圧を印加してプラズマ処理を行うこともできる。また、単結晶半導体基板 101 上に形成された絶縁膜 102 及び半導体基板 111 上に形成された絶縁膜 114 のそれぞれの表面に対してバイアス電圧を印加してプラズマ処理を行うこともできる。

【0112】

(実施の形態4)

本実施の形態では、上記実施の形態と異なるSOI基板の作製方法に関して図面を参照して説明する。以下、実施の形態1乃至実施の形態3と同様の構成については同一の符号を付し、説明を省略する。

【0113】

まず、表面に絶縁膜 102 が設けられ、表面から所定の深さの領域に脆化層 103 が形成された単結晶半導体基板 101 を準備する(図4(A-1)～(A-3)参照)。図4(A-1)～(A-3)については、上述した図1(A-1)～(A-3)において示した

方法を用いればよいため、詳しい説明を省略する。

【0114】

続いて、絶縁膜102上に、さらに絶縁膜105を形成する(図4(A-4)参照)。絶縁膜105は、化学気相成長(CVD; Chemical Vapor Deposit ion)法、スパッタリング法を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜を単層構造又は2層以上の積層構造で形成することができる。絶縁膜105は、10nm乃至1000nmの範囲で設けることが好ましい。なお、本明細書における化学気相成長法は、プラズマCVD法、熱CVD法、光CVD法を範疇に含むものとする。

【0115】

次いで、絶縁膜105に対して、バイアス電圧を印加してプラズマ処理を行う(図4(A-5)参照)。プラズマ処理に付いては、図1(A-4)と同様にして行うことができる。

【0116】

続いて、半導体基板111を準備し、当該半導体基板111を硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、塩酸過酸化水素水混合溶液(HPM)、希フッ酸(DHF)などを適宜使って洗浄する(図4(B-1)参照)。

【0117】

次いで、半導体基板111に熱酸化処理を行うことにより絶縁膜114を形成する(図4(B-2)参照)。熱酸化処理は、ドライ酸化で行っても良いし、酸化雰囲気中にハロゲンを添加した酸化を行ってもよい。形成される絶縁膜114の膜厚としては、10nm~1000nm(好ましくは50nm~300nm)、例えば200nmの厚さとする。

【0118】

その後、絶縁膜105と絶縁膜114の一方の面とが向かい合うようにボンディング(接着)する(図4(C)参照)。続いて加熱処理を行い脆化層103に沿って分割することにより、半導体基板111上に絶縁膜114、絶縁膜105及び絶縁膜102を介して単結晶半導体層112が形成されたSOI基板113を形成することができる(図4(D)参照)。

【0119】

なお、図4(C)、(D)の工程については、図1(C)、(D)と同様に行うことができるため、詳細な説明は省略する。

【0120】

本実施の形態において、得られたSOI基板の表面に平坦化処理を行ってもよい。平坦化処理は、実施の形態1で示した方法で行うことができる。

【0121】

本実施の形態において、CVD法による絶縁膜の形成を、単結晶半導体基板101側に行う方法を示したが、本発明の一態様はこれに限られず、半導体基板111側に形成してもよい。また、熱酸化により形成した絶縁膜上に絶縁膜を形成する際に、単結晶半導体基板101及び半導体基板111側の双方に、CVD法により絶縁膜を形成することができる。

【0122】

本実施の形態において、単結晶半導体基板101上に形成された絶縁膜に対して、バイアス電圧を印加してプラズマ処理を行う方法を示したが、本実施の形態はこれに限られず、半導体基板111に形成された絶縁膜の表面に対して、バイアス電圧を印加してプラズマ処理を行うことができる。また、単結晶半導体基板101上に形成された絶縁膜及び半導体基板111上に形成された絶縁膜のそれぞれの表面に対してバイアス電圧を印加してプラズマ処理を行うこともできる。

【0123】

実施の形態1乃至実施の形態4において、イオンを単結晶半導体基板101に導入するためにイオンドーピング装置を用いて行う方法を示したが、SOI基板の作製方法はこれに

10

20

30

40

50

限られない。イオンドーピング装置に替えてイオン注入装置を用いてイオン注入法により行ってもよい。イオン注入装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオンを引き出し、イオンを質量分離して所定の質量を有するイオンを被処理物に注入する。イオン注入装置を用いる場合には、質量分離により、 H_3^+ イオンが注入されるようになることが好ましい。もちろん H_2^+ を注入してもよい。但し、イオン注入装置を用いる場合には、イオンを選択して注入するため、イオンドーピング装置を用いる場合と比較して、イオンの打ち込み効率が低下する場合がある。

【0124】

(実施の形態5)

本実施の形態では、上記実施の形態で作製したSOI基板を用いて、半導体装置を作製する方法を説明する。

【0125】

まず、図5および図6を参照して、nチャネル型薄膜トランジスタ、およびpチャネル型薄膜トランジスタを作製する方法を説明する。複数の薄膜トランジスタ(TFT)を組み合わせることで、各種の半導体装置を形成することができる。なお、実施の形態1乃至4と同一部分又は同様な機能を有する部分の繰り返しの説明は省略する。

【0126】

図5(A)は、半導体基板111上に絶縁膜102、単結晶半導体層112が形成されている。なお、ここでは図1(D)に示す構成のSOI基板113を適用する例を示すが、本明細書で示すその他の構成のSOI基板も適用できる。

【0127】

単結晶半導体層112は、単結晶半導体基板101より分離され、平坦化処理が行われている。平坦化処理としては、CMP(Chemical Mechanical Polishing)、エッティング処理、レーザー光の照射等により行うことができる。ここでは、ドライエッティングまたはウェットエッティングの一方、または双方を組み合わせたエッティング処理(エッチバック処理)を行った後にレーザー光を照射することによって、単結晶半導体層112の再結晶化と表面の平坦化が行われているため、結晶欠陥も低減され、かつ平坦性も高い単結晶半導体層112である。

【0128】

単結晶半導体層112のエッティングを行う前に、TFTのしきい値電圧を制御するために、ホウ素、アルミニウム、ガリウムなどの不純物元素、またはリン、ヒ素などの不純物元素を単結晶半導体層112に添加することが好ましい。例えば、nチャネル型TFTが形成される領域に不純物元素を添加し、pチャネル型TFTが形成される領域に不純物元素を添加する。

【0129】

単結晶半導体層112をエッティングして、半導体素子の配置に合わせて島状に分離した単結晶半導体層205、206を形成する(図5(B)参照。)。

【0130】

単結晶半導体層上の酸化膜を除去し、単結晶半導体層205、206を覆うゲート絶縁層207を形成する。本実施の形態における単結晶半導体層205、206は平坦性が高いため、単結晶半導体層205、206上に形成されるゲート絶縁層が薄膜のゲート絶縁層であっても被覆性よく覆うことができる。従ってゲート絶縁層の被覆不良による特性不良を防ぐことができ、高信頼性の半導体装置を歩留まりよく作製することができる。ゲート絶縁層207の薄膜化は、薄膜トランジスタを低電圧で高速に動作させる効果がある。

【0131】

ゲート絶縁層207は酸化珪素、若しくは酸化珪素と窒化珪素の積層構造で形成すればよい。ゲート絶縁層207は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成しても良いし、プラズマ処理による固相酸化若しくは固相窒化で形成すると良い。単結晶半導体層を、プラズマ処理により酸化又は窒化することにより形成するゲート絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。

10

20

30

40

50

【0132】

また、ゲート絶縁層207として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどの高誘電率材料を用いても良い。ゲート絶縁層207に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。

【0133】

ゲート絶縁層207上にゲート電極層208及びゲート電極層209を形成する(図5(C)参照。)。ゲート電極層208、209は、スパッタリング法、蒸着法、CVD法等の手法により形成することができる。ゲート電極層208、209はタンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、ゲート電極層208、209としてリン等の不純物元素をドーピングした多結晶シリコン層に代表される半導体層や、AgPdCu合金を用いてもよい。

10

【0134】

単結晶半導体層206を覆うマスク211を形成する。マスク211及びゲート電極層208をマスクとして、n型を付与する不純物元素210を添加し、第1のn型不純物領域212a、212bを形成する(図5(D)参照。)。本実施の形態では、不純物元素を含むドーピングガスとしてホスフィン(PH₃)を用いる。ここでは、第1のn型不純物領域212a、212bに、n型を付与する不純物元素が $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ 程度の濃度で含まれるように添加する。本実施の形態では、n型を付与する不純物元素としてリン(P)を用いる。

20

【0135】

次に、単結晶半導体層205を覆うマスク214を形成する。マスク214、ゲート電極層209をマスクとしてp型を付与する不純物元素213を添加し、第1のp型不純物領域215a、第1のp型不純物領域215bを形成する(図5(E)参照。)。本実施の形態では、不純物元素としてボロン(B)を用いるため、不純物元素を含むドーピングガスとしてはジボラン(B₂H₆)などを用いる。

20

【0136】

マスク214を除去し、ゲート電極層208、209の側面にサイドウォール構造の側壁絶縁層216a乃至216d、ゲート絶縁層233a、233bを形成する(図6(A)参照。)。側壁絶縁層216a乃至216dは、ゲート電極層208、209を覆う絶縁層を形成した後、これをRIE(Reactive ion etching:反応性イオンエッ칭)法による異方性のエッ칭によって加工し、ゲート電極層208、209の側壁に自己整合的にサイドウォール構造の側壁絶縁層216a乃至216dを形成すればよい。ここで、絶縁層について特に限定はなく、TEOS(tetraethyl-ortho-silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化珪素であることが好ましい。絶縁層は熱CVD、プラズマCVD、常圧CVD、バイアスECR CVD、スパッタリング等の方法によって形成することができる。ゲート絶縁層233a、233bはゲート電極層208、209、及び側壁絶縁層216a乃至216dをマスクとしてゲート絶縁層207をエッ칭して形成することができる。

30

【0137】

また、本実施の形態では、絶縁層をエッ칭する際、ゲート電極層上の絶縁層を除去し、ゲート電極層を露出させるが、絶縁層をゲート電極層上に残すような形状に側壁絶縁層216a乃至216dを形成してもよい。また、後工程でゲート電極層上に保護膜を形成してもよい。このようにゲート電極層を保護することによって、エッ칭加工する際、ゲート電極層の膜減りを防ぐことができる。また、ソース領域及びドレイン領域にシリサイドを形成する場合、シリサイド形成時に成膜する金属膜とゲート電極層とが接しないので、金属膜の材料とゲート電極層の材料とが反応しやすい材料であっても、化学反応や拡散などの不良を防止することができる。エッ칭方法は、ドライエッ칭法でもウェ

40

50

ットエッティング法でもよく、種々のエッティング方法を用いることができる。本実施の形態では、ドライエッティング法を用いる。エッティング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 もしくは NF_3 などを代表とするフッ素系ガス又は O_2 を適宜用いることができる。

【0138】

次に単結晶半導体層206を覆うマスク218を形成する。マスク218、ゲート電極層208、側壁絶縁層216a、216bをマスクとしてn型を付与する不純物元素217を添加し、第2のn型不純物領域219a、219b、第3のn型不純物領域220a、220bが形成される。本実施の形態では、不純物元素を含むドーピングガスとして PH_3 を用いる。ここでは、第2のn型不純物領域219a、219bにn型を付与する不純物元素が $5 \times 10^{19} \sim 5 \times 10^{20} / \text{cm}^3$ 程度の濃度で含まれるように添加する。また、単結晶半導体層205にチャネル形成領域221が形成される(図6(B)参照。)。

10

【0139】

第2のn型不純物領域219a、第2のn型不純物領域219bは高濃度n型不純物領域であり、ソース、ドレインとして機能する。一方、第3のn型不純物領域220a、220bは低濃度不純物領域であり、 LDD (Lightly Doped Drain)領域となる。第3のn型不純物領域220a、220bはゲート電極層208に覆われていないLooff領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。

20

【0140】

マスク218を除去し、単結晶半導体層205を覆うマスク223を形成する。マスク223、ゲート電極層209、側壁絶縁層216c、216dをマスクとして、p型を付与する不純物元素222を添加し、第2のp型不純物領域224a、224b、第3のp型不純物領域225a、225bを形成する。

20

【0141】

第2のp型不純物領域224a、224bにp型を付与する不純物元素が $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ 程度の濃度で含まれるように添加する。本実施の形態では、第3のp型不純物領域225a、225bは、側壁絶縁層216c、216dにより、自己整合的に第2のp型不純物領域224a、224bより低濃度となるように形成する。また、単結晶半導体層206にチャネル形成領域226が形成される(図6(C)参照。)。

30

【0142】

第2のp型不純物領域224a、224bは高濃度p型不純物領域であり、ソース、ドレインとして機能する。一方、第3のp型不純物領域225a、225bは低濃度不純物領域であり、 LDD (Lightly Doped Drain)領域となる。第3のp型不純物領域225a、225bはゲート電極層209に覆われていないLooff領域に形成されるため、オフ電流を低減する効果がある。この結果、さらに信頼性の高く、低消費電力の半導体装置を作製することが可能である。

【0143】

マスク223を除去し、不純物元素を活性化するために加熱処理、強光の照射、又はレーザビームの照射を行ってもよい。活性化と同時にゲート絶縁層へのプラズマダメージやゲート絶縁層と単結晶半導体層との界面へのプラズマダメージを回復することができる。

40

【0144】

次いで、ゲート電極層、ゲート絶縁層を覆う層間絶縁層を形成する。本実施の形態では、保護膜となる水素を含む絶縁膜227と、絶縁層228との積層構造とする。絶縁膜227と絶縁層228は、スパッタ法、またはプラズマCVDを用いた窒化珪素膜、窒化酸化珪素膜、酸化窒化珪素膜、酸化珪素膜でもよく、他の珪素を含む絶縁膜を単層または3層以上の積層構造として用いても良い。

【0145】

さらに、窒素雰囲気中で、300～550で1～12時間の熱処理を行い、単結晶半導

50

体層を水素化する工程を行う。好ましくは、400～500で行う。この工程は層間絶縁層である絶縁膜227に含まれる水素により単結晶半導体層のダンギングボンドを終端する工程である。本実施の形態では、410度()で1時間加熱処理を行う。

【0146】

絶縁膜227、絶縁層228としては他に窒化アルミニウム(AlN)、酸化窒化アルミニウム(AlON)、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウム(AlNO)または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、シロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、アリール基)やフルオロ基を用いても良い。置換基は、フルオロ基を有していてもよい。また、有機絶縁性材料を用いてもよく、有機材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、ポリシラザンを用いることができる。平坦性のよい塗布法によってされる塗布膜を用いてもよい。

10

【0147】

絶縁膜227、絶縁層228は、ディップ、スプレー塗布、ドクターナイフ、ロールコーラー、カーテンコーラー、ナイフコーラー、CVD法、蒸着法等を採用することができる。液滴吐出法により絶縁膜227、絶縁層228を形成してもよい。液滴吐出法を用いた場合には材料液を節約することができる。また、液滴吐出法のようにパターンが転写、または描写できる方法、例えば印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)なども用いることができる。

20

【0148】

次いで、レジストからなるマスクを用いて絶縁膜227、絶縁層228に単結晶半導体層に達するコンタクトホール(開口)を形成する。エッチングは、用いる材料の選択比によって、一回で行っても複数回行っても良い。エッチングによって、絶縁膜227、絶縁層228の一部を除去し、ソース領域又はドレイン領域である第2のn型不純物領域219a、219b、第2のp型不純物領域224a、224bに達する開口を形成する。エッチングは、ウェットエッチングでもドライエッチングでもよく、両方用いてもよい。ウェットエッチングのエッチャントは、フッ素水素アンモニウム及びフッ化アンモニウムを含む混合溶液のようなフッ酸系の溶液を用いるとよい。エッチング用ガスとしては、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆もしくはNF₃などを代表とするフッ素系ガス又はO₂を適宜用いることができる。また用いるエッチング用ガスに不活性気体を添加してもよい。添加する不活性元素としては、He、Ne、Ar、Kr、Xeから選ばれた一種または複数種の元素を用いることができる。

30

【0149】

開口を覆うように導電膜を形成し、導電膜をエッチングして各ソース領域又はドレイン領域の一部とそれぞれ電気的に接続するソース電極層又はドレイン電極層として機能する配線層229a、229b、230a、230bを形成する。配線層は、PVD法、CVD法、蒸着法等により導電膜を成膜した後、所望の形状にエッチングして形成することができる。また、液滴吐出法、印刷法、電解メッキ法等により、所定の場所に選択的に導電層を形成することができる。更にはリフロー法、ダマシン法を用いても良い。配線層の材料は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba等の金属、及びSi、Ge、又はその合金、若しくはその窒化物を用いて形成する。また、これらの積層構造としても良い。

40

【0150】

以上の工程でCMOS構造のnチャネル型薄膜トランジスタである薄膜トランジスタ231及びpチャネル型薄膜トランジスタである薄膜トランジスタ232を含む半導体装置を作製することができる(図6(D)参照。)。図示しないが、本実施の形態はCMOS構

50

造であるため、薄膜トランジスタ 231 と薄膜トランジスタ 232 とは電気的に接続している。

【0151】

本実施の形態に限定されず、薄膜トランジスタはチャネル形成領域が一つ形成されるシングルゲート構造でも、二つ形成されるダブルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0152】

以上のように、結晶欠陥が低減され、かつ平坦性も高い単結晶半導体層を有する SOI 基板を用いることにより、高性能及び高信頼性な半導体装置を歩留まり良く作製することができる。

10

【0153】

このように、SOI 基板を用いて薄膜トランジスタを作製することができる。SOI 基板の単結晶半導体層は、結晶欠陥が低減され、ゲート絶縁層 207 との界面準位密度が低減された単結晶半導体層であり、その表面が平坦化され、さらにその厚さを 50 nm 以下と薄膜化されている。このことにより、SOI 基板に、低い駆動電圧、高い電界効果移動、小さいサブスレッショルド値など、優れた特性を備えた薄膜トランジスタを形成することができる。さらに、同一基板上に特性のばらつきの少ない、高性能なトランジスタを複数基板上に形成することが可能である。すなわち、実施の形態 1～4 に係る SOI 基板を用いることで、しきい値電圧や移動度などトランジスタ特性として重要な特性値の不均一性が抑制され、また高電界移動度などの高性能化が可能になる。

20

【0154】

従って、実施の形態 1～4 に係る SOI 基板を用いて TFT など各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。

【0155】

図 5 及び図 6 を参照して TFT の作製方法を説明したが、TFT の他、容量、抵抗など TFT と共に各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。

30

【0156】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図 7 はマイクロプロセッサ 500 の構成例を示すブロック図である。

【0157】

マイクロプロセッサ 500 は、演算回路 501 (Arithmetic logic unit。ALUともいう。)、演算回路制御部 502 (ALU Controller)、命令解析部 503 (Instruction Decoder)、割り込み制御部 504 (Interrupt Controller)、タイミング制御部 505 (Timing Controller)、レジスタ 506 (Register)、レジスタ制御部 507 (Register Controller)、バスインターフェース 508 (Bus I/F)、読み出し専用メモリ 509、およびメモリインターフェース 510 を有している。

40

【0158】

バスインターフェース 508 を介してマイクロプロセッサ 500 に入力された命令は、命令解析部 503 に入力され、デコードされた後、演算回路制御部 502、割り込み制御部 504、レジスタ制御部 507、タイミング制御部 505 に入力される。演算回路制御部 502、割り込み制御部 504、レジスタ制御部 507、タイミング制御部 505 は、デコードされた命令に基づき様々な制御を行う。

【0159】

演算回路制御部 502 は、演算回路 501 の動作を制御するための信号を生成する。また、割り込み制御部 504 は、マイクロプロセッサ 500 のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部 504 は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制

50

御部 507 は、レジスタ 506 のアドレスを生成し、マイクロプロセッサ 500 の状態に応じてレジスタ 506 の読み出しや書き込みを行う。タイミング制御部 505 は、演算回路 501、演算回路制御部 502、命令解析部 503、割り込み制御部 504、およびレジスタ制御部 507 の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部 505 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えている。図 7 に示すように、内部クロック信号 CLK2 は他の回路に入力される。

【0160】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図 8 は、このような半導体装置の構成例を示すブロック図である。図 8 に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「RFCPU」という）と呼ぶことができる。

10

【0161】

図 8 に示すように、RFCPU511 は、アナログ回路部 512 とデジタル回路部 513 を有している。アナログ回路部 512 として、共振容量を有する共振回路 514、整流回路 515、定電圧回路 516、リセット回路 517、発振回路 518、復調回路 519 と、変調回路 520 を有している。デジタル回路部 513 は、RFインターフェース 521、制御レジスタ 522、クロックコントローラ 523、CPUインターフェース 524、中央処理ユニット 525、ランダムアクセスメモリ 526、読み出し専用メモリ 527 を有している。

20

【0162】

RFCPU511 の動作の概要は以下の通りである。アンテナ 528 が受信した信号は共振回路 514 により誘導起電力を生じる。誘導起電力は、整流回路 515 を経て容量部 529 に充電される。この容量部 529 はセラミックコンデンサーや電気二重層コンデンサなどのキャパシタで形成されていることが好ましい。容量部 529 は、RFCPU511 を構成する基板に集積されている必要はなく、他の部品として RFCPU511 に組み込むこともできる。

20

【0163】

リセット回路 517 は、デジタル回路部 513 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 518 は、定電圧回路 516 により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。復調回路 519 は、受信信号を復調する回路であり、変調回路 520 は、送信するデータを変調する回路である。

30

【0164】

例えば、復調回路 519 はローパスフィルタで形成され、振幅変調（ASK）方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調（ASK）方式の送信信号の振幅を変動させて送信するため、変調回路 520 は、共振回路 514 の共振点を変化させることで通信信号の振幅を変化させている。

40

【0165】

クロックコントローラ 523 は、電源電圧または中央処理ユニット 525 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 530 が行っている。

【0166】

アンテナ 528 から RFCPU511 に入力された信号は復調回路 519 で復調された後、RFインターフェース 521 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 522 に格納される。制御コマンドには、読み出し専用メモリ 527 に記憶されているデータの読み出し、ランダムアクセスメモリ 526 へのデータの書き込み、中央処理ユニット 525 への演算命令などが含まれている。

【0167】

中央処理ユニット 525 は、CPUインターフェース 524 を介して読み出し専用メモリ

50

527、ランダムアクセスメモリ526、制御レジスタ522にアクセスする。CPUインターフェース524は、中央処理ユニット525が要求するアドレスより、読み出し専用メモリ527、ランダムアクセスメモリ526、制御レジスタ522のいずれかに対するアクセス信号を生成する機能を有している。

【0168】

中央処理ユニット525の演算方式は、読み出し専用メモリ527にOS(オペレーティングシステム)を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット525が処理する方式を適用できる。

10

【0169】

次に、図9、図10を用いて、表示装置について説明する。

【0170】

図9は液晶表示装置を説明するための図面である。図9(A)は液晶表示装置の画素の平面図であり、図9(B)は、J-K切断線による図9(A)の断面図である。

【0171】

図9(A)に示すように、画素は、単結晶半導体膜320、単結晶半導体膜320と交差している走査線322、走査線322と交差している信号線323、画素電極324、画素電極324と単結晶半導体膜320を電気的に接続する電極328を有する。単結晶半導体膜320は、ベース基板120上に設けられた単結晶半導体膜から形成された層であり、画素のTFT325を構成する。

20

【0172】

SOI基板には上記実施の形態で示したSOI基板が用いられている。図9(B)に示すように、ベース基板120上に、第2の絶縁膜122及び第1の絶縁膜102を介して単結晶半導体膜320が積層されている。ベース基板120としては、ガラス基板を用いることができる。TFT325の単結晶半導体膜320は、SOI基板の単結晶半導体膜をエッチングにより素子分離して形成された膜である。単結晶半導体膜320には、チャネル形成領域340、不純物元素が添加されたn型の高濃度不純物領域341が形成されている。TFT325のゲート電極は走査線322に含まれ、ソース電極およびドレイン電極の一方は信号線323に含まれている。

30

【0173】

層間絶縁膜327上には、信号線323、画素電極324および電極328が設けられている。層間絶縁膜327上には、柱状スペーサ329が形成されている。信号線323、画素電極324、電極328および柱状スペーサ329を覆って配向膜330が形成されている。対向基板332には、対向電極333、対向電極を覆う配向膜334が形成されている。柱状スペーサ329は、ベース基板120と対向基板332の隙間を維持するために形成される。柱状スペーサ329によって形成される隙間に液晶層335が形成されている。信号線323および電極328と高濃度不純物領域341との接続部は、コンタクトホールの形成によって層間絶縁膜327に段差が生じるので、この接続部では液晶層335の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ329を形成して、液晶の配向の乱れを防ぐ。

40

【0174】

次に、エレクトロルミネンス表示装置(以下、EL表示装置という。)について図10を参照して説明する。図10(A)はEL表示装置の画素の平面図であり、図10(B)は、J-K切断線による図10(A)の断面図である。

【0175】

図10(A)に示すように、画素は、TFTでなる選択用トランジスタ401、表示制御用トランジスタ402、走査線405、信号線406、および電流供給線407、画素電極408を含む。エレクトロルミネンス材料を含んで形成される層(EL層)が一対の

50

電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極408である。また、半導体膜403は、選択用トランジスタ401のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜404は、表示制御用トランジスタ402のチャネル形成領域、ソース領域およびドレイン領域が形成されている。半導体膜403、404は、ベース基板上に設けられた単結晶半導体膜から形成された層である。

【0176】

選択用トランジスタ401において、ゲート電極は走査線405に含まれ、ソース電極またはドレイン電極の一方は信号線406に含まれ、他方は電極411として形成されている。表示制御用トランジスタ402は、ゲート電極412が電極411と電気的に接続され、ソース電極またはドレイン電極の一方は、画素電極408に電気的に接続される電極413として形成され、他方は、電流供給線407に含まれている。

10

【0177】

表示制御用トランジスタ402はpチャネル型のTFTである。図10(B)に示すように、半導体膜404には、チャネル形成領域451、およびp型の高濃度不純物領域452が形成されている。なお、SOI基板は、実施の形態1~4で作製したSOI基板が用いられている。

20

【0178】

表示制御用トランジスタ402のゲート電極412を覆って、層間絶縁膜427が形成されている。層間絶縁膜427上に、信号線406、電流供給線407、電極411、413などが形成されている。また、層間絶縁膜427上には、電極413に電気的に接続されている画素電極408が形成されている。画素電極408は周辺部が絶縁性の隔壁層428で囲まれている。画素電極408上にはEL層429が形成され、EL層429上には対向電極430が形成されている。補強板として対向基板431が設けられており、対向基板431は樹脂層432によりベース基板120に固定されている。

20

【0179】

EL表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその輝度を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとでトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。SOI基板の作製工程、およびゲッタリング工程を含む製造方法でEL表示装置を作製することで、選択用トランジスタ401および表示制御用トランジスタ402は画素ごとに特性のばらつきがなくなるため、電流駆動方式を採用することができる。

30

【0180】

つまり、SOI基板を用いることで、様々な電気機器を作製することができる。電気機器としては、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポなど)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など)、記録媒体を備えた画像再生装置(具体的にはDVD(digital versatile disc)などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示しうる表示装置を備えた装置など)が含まれる。それらの一例を図11に示す。

40

【0181】

図11は、実施の形態1~4に係るSOI基板を適用した携帯電話の一例であり、図11(A)が正面図、図11(B)が背面図、図11(C)が2つの筐体をスライドさせたときの正面図である。携帯電話は、筐体701及び筐体702二つの筐体で構成されている。携帯電話は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【0182】

携帯電話は、筐体701及び筐体702で構成されている。筐体701においては、表示部703、スピーカ704、マイクロフォン705、操作キー706、ポインティングデ

50

バイス 707、表面カメラ用レンズ 708、外部接続端子ジャック 709 及びイヤホン端子 710 等を備え、筐体 702 においては、キーボード 711、外部メモリスロット 712、裏面カメラ 713、ライト 714 等により構成されている。また、アンテナは筐体 701 に内蔵されている。

【0183】

また、携帯電話には、上記の構成に加えて、非接触型 IC チップ、小型記録装置等を内蔵していてもよい。

【0184】

重なり合った筐体 701 と筐体 702 (図 11 (A) 参照) は、スライドさせることが可能であり、スライドさせることで図 11 (C) のように展開する。表示部 703 には、実施の形態 5 で説明した表示装置の作製方法を適用した表示パネル又は表示装置を組み込むことが可能である。表示部 703 と表面カメラ用レンズ 708 を同一の面に備えているため、テレビ電話としての使用が可能である。また、表示部 703 をファインダーとして用いることで、裏面カメラ 713 及びライト 714 で静止画及び動画の撮影が可能である。

10

【0185】

スピーカ 704 及びマイクロフォン 705 を用いることで、携帯電話は、音声記録装置 (録音装置) 又は音声再生装置として使用することができる。また、操作キー 706 により、電話の発着信操作、電子メール等の簡単な情報入力操作、表示部に表示する画面のスクロール操作、表示部に表示する情報の選択等を行うカーソルの移動操作等が可能である。

20

【0186】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード 711 を用いると便利である。更に、重なり合った筐体 701 と筐体 702 (図 11 (A) 参照) をスライドさせることで、図 11 (C) のように展開させることができる。携帯情報端末として使用する場合には、キーボード 711 及びポインティングデバイス 707 を用いて、円滑な操作が可能である。外部接続端子ジャック 709 は A C アダプタ及び USB ケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット 712 に記録媒体を挿入し、より大量のデータ保存及び移動が可能になる。

20

【0187】

筐体 702 の裏面 (図 11 (B) 参照) には、裏面カメラ 713 及びライト 714 を備え、表示部 703 をファインダーとして静止画及び動画の撮影が可能である。

30

【0188】

また、上記の機能構成に加えて、赤外線通信機能、USB ポート、テレビワンセグ受信機能、非接触 IC チップ又はイヤホンジャック等を備えたものであってもよい。

30

【0189】

本実施の形態にて説明した各種電子機器は、実施の形態 5 にて説明したトランジスタ及び表示装置の作製方法を適用して作製することができるため、実施の形態 1 ~ 4 に係る SOI 基板を適用することで、これらの電子機器の表示特性及び生産性等を向上させることができる。

40

【実施例 1】

【0190】

本実施例では、上記実施の形態で示した塩素を含有する酸化膜について説明する。

【0191】

まず、単結晶半導体基板として単結晶シリコン基板を準備し、当該単結晶シリコン基板に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、当該単結晶シリコン基板上に酸化膜 (HCl 熱酸化 SiO₂) を形成した。次に、単結晶シリコン基板に酸化膜を介してイオンドーピング法を用いて水素イオンを照射することにより、単結晶シリコン基板の表面から所定の深さに脆化層を形成し、酸化膜に対して O₂ プラズマ処理を行った。次に、半導体基板として単結晶シリコン基板を準備し、酸化膜と単結晶シリコン基板を接合させて、熱処理を行うことにより、脆化層を境として分離することによって、単結晶

50

シリコン基板上に酸化膜を介して単結晶シリコン膜が設けられたS O I基板を作製した。

【0192】

熱酸化処理は、酸素に対し塩化水素(H C l)をH C l / O₂ = 3体積%の割合で含む酸化性雰囲気中、950の温度、処理時間は210minとして行った。その結果、100nmの厚さの酸化膜が形成された。また、接合後の熱処理は、熱処理炉を用いて、加熱温度200、2時間、さらに600、2時間として行った。また、分離後の単結晶シリコン膜の厚さは130nmであった。

【0193】

その後、酸化膜に含まれる塩素の濃度は、二次イオン質量分析法(S I M S : S e c o n d a r y I o n M a s s S p e c t r o s c o p y)を用いて測定を行った。

10

【0194】

図12に、単結晶シリコン基板上に形成された酸化膜中におけるS I M S分析による塩素の濃度深さ方向プロファイルを示す。なお、図12において、塩素濃度の値は酸化膜(H C l熱酸化S i O₂)内のみ有効である。

【0195】

図12より、酸化膜中に含まれる塩素は、単結晶シリコン膜との界面に多く含まれることがわかった。

【実施例2】

【0196】

本実施例では、単結晶半導体基板上に形成された酸化膜にプラズマ処理を行うことにより、単結晶半導体基板上に形成された酸化膜とベース基板とを接合させた後、剥離することによりベース基板上に設けられた単結晶半導体層の状態に関して説明する。

20

【0197】

本実施例で評価した試料について説明する。まず、単結晶半導体基板として単結晶シリコン基板を2枚用い、それぞれの単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、それぞれの単結晶シリコン基板に酸化膜(H C l熱酸化S i O₂)を形成した。次に、それぞれの単結晶シリコン基板に酸化膜を介してイオンドーピング法を用いて水素イオンを照射することにより、それぞれの単結晶シリコン基板中に脆化層を形成した。詳細な条件は、イオンドーピング装置を用い、加速電圧40kV、ドーズ量2.2×10¹⁶ions/cm²、ビーム電流密度2μA/cm²として行った。

30

【0198】

次に、水素イオンが照射された酸化膜(脆化層が形成されている側)に対してプラズマ処理を行った。プラズマ処理は、次に示す2つの条件について行った。条件1として、I C Pプラズマ装置を用い、処理電力1800W、圧力66.5Pa、酸素ガス流量300sccm、30秒で行った。条件2として、R I E装置を用い、処理電力0.24W/cm²(=投入電力200W/下部電極819cm²)、圧力66.7Pa、酸素ガス流量100sccm、30秒で行った。

【0199】

次に、プラズマ処理が行われた酸化膜とベース基板とを接合させて、熱処理を行うことで脆化層において分離することにより、ベース基板上に酸化膜を介して単結晶シリコン層が設けられたS O I基板を作製した。なお、ベース基板として単結晶シリコン基板を用いた。条件1のプラズマ処理が施されたS O I基板を試料Aとし、条件2のプラズマ処理が施されたS O I基板を試料Bとした。

40

【0200】

図13及び図14に、プラズマ処理を行い、貼り合わせを行った単結晶シリコン層について示す。図13(A)は、試料Aの単結晶シリコン層の表面であり、図13(B)は、図13(A)の拡大図である。図14(A)は、試料Bの単結晶シリコン層の表面であり、図14(B)は、図14(A)の拡大図である。

【0201】

50

条件 1 により、酸化膜にプラズマ処理を行った後に接合を行った場合には、ベース基板上に形成された単結晶シリコン層に複数の欠陥が観察された(図 13 (B))。条件 1 の場合は、プラズマ処理においてバイアスがかからず、酸化膜にイオンが照射されにくかったと考えられる。

【0202】

これに対して、条件 2 により、酸化膜にプラズマ処理を行った後に接合を行った場合には、ベース基板上に形成された単結晶シリコン層にほとんど欠陥が見られず、酸化膜とベース基板との接合が良好に行われたことが確認できた(図 14 (A)、(B) 参照)。RIE 法はパワーが大きくなると、生成されるプラズマの密度も高くなり、バイアスも大きくなる。したがって、酸化膜の深部までイオンが照射されたと考えられる。また、Si-O 結合から Si-OH 結合への転換が十分に行われたと考えられる。また、イオンの照射による歪みの形成が十分に行われ、熱処理時の水の拡散又は吸収が助長されたと考えられる。

10

【0203】

以上のことから、接合面にバイアス電圧を印加してプラズマ処理を行うことによって、酸化膜とベース基板との接合強度を向上させ、ベース基板上に得られる単結晶半導体層の欠陥を低減することができることが確認できた。

【実施例 3】

【0204】

本実施例では、単結晶半導体基板上に形成された酸化膜にプラズマ処理を行った場合の表面特性の変化について説明する。

20

【0205】

本実施例で評価した試料について説明する。まず、試料 C は、単結晶半導体基板として単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に 100 nm の酸化膜を形成した。

30

【0206】

次に、試料 D も、試料 C と同様にして、単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に 100 nm の酸化膜を形成した。その後、酸化膜に対して水素イオンを照射した。水素イオンの照射条件は、RF 放電型イオンドーピング装置を用いて、水素ガス流量 30 sccm、電源出力 100 W、加速電圧 40 kV、ドーズ量 2.0×10^{16} ions/cm² の条件で行った。

30

【0207】

次に、試料 E も、試料 C と同様にして、単結晶シリコン基板を用い、単結晶シリコン基板の表面に塩化水素が添加された酸化性雰囲気中で熱処理を行うことにより、単結晶シリコン基板に 100 nm の酸化膜を形成した。その後、酸化膜に対して水素イオンを照射した。水素イオンの照射条件は、試料 D と同様である。その後、酸化膜の表面にプラズマ処理を行った。プラズマ処理の条件は、Tegat社製の装置(プラズマドライエッティング装置モデル 981 ACS)を用い、RIE(リアクティブイオンエッティング)モードと呼ばれる方式で、処理電力 200 W、圧力 66.7 Pa、ガス(O₂)流量 100 sccm、処理時間 30 sec の条件で行った。

40

【0208】

次に、試料 C、試料 D、試料 E の酸化膜の表面の状態について、TOF-SIMS (Time of Flight - Secondary Ion Mass Spectrometry) による定性分析を行った。図 15 に、試料 C、試料 D、試料 E における酸化膜表面の分析結果を示す。横軸は、試料 C、試料 D、試料 E を示しており、縦軸は、(SiO₂)n-OH 系負イオン強度を示している。

【0209】

プラズマ処理を行った試料 E における酸化膜は、その他のプラズマ処理を行っていない試料 C、試料 D と比較して、(SiO₂)n-OH イオン強度が高いことが確認できた。つ

50

まり、加速された酸素の陽イオンが酸化膜の表面に衝突することによって、酸化膜表面の Si - H、Si - H₂、SiO₂を減少させ、(SiO₂)n-OHを増加させることができた。

【0210】

実施例2、3の結果より、バイアス電圧を印加してプラズマ処理を行うことによって、OH基を増加させることができ、基板表面の親水性を向上させることができることが確認できた。また、親水性を増加させることによって、貼り合わせが強化され、貼り合わせ不良を低減させることができた。

【符号の説明】

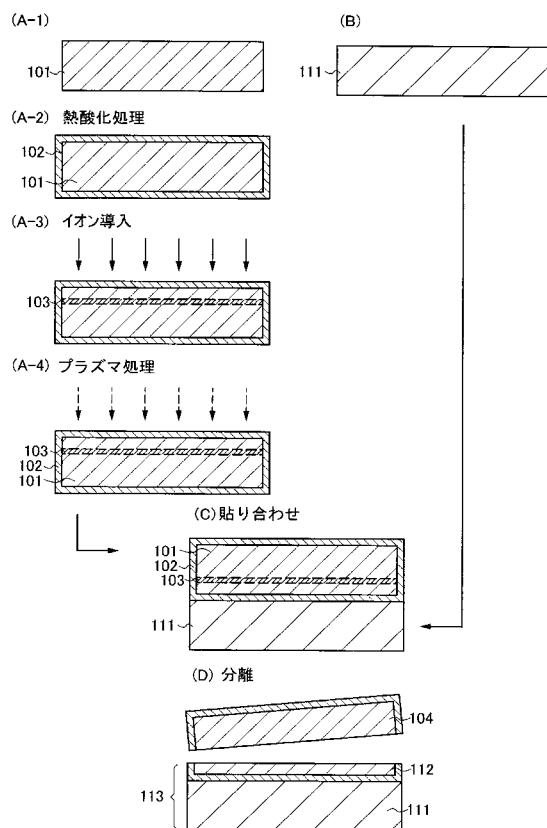
【0211】

101	単結晶半導体基板	10
102	絶縁膜	
103	脆化層	
104	単結晶半導体基板	
105	絶縁膜	
111	半導体基板	
112	単結晶半導体層	
113	SOI基板	
114	絶縁膜	
120	ベース基板	20
122	絶縁膜	
191	電極	
192	電極	
205	単結晶半導体層	
206	単結晶半導体層	
207	ゲート絶縁層	
208	ゲート電極層	
209	ゲート電極層	
210	不純物元素	
211	マスク	30
212 a	n型不純物領域	
213	不純物元素	
214	マスク	
215 a	p型不純物領域	
215 b	p型不純物領域	
216 a	側壁絶縁層	
216 c	側壁絶縁層	
217	不純物元素	
218	マスク	
219 a	n型不純物領域	40
219 b	n型不純物領域	
220 a	n型不純物領域	
221	チャネル形成領域	
222	不純物元素	
223	マスク	
224 a	p型不純物領域	
225 a	p型不純物領域	
226	チャネル形成領域	
227	絶縁膜	
228	絶縁層	50

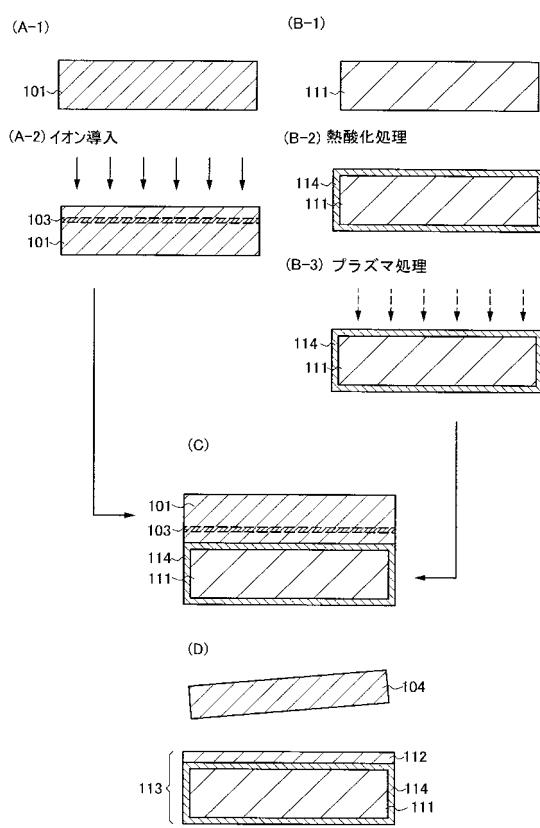
2 2 9 a	配線層	
2 3 1	薄膜トランジスタ	
2 3 2	薄膜トランジスタ	
3 2 0	単結晶半導体膜	
3 2 2	走査線	
3 2 3	信号線	
3 2 4	画素電極	
3 2 5	TFT	
3 2 7	層間絶縁膜	10
3 2 8	電極	
3 2 9	柱状スペーサ	
3 3 0	配向膜	
3 3 2	対向基板	
3 3 3	対向電極	
2 3 3 a	ゲート絶縁層	
3 3 4	配向膜	
3 3 5	液晶層	
3 4 0	チャネル形成領域	
3 4 1	高濃度不純物領域	
4 0 0	加熱温度	20
4 0 1	選択用トランジスタ	
4 0 2	表示制御用トランジスタ	
4 0 3	半導体膜	
4 0 4	半導体膜	
4 0 5	走査線	
4 0 6	信号線	
4 0 7	電流供給線	
4 0 8	画素電極	
4 1 0	電極	
4 1 1	電極	30
4 1 2	ゲート電極	
4 1 3	電極	
4 2 7	層間絶縁膜	
4 2 8	隔壁層	
4 2 9	EL層	
4 3 0	対向電極	
4 3 1	対向基板	
4 3 2	樹脂層	
4 5 1	チャネル形成領域	
4 5 2	高濃度不純物領域	40
5 0 0	マイクロプロセッサ	
5 0 1	演算回路	
5 0 2	演算回路制御部	
5 0 3	命令解析部	
5 0 4	制御部	
5 0 5	タイミング制御部	
5 0 6	レジスタ	
5 0 7	レジスタ制御部	
5 0 8	バスインターフェース	
5 0 9	専用メモリ	50

5 1 0	メモリインターフェース	
5 1 1	R F C P U	
5 1 2	アナログ回路部	
5 1 3	デジタル回路部	
5 1 4	共振回路	
5 1 5	整流回路	
5 1 6	定電圧回路	
5 1 7	リセット回路	
5 1 8	発振回路	
5 1 9	復調回路	10
5 2 0	変調回路	
5 2 1	R F インターフェース	
5 2 2	制御レジスタ	
5 2 3	クロックコントローラ	
5 2 4	インターフェース	
5 2 5	中央処理ユニット	
5 2 6	ランダムアクセスメモリ	
5 2 7	専用メモリ	
5 2 8	アンテナ	
5 2 9	容量部	20
5 3 0	電源管理回路	
6 0 0	チャンバー	
6 0 1	石英板	
6 0 2	マルチスピラルコイル	
6 0 3	マッチングボックス	
6 0 4	R F 電源	
6 0 5	下部電極	
6 0 6	R F 電源	
7 0 1	筐体	
7 0 2	筐体	30
7 0 3	表示部	
7 0 4	スピーカ	
7 0 5	マイクロフォン	
7 0 6	操作キー	
7 0 7	ポインティングデバイス	
7 0 8	表面カメラ用レンズ	
7 0 9	外部接続端子ジャック	
7 1 0	イヤホン端子	
7 1 1	キーボード	
7 1 2	外部メモリスロット	40
7 1 3	裏面カメラ	
7 1 4	ライト	

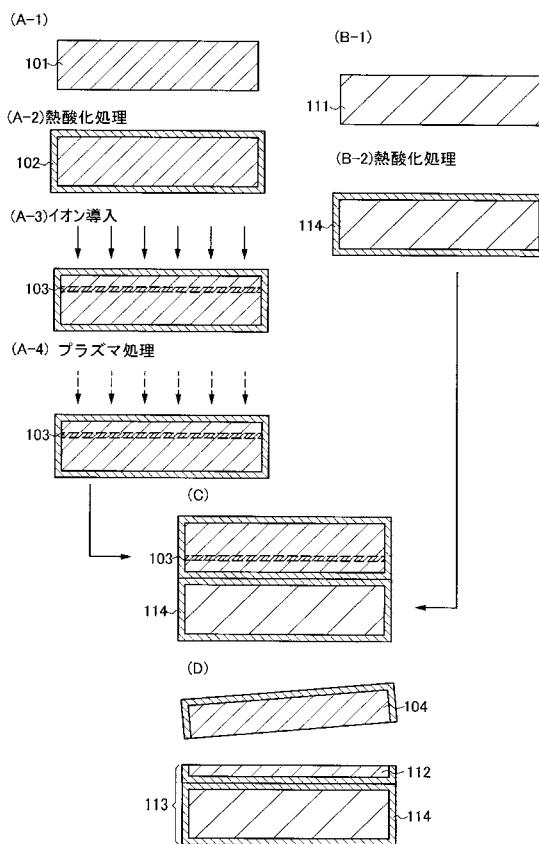
【図1】



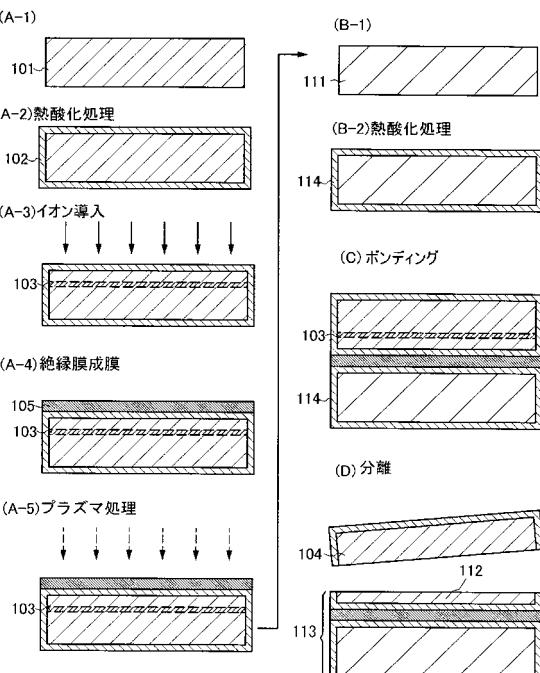
【図2】



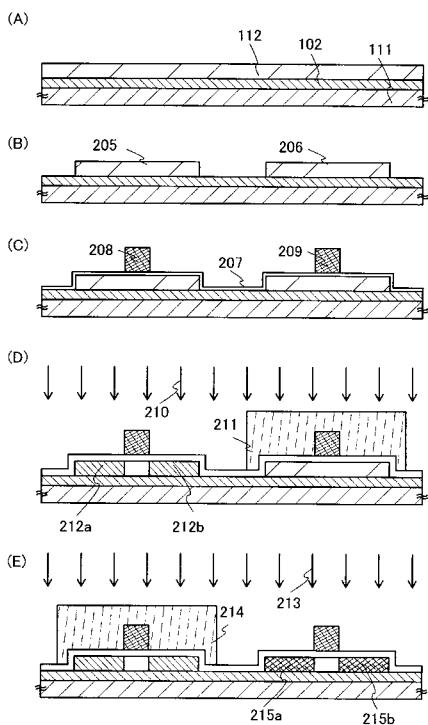
【図3】



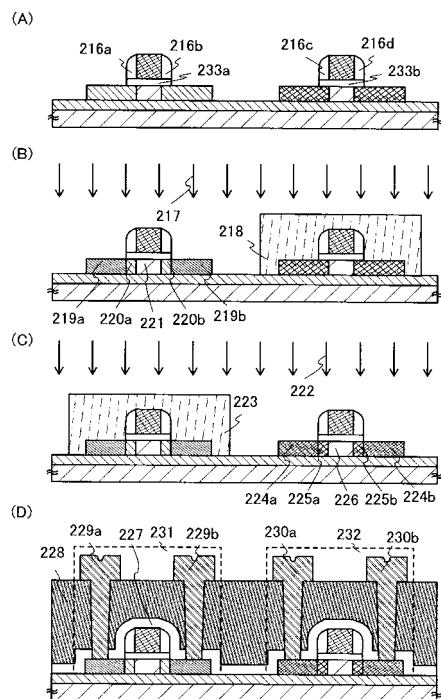
【図4】



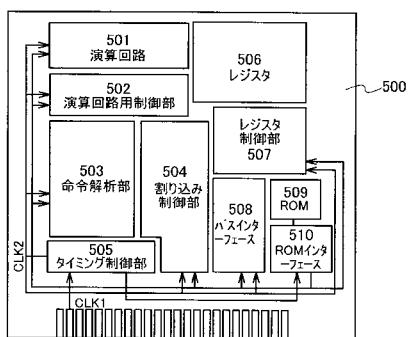
【図5】



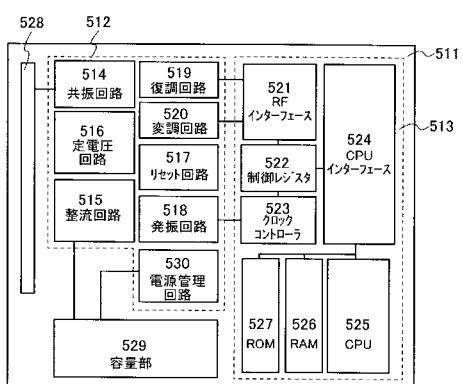
【図6】



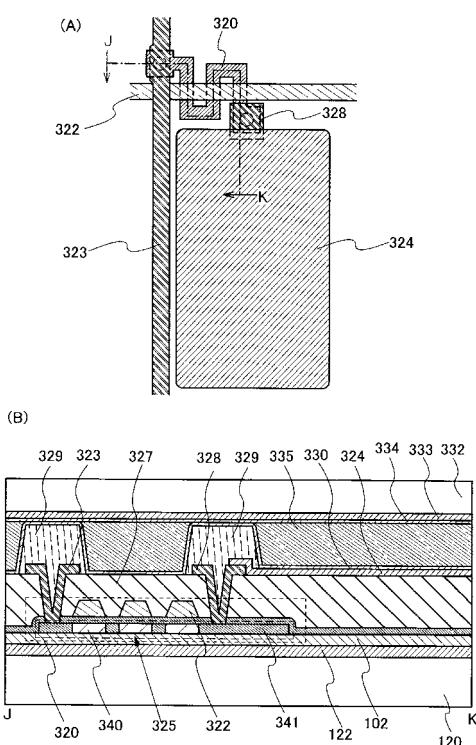
【図7】



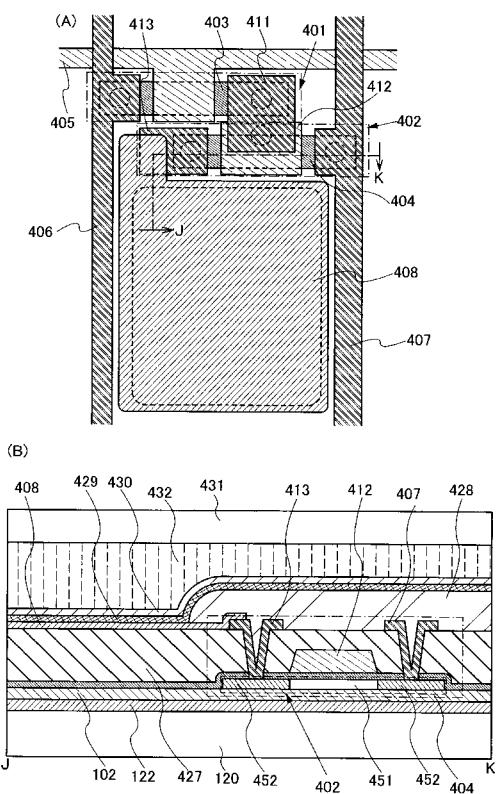
【図8】



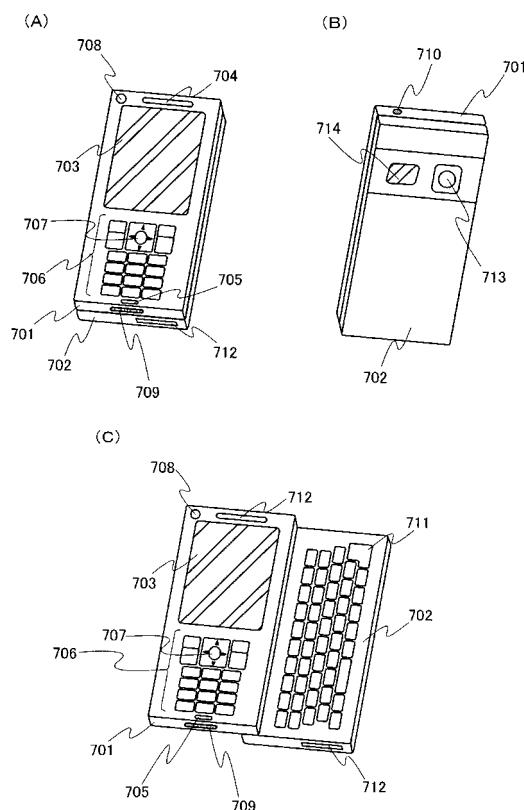
【図9】



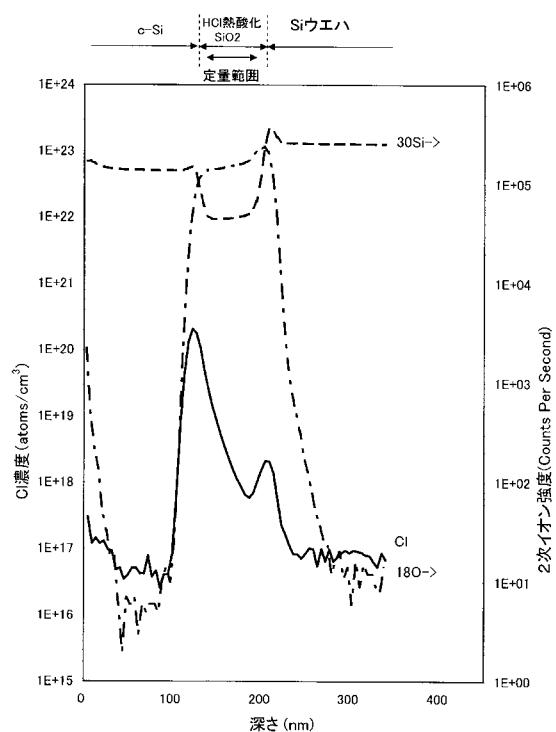
【図 1 0】



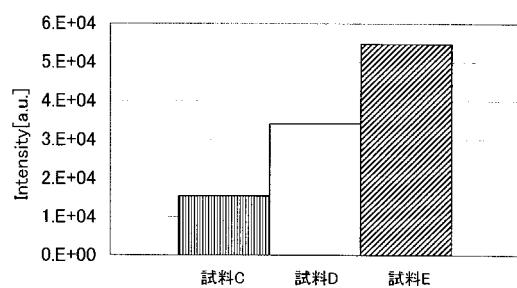
【図 1 1】



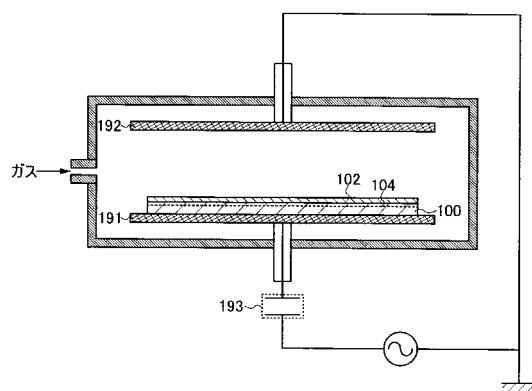
【図 1 2】



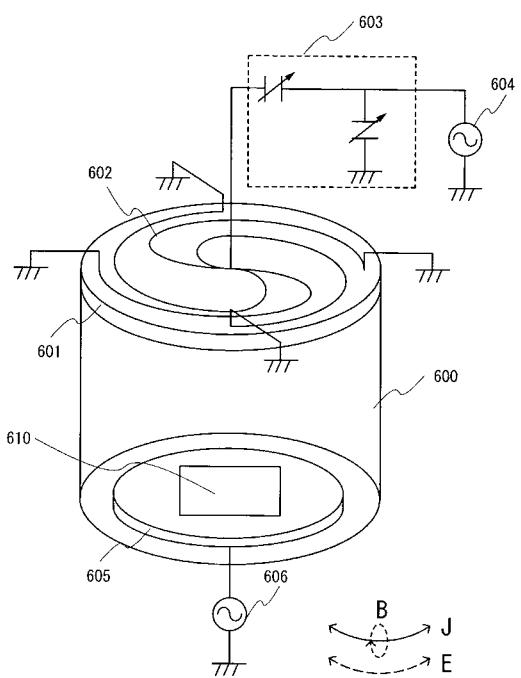
【図 1 5】



【図 1 6】

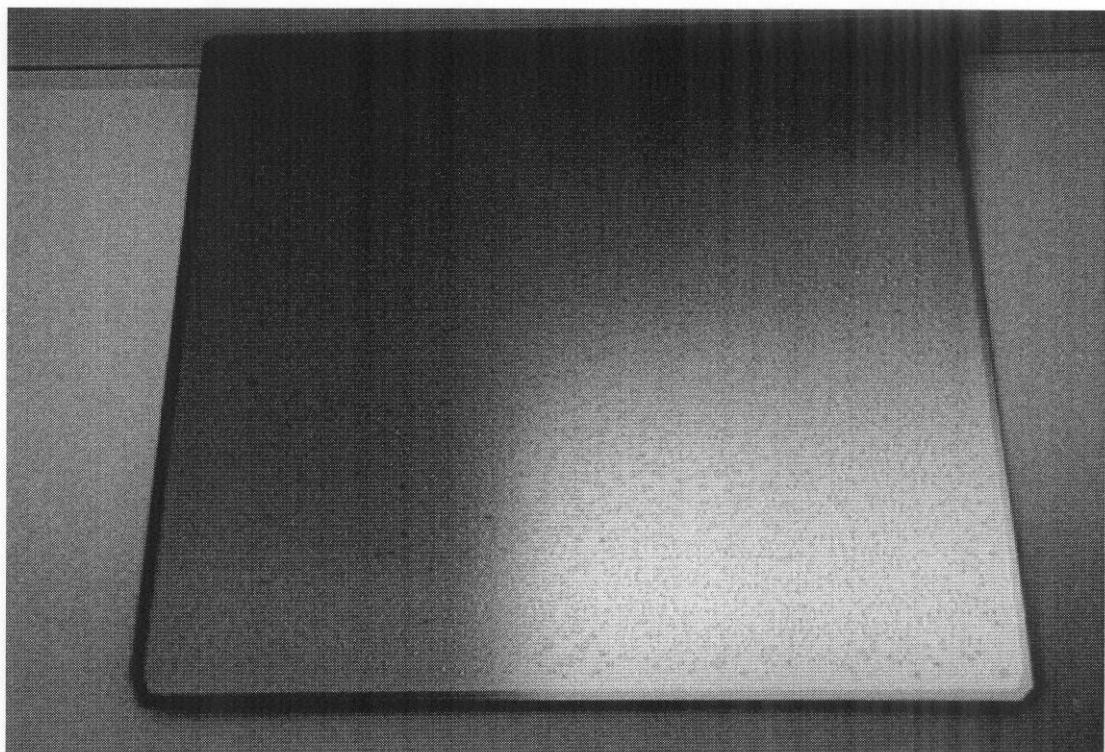


【図17】

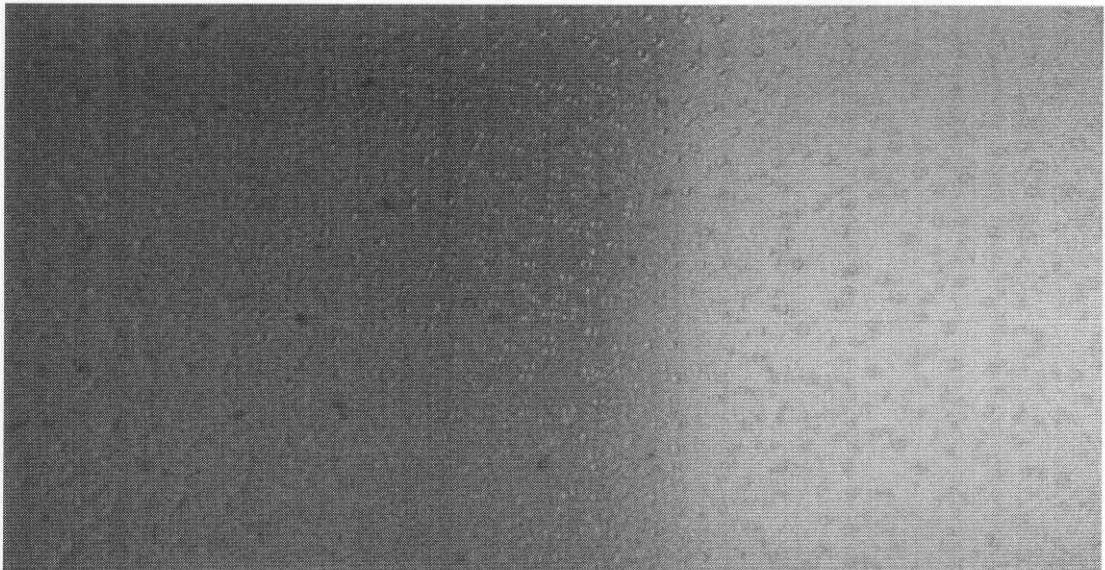


【図 1 3】

(A)

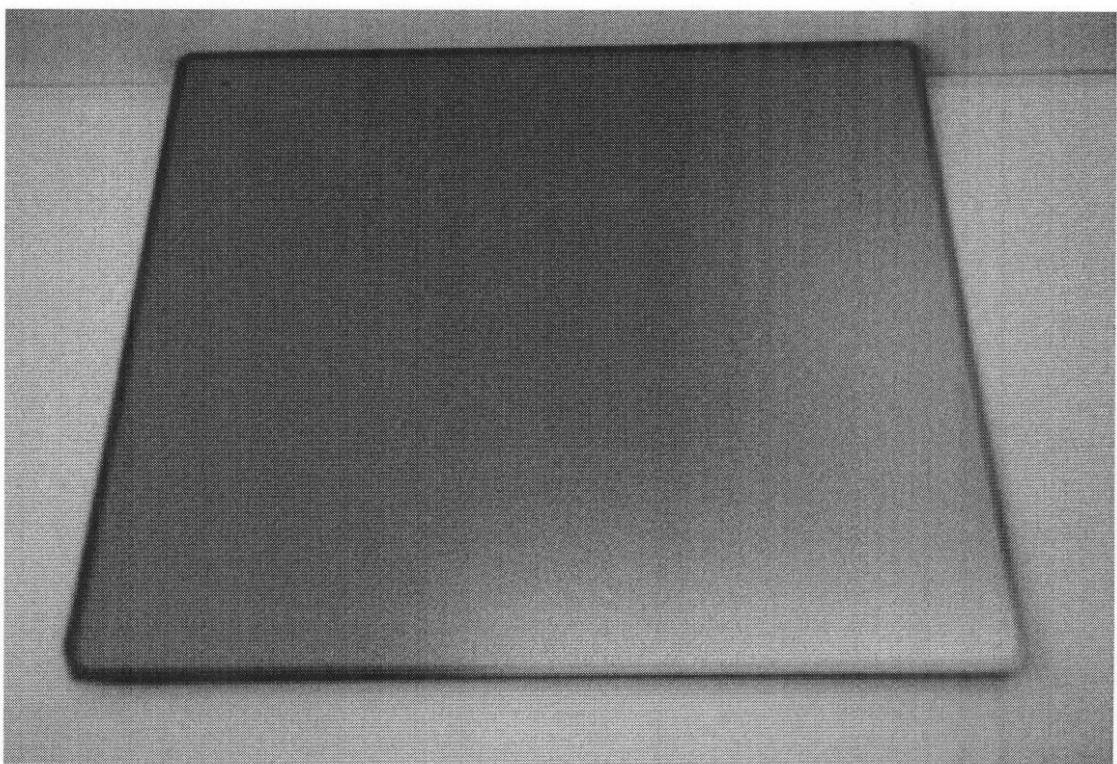


(B)

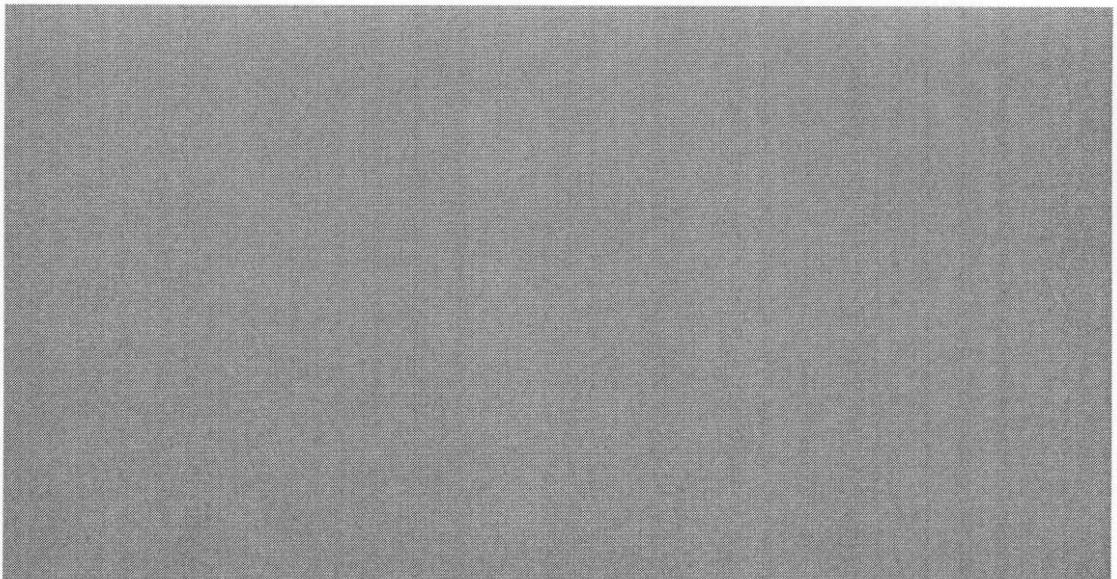


【図14】

(A)



(B)



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/336 (2006.01)	H 01 L 29/78	6 2 7 A
H 01 L 29/786 (2006.01)	H 01 L 29/78	6 2 7 D

F ターム(参考) 5F110 AA18 BB01 BB02 BB04 CC02 DD05 DD13 EE02 EE03 EE04
EE06 EE09 EE27 EE32 EE43 EE44 EE45 FF01 FF02 FF03
FF09 FF25 FF26 FF30 FF32 FF35 GG02 GG12 GG25 HJ01
HJ04 HJ12 HJ23 HL02 HL03 HL04 HL22 HL24 HM15 NN03
NN22 NN23 NN24 NN27 NN33 NN35 QQ17 QQ19 QQ23 QQ28
5F152 AA01 AA12 AA13 BB02 CC07 CC08 CD13 CE03 CE06 CE08
CE24 CE29 CE41 EE13 EE16 FF01 FG04 LL16 LP01 LP06
LP07 MM04 MM19 NN03 NN04 NN07 NN08 NN22 NP13 NP14
NQ03 NQ04 NQ05 NQ06