

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5632210号
(P5632210)

(45) 発行日 平成26年11月26日 (2014.11.26)

(24) 登録日 平成26年10月17日 (2014.10.17)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 G
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 4 1
	G 1 1 C 17/00 6 2 2 E

請求項の数 7 (全 28 頁)

(21) 出願番号	特願2010-140657 (P2010-140657)	(73) 特許権者	390019839
(22) 出願日	平成22年6月21日 (2010.6.21)		三星電子株式会社
(65) 公開番号	特開2011-3263 (P2011-3263A)		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成23年1月6日 (2011.1.6)		C o . , L t d .
審査請求日	平成25年6月10日 (2013.6.10)		大韓民国京畿道水原市靈通区三星路129
(31) 優先権主張番号	10-2009-0055397		129, S a m s u n g - r o , Y e o n
(32) 優先日	平成21年6月22日 (2009.6.22)		g t o n g - g u , S u w o n - s i , G
(33) 優先権主張国	韓国 (KR)		y e o n g g i - d o , R e p u b l i c
			o f K o r e a
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 非揮発性メモリ装置及びそのプログラム方法

(57) 【特許請求の範囲】

【請求項 1】

複数のマルチレベルセルにマルチビットデータをブレプログラムする段階と、
前記複数のマルチレベルセルの状態グループを示す状態グループコードに基づいて前記
複数のマルチレベルセルから前記ブレプログラムされたマルチビットデータを読み出す段
階と、

前記複数のマルチレベルセルに前記読み出されたマルチビットデータを再プログラムす
る段階と、を含み、

前記マルチビットデータを前記複数のマルチレベルセルにブレプログラムするように、
コントローラが前記マルチビットデータを非揮発性メモリ装置のページバッファ部にロー
ドする段階をさらに含み、

前記ページバッファ部にロードされた前記マルチビットデータに基づいて前記状態グル
ープコードを生成する段階をさらに含み、

前記生成された状態グループコードを前記ページバッファ部に一時的に保存する段階を
さらに含む

ことを特徴とする非揮発性メモリ装置のプログラム方法。

【請求項 2】

前記状態グループのそれぞれは、非オーバーラップしきい電圧分布の集合に相応する
ことを特徴とする請求項 1 に記載の非揮発性メモリ装置のプログラム方法。

【請求項 3】

10

20

前記状態グループの数は、前記複数のマルチレベルセルのオーバーラップされたしきい電圧分布の最大数に基づいて決定される

ことを特徴とする請求項 2 に記載の非揮発性メモリ装置のプログラム方法。

【請求項 4】

各状態グループコードのビット数は、前記状態グループの数に基づいて決定される

ことを特徴とする請求項 3 に記載の非揮発性メモリ装置のプログラム方法。

【請求項 5】

前記状態グループコードを生成する段階は、

前記状態グループコードを生成するように前記ロードされたマルチビットデータのビットにロジック演算を実行する段階を含む

ことを特徴とする請求項 1 に記載の非揮発性メモリ装置のプログラム方法。

【請求項 6】

前記生成された状態グループコードを状態グループコードメモリブロックに保存する段階をさらに含む

ことを特徴とする請求項 1 に記載の非揮発性メモリ装置のプログラム方法。

【請求項 7】

前記状態グループコードメモリブロックは、シングルレベルセルを含む

ことを特徴とする請求項 6 に記載の非揮発性メモリ装置のプログラム方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、非揮発性メモリ装置に関し、より詳しくは、マルチレベルセルを含む非揮発性メモリ装置及びそのプログラム方法に関する。

【背景技術】

【0002】

従来のフラッシュメモリ装置は、メモリセルごとに一つのビットデータを保存したが、近來にはメモリセルごとに 2 ビット以上のデータを保存するフラッシュメモリ装置が開発された。メモリセルごとに 1 ビットのデータを保存するフラッシュメモリ装置は、単一レベルセル (single level cell, SLC) 装置と呼ばれ、メモリセルごとに 2 ビット以上のデータを保存するフラッシュメモリ装置は、マルチレベルセル (multi level cell, MLC) と呼ばれる。

【0003】

フラッシュメモリ装置は、各メモリセルを 2^N 個の互いに異なるしきい電圧分布のうちのひとつでプログラムすることによって、メモリセルごとに「N」ビットのデータを保存することができる。例えば、フラッシュメモリ装置は、各メモリセルを 4 つの互いに異なる 2 ビットの状態「11」、「10」、「00」、及び「01」に相応する 4 つの ($2^2 = 4$) の互いに異なるしきい電圧分布のうちのひとつでプログラムすることによってメモリセルごとに 2 ビットのデータを保存することができる。 2^N 個の互いに異なるしきい電圧分布を有するメモリセルは、各メモリセルをターンオンさせるのに必要なしきい電圧を結成するための互いに異なる読み出し電圧を利用して読み出されることができる。メモリセルのしきい電圧より大きな読み出し電圧は、メモリセルをターンオンさせることができ、これは前記メモリセルがプログラムされたことを示す。

【0004】

正確な読み出し動作のために、 2^N 個のしきい電圧分布は、適正な読み出しマージンほど互いに離隔されるべきである。2 つのしきい電圧分布が互いにオーバーラップされるか、または近すぎる場合、1 つの分布に属するメモリセルが他の分布に属することと誤って読み出される場合がある。近來には、フラッシュメモリ装置の性能向上のために小さい読み出しマージンが要求されている。さらに、集積度向上のような近來のフラッシュメモリ装置の性能向上は、隣接するメモリセルの間の電気的なカップリングに基づいてしきい電圧分布を広めることができる。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】韓国特許0766241号明細書

【特許文献2】韓国特許0836762号明細書

【特許文献3】特開2004-103089号広報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述のような問題点を解決するための本発明の一目的は、プログラミング動作を効率的に実行できる非揮発性メモリ装置及びそのプログラム方法を提供することにある。

10

【課題を解決するための手段】

【0007】

前記一目的を達成するために、本発明の一実施形態による非揮発性メモリ装置のプログラム方法において、複数のマルチレベルセルにマルチビットデータがプレプログラムされる。前記複数のマルチレベルセルの状態グループを示す状態グループコードに基づいて前記複数のマルチレベルセルから前記プレプログラムされたマルチビットデータが読み出される。前記複数のマルチレベルセルに前記読み出されたマルチビットデータが再プログラムされる。

【0008】

20

一実施形態において、前記状態グループのそれぞれは、非オーバーラップしきい電圧分布の集合に相応することができる。

【0009】

一実施形態において、前記状態グループの数は、前記複数のマルチレベルセルのオーバーラップされたしきい電圧分布の最大数に基づいて決定することができる。

【0010】

一実施形態において、各状態グループコードのビット数は、前記状態グループの数に基づいて決定されることができる。

【0011】

一実施形態において、前記マルチビットデータを前記複数のマルチレベルセルにプレプログラムするように、コントローラによって前記マルチビットデータが前記非揮発性メモリ装置のページバッファ部にロードされることができる。

30

【0012】

一実施形態において、前記ページバッファ部にロードされた前記マルチビットデータに基づいて前記状態グループコードが生成されることができる。

【0013】

一実施形態において、前記状態グループコードを生成するように、前記ロードされたマルチビットデータのビットにロジック演算が実行されることができる。

【0014】

一実施形態において、前記生成された状態グループコードが前記ページバッファ部に一時的に保存されることができる。

40

【0015】

一実施形態において、前記生成された状態グループコードが状態グループコードメモリブロックに保存されることができる。

【0016】

一実施形態において、前記状態グループコードメモリブロックは、シングルレベルセルを含むことができる。

【0017】

一実施形態において、前記コントローラによって前記状態グループコードが前記ページバッファ部にロードされることができる。

50

【 0 0 1 8 】

一実施形態において、前記マルチレベルセルに前記マルチビットデータがプレプログラムされた後、前記マルチレベルセルのしきい電圧が確認され、前記確認されたしきい電圧に基づいて前記状態グループコードが生成されることができる。

【 0 0 1 9 】

一実施形態において、前記プレプログラムされたマルチビットデータを読み出すように、前記状態グループコードに従って互いに異なる読み出し電圧を使用して状態グループ別に前記プレプログラムされたマルチビットデータが読み出されることができる。

【 0 0 2 0 】

一実施形態において、前記マルチビットデータをプレプログラムするように、所望のしきい電圧より低いプレプログラム検証電圧が印加され、前記読み出されたマルチビットデータを再プログラムするように、前記所望のしきい電圧と実質的に同一の再プログラム検証電圧が印加されることができる。

10

【 0 0 2 1 】

前記一目的を達成するための、本発明の一実施形態による非揮発性メモリ装置のプログラム方法において、第1ワードラインに接続された第1複数のマルチレベルセルに第1マルチビットデータがプレプログラムされる。第2ワードラインに接続された第2複数のマルチレベルセルに第2マルチビットデータがプレプログラムされる。前記第1複数のマルチレベルセルの状態グループを示す第1状態グループコードに基づいて前記第1複数のマルチレベルセルから前記プレプログラムされた第1マルチビットデータが読み出される。前記第1複数のマルチレベルセルに前記読み出された第1マルチビットデータが再プログラムされる。

20

【 0 0 2 2 】

一実施形態において、前記第2ワードラインは、前記第1ワードラインに隣接してもよい。

【 0 0 2 3 】

一実施形態において、前記プレプログラムされた第1マルチビットデータは、前記第2マルチビットデータが前記第2複数のマルチレベルセルにプレプログラムされた後、前記第1複数のマルチレベルセルから読み出されてもよい。

【 0 0 2 4 】

一実施形態において、第3ワードラインに接続された第3複数のマルチレベルセルに第3マルチビットデータがプレプログラムされ、前記第3マルチビットデータが前記第3複数のマルチレベルセルにプレプログラムされた後、第2状態グループコードに基づいて前記第2複数のマルチレベルセルから前記プレプログラムされた第2マルチビットデータ読み出され、前記第2複数のマルチレベルセルに前記読み出された第2マルチビットデータが再プログラムされることができる。

30

【 0 0 2 5 】

本発明の一実施形態による非揮発性メモリ装置は、複数のマルチレベルセル及び制御回路を含む。前記制御回路は、前記非揮発性メモリ装置が前記複数のマルチレベルセルにマルチビットデータをプレプログラムするプレプログラム動作、前記複数のマルチレベルセルの状態グループを示す状態グループコードに基づいて前記複数のマルチレベルセルから前記プレプログラムされたマルチビットデータを読み出す読み出し動作、及び前記複数のマルチレベルセルに前記読み出されたマルチビットデータを再プログラムする再プログラム動作を実行するように制御することができる。

40

【 0 0 2 6 】

本発明の一実施形態において、前記状態グループのそれぞれは、非オーバーラップしきい電圧分布の集合に相応することができる。

【 発明の効果 】

【 0 0 2 7 】

上述のような本発明の実施形態による非揮発性メモリ装置及びそのプログラム方法は、

50

コントローラによるフル・ページデータ再ロードせずに、再プログラム動作を実行することができる。

【 0 0 2 8 】

また、本発明の実施形態による非揮発性メモリ装置及びそのプログラム方法は、再プログラム動作時間を短縮させることができる。

【 0 0 2 9 】

さらに、本発明の実施形態による非揮発性メモリ装置及びそのプログラム方法は、マルチレベルセル間のカップリングによってしきい電圧分布がオーバーラップされてもマルチレベルセルの状態を容易に区分することができる。

【図面の簡単な説明】

10

【 0 0 3 0 】

【図 1】本発明の一実施形態による非揮発性メモリ装置のプログラム方法を示すフローチャート図である。

【図 2】プレプログラム動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。

【図 3】読み出し動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。

【図 4】再プログラム動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。

【図 5】読み出し動作のとき、マルチレベルセルのしきい電圧分布の他の例を示す図である。

20

【図 6】本発明の一実施形態による非揮発性メモリ装置を示すブロック図である。

【図 7】図 6 の非揮発性メモリ装置に含まれたメモセルアレイの一例を示す回路図である。

【図 8】図 1 の非揮発性メモリ装置のプログラム方法の一例を示すフローチャートである。

【図 9】図 6 の非揮発性メモリ装置に含まれたページバッファの一例を示すブロック図である。

【図 10】図 6 の非揮発性メモリ装置に含まれたページバッファの他の例を示すブロック図である。

【図 11】図 6 の非揮発性メモリ装置に含まれたページバッファのさらに他の例を示すブロック図である。

30

【図 12】図 6 の非揮発性メモリ装置に含まれたメモセルアレイの一例を示すブロック図である。

【図 13】図 6 の非揮発性メモリ装置に含まれたロジック回路を示すブロック図である。

【図 14】図 13 のロジックの例を示すブロック図である。

【図 15】図 13 のロジックの例を示すブロック図である。

【図 16】図 6 の非揮発性メモリ装置に含まれる非揮発性メモリシステムを示すブロック図である。

【図 17】図 16 の非揮発性メモリシステムを含むコンピューティングシステムを示すブロック図である。

40

【発明を実施するための形態】

【 0 0 3 1 】

本明細書に開示されている本発明の実施形態について、特定の構造的または機能的説明は、単に本発明の実施形態を説明することを目的として例示したことであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明した実施形態に限定しようとするものと解釈されてはならない。

【 0 0 3 2 】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定の実施形態を図面に例示し、本明細書に詳しく説明する。しかし、これは本発明を特定の開示形態に対して限定しようとするのではなく、本発明の思想及び技術範囲に含まれる

50

全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。

【0033】

第1、第2などの用語は多様な構成要素を説明するにあたって使用することができるが、前記構成要素は前記用語によって限定されてはならない。前記用語は1つの構成要素を他の構成要素と区別する目的で使用することができる。例えば、本発明の権利範囲を逸脱しない範囲内で、第1構成要素を第2構成要素に書き換えることも可能であり、同様に第2構成要素を第1構成要素とすることができる。

【0034】

ある構成要素が他の構成要素に「連結されて」いるか、または「接続されて」いると言及する場合には、その他の構成要素に直接的に連結されているか、または接続されていることもあるが、中間に他の構成要素が存在することもあると理解されるべきである。反面、ある構成要素が他の構成要素に「直接連結されて」いるか、または「直接接続されて」いると言及する場合には、中間に他の構成要素が存在しないことであると理解されるべきである。構成要素間の関係を説明する別の表現、つまり、「～間に」と「すぐ～間に」または「～に隣接する」と「～に直接隣接する」なども同様に解釈されるべきである。

【0035】

本明細書で使用する用語は、単に特定する実施形態を説明するためのものであって、本発明を限定しようとする意図ではない。単数表現は、文脈上明白に異なる意味を有しない限り、複数の表現を含む。本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを指定しようとするものであって、1つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加する可能性を予め排除しないことと理解されるべきである。

【0036】

特別に定義されない限り、技術的または科学的用語を含んで、ここで使用される全ての用語は、本発明に属する技術分野で通常の知識を有する者によって一般的に理解されることと同一意味である。一般的に使用される辞典に定義されている用語と同じ用語は、関連技術の文脈上有する意味と一致する意味であることと解釈されるべきであり、本明細書で明白に定義しなし限り、理想的または過度に形式的な意味で解釈しない。

【0037】

以下、図面を参照しつつ、本発明の望ましい実施形態をより詳しく説明する。図面上の同一構成要素に対しては同一参照符号を使用し、同一構成要素に対して繰り返される説明は省略する。

【0038】

図1は、本発明の一実施形態による非揮発性メモリ装置のプログラム方法を示すフローチャート図である。

【0039】

図1を参照すると、非揮発性メモリ装置のプログラム動作を実行するように、マルチレベルセルにマルチビットデータをプレプログラムする(ステップS110)。前記マルチビットデータのそれぞれは相応するマルチレベルセルにプログラムされる、少なくとも2ビットで構成される。前記マルチビットデータは、所定の数のビットを含むページ単位で前記マルチレベルセルにプレプログラムされることができる。

【0040】

一実施形態において、ページのビット数は、フラッシュメモリ装置の共通ワードラインに接続されたメモリセルの数に相応することができる。前記メモリセルには前記メモリセルに接続された共通ワードライン及びビットラインに適切な電圧を印加することによって、1ページのデータがプレプログラムされることができる。前記共通ワードラインに接続された前記メモリセルがマルチレベルセルである場合、前記メモリセルに複数のページがプレプログラムされることができる。例えば、セルごと3ビットを保存するマルチレベルセルで、最下位ビット(least significant bit, LSB)に相応

10

20

30

40

50

する第1ページがプレプログラムされた後、中間ビット (central significant bit, CSB) に相応する第2ページがプレプログラムされ、その後、最上位ビット (most significant bit, MSB) に相応する第3ページがプレプログラムされることができる。他の実施形態において、前記マルチビットデータの全てのビットが単一動作でプレプログラムされることができる。

【0041】

前記マルチビットデータがプレプログラムされると、前記マルチレベルセルは、前記マルチビットデータに相応するしきい電圧を有する。例えば、前記マルチビットデータのそれぞれが3ビットを有する場合、前記マルチレベルのそれぞれは、8つのしきい電圧分布 (即ち、1つの消去状態及び7つのプログラム状態を含む8つの状態) のうちのいずれか

10

【0042】

前記マルチビットデータがプレプログラムされた前記マルチレベルセルのしきい電圧分布は、前記マルチレベルセル間の電氣的なカップリング (coupling) によって互いにオーバーラップされることができる。例えば、隣接するマルチレベルセルのフローティングゲートの間の寄生キャパシタンス (parasitic capacitance) に起因する容量性カップリングによって前記マルチレベルセルのしきい電圧が変動することができる。このようなしきい電圧変動 (threshold voltage shift) によって前記しきい電圧分布が広くなり、隣接するしきい電圧分布がオーバーラップされることができる。

20

【0043】

前記プレプログラムされたマルチビットデータはオーバーラップされないしきい電圧分布のグループを示す状態グループコードに基づいて前記マルチレベルセルから読み出される (ステップ S130)。前記しきい電圧分布は、互いにオーバーラップしないしきい電圧分布を含む状態グループに分割し、状態グループコードに基づいてマルチレベルセルから前記プレプログラムされたマルチビットデータを読み出すことによって、オーバーラップされたしきい電圧分布が存在しても前記マルチビットデータが復元されることができる。これは、追加的な図面を参照してより詳しく説明する。

【0044】

前記状態グループコードは、前記マルチビットデータに基づいて前記非揮発性メモリ装置または前記非揮発性メモリ装置に接続されたコントローラから生成することができる。一実施形態において、前記状態グループコードは、前記非揮発性メモリ装置の前記ページバッファ部にロードされた前記マルチビットデータのそれぞれにロジック演算が実行されることによって生成されることができる。他の実施形態において、前記コントローラが前記状態グループコードを生成し、前記生成された状態グループを前記非揮発性メモリ装置にロードすることができる。また他の実施形態において、前記非揮発性メモリ装置は、前記マルチレベルセルに前記マルチビットデータがプレプログラムされた直後、つまり、前記マルチレベルセル間のカップリングによって前記しきい電圧分布がオーバーラップされる前に前記マルチレベルセルのしきい電圧を確認し、前記確認されたしきい電圧に基づいて前記状態グループコードを生成することができる。

30

40

【0045】

前記プレプログラムされたマルチビットデータが正確に読み出された後、前記マルチレベルセルが前記マルチビットデータで再プログラムされる (ステップ S150)。前記再プログラム動作は、一般的に前記プレプログラム動作より高い検証電圧を利用することができる。一実施形態において、このような検証電圧は前記プログラムされるマルチレベルセルの所望のしきい電圧のレベルと実質的に同一なレベルを有することができる。

【0046】

前記再プログラム動作によって各しきい電圧分布が狭くなることができる。さらに、前記再プログラム動作の間の前記マルチレベルセルのしきい電圧上昇がプレプログラム動作の間のしきい電圧上昇に比べて小さいため、前記再プログラム動作の間、メモリセルの間

50

の電氣的なカップリングの影響が減少されることができる。従って、前記再プログラム動作が実行されることによって、前記マルチレベルセルが狭いしきい電圧分布を有することができる。

【0047】

前記マルチレベルセルの非オーバーラップしきい電圧分布を示す前記状態グループコードを利用することによって、前記非揮発性メモリ装置は前記プレプログラム動作の後、オーバーラップされたしきい電圧分布が存在されても前記マルチレベルセルを正確に読み出すことができる。従って、本発明の一実施形態による非揮発性メモリ装置は、外部の供給源から前記マルチビットデータを再ロードせずとも前記再プログラム動作を実行することができ、これは、前記非揮発性メモリ装置の性能を向上させることができる。

10

【0048】

図2は、プレプログラム動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。図2において、各マルチレベルセルが3ビットのデータを保存する例が図示されている。

【0049】

図2を参照すると、マルチビットデータの第1ページ（例えば、LSBデータ）に対する第1ページプレプログラムが実行されると、各マルチレベルセルは、データ「1」に相応するしきい電圧分布（つまり、状態）またはデータ「0」に相応するしきい電圧分布（つまり、状態）を有することができる。この例において、前記データ「1」に相応するしきい電圧分布は消去（erase）された状態のしきい電圧分布であってもよい。

20

【0050】

前記マルチビットデータの第2ページ（例えば、CSBデータ）に対する第2ページプレプログラムが実行されると、前記データ「1」に相応するしきい電圧分布を有するマルチレベルセルは、データ「11」に相応するしきい電圧分布またはデータ「01」に相応するしきい電圧分布を有することができ、前記データ「0」に相応するしきい電圧分布を有するマルチレベルセルは、データ「00」に相応するしきい電圧分布またはデータ「10」に相応するしきい電圧分布を有することができる。

【0051】

前記マルチビットデータの第3ページ（例えば、MSBデータ）に対する第3ページプレプログラムが実行されると、前記データ「11」に相応するしきい電圧分布を有するマルチレベルセルは、データ「111」に相応する第1しきい電圧分布E0またはデータ「011」に相応する第2しきい電圧分布P1を有することができ、前記データ「01」に相応するしきい電圧分布を有するマルチレベルセルは、データ「001」に相応する第3しきい電圧分布P2またはデータ「101」に相応する第4しきい電圧分布P3を有することができ、前記データ「00」に相応するしきい電圧分布を有するマルチレベルセルは、データ「100」に相応する第5しきい電圧分布P4またはデータ「000」に相応する第6しきい電圧分布P5を有することができ、前記データ「10」に相応するしきい電圧分布を有するマルチレベルセルは、データ「010」に相応する第7しきい電圧分布P6またはデータ「110」に相応する第8しきい電圧分布P7を有することができる。

30

【0052】

前記第3ページプレプログラムは、プレプログラム検証電圧（VPREVRF1，VPREVRF2，VPREVRF3，VPREVRF4，VPREVRF5，VPREVRF6，VPREVRF7）を利用して実行されることができる。例えば、データ「110」が保存されるマルチレベルセルは第7プレプログラム検証電圧VPREVRF7以上のしきい電圧を有するようにプレプログラムされ、データ「010」が保存されるマルチレベルセルは第6プレプログラム検証電圧VPREVRF6以上のしきい電圧を有するようにプレプログラムされ、データ「000」が保存されるマルチレベルセルは第5プレプログラム検証電圧VPREVRF5以上のしきい電圧を有するようにプレプログラムされ、データ「100」が保存されるマルチレベルセルは第4プレプログラム検証電圧VPREVRF4以上のしきい電圧を有するようにプレプログラムされ、データ「101」が保存

40

50

されるマルチレベルセルは第3プレプログラム検証電圧 $V_{PREVERF3}$ 以上のしきい電圧を有するようにプレプログラムされ、データ「001」が保存されるマルチレベルセルは第2プレプログラム検証電圧 $V_{PREVERF2}$ 以上のしきい電圧を有するようにプレプログラムされ、データ「011」が保存されるマルチレベルセルは第1プレプログラム検証電圧 $V_{PREVERF1}$ 以上のしきい電圧を有するようにプレプログラムされることができる。

【0053】

実施形態によると、前記第1ページプレプログラム、前記第2ページプレプログラム、及び前記第3プレプログラムのそれぞれは増加型ステップパルスプログラム(incremental step pulse program, ISPP)方式で実行されることができ、例えば、データ「110」がプレプログラムされるとき、ワードラインに段々増加するプログラム電圧及びプログラムパス確認のための第7プレプログラム検証電圧 $V_{PREVERF7}$ を繰り返して印加してプログラム動作及び検証動作が繰り返して実行されることができる。

【0054】

図2には前記マルチビットデータの各ビットが順次にプレプログラムされるプレプログラム動作が図示されているが、実施形態に従って、前記マルチビットデータの全てのビットが同時にプレプログラムされることができる。また、図2にはグレイ配列(gray ordering)方式でマルチビットデータがしきい電圧分布に割当てられるプレプログラム動作が図示されているが、実施形態に従ってマルチビットデータは、バイナリ配列(binary ordering)方式でしきい電圧分布に割当てられることができる。

【0055】

図3は、読み出し動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。

【0056】

図3を参照すると、前記マルチレベルセルは、カップリングによってプレプログラム動作の直後より広くなったしきい電圧分布を有する。隣接するマルチレベルセルのフローティングゲートの間の寄生キャパシタンスに起因する容量性カップリングによって図3のしきい電圧分布は図2のしきい電圧分布より広くなることができる。

【0057】

このように、しきい電圧分布が広がるにつれ、隣接するしきい電圧分布が互いにオーバーラップされることができる。例えば、第2しきい電圧分布 $P1$ は、第3しきい電圧分布 $P2$ とオーバーラップされることができる。このような、隣接するしきい電圧分布の間のオーバーラップは、従来の非揮発性メモリ装置で読み出し動作のとき、エラーを発生させることがある。しかし、本発明の一実施形態においては、状態グループコードに基づいて状態グループ別で読み出し動作が実行されることによって、前記プレプログラムされたデータが正確に読み出されることができる。

【0058】

前記読み出し動作を実行するために、しきい電圧分布($E0$, $P1$, $P2$, $P3$, $P4$, $P5$, $P6$, $P7$)は互いにオーバーラップしないしきい電圧分布を含む状態グループ $GROUP1$ 、 $GROUP2$ に分割される。例えば、第1～第8しきい電圧分布($E0$, $P1$, $P2$, $P3$, $P4$, $P5$, $P6$, $P7$)を第1状態グループ $GROUP1$ 及び第2状態グループ $GROUP2$ に分割することができる。第1状態グループ $GROUP1$ は互いにオーバーラップされない第1しきい電圧分布 $E0$ 、第3しきい電圧分布 $P2$ 、第5しきい電圧分布 $P4$ 、及び第7しきい電圧分布 $P6$ を含み、第2状態グループ $GROUP2$ は互いにオーバーラップされない第2しきい電圧分布 $P1$ 、第4しきい電圧分布 $P3$ 、第6しきい電圧分布 $P5$ 、及び第8しきい電圧分布 $P7$ を含むことができる。

【0059】

各状態グループコードのビット数は、状態グループの数によって決定されることができ

10

20

30

40

50

る。例えば、前記状態グループの数が2である場合、前記各状態グループコードのビット数は1であり、前記状態グループの数が3または4である場合、前記各状態グループコードのビット数は2であることができる。また、前記状態グループの数は、いずれか一つの領域でオーバーラップされたしきい電圧分布の最大数によって決定されることができる。図2に示した実施形態において、最大2つのしきい電圧分布がオーバーラップされるため、前記状態グループの数は2であることができる。

【0060】

図3の前記読み出し動作は、前記状態グループコードに基づいて前記状態グループ別で実行することができる。状態グループコードの値が「1」の第1状態グループGROUP 1に相応するマルチレベルセルに対する第1読み出し動作が実行され、状態グループコードの値が「0」の第2状態グループGROUP 2に相応するマルチレベルセルに対する第2読み出し動作が実行されることができる。前記第1読み出し動作のとき、状態グループコード「1」を有するマルチレベルセルのみが読み出され、状態グループコード「0」を有するメモリセルは無視されることができる。これと類似に、前記第2読み出し動作のとき、前記状態グループコード「0」を有するマルチレベルセルのみが読み出され、状態グループコード「1」を有するメモリセルは無視されることができる。

【0061】

前記第1読み出し動作の間、選択されたワードラインに複数の第1リード電圧(VREAD1-1, VREAD1-2, VREAD1-3)が順次に印加されることによって第1状態グループGROUP 1に相応するマルチレベルセルのそれぞれが第1しきい電圧分布E0、第3しきい電圧分布P2、第5しきい電圧分布P4、及び第7しきい電圧分布P6のうちのいずれかの分布を有するかを確認することができる。また、前記第2読み出し動作の間、前記選択されたワードラインに複数の第2リード電圧(VREAD2-1, VREAD2-2, VREAD2-3)が順次に印加されることによって第2状態グループGROUP 2に相応するマルチレベルセルのそれぞれが第2しきい電圧分布P1、第4しきい電圧分布P3、第6しきい電圧分布P5、及び第8しきい電圧分布P7のうちのいずれかの分布を有するかを確認することができる。実施形態に従って、第1リード電圧(VREAD1-1, VREAD1-2, VREAD1-3)及び第2リード電圧(VREAD2-1, VREAD2-2, VREAD2-3)が選択されたワードラインに印加される順は多様に変更されることができる。

【0062】

このように、前記状態グループコードに基づいて読み出し動作を実行することによって、前記マルチレベルセル間のカップリングによってしきい電圧分布がオーバーラップされても前記マルチレベルセルにブレプログラムされた前記マルチビットデータが正確に読み出されることができる。

【0063】

図4は、再プログラム動作のとき、マルチレベルセルのしきい電圧分布の例を示す図である。

【0064】

図4を参照すると、前記マルチレベルセルから読み出されたマルチビットデータが前記マルチレベルセルに再プログラムされて前記マルチレベルセルがカップリングの影響を受けるしきい電圧分布より狭い第1～第8しきい電圧分布(E0, P1, P2, P3, P4, P5, P6, P7)を有することができる。前記再プログラム動作は、再プログラム検証電圧(VREVERF1, VREVERF2, VREVERF3, VREVERF4, VREVERF5, VREVERF6, VREVERF7)を利用して実行されることができる。例えば、第8しきい電圧分布P7を有するマルチレベルセルは、第7再プログラム検証電圧VREVERF7以上のしきい電圧を有するように再プログラムされることができる。

【0065】

実施形態に従って、前記再プログラム動作は、ISPP方式で実行されることができる。例えば、第8しきい電圧分布P7を有するマルチレベルセルが再プログラムされるとき

、ワードラインに段々増加するプログラム電圧及びプログラムパス確認のための第7再プログラム検証電圧VREVERF7を繰り返して印加してプログラム動作及び検証動作が繰り返して実行されることができる。

【0066】

再プログラム検証電圧(VREVERF1, VREVERF2, VREVERF3, VREVERF4, VREVERF5, VREVERF6, VREVERF7)のそれぞれは、図2のプレプログラム検証電圧(VPREVERF1, VPREVERF2, VPREVERF3, VPREVERF4, VPREVERF5, VPREVERF6, VPREVERF7)のうち、対応するプレプログラム検証電圧より高いことができる。例えば、第1再プログラム検証電圧VREVERF1は、第1プレプログラム検証電圧VPREVERF1より高いことができる。10
所望のしきい電圧より低いしきい電圧に対応するプレプログラム検証電圧(VPREVERF1, VPREVERF2, VPREVERF3, VPREVERF4, VPREVERF5, VPREVERF6, VPREVERF7)を利用してプレプログラム動作を実行し、前記所望のしきい電圧と実質的に同一な再プログラム検証電圧(VREVERF1, VREVERF2, VREVERF3, VREVERF4, VREVERF5, VREVERF6, VREVERF7)を利用して前記再プログラム動作を実行することができる。これによって、前記プレプログラム動作が効率的に実行されることができ、前記再プログラム動作によって前記マルチレベルセルが前記所望のしきい電圧を有することができる。他の実施形態において、前記プレプログラム動作は、前記再プログラム検証電圧と実質的に同一なプレプログラム検証電圧を利用して実行することができる。20

【0067】

前記再プログラム動作が実行されることによって、各しきい電圧分布の幅が狭くなることができる。再プログラム動作の間の前記マルチレベルセルのしきい電圧の上昇がプレプログラム動作の間のしきい電圧上昇に比べて小さいため、前記再プログラム動作の後、しきい電圧分布は前記プレプログラム動作の後より、前記カップリングの影響を小さく受ける。従って、前記再プログラム動作が実行されることによって、前記マルチレベルセルが狭いしきい電圧分布を有することができる。

【0068】

前記マルチレベルセルの非オーバーラップしきい電圧分布を示す前記状態グループコードを利用することによって、前記非揮発性メモリ装置は前記プレプログラム動作の後、オーバーラップされたオーバーラップされたしきい電圧分布が存在しても前記マルチレベルセルを正確に読み出すことができる。従って、本発明の一実施形態による非揮発性メモリ装置は、外部の供給源から前記マルチビットデータを再ロードしなくても、前記再プログラム動作を実行することができ、これは、前記非揮発性メモリ装置の性能を向上させることができる。30

【0069】

図5は、読み出し動作のとき、マルチレベルセルのしきい電圧分布の他の例を示す図である。

【0070】

図5には、前記マルチレベルセルに4ビットのデータが保存されるときの前記読み出し動作のとき、前記しきい電圧分布の実施形態が図示されている。図5を参照すると、前記マルチレベルセルは、カップリングによってプレプログラム動作の直後より広くなったしきい電圧分布(E0, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15)を有する。前記マルチレベルセルのしきい電圧分布(E0, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15)は互いにオーバーラップされることができる。40

【0071】

マルチレベルセルのしきい電圧分布(E0, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15)は互いにオーバーラップされないしきい電圧分布を含む状態グループ(GROUP1, GROUP2, GR 50

GROUP 3, GROUP 4) に分割される。例えば、第 1 ~ 第 16 しきい電圧分布 (E0, P1, P2, P3, P4, P5, P6, P7, P8, P9, P10, P11, P12, P13, P14, P15) が第 1 状態グループ GROUP 1、第 2 状態グループ GROUP 2、第 3 状態グループ GROUP 3、第 4 状態グループ GROUP 4 に分割されることができる。

【0072】

第 1 状態グループ GROUP 1 は、互いにオーバーラップされない第 1 しきい電圧分布 E0、第 5 しきい電圧分布 P4、第 9 しきい電圧分布 P8、及び第 13 しきい電圧分布 P12 を含み、第 2 状態グループ GROUP 2 は、互いにオーバーラップされない第 2 しきい電圧分布 P1、第 6 しきい電圧分布 P5、第 10 しきい電圧分布 P9、及び第 14 しきい電圧分布 P13 を含み、第 3 状態グループ GROUP 3 は、互いにオーバーラップされない第 3 しきい電圧分布 P2、第 7 しきい電圧分布 P6、第 11 しきい電圧分布 P10、及び第 15 しきい電圧分布 P14 を含み、第 4 状態グループ GROUP 4 は、互いにオーバーラップされない第 4 しきい電圧分布 P3、第 8 しきい電圧分布 P7、第 12 しきい電圧分布 P11、及び第 16 しきい電圧分布 P15 を含むことができる。

10

【0073】

状態グループ (GROUP 1, GROUP 2, GROUP 3, GROUP 4) には状態グループコードが割当てられることができる。例えば、第 1 状態グループ GROUP 1 には状態グループコード「11」が割当てられ、第 2 状態グループ GROUP 2 には状態グループコード「01」が割当てられ、第 3 状態グループ GROUP 3 には状態グループコード「00」が割当てられ、第 4 状態グループ GROUP 4 には状態グループコード「10」が割当てられることができる。前記状態グループのそれぞれのビット数は、状態グループの数によって決定されることができ、前記状態グループの数はいずれか 1 つの領域でオーバーラップされたしきい電圧分布の最大数によって形成されることができ、図 5 に示す例において、最大 4 つのしきい電圧分布がオーバーラップされているため、オーバーラップされないしきい電圧分布を含むため、4 つの状態グループが必要になり、前記状態グループコードは 2 ビットを有することができる。

20

【0074】

前記読み出し動作は、前記状態グループ別で実行されることができる。つまり、前記状態グループに基づいて各状態グループに対する読み出し動作が独立的に実行されることができる。例えば、第 1 状態グループ GROUP 1 に対する読み出し動作のとき、前記選択されたワードラインにリード電圧が印加されたとき、状態グループコード「11」のマルチレベルセルのみからデータが読み出され、前記状態グループコード「01」、「00」、または「10」のセルは無視されることができる。

30

【0075】

このように、前記状態グループコードに基づいて読み出し動作を実行することによって、前記マルチレベルセル間のカップリングによってしきい電圧分布がオーバーラップされても前記マルチレベルセルにプレプログラムされた前記マルチビットデータが正確に読み出されることができる。

【0076】

図 5 には、4 つの状態グループが必要な例が図示されているが、オーバーラップされたしきい電圧の数は、セル間の間隔、ISPP の回数、プログラム電圧の増加分、または他の要因によって変更されることができる。

40

【0077】

図 6 は、本発明の一実施形態による非揮発性メモリ装置を示すブロック図である。

【0078】

図 6 を参照すると、非揮発性メモリ装置 200 は、メモリセルアレイ 210、ページバッファ部 220、列デコーダ 230、電圧生成器 240、及び制御回路 250 を含む。

【0079】

メモリセルアレイ 210 は、ワードライン及びビットラインに接続されたマルチレベル

50

セルを含む。前記マルチレベルセルのそれぞれは、2ビット以上を有するマルチビットデータを保存することができる。前記マルチレベルセルにはプレプログラム動作、読み出し動作、及び再プログラムが実行されてマルチビットデータがプログラムされることができる。

【0080】

前記マルチビットデータは、所望のしきい電圧より低いプレプログラム検証電圧を利用してプレプログラムされることができる。前記プレプログラムの後、マルチレベルセルのしきい電圧分布は隣接するメモリセル間の電氣的なカップリングによってオーバーラップされることができる。互いにオーバーラップしないしきい電圧を含む状態グループを示す状態グループコードに基づいて前記マルチレベルセルから前記プレプログラムされたマルチビットデータが読み出されることができる。前記マルチレベルセルが前記所望のしきい電圧と実質的に同一のしきい電圧を有するように、前記読み出されたマルチビットデータが再プログラム検証電圧を利用して再プログラムされることができる。

10

【0081】

ページバッファ部220は、非揮発性メモリ装置200の動作モードに応じて記入ドライバまたは感知増幅器として動作することができる。例えば、ページバッファ部220は、読み出しモードで感知増幅器として動作し、記入モードで記入ドライバとして動作することができる。ページバッファ部220は、前記ビットラインに接続された複数のページバッファ221を含むことができる。各ページバッファ221は、1つのマルチビットデータ及び相応するマルチレベルセルの状態グループを示す1つの状態グループコードを保存することができる。各ページバッファ221は相応するビットラインに接続されたデータラッチを含むことができる。前記データラッチは、前記マルチビットデータを一時的に保存することができる。

20

【0082】

一実施形態において、前記データラッチのうち、少なくとも1つのデータラッチにはコントローラから受信された状態グループコードが一時的に保存できる。一例において、前記マルチビットデータがページバッファ220にロードされるとき、前記少なくとも1つのデータラッチに前記コントローラから受信された状態グループコードが一時的に保存されることができる。他の実施形態において、前記プレプログラム動作の間、前記プレプログラム検証電圧を利用して前記マルチレベルセルにプレプログラムされた前記マルチビットデータが検証されるとき、前記少なくとも1つのデータラッチに前記コントローラから受信された状態グループコードが一時的に保存されることができる。

30

【0083】

他の実施形態において、状態グループコードが前記プレプログラム動作の直後、前記相応するビットラインに接続されたマルチレベルセルのしきい電圧に基づいて生成され、前記データラッチのうち、少なくとも1つのデータラッチには前記しきい電圧に基づいて生成された状態グループコードが一時的に保存されることができる。

【0084】

さらに他の実施形態において、前記ページバッファのそれぞれは、前記データラッチに一時的に保存された前記ビットにロジック演算を実行して前記相応するビットラインに接続されたマルチレベルセルの状態グループコードを生成するロジック回路をさらに含むことができる。前記ページバッファのそれぞれは、前記ロジック回路から生成された前記状態グループコードを一時的に保存する少なくとも1つの状態グループコードラッチをさらに含むことができる。

40

【0085】

列デコーダ230は、ローアドレスに応答してワードラインを選択することができる。列デコーダ230は電圧生成器240から提供されるワードライン電圧を選択及び非選択されたワードラインに伝達する。プログラム動作のとき、列デコーダ230は、選択されたワードラインにプログラム電圧を伝達し、非選択されたワードラインにパス電圧を伝達することができる。

50

【 0 0 8 6 】

電圧生成器 2 4 0 は、制御回路 2 5 0 の制御に従ってプログラムのためのプログラム電圧、パス電圧、プレプログラム検証電圧、再プログラム検証電圧、及び読み出し電圧のようなワードライン電圧を生成することができる。一実施形態において、前記プログラム電圧は、I S S P 電圧であってもよい。前記プレプログラム検証電圧は、前記再プログラム検証電圧より低くてもよい。

【 0 0 8 7 】

制御回路 2 5 0 は、前記コントローラから提供される前記マルチビットデータをメモリセルアレイ 2 1 0 にプログラムするためにページバッファ部 2 2 0、列デコーダ 2 3 0 及び電圧生成器 2 4 0 を制御することができる。制御回路 2 5 0 は、前記マルチレベルセルに前記マルチビットデータをプレプログラムし、前記状態グループコードに基づいて前記マルチレベルセルから前記プレプログラムされたマルチビットデータを読み出し、前記マルチレベルセルに前記読み出されたマルチビットデータを再プログラムするように列デコーダ 2 3 0、電圧生成器 2 4 0、及びページバッファ部 2 2 0 を制御することができる。例えば、制御回路 2 5 0 は、プログラム動作のときに選択されたワードラインに前記プログラム電圧、前記プレプログラム検証電圧または前記再プログラム検証電圧を印加し、非選択されたワードラインにパス電圧が印加されるように列デコーダ 2 3 0 及び電圧生成器 2 4 0 を制御することができる。

【 0 0 8 8 】

非揮発性メモリ装置 2 0 0 は、前記プレプログラム動作の後、前記状態グループコードに基づいて前記読み出し動作を実行する。それに従って、非揮発性メモリ装置 2 0 0 は、再プログラムのために外部のコントローラによってフルページデータが再ロードされずとも、再プログラム動作を実行することができ、再プログラム動作時間を短縮させることができる。

【 0 0 8 9 】

図 7 は、図 6 の非揮発性メモリ装置に含まれたメモリセルアレイの一例を示す回路図である。

【 0 0 9 0 】

図 7 を参照すると、メモリセルアレイ 2 1 0 は、ストリング選択トランジスタ 2 1 1、接地選択トランジスタ 2 1 2、及びマルチレベルセル 2 1 3 を含む。

【 0 0 9 1 】

ストリング選択トランジスタ 2 1 1 は、ビットライン B L 1、B L M に接続し、接地選択トランジスタ 2 1 2 は、共通ソースライン C S L に接続されることができる。ストリング選択トランジスタ 2 1 1 と接地選択トランジスタ 2 1 2 との間にはマルチレベルセル 2 1 3 が直列で接続されることができる。同一行に配列されたマルチレベルセル 2 1 3 の制御ゲートは対応されるワードライン (W L 1、W L 2、W L 3、W L N - 1、W L N) に共通で接続されることができる。ストリング選択トランジスタ 2 1 1 は、ストリング選択ライン S S L を通じて印加される電圧によって制御され、接地選択トランジスタ 2 1 2 は、接地選択ライン G S L を通じて印加される電圧によって制御されることができる。マルチレベルセル 2 1 3 は 対応されるワードライン (W L 1、W L 2、W L 3、W L N - 1、W L N) を通じて印加される電圧によって制御されてもよい。マルチレベルセル 2 1 3 にはマルチビットデータがプログラムされてもよい。

【 0 0 9 2 】

図 8 は、図 1 の非揮発性メモリ装置のプログラム方法の一例を示すフローチャート図である。この実施形態においては、下記のワードラインに接続されたマルチレベルセルにプレプログラム動作が実行された後、現在ワードラインに接続されたマルチレベルセルに読み出し動作及び再プログラム動作が実行される。

【 0 0 9 3 】

図 7 及び図 8 を参照すると、第 1 ワードライン W L 1 に接続されたマルチレベルセルに第 1 マルチビットデータがプレプログラムされる。第 1 ワードライン W L 1 に接続された

10

20

30

40

50

マルチレベルセルに対する読み出し動作及び再プログラム動作が実行される前に、第2ワードラインWL2に接続されたマルチレベルセルに第2マルチビットデータがプレプログラムされる(ステップS310)。

【0094】

一実施形態において、前記プレプログラム動作は、前記マルチビットデータの互いに異なるレベル(例えば、LSBページ、CSBページなど)をプレプログラムするページプレプログラム動作を含んでもよい。1つのワードラインに対するページプレプログラム動作の間に隣接するワードラインに対するページプレプログラム動作が実行されることができる。例えば、第1ワードラインWL1に接続されたマルチレベルセルの第1ページプレプログラム、第2ワードラインWL2に接続されたマルチレベルセルの第1ページプレプログラム、第1ワードラインWL1に接続されたマルチレベルセルの第2ページプレプログラム、第3ワードラインWL3に接続されたマルチレベルセルの第1ページプレプログラム、第2ワードラインWL2に接続されたマルチレベルセルの第2ページプレプログラム、及び第1ワードラインWL1に接続されたマルチレベルセルの第3ページプレプログラム順に第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作が実行されてもよい。第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作の後、第4ワードラインWL4に接続されたマルチレベルセルの第1ページプレプログラム、第3ワードラインWL3に接続されたマルチレベルセルの第2ページプレプログラム、及び第2ワードラインWL2に接続されたマルチレベルセルの第3ページプレプログラム順に第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行されることができる。

【0095】

第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作の後、第1ワードラインWL1に接続されたマルチレベルセルから前記第1マルチビットデータが読み出され(ステップS320)、第1ワードラインWL1に接続されたマルチレベルセルに前記読み出された第1マルチビットデータが再プログラムされる(ステップS330)。

【0096】

第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作及び再プログラム動作が実行された後、第3ワードラインWL3に接続されたマルチレベルセルに第3マルチビットデータがプレプログラムされる(ステップS310)。第3ワードラインWL3に接続されたマルチレベルセルに対するプレプログラム動作が実行された後、第2ワードラインWL2に接続されたマルチレベルセルから前記第2マルチビットデータが読み出され(ステップS320)、第2ワードラインWL2に接続されたマルチレベルセルに前記読み出された第2マルチビットデータが再プログラムされる(ステップS330)。これと類似な方式で、ワードライン(WL1, WL2, WL3, WLN-1, WLN)に接続されたマルチレベルセル213にマルチビットデータがプログラムされることができる。

【0097】

このように、前記ワードラインに接続されるマルチレベルセルにプレプログラム動作が実行された後、現在ワードラインに接続されたマルチレベルセルに読み出し動作及び再プログラム動作が実行されることによって、前記再プログラム動作の後、隣接するワードラインに接続されたマルチレベルセルによるカップリングの影響を最小化することができる。

【0098】

図9は、図6の非揮発性メモリ装置に含まれたページバッファの一例を示すブロック図である。

【0099】

図9を参照すると、ページバッファ221aは、第1データラッチ222a、第2データラッチ223a、及び第3データラッチ224aを含む。

【 0 1 0 0 】

第1データラッチ222a、第2データラッチ223a、及び第3データラッチ224aにはマルチビットデータが一時的に保存することができる。例えば、第1データラッチ222aには前記マルチビットデータの第1ビット(例えば、LSB)が保存され、第2データラッチ223aには前記マルチビットデータの第2ビットが保存され、第3データラッチ224aには前記マルチビットデータの第3ビット(例えば、MSB)が保存されることができる。第3データラッチ224aは状態グループコードを一時的に保存する状態グループコードラッチとして活用することができる。

【 0 1 0 1 】

一実施形態において、第3データラッチ224aには前記マルチレベルセルにプレプログラムされたマルチビットデータが検証されるとき、コントローラから受信された状態グループコードが一時的に保存されることができる。例えば、再び図7を参照すると、ページバッファ221aには第2ワードラインWL2に接続されたマルチレベルセルに対する第2マルチビットデータがロードされる。ページバッファ221aにロードされた前記第2マルチビットデータに基づいて第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行される。第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作の間または前記プレプログラム動作が実行された後、第3データラッチ224aには前記コントローラから受信された第1ワードラインWL1に接続されたマルチレベルセルの状態グループコードがロードされることができる。

一実施形態において、前記状態グループコードは、前記プレプログラム動作の検証動作の間にロードされることができる。例えば、図4の第5しきい電圧P4に対する検証動作が実行された後、前記コントローラから受信された前記状態グループコードが第3データラッチ224aに保存されることができる。

【 0 1 0 2 】

前記状態グループコードがロードされた後、第3データラッチ224aに保存された前記状態グループコードに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作が実行される。前記読み出し動作が実行されると、ページバッファ221aには第1ワードラインWL1に接続されたマルチレベルセルにプレプログラムされた第1マルチビットデータが保存される。例えば、前記第1マルチビットデータが「001」である場合、第1ワードラインWL1に接続されたマルチレベルセルは図3の第3しきい電圧分布P2を有する。第3しきい電圧分布P2は第1状態グループGROUP1に含まれるため、第3データラッチ224aに保存された前記状態グループコード「1」である。前記読み出し動作が実行されると、第1データラッチ222a及び第2データラッチ223aには前記第1マルチビットデータの第1ビットである「1」及び第2ビットである「0」が保存されることができる。また、第3データラッチ224aに保存された前記状態グループコードは第1データラッチ222a及び第2データラッチ223aに保存されたビットに基づいて反転されることができる。一実施形態において、第1データラッチ222a及び第2データラッチ223aに保存されたビットが「10」または「01」の場合、第3データラッチ224aに保存されたビットが反転されることができる。前記状態グループコード「1」が反転されて、第3データラッチ224aには「0」が保存される。これによって、前記読み出し動作が実行された後、ページバッファ221aには前記第1マルチビットデータ「001」が保存される。

【 0 1 0 3 】

第1ワードラインWL1に接続されたマルチレベルセルに対する前記読み出し動作が実行された後、ページバッファ221aに保存された前記第1マルチビットデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する再プログラム動作が実行される。第1ワードラインWL1に接続されたマルチレベルセルに対する前記再プログラム動作が実行された後、ページバッファ221aには第3ワードラインWL3に接続されたマルチレベルセルに対する第3マルチビットデータがロードされる。ページバッファ221aに保存された前記第3マルチビットデータに基づいて第3ワードラインWL3に

接続されたマルチレベルセルに対するプレプログラム動作が実行される。前記プレプログラム動作の間、第3データラッチ224aには前記コントローラから受信された第2ワードラインWL2に接続されたマルチレベルセルの状態グループコードがロードされることができる。

【0104】

このように、ページバッファ221aを含む非揮発性メモリ装置は、3ページを有するフル・ページデータのロード無しで1ページを有する状態グループコードのロードのみで、再プログラム動作を実行することができる。よって、再プログラム動作時間が短縮されることができる。さらに、前記状態グループコードのロードがプレプログラム動作の間に実行される場合、前記再プログラム動作時間はさらに短縮されることができる。また、従来の非揮発性メモリシステムにおいては、コントローラが再プログラム動作のためにマルチビットデータを非揮発性メモリ装置に再ロードするまで、前記マルチビットデータを保存しなければならなかったが、ページバッファ221aを含む非揮発性メモリ装置を制御するコントローラはプレプログラムのためのデータロードの後、前記マルチビットデータを保存しなくてもよい。前記マルチビットデータを保存するバッファメモリを効率的に活用することができる。さらに、ページバッファ221aを含む非揮発性メモリ装置は別途のラッチの追加無しで状態グループコードを保存することができる。

10

【0105】

図10は、図6の非揮発性メモリ装置に含まれたページバッファの他の例を示すブロック図である。

20

【0106】

図10を参照すると、ページバッファ221bは、第1データラッチ222b、第2データラッチ223b、第3データラッチ224b、及び状態グループラッチ225bを含む。

【0107】

第1データラッチ222b、第2データラッチ223b、及び第3データラッチ224bにはマルチビットデータが一時的に保存することができる。状態グループコードラッチ225bには第1状態グループコードが一時的に保存されることができる。また、第3データラッチ224bは第2状態グループコードを一時的に保存する状態グループコードラッチとして活用することができる。例えば、第1状態グループコードは、現在選択されたワードラインに接続されたマルチレベルセルの状態グループコードであり、前記第2状態グループコードは隣接するワードラインに接続されたマルチレベルセルの状態グループコードであってもよい。

30

【0108】

一実施形態において、第3データラッチ224bまたは状態グループコードラッチ225bにはプレプログラム動作が実行された直後、マルチレベルセルのしきい電圧を確認して生成された状態グループコードが一時的に保存されることができる。

【0109】

例えば、第1データラッチ222b、第2データラッチ223b、及び第3データラッチ224bに第1マルチレベルデータがロードされ、前記ロードされた第1マルチレベルデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作が実行される。前記プレプログラム動作が実行された直後、つまり、カップリングによってしきい電圧分布がオーバーラップされる前に第1ワードラインWL1に読み出し電圧を印加して第1ワードラインWL1に接続されたマルチレベルセルのしきい電圧を確認して第1状態グループコードが生成されることができる。

40

【0110】

前記生成された第1状態グループコードを状態グループコードラッチ225bに保存することができる。その後、第1データラッチ222b、第2データラッチ223b、及び第3データラッチ224bに第2マルチレベルデータがロードされ、前記ロードされた第2マルチレベルデータに基づいて第2ワードラインWL2に接続されたマルチレベルセル

50

に対するプレプログラム動作が実行される。前記プレプログラム動作が実行された直後、第2ワードラインWL2に読み出し電圧を印加して第2ワードラインWL2に接続されたマルチレベルセルの状態グループコードを第3データラッチ224bに保存することができる。第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作及び状態グループコード読み出し動作が実行された後、状態グループコードラッチ225bに保存された状態グループコードに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作及び再プログラム動作が実行されることができる。

【0111】

他の実施形態において、プレプログラム動作の検証区間の間、第3データラッチ224bまたは状態グループコードラッチ225bには前記コントローラから状態グループコードが一時的に保存されることができる。例えば、第1データラッチ222b、第2データラッチ223b、及び第3データラッチ224bに第1マルチレベルデータロードされ、前記ロードされた第1マルチレベルデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作が実行される。

【0112】

前記プレプログラム動作の検証動作の間、第1ワードラインWL1に接続されたマルチレベルセルの状態グループコードが前記コントローラによって状態グループコードラッチ225bにロードされることができる。その後、第1データラッチ222b、第2データラッチ223b、及び第3データラッチ224bに第2マルチレベルデータがロードされ、前記ロードされたマルチレベルデータに基づいて第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行される。前記プレプログラム動作の間、前記コントローラによって第3データラッチ224bに第2ワードラインWL2に接続されたマルチレベルセルの状態グループコードがロードされることができる。第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作及び状態グループコードのロードが実行された後、状態グループコードラッチ225bに保存された状態グループコードに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作及び再プログラム動作が実行されることができる。

【0113】

このように、ページバッファ221bを含む非揮発性メモリ装置200は、コントローラによる再プログラムのためのフル・ページデータロード無しで再プログラム動作を実行して再プログラム動作時間を短縮させることができる。従来の非揮発性メモリシステムにおいては、コントローラが再プログラム動作のためにマルチビットデータを非揮発性メモリ装置に再ロードするまで前記マルチビットデータを保存しなければならなかったが、ページバッファ221aを含む非揮発性メモリ装置を制御するコントローラは、プレプログラムのためのデータロードの後、前記マルチビットデータを保存しなくてもよいため、バッファメモリを効率的に活用することができる。

【0114】

図11は、図6の非揮発性メモリ装置に含まれたページバッファのさらに他の例を示すブロック図である。

【0115】

図11を参照すると、ページバッファ221cは、第1データラッチ222c、第2データラッチ223c、第3データラッチ224c、第1状態グループコードラッチ225c、及び第2状態グループコードラッチ226cを含む。

【0116】

第1データラッチ222c、第2データラッチ223c、及び第3データラッチ224cにはマルチビットデータが一時的に保存されることができる。第1状態グループコードラッチ225cには第1状態グループコードが一時的に保存され、第2状態グループコードラッチ226cには第2状態グループコードが一時的に保存されることができる。例えば、前記第1状態グループコードは、現在選択されたワードラインに接続されたマルチレベルセルの状態グループコードであり、前記第2状態グループコードは隣接するワードラ

10

20

30

40

50

インに接続されたマルチレベルセルの状態グループコードであってもよい。

【0117】

一実施形態において、第1状態グループコードラッチ225cまたは第2状態グループコードラッチ226cにはプレプログラム動作のためにページバッファ221cにロードされたマルチビットデータに基づいて生成された状態グループコードが一時的に保存されることができる。ページバッファ221cは、第1データラッチ222c、第2データラッチ223c及び第3データラッチ224cに一時的に保存された前記マルチビットデータのビットにロジック演算を実行して前記状態グループコードを生成するロジック回路をさらに含んでもよい。

【0118】

例えば、第1データラッチ222c、第2データラッチ223c及び第3データラッチ224cに第1マルチレベルデータがロードされ、前記第1マルチレベルデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する状態グループコードが生成される。前記状態グループコードは、第1状態グループコードラッチ225cに一時的に保存される。前記ロードされた第1マルチレベルデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作が実行される。その後、第1データラッチ222c、第2データラッチ223c、及び第3データラッチ224cに第2マルチレベルデータがロードされ、前記第2マルチレベルデータに基づいて第2ワードラインWL2に接続されたマルチレベルセルに対する状態グループコードが生成される。前記状態グループコードは第2状態グループコードラッチ226cに一時的に保存される。前記ロードされた第2マルチレベルデータに基づいて第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行される。第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行された後、第1状態グループコードラッチ225cに保存された状態グループコードに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作及び再プログラム動作が実行されることができる。

【0119】

他の実施形態において、第1状態グループコードラッチ225cまたは第2状態グループコードラッチ226cにはプレプログラム動作のためにページバッファ221cにマルチレベルデータがロードされるとき、コントローラに受信された状態グループコードが一時的に保存されることができる。

【0120】

例えば、再び図7を参照すると、第1データラッチ222c、第2データラッチ223c、及び第3データラッチ224cに第1マルチレベルデータがロードされるとき、前記コントローラによって第1状態グループコードラッチ225cに第1ワードラインWL1に接続されたマルチレベルセルに対する状態グループコードがロードされることができる。前記ロードされた第1マルチレベルデータに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対するプレプログラム動作が実行される。その後、第1データラッチ222c、第2データラッチ223c、及び第3データラッチ224cに第2マルチレベルデータがロードされ、前記コントローラによって第2状態グループコードラッチ226cに第1ワードラインWL1に接続されたマルチレベルセルに対する状態グループコードがロードされることができる。前記ロードされた第2マルチレベルデータに基づいて第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行される。第2ワードラインWL2に接続されたマルチレベルセルに対するプレプログラム動作が実行された後、第1状態グループコードラッチ225cに保存された状態グループコードに基づいて第1ワードラインWL1に接続されたマルチレベルセルに対する読み出し動作及び再プログラム動作が実行されることができる。

【0121】

このように、ページバッファ221cを含む非揮発性メモリ装置は、コントローラによるフル・ページデータのロード無しで再プログラム動作を実行して再プログラム動作時間

10

20

30

40

50

を短縮させることができる。

【 0 1 2 2 】

図 1 2 は、図 6 の非揮発性メモリ装置に含まれたメモリセルアレイの一例を示すブロック図である。この例において、メモリセルアレイ 2 1 0 は、複数のデータブロック (2 1 4、2 1 5、2 1 6) 及び状態グループコードメモリブロック 2 1 7 を含む。

【 0 1 2 3 】

複数のデータブロック (2 1 4、2 1 5、2 1 6) は、マルチビットデータを保存するマルチレベルセルを含む。状態グループコードメモリブロック 2 1 7 は、複数のデータブロック (2 1 4、2 1 5、2 1 6) に含まれた前記マルチレベルセルの状態グループコードを保存することができる。一実施形態において、状態グループコードメモリブロック 2 1 7 は、シングルレベルセルを含むことができる。一実施形態において、状態グループコードメモリブロック 2 1 7 は、プレプログラム動作のために図 6 のページバッファ部 2 2 0 にロードされたマルチビットデータに基づいて生成された状態グループコードを保存することができる。他の実施形態において、状態グループコードメモリブロック 2 1 7 はプレプログラム動作のために図 6 のページバッファ部 2 2 0 にマルチビットデータがロードされるとき、コントローラから受信された状態グループコードを保存することができる。状態グループコードメモリブロック 2 1 7 に保存された状態グループコードが読み出されることによって、再プログラム動作のための読み出し動作が実行されることができる。

【 0 1 2 4 】

このように、状態グループコードメモリブロック 2 1 7 を含む非揮発性メモリ装置は、コントローラによるフル・ページデータのロード無しで再プログラム動作を実行して再プログラム動作時間を短縮させることができる。

【 0 1 2 5 】

図 1 3 は、図 6 の非揮発性メモリ装置に含まれたロジック回路を示すブロック図である。

【 0 1 2 6 】

図 1 3 を参照すると、ロジック回路 2 6 0 は、マルチビットデータに基づいて状態グループコードを生成する。一実施形態において、ロジック回路 2 6 0 は、図 6 のページバッファ 2 2 1 に含まれることができる。他の実施形態において、図 6 の制御回路 2 5 0 に含まれることができる。例えば、ロジック回路 2 6 0 は、プレプログラム動作のために図 6 のページバッファ 2 2 1 にロードされたマルチビットデータのビットにロジック演算を実行して前記状態グループコードを生成することができる。

【 0 1 2 7 】

図 1 4 及び図 1 5 は、図 1 3 のロジックの例を示すブロック図である。

【 0 1 2 8 】

図 1 4 を参照すると、ロジック回路 2 6 0 a は、AND ゲート (2 6 1 a , 2 6 2 a , 2 6 3 a , 2 6 4 a) 及び OR ゲート 2 6 5 a を含む。第 1 AND ゲート 2 6 1 a は、マルチビットデータの第 1 ビット B 1、第 2 ビット B 2、及び第 3 ビット B 3 の全てが「 1 」のとき、「 1 」を出力することができる。ここで、第 1 ビット B 1 は、最下位ビット L S B であり、第 3 ビット B 3 は最上位ビット M S B であってもよい。つまり、第 1 AND ゲート 2 6 1 a は、前記マルチビットデータが「 1 1 1 」のとき、「 1 」を出力することができる。第 2 AND ゲート 2 6 2 a は、前記マルチビットデータが「 0 0 1 」のとき、「 1 」を出力し、第 3 AND ゲート 2 6 3 a は、前記マルチビットデータが「 1 0 0 」の場合、「 1 」を出力し、第 4 AND ゲート 2 6 4 a は、前記マルチビットデータが「 0 1 0 」の場合、「 1 」を出力することができる。OR ゲート 2 6 5 a は、第 1 AND ゲート 2 6 1 a、第 2 AND ゲート 2 6 2 a、第 3 AND ゲート 2 6 3 a、及び第 4 AND ゲート 2 6 4 a の出力に OR 演算を実行する。これによって、ロジック回路 2 6 0 a は、前記マルチビットデータが「 1 1 1 」、「 0 0 1 」、「 1 0 0 」、「 0 1 0 」のとき、状態グループコード「 1 」を出力してもよい。

【 0 1 2 9 】

10

20

30

40

50

図15を参照すると、ロジック回路260bはXORゲート261b、262bを含む。第1XORゲート261bは、マルチビットデータの第1ビットB1及び第2ビットB2にXOR演算を実行する。第1XORゲート261bは、第1ビットB1及び第2ビットB2のうちの1つが「1」であり、他の1つが「0」であるとき、「1」を出力してもよい。第2XORゲート262bは、前記マルチビットデータの第3ビットB3及び第1XORゲート261bの出力にXOR演算を実行する。第2XORゲート262bは、第3ビットB3及び第1XORゲート261bの出力のうちの1つが「1」であり、他の1つが「0」であるとき、「1」を出力してもよい。それによって、ロジック回路260bは、前記マルチビットデータが「111」、「001」、「100」、または「010」であるとき、状態グループコード「1」を出力してもよい。

10

【0130】

図14及び図15には、ロジック回路260の例が図示されているが、ロジック回路260は多様に変更されることができる。また、マルチビットデータのビット数に応じて、ロジック回路260が多様に変更されることができる。

【0131】

図16は、図6の非揮発性メモリ装置に含まれる非揮発性メモリシステムを示すブロック図である。

【0132】

図16を参照すると、非揮発性メモリ装置400は、非揮発性メモリ装置200及びコントローラ300を含む。

20

【0133】

非揮発性メモリ装置200は、メモリセルアレイ210及びページバッファ部220を含む。ページバッファ部220は、ビットラインに接続し、マルチビットデータをそれぞれ一時的に保存するページバッファを含むことができる。メモリセルアレイ210は、ワードライン及び前記ビットラインに接続されたマルチレベルセルを含むことができる。前記マルチレベルセルはプレプログラム動作、読み出し動作、及び再プログラム動作によって狭い幅を有するしきい電圧分布を有することができる。実施形態に従って、マルチレベルセルは、電荷保存層を有する多様なセル構造のうちの1つを利用して具現されることができる。電荷保存層を有するセル構造は、電荷トラップ層を利用する電荷トラップフラッシュ構造、アレイが多層で積層されるスタックフラッシュ構造、ソース/ドレインのないフレッシュ構造、フィントイプフレッシュ構造などが適用されることができる。

30

【0134】

コントローラ300は、非揮発性メモリ装置200を制御する。コントローラ300は、外部のホストと非揮発性メモリ装置200との間のデータ交換を制御することができる。コントローラ300は、中央処理装置310、バッファメモリ320、ホストインターフェース330、及びメモリインターフェース340を含むことができる。中央処理装置310は、前記データ交換のための動作を実行することができる。ホストインターフェース330は、前記ホストと接続され、メモリインターフェース340は、非揮発性メモリ装置200と接続される。中央処理装置310は、ホストインターフェース330を通じて前記ホストと通信することができる。また、中央処理装置310は、メモリインターフェース340を通じて非揮発性メモリ装置200を制御することができる。

40

【0135】

バッファメモリ320は、前記ホストから提供されるマルチビットデータまたは非揮発性メモリ装置200から読み出されるマルチビットデータを一時的に保存することができる。コントローラ300は、前記ホストから提供されるマルチビットデータを非揮発性メモリ装置200のページバッファ部220にロードする。非揮発性メモリ装置200が状態グループコードに基づいて再プログラム動作のためのマルチビットデータを読み出すため、コントローラ300が非揮発性メモリ装置200にフル・ページデータをロードする必要がない。従って、コントローラ300は、バッファメモリ320を効率的に活用することができる。バッファメモリ320の容量を減少させることができる。

50

【 0 1 3 6 】

一実施形態において、コントローラ 300 は、バッファメモリ 320 に一時的に保存されたマルチビットデータに基づいて状態グループコードを生成することができる。例えば、中央処理装置 310 がバッファメモリ 320 に保存されたマルチビットデータのビットにロジック演算を実行して状態グループコードを生成することができる。実施形態に従って、前記ロジック演算は、ソフトウェア的またはハードウェア的に具現されることができる。一実施形態において、コントローラ 300 には、図 13 ~ 図 15 に示すロジック回路 260 を含むことができる。

【 0 1 3 7 】

実施形態に従って、コントローラ 300 は、エラー訂正のためのエラー訂正ブロック (ECC block) をさらに含むことができる。バッファメモリ 320 は、DRAM (Dynamic random access memory)、SRAM (Static random access memory)、PRAM (Phase random access memory)、FRAM (Ferroelectric random access memory)、RRAM (Resistive random access memory)、または MRAM (Magnetic random access memory) で具現することができる。バッファメモリ 320 は、中央処理装置 310 の動作メモリであることができる。

【 0 1 3 8 】

非揮発性メモリ装置 400 は、メモリカードまたは SSD (solid state drive / disk) であることができる。コントローラ 300 は、USB、MMC、PCI-E、ATA (Advanced Technology Attachment)、Serial-ATA、Parallel-ATA、SCSI、ESDI、IDE (Integrated Drive Electronics) などのような多様なインターフェースプロトコルのうちの 1 つを通じてホストと通信するように構成されることができる。

【 0 1 3 9 】

非揮発性メモリ装置 200 及び / またはコントローラ 300 は、多様な形態のパッケージを利用して実装されることができる。例えば、非揮発性メモリ装置 200 及び / またはコントローラ 300 は、PoP (Package on Package)、Ball Grid arrays (BGAs)、Chip scale packages (CSPs)、Plastic Leaded Chip Carrier (PLCC)、Plastic Dual In-Line Package (PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board (COB)、Ceramic Dual In-Line Package (CERDIP)、Plastic Metric Quad Flat Pack (MQFP)、Thin Quad Flatpack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Thin Small Outline (TSOP)、Thin Quad Flatpack (TQFP)、System In Package (SIP)、Multi Chip Package (MCP)、Wafer-Level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP) などのようなパッケージを使用して実装されることができる。

【 0 1 4 0 】

図 17 は、図 16 の非揮発性メモリシステムを含むコンピューティングシステムを示すブロック図である。

【 0 1 4 1 】

図 17 を参照すると、コンピューティングシステム 500 は、プロセッサ 510、メモリ装置 520、使用者インターフェース 530、及び非揮発性メモリシステム 400 を含

10

20

30

40

50

む。

【0142】

プロセッサ510は、特定の計算またはタスクを実行する特定ソフトウェアを実行するように多様なコンピューティング機能を実行することができる。例えば、プロセッサ510は、マイクロプロセッサまたは中央処理装置であることができる。プロセッサ510は、アドレスバス、制御バス、及び/またはデータバスを通じてメモリ装置520に接続されることができる。例えば、メモリ装置520は、DRAM (dynamic random access memory)、SRAM (static random access memory)、またはEPROM (erasable programmable read-only memory)、EEPROM (electrically erasable programmable read-only memory)、及びフラッシュメモリ装置を含む全ての形態の非揮発性メモリであることができる。また、プロセッサ510は、周辺構成要素相互連結(peripheral component interconnect, PCI)バスのような拡張バスに接続されることができる。よって、プロセッサ510は、キーボードまたはマウスのような1つ以上の入力装置、プリンターまたはディスプレイ装置のような1つ以上の出力装置を含むユーザーインターフェース530を制御することができる。非揮発性メモリ装置200には、ユーザーインターフェース530を通じて提供されるか、またはプロセッサ510によって処理されたマルチビットデータがコントローラ300を通じて保存されることができる。コンピューティングシステム500は、動作電圧を供給するための電源540をさらに含むことができる。また、コンピューティングシステム500は、応用チップセット(application chipset)、カメライメージプロセッサ(Camera Image Processor: CIS)、モバイルDRAMなどを含むことができる。

【0143】

本発明の一実施形態によるコンピューティングシステム500は、携帯電話、PDA、デジタルカメラ、ゲーム機、PMP (Portable Multimedia Player)、MP3プレーヤー、デスクトップコンピュータ、ノートパソコン、スピーカー、ビデオ、テレビなどであることができる。

【0144】

このように、本発明の一実施形態による非揮発性メモリ装置のプログラム方法、非揮発性メモリ装置及び非揮発性メモリシステムはコントローラによる再プログラムのためのフル・ページデータロード無しで再プログラム動作を実行することができる。

【0145】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範囲内において、各種の変形例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと理解される。

【産業上の利用可能性】

【0146】

本発明は任意のデータ保存装置及びコンピューティングシステムに有用に利用されることができる。また、本発明は、メモリカード、SSD、携帯電話、PDA、デジタルカメラ、ゲーム機、PMP、MP3プレーヤー、デスクトップコンピュータ、ノートパソコン、スピーカー、ビデオ、テレビなどに有用に利用することができる。

【符号の説明】

【0147】

200 非揮発性メモリ装置

210 メモリセルアレイ

220 ページバッファ部

221、221a、221b、221c ページバッファ

2 1 7 状態グループコードメモリブロック

2 6 0、2 6 0 a、2 6 0 b

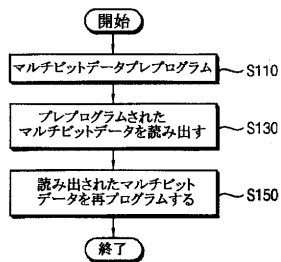
ロジック回路

3 0 0 コントローラ

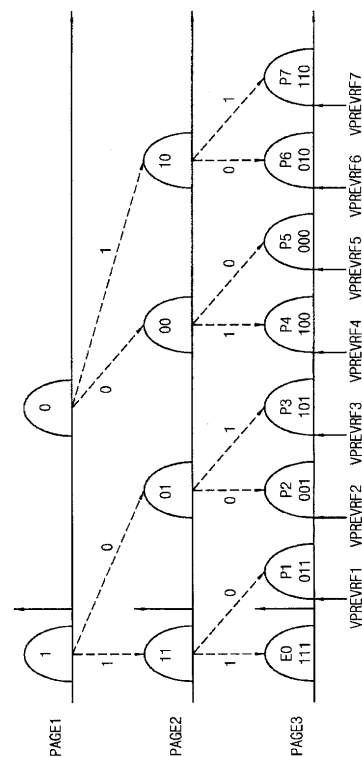
4 0 0 非揮発性メモリシステム

5 0 0 コンピューティングシステム

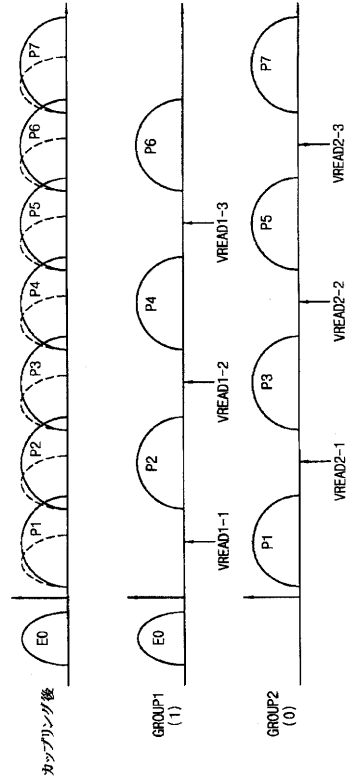
【図 1】



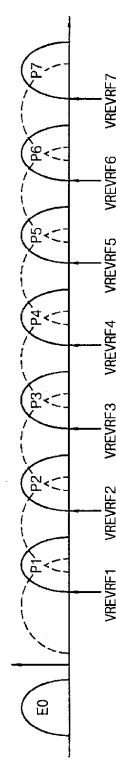
【図 2】



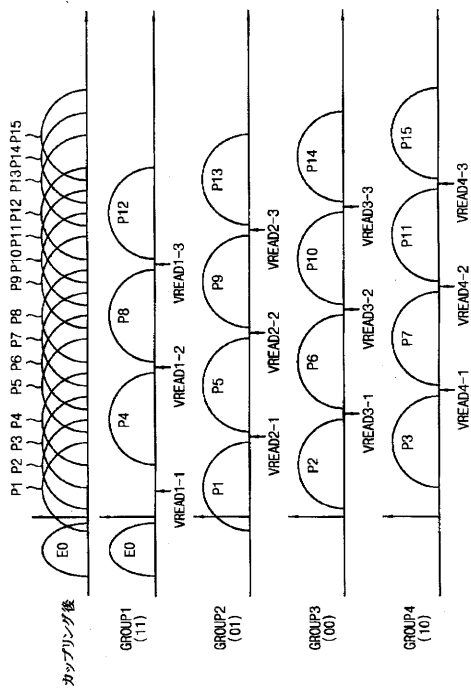
【図 3】



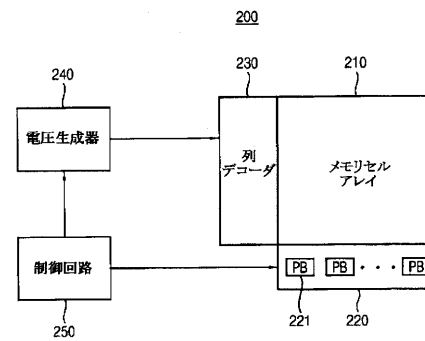
【図 4】



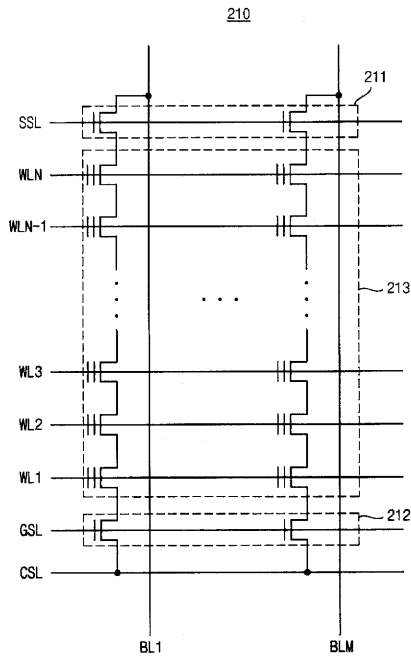
【図 5】



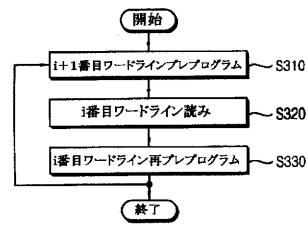
【図 6】



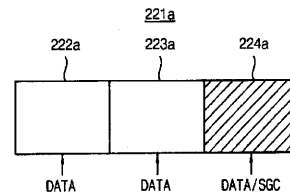
【図 7】



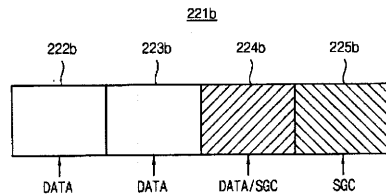
【図 8】



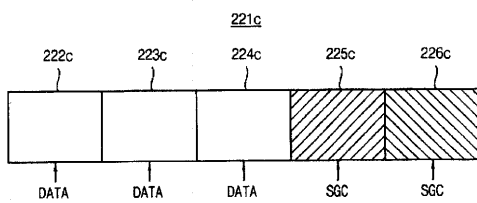
【図 9】



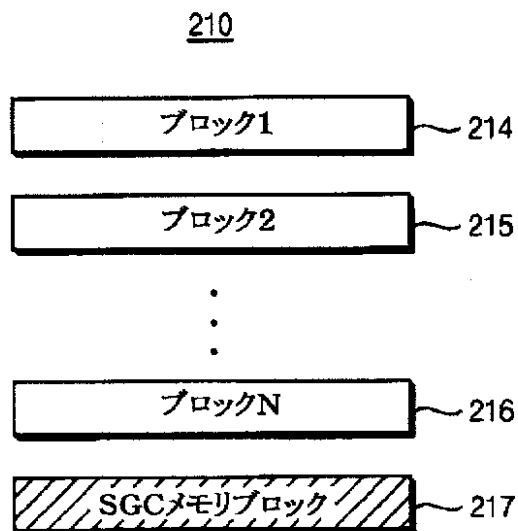
【図 10】



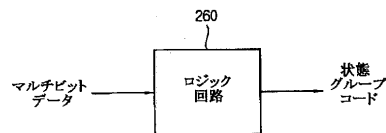
【図 11】



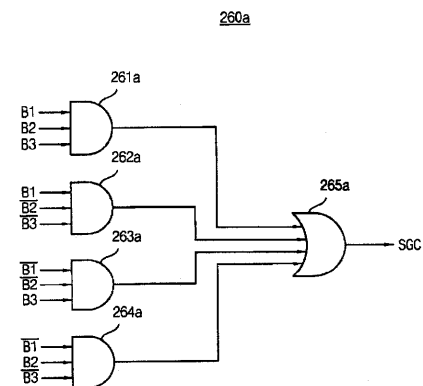
【図 12】



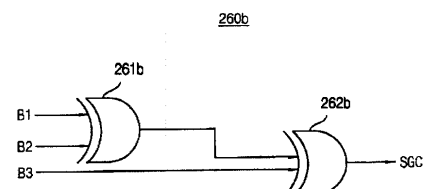
【図 13】



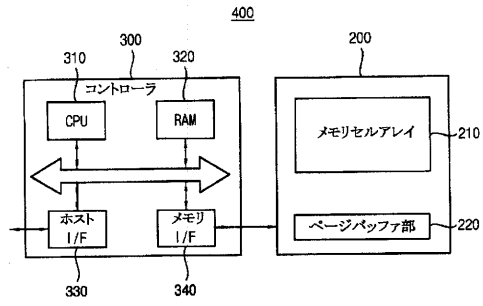
【図 14】



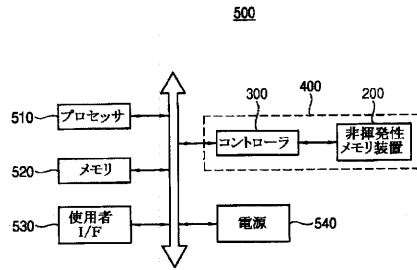
【図 15】



【図 16】



【図 17】



フロントページの続き

(72)発明者 張 俊錫

大韓民国京畿道華城市盤松洞(番地なし) 示範ダウンマウル宇南ファストヴィルアパート352
棟1101号

審査官 堀田 和義

(56)参考文献 特開2010-160873(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G11C 16/02

G11C 16/04