

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 12 日 (12.09.2024)



(10) 国际公布号
WO 2024/183153 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2023/093997
- (22) 国际申请日: 2023 年 5 月 12 日 (12.05.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310222594.X 2023年3月9日 (09.03.2023) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。
- (72) 发明人: 艾学正(**AI, Xuezheng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王祥升(**WANG, Xiangsheng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王桂磊

(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。桂文华(**GUI, Wenhua**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王海玲(**WANG, Hailing**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。刘晓萌(**LIU, Xiaomeng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路 38 号 (B 座)21 层 2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,

(54) **Title:** 3D STACKED SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 3D堆叠的半导体器件及其制造方法、电子设备

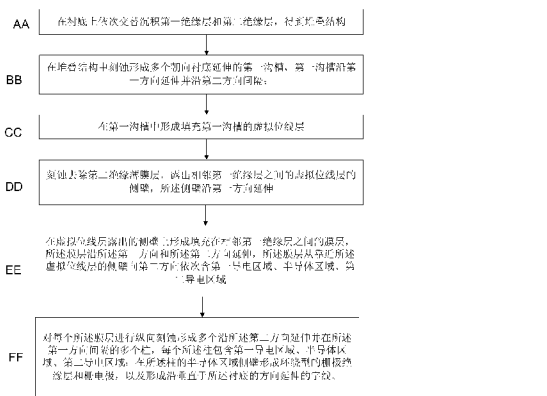


图 1

- AA Sequentially and alternately deposit a first insulating layer and a second insulating layer on a substrate, so as to obtain a stacked structure
- BB Perform etching in the stacked structure to form a plurality of first trenches, which extend towards the substrate, wherein the first trenches extend in a first direction and are spaced apart from one another in a second direction
- CC Form, in the first trenches, dummy bit line layers which fill the first trenches
- DD Perform etching to remove a second insulating thin film layer, so as to expose side walls of the dummy bit line layers between adjacent first insulating layers, wherein the side walls extend in the first direction
- EE Form, on the exposed side walls of the dummy bit line layers, film layers which fill between adjacent first insulating layers, wherein the film layers extend in the first direction and the second direction, and the film layers each contain, from the position close to the side walls of the dummy bit line layers towards the second direction, a first conductive region, a semiconductor region and a second conductive region in sequence
- FF Longitudinally etch each of the film layers to form a plurality of pillars, which extend in the second direction and are spaced apart from one another in the first direction, wherein each of the pillars contains a first conductive region, a semiconductor region and a second conductive region; and on side walls of the semiconductor regions of the pillars, form wrap-around gate insulating layers and gate electrodes, and form word lines, which extend in the direction perpendicular to the substrate

(57) **Abstract:** A 3D stacked semiconductor device and a manufacturing method therefor, and an electronic device. The 3D stacked semiconductor device comprises: a plurality of memory cells (120), which are distributed on different layers, stacked in the direction perpendicular to a substrate (1) and periodically distributed, wherein each layer comprises a plurality of memory cells (120), which are distributed in an array in a first direction and a second direction; each memory cell (120) comprises a transistor and a capacitor; the transistor comprises a pillar (54), which extends in the second direction, and a gate electrode (100), which surrounds a side wall of the pillar (54), the pillar (54) comprising a first conductive region (55), a semiconductor region (57) and a second conductive region (56); the semiconductor region (57) contains a body material of the pillar (54), and the first conductive region (55) and the second conductive region (56) contain a first doped material and a second doped material, respectively; and the first doped material is evenly distributed in the first conductive region (55), and the second doped material is evenly distributed in the second conductive region (56).

GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种3D堆叠的半导体器件及其制造方法、电子设备, 3D堆叠的半导体器件包括: 分布于不同层、沿着垂直于衬底(1)的方向堆叠且周期性分布的多个存储单元(120), 每一层包括沿第一方向和第二方向阵列分布的多个存储单元(120); 每个存储单元(120)包括一个晶体管和一个电容器; 晶体管包括沿第二方向延伸的柱(54)和环绕柱(54)侧壁的栅电极(100), 柱(54)包括第一导电区域(55)、半导体区域(57)和第二导电区域(56); 半导体区域(57)包含柱(54)的主体材料, 第一导电区域(55)和第二导电区域(56)分别包含第一掺杂材料 and 第二掺杂材料; 第一掺杂材料在第一导电区域(55)中均匀分布, 第二掺杂材料在第二导电区域(56)中均匀分布。

3D 堆叠的半导体器件及其制造方法、电子设备

本公开要求于 2023 年 03 月 09 日提交中国专利局、申请号为 202310222594X、发明名称为“3D 堆叠的半导体器件及其制造方法、电子设备”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本公开中。

技术领域

本公开实施例涉及但不限于半导体器件领域，尤指一种 3D 堆叠的半导体器件及其制造方法、电子设备。

10

背景技术

随着动态随机存取存储器（Dynamic Random Access Memory, DRAM）技术步入更小尺寸的节点，平面的 1T1C 结构已经趋于极限，为了获取更高的存储电容，更低漏电，更高集成度，DRAM 存储器逐渐向 3D 立体结构发展。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制本公开的保护范围。

本公开实施例提供了一种 3D 堆叠的半导体器件的制造方法，所述 3D 堆叠的半导体器件的制造方法包括：

在衬底上依次交替沉积第一绝缘层和第二绝缘层，得到堆叠结构；

在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽，并且各所述第一沟槽沿第一方向延伸并沿第二方向间隔；

在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层；

在所述堆叠结构的相邻两个所述虚拟位线层之间刻蚀形成一个朝向所述衬底延伸的第二沟槽，并且所述第二沟槽沿所述第一方向延伸；

刻蚀去除所述第二绝缘层，露出相邻第一绝缘层之间的所述虚拟位线层

的侧壁，所述侧壁沿所述第一方向延伸；

在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层，所述膜层沿所述第一方向和所述第二方向延伸，所述膜层从靠近所述虚拟位线层的侧壁向第二方向依次含第一导电区域、半导体区域、第二导电区域；

对每个所述膜层进行纵向刻蚀形成多个沿所述第二方向延伸并在所述第一方向间隔的多个柱，每个所述柱包含第一导电区域、半导体区域、第二导电区域；在所述柱的半导体区域的侧壁形成环绕型的栅极绝缘层和栅电极，以及形成沿垂直于所述衬底的方向延伸的字线。

10 在本公开的示例性实施例中，所述衬底为单晶衬底，所述虚拟位线层为单晶膜层，并且所述虚拟位线层与所述衬底的材料相同；

所述在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽包括：

对所述堆叠结构中全部的所述第一绝缘层和所述第二绝缘层进行刻蚀，使所述第一沟槽露出所述衬底；

15 所述在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层包括：

采用选择性外延工艺在露出的所述衬底上生长延伸进入所述第一沟槽并填满所述第一沟槽的所述虚拟位线层。

在本公开的示例性实施例中，所述膜层为单晶膜层，并且所述膜层与所述虚拟位线层的材料相同；

20 所述在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层包括：

以所述虚拟位线层作为种子层，采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层；

25 采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层；

采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层，所述第一导电层形成所述膜层的所述第一导电区域，所述半导体层形成所述膜层的所述半导体区域，

所述第二导电层形成所述膜层的所述第二导电区域。

在本公开的示例性实施例中，所述采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层可以包括：

- 5 采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第一掺杂的单晶硅形成的所述第一导电层。

- 10 在本公开的示例性实施例中，所述采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层包括：

采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长本征单晶硅，得到由本征单晶硅形成的所述半导体层。

- 15 在本公开的示例性实施例中，所述采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层包括：

采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第二掺杂的单晶硅形成的所述第二导电层。

- 20 在本公开的示例性实施例中，所述对每个所述膜层进行纵向刻蚀形成多个沿所述第二方向延伸并在所述第一方向间隔的多个柱可以包括：

对每个所述膜层进行纵向刻蚀，在所述膜层中形成沿所述第二方向延伸并且沿第一方向间隔的多个第三沟槽，所述第三沟槽将所述膜层间隔为多个所述柱。

- 25 在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在形成填充在相邻第一绝缘层之间的膜层之后，在将所述膜层间隔为多个所述柱之前，进行下述步骤：

在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极，并在所述衬底上沉积覆盖所述第三电极和所述第二沟槽的第一绝缘

层;

刻蚀去除所述第一沟槽内的所述虚拟位线层,使所述第一沟槽露出所述膜层和所述第一绝缘层。

5 在本公开的示例性实施例中,所述 3D 堆叠的半导体器件的制造方法还可以包括,在将所述膜层间隔为多个所述柱之后,进行下述步骤:

在所述衬底上沉积覆盖所述第三沟槽的第一绝缘层;

对相邻两个所述第一沟槽之间的第一绝缘层进行刻蚀,露出所述第三电极,保留所述第一沟槽侧壁上的所述第一绝缘层;

10 在露出的所述第三电极的表面依次沉积介电质层和第四电极,所述第三电极、所述介电质层和所述第四电极构成电容器。

在本公开的示例性实施例中,所述在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极可以包括:

采用多晶硅或金属在所述衬底上沉积覆盖所述膜层的被所述第二沟槽露出的端部的第三导电层,形成第三电极。

15 在本公开的示例性实施例中,所述在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极可以包括:

采用选择性外延工艺在所述膜层的被所述第二沟槽露出的端部生长单晶硅,并在单晶硅的生长过程中采用原位掺杂法进行掺杂,得到由掺杂的单晶硅形成的第三导电层,形成第三电极。

20 在本公开的示例性实施例中,所述在所述柱的半导体区域侧壁形成环绕型的栅极绝缘层和栅电极可以包括:

在得到所述电容器之后,刻蚀去除所述第一沟槽侧壁上的所述第一绝缘层,形成栅极槽;

25 在所述栅极槽的内壁上沉积栅极绝缘层,以及在所述栅极槽中填充栅电极层;

刻蚀去除沿所述第一方向分布的相邻两个所述半导体柱之间的部分所述栅电极层,仅保留该两个半导体柱侧壁上的所述栅电极层,得到栅电极。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法，还可以包括，在去除所述第一沟槽内的所述虚拟位线层之后，形成所述第三沟槽之前，进行下述步骤：

- 5 对所述第一沟槽内两侧的所述膜层的第一导电区域进行回刻，形成延伸进入所述膜层的第一导电区域并且沿所述第一方向延伸的位线槽，在所述位线槽中沉积位线。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在去除所述第一沟槽内的所述虚拟位线层之后，形成所述位线槽之前，进行下述步骤：

- 10 对所述第一沟槽两侧的所述第一绝缘层进行回刻，形成延伸进入所述第一绝缘层并且沿所述第一方向延伸的支撑槽，在所述支撑槽中沉积第二绝缘层形成支撑层。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在形成位线之后，形成所述第三沟槽之前，进行下述步骤：

- 15 在所述第一沟槽中沉积第三绝缘层，所述第三绝缘层将位于同一个所述第一沟槽内的相邻两条位线间隔开。

本公开实施例还提供一种 3D 堆叠的半导体器件，所述 3D 堆叠的半导体器件包括：

- 20 分布于不同层、沿着垂直于衬底的方向堆叠且周期性分布的多个存储单元，每一层包括沿第一方向和第二方向阵列分布的多个存储单元；

每个所述存储单元包括一个晶体管；所述晶体管包括沿所述第二方向延伸的柱和环绕所述柱的侧壁的栅电极，所述柱依次包括第一导电区域、半导体区域和第二导电区域；

- 25 其中，所述半导体区域包含所述柱的主体材料，所述第一导电区域包含第一掺杂材料，所述第二导电区域包含第二掺杂材料；所述第一掺杂材料在所述第一导电区域中均匀分布，所述第二掺杂材料在所述第二导电区域中均匀分布。

在本公开的示例性实施例中，所述主体材料可以为单晶硅、单晶锗、单

晶碳化硅或单晶砷化镓。

在本公开的示例性实施例中，所述主体材料可以为单晶硅，所述主体材料中不含有锗元素。

5 在本公开的示例性实施例中，所述主体材料可以为单晶锗，所述主体材料中不含有硅元素。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件还可以包括：沿所述第一方向延伸且在垂直于所述衬底的方向上间隔设置的多条位线，所述柱的第一导电区域与所述位线连接。

10 在本公开的示例性实施例中，所述 3D 堆叠的半导体器件还可以包括：沿垂直于所述衬底的方向延伸的多条字线，所述字线环绕所述柱的侧壁。

在本公开的示例性实施例中，位于同一层且沿所述第一方向分布的多个存储单元的晶体管的所述柱与同一条位线连接，并且与同一条位线连接的相邻两个所述柱之间通过连接部相连接，并且所述柱与所述连接部为一体式结构。

15 在本公开的示例性实施例中，与同一条位线连接的各所述柱的一端和所述连接部可以形成沿所述第一方向延伸的膜层，所述膜层与所述位线连接，并且所述膜层在所述衬底上的正投影与所述位线在所述衬底上的正投影相交叠。

20 在本公开的示例性实施例中，所述字线的横截面在所述字线的延伸方向不同位置的外轮廓可以是相同的。

在本公开的示例性实施例中，存储单元还包括电容器，所述电容器与所述柱的一端连接，所述电容器可以包括与所述柱的所述第二导电区域连接的第三电极、第四电极以及设置在所述第三电极和所述第四电极之间的介电质层。

25 在本公开的示例性实施例中，沿垂直于所述衬底的方向分布且在第二方向上间隔分布的两列存储单元的电容器的所述第四电极为共用电极。

在本公开的示例性实施例中，位于同一层且沿所述第一方向分布的一列存储单元的电容器的所述第四电极可以为一体式结构。

在本公开的示例性实施例中，所述两列存储单元的晶体管和电容器镜像分布。

在本公开的示例性实施例中，所述第三电极在所述柱的第二导电区域上采用外延工艺形成，所述第三电极的材料为单晶硅，所述第三电极与所述柱
5 的第一导电区域、第二导电区域、半导体区域的截面相同。

本公开实施例还提供一种电子设备，所述电子设备包括如上本公开实施例提供的所述 3D 堆叠的半导体器件。

在阅读并理解了附图和详细描述后，可以明白其他方面。

10 附图说明

附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方
15 法的工艺流程图；

图 2A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成堆叠结构后的立体结构示意图；

图 2B 为图 2A 所示的结构在平行于衬底的 C1 平面上的截面图；

图 2C 为图 2A 所示的结构在垂直于衬底的 C2 平面上的截面图；

20 图 2D 为图 2A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 3A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第一沟槽后在平行于衬底的 C1 平面上的截面图；

图 3B 为图 3A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 4A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方
25 法在形成虚拟位线层后在平行于衬底的 C1 平面上的截面图；

图 4B 为图 4A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 5A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方

法在形成第二沟槽后在平行于衬底的 C1 平面上的截面图；

图 5B 为图 5A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 6A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除第二绝缘层后在平行于衬底的 C1 平面上的截面图；

5 图 6B 为图 6A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 6C 为图 6A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 7 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第一导电层后在垂直于衬底的 C3 平面上的截面图；

10 图 8A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成包括第一导电区域、半导体区域、第二导电区域的膜层后在平行于衬底的 C1 平面上的截面图；

图 8B 为图 8A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 8C 为图 8A 所示的结构在垂直于衬底的 C3 平面上的截面图；

15 图 9A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第三电极后在平行于衬底的 C1 平面上的截面图；

图 9B 为图 9A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 9C 为图 9A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 10A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除虚拟位线层后在平行于衬底的 C1 平面上的截面图；

20 图 10B 为图 10A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 10C 为图 10A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 11A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成支撑层后在平行于衬底的 C1 平面上的截面图；

图 11B 为图 11A 所示的结构在垂直于衬底的 C2 平面上的截面图；

25 图 11C 为图 11A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 12A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成位线后在平行于衬底的 C1 平面上的截面图；

图 12B 为图 12A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 12C 为图 12A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 13A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成绝缘层后在平行于衬底的 C1 平面上的截面图；

5 图 13B 为图 13A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 13C 为图 13A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 14 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成半导体柱后在平行于衬底的 C1 平面上的截面图；

10 图 15A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第三初始沟槽后在平行于衬底的 C1 平面上的截面图；

图 15B 为图 15A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 15C 为图 15A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 16A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除第三掩模板后在平行于衬底的 C1 平面上的截面图；

15 图 16B 为图 16A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 16C 为图 16A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 17A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成电容器后在平行于衬底的 C1 平面上的截面图；

图 17B 为图 17A 所示的结构在垂直于衬底的 C2 平面上的截面图；

20 图 17C 为图 17A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 18A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成栅极槽后在平行于衬底的 C1 平面上的截面图；

图 18B 为图 18A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 18C 为图 18A 所示的结构在垂直于衬底的 C3 平面上的截面图；

25 图 19A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成栅电极层但未形成栅电极时在平行于衬底的 C1 平面上的截面图；

图 19B 为图 19A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 19C 为图 19A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 20A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法制得的器件在平行于衬底的 C1 平面上的截面图；

5 图 20B 为图 20A 所示的结构在垂直于衬底的 C2 平面上的截面图；

图 20C 为图 20A 所示的结构在垂直于衬底的 C3 平面上的截面图；

图 20D 为图 20A 所示的结构局部放大图。

附图中的标记符号的含义为：

1-衬底；11-第一绝缘层；12-第二绝缘层；21-第一掩模板；22-第二掩膜
10 板；23-第三掩模板；31-第一沟槽；32-第二沟槽；33-第三沟槽；34-第四沟槽；40-位线；41-虚拟位线层；50-膜层；51-第一导电层；52-半导体层；53-第二导电层；54-柱；55-第一导电区域；56-第二导电区域；57-半导体区域；61-第三电极；62-介电质层；63-第四电极；70-支撑层；82-第三绝缘层；90-栅极绝缘层；100-栅电极；101-栅电极层；110-字线；120-存储单元；130-连
15 接部。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

20 本公开的实施方式并不一定限定附图所示尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

本公开中的“第一”、“第二”等序数词是为了避免构成要素的混同而设置，并不表示任何顺序、数量或者重要性。

25 在本公开中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造

和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在公开中说明的词句，根据情况可以适当地更换。

在本公开中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”
5 应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

在本公开中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端
10 子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。在本公开中，沟道区域是指电流主要流过的区域。

在本公开中，可以是第一电极为漏电极、第二电极为源电极，或者可以是第一电极为源电极、第二电极为漏电极。在使用极性相反的晶体管的情况
15 或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本公开中，“源电极”和“漏电极”可以互相调换。

在本公开中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例
20 子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器器、其它具有各种功能的元件等。

在本公开中，“平行”是指大约平行或几乎平行，比如，两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指大约垂直，比如，两条直线形成的角度
25 为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

在本公开中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成“导电膜”。与此同样，有时可以将“绝缘膜”换成“绝缘层”。

本公开所说的“A和B位于同一层”是指，A和B通过同一次图案化工艺同时形成。

本公开实施例中的“A和B为一体式结构”可以是指在微观结构上无明显的断层或间隙等明显的分界界面。一般地，在一个膜层上图案化形成连接5 的膜层为一体式。比如A和B使用相同的材料成一个膜层并通过同一次图案化工艺同时形成具有连接关系的结构。

目前已知的单晶硅沟道的3D动态随机存取存储器（Dynamic Random Access Memory, DRAM）是利用外延工艺交错生长单晶硅沟道层和SiGe牺牲层形成叠层结构，然后再选择性刻蚀除去SiGe牺牲层，以及对单晶硅沟道10 层进行处理形成1T1C的DRAM存储单元。由于Si/SiGe晶格失配导致的应力在Si/SiGe多层堆叠后会释放出来，导致单晶硅沟道缺陷增多，引起器件的退化，严重影响DRAM的性能。

图1为本公开示例性实施例提供的一种3D堆叠的半导体器件的制造方法的工艺流程图。

15 如图1所示，所述3D堆叠的半导体器件的制造方法包括：

在衬底上依次交替沉积第一绝缘层和第二绝缘层，得到堆叠结构；

在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽，并且各所述第一沟槽沿第一方向延伸并沿第二方向间隔；

在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层；

20 在所述堆叠结构的相邻两个所述虚拟位线层之间刻蚀形成一个朝向所述衬底延伸的第二沟槽，并且所述第二沟槽沿所述第一方向延伸；

刻蚀去除所述第二绝缘层，露出相邻第一绝缘层之间的所述虚拟位线层的侧壁，所述侧壁沿第一方向延伸；

25 在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层，所述膜层沿所述第一方向和所述第二方向延伸，所述膜层从靠近所述虚拟位线层的侧壁向第二方向依次含第一导电区域、半导体区域、第二导电区域；

对每个所述膜层进行纵向（即垂直于衬底的方向）刻蚀形成多个沿所述

第二方向延伸并在所述第一方向间隔的多个柱，每个所述柱包含第一导电区域、半导体区域、第二导电区域；在所述柱的半导体区域的侧壁形成环绕型的栅极绝缘层和栅电极，以及形成沿垂直于所述衬底的方向延伸的字线。

5 本公开实施例的 3D 堆叠的半导体器件的制造方法，通过先形成朝向衬底延伸的虚拟位线层，然后在虚拟位线层侧壁上形成包括第一导电区域、半导体区域、第二导电区域的膜层，再将该膜层间隔为多个用作晶体管的源漏极和沟道的柱的方法来形成晶体管，因此整个制造过程中不需要外延形成 SiGe 等牺牲层，晶体管的沟道不会出现由于 Si/SiGe 晶格失配导致的缺陷，因此制得的 3D 堆叠的半导体器件的可靠性较高，而且由晶体管和电容器构成的存储单元在理论上可以在垂直于衬底的方向上无限堆叠，可以极大地提高 3D 器件的集成度。

15 另外，采用外延 Si/SiGe 叠层的方法形成的晶体管的源电极或漏电极中的掺杂元素分布不均匀，例如呈高斯分布，而本公开实施例的 3D 堆叠的半导体器件的制造方法得到的源电极或漏电极中的掺杂元素在源电极或漏电极的各个区域的掺杂浓度可以相同，从而实现掺杂元素在源电极或漏电极中的均匀分布。

在本公开的示例性实施例中，所述衬底为单晶衬底，所述虚拟位线层为单晶膜层，并且所述虚拟位线层与所述衬底的材料相同；

20 所述在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽可以包括：

对所述堆叠结构中全部的所述第一绝缘层和所述第二绝缘层进行刻蚀（即对各层第一绝缘层和各层第二绝缘层均进行刻蚀），使所述第一沟槽露出所述衬底；

25 所述在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层可以包括：
采用选择性外延工艺在露出的所述衬底上生长延伸进入所述第一沟槽并填满所述第一沟槽的所述虚拟位线层。

在本公开的示例性实施例中，所述膜层为单晶膜层，并且所述膜层与所述虚拟位线层的材料相同；

所述在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层包括：

以所述虚拟位线层作为种子层，采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层；

- 5 采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层；

采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层，所述第一导电层形成所述膜层的所述第一导电区域，所述半导体层形成所述膜层的所述半导体区域，

- 10 所述第二导电层形成所述膜层的所述第二导电区域。

在本公开的示例性实施例中，所述第一导电层中可以含有第一掺杂材料，所述第二导电层中可以含有第二掺杂材料，并且所述第一掺杂材料在所述第一导电层的各个区域均匀分布，所述第二掺杂材料在所述第二导电层的各个区域均匀分布。

- 15 本公开的描述中，“掺杂材料在膜层的各个区域均匀分布”是指掺杂材料在膜层的各个区域的掺杂浓度相同（包括完全相同和大致相同）。

在本公开的示例性实施例中，所述第一掺杂材料与所述第二掺杂材料可以相同或不同。

- 20 在本公开的示例性实施例中，所述第一掺杂材料在所述第一导电层中的掺杂浓度为第一掺杂浓度，所述第二掺杂材料在所述第二导电层中的掺杂浓度为第二掺杂浓度，所述第一掺杂浓度与所述第二掺杂浓度可以相同（包括完全相同和大致相同）或不同。

- 25 在上述示例性实施例中，所述 3D 堆叠的半导体器件的制造方法可以首先通过在堆叠结构中开槽的方法露出单晶衬底，接着采用选择性外延工艺在露出的衬底上生长单晶虚拟位线层，然后选择性掏空堆叠结构中的第二绝缘层，使得形成后续选择性生长单晶膜层的通道，并且露出单晶虚拟位线层的部分侧壁，接着以露出的单晶虚拟位线层侧壁作为种子层，在通道中选择性外延生长出用于形成源漏极和沟道的单晶膜层。因此，本公开实施例的 3D

堆叠的半导体器件的制造方法可以避免传统方法通过 Si/SiGe 超晶格外延来形成单晶硅沟道时受 Si/SiGe 超晶格外延层数限制的问题，从而突破存储单元堆叠层数的限制，使得在理论上存储单元在垂直于衬底的方向上可以无限堆叠，并且保证器件性能的可靠性。

- 5 另外，虚拟位线层还可以作为 dummy BL 占据后续形成位线的空间，后续去除虚拟位线层腾出空间后即可形成位线。

在本公开的示例性实施例中，所述第一导电层的主体材料可以为单晶硅；所述第二导电层的主体材料可以为单晶硅。

- 10 在本公开的示例性实施例中，所述采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层可以包括：

采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第一掺杂的单晶硅形成的所述第一导电层。

- 15 在本公开的示例性实施例中，所述采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层包括：

采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长本征单晶硅，得到由本征单晶硅形成的所述半导体层。

- 20 在本公开的示例性实施例中，所述采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层包括：

- 25 采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第二掺杂的单晶硅形成的所述第二导电层。

在本公开的示例性实施例中，所述对每个所述膜层进行纵向刻蚀形成多个沿所述第二方向延伸并在所述第一方向间隔的多个柱可以包括：

对每个所述膜层进行纵向刻蚀，在所述膜层中形成沿所述第二方向延伸

并且沿第一方向间隔的多个第三沟槽，所述第三沟槽将所述膜层间隔为多个所述柱。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在形成填充在相邻第一绝缘层之间的膜层之后，在将所述膜层间隔为多个所述柱之前，进行下述步骤：

在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极，并在所述衬底上沉积覆盖所述第三电极和所述第二沟槽的第一绝缘层；

刻蚀去除所述第一沟槽内的所述虚拟位线层，使所述第一沟槽露出所述膜层和所述第一绝缘层。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在将所述膜层间隔为多个所述柱之后，进行下述步骤：

在所述衬底上沉积覆盖所述第三沟槽的第一绝缘层；

对相邻两个所述第一沟槽之间的第一绝缘层进行刻蚀，露出所述第三电极，保留所述第一沟槽侧壁上的所述第一绝缘层；

在露出的所述第三电极的表面依次沉积介电质层和第四电极，所述第三电极、所述介电质层和所述第四电极构成电容器。

在本公开的示例性实施例中，所述在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极可以包括：

采用多晶硅或金属在所述衬底上沉积覆盖所述膜层的被所述第二沟槽露出的端部的第三导电层，形成第三电极。

在本公开的示例性实施例中，所述在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极可以包括：

采用选择性外延工艺在所述膜层的被所述第二沟槽露出的端部生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由掺杂的单晶硅形成的第三导电层，形成第三电极。

在本公开的示例性实施例中，所述在所述柱的半导体区域侧壁形成环绕型的栅极绝缘层和栅电极可以包括：

在得到所述电容器之后，刻蚀去除所述第一沟槽侧壁上的所述第一绝缘层，形成栅极槽；

在所述栅极槽的内壁上沉积栅极绝缘层，以及在所述栅极槽中填充栅电极层；

- 5 刻蚀去除沿所述第一方向分布的相邻两个所述半导体柱之间的部分所述栅电极层，仅保留该两个半导体柱侧壁上的所述栅电极层，得到栅电极。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在去除所述第一沟槽内的所述虚拟位线层之后，形成所述第三沟槽之前，进行下述步骤：

- 10 对所述第一沟槽内两侧的所述膜层的第一导电区域进行回刻，形成延伸进入所述膜层的第一导电区域并且沿所述第一方向延伸的位线槽，在所述位线槽中沉积位线。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在去除所述第一沟槽内的所述虚拟位线层之后，形成所述位线槽之前，进行下述步骤：

- 15 对所述第一沟槽两侧的所述第一绝缘层进行回刻，形成延伸进入所述第一绝缘层并且沿所述第一方向延伸的支撑槽，在所述支撑槽中沉积第二绝缘层形成支撑层。

- 20 在本公开的示例性实施例中，所述 3D 堆叠的半导体器件的制造方法还可以包括，在形成位线之后，形成所述第三沟槽之前，进行下述步骤：

在所述第一沟槽中沉积第三绝缘层，所述第三绝缘层将位于同一个所述第一沟槽内的相邻两条位线间隔开。

在本公开的示例性实施例中，所述衬底可以为单晶衬底，例如，单晶硅、单晶锗、单晶碳化硅或单晶砷化镓形成的衬底。

- 25 下面通过一个示例性实施例的 3D 堆叠的半导体器件的制造过程进一步说明本公开实施例的技术方案。本实施例中所说的“光刻法/光刻工艺”包括涂覆膜层、掩模曝光和显影，是相关技术中成熟的制备工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，涂覆可采用已知的涂覆工艺，刻蚀可采用

已知的方法，在此不做具体的限定。

图 2A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成堆叠结构后的立体结构示意图；图 2B 为图 2A 所示的结构在平行于衬底的 C1 平面上的截面图；图 2C 为图 2A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 2D 为图 2A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 3A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第一沟槽后在平行于衬底的 C1 平面上的截面图；图 3B 为图 3A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 4A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成虚拟位线层后在平行于衬底的 C1 平面上的截面图；图 4B 为图 4A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 5A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第二沟槽后在平行于衬底的 C1 平面上的截面图；图 5B 为图 5A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 6A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除第二绝缘层后在平行于衬底的 C1 平面上的截面图；图 6B 为图 6A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 6C 为图 6A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 7 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第一导电层后在垂直于衬底的 C3 平面上的截面图；图 8A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成包括第一导电区域、半导体区域、第二导电区域的膜层后在平行于衬底的 C1 平面上的截面图；图 8B 为图 8A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 8C 为图 8A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 9A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第三电极后在平行于衬底的 C1 平面上的截面图；图 9B 为图 9A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 9C 为图 9A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 10A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除虚拟位线层后在平行于衬底的 C1 平面上的截面图；图 10B 为图 10A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 10C 为图 10A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 11A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成

支撑层后在平行于衬底的 C1 平面上的截面图；图 11B 为图 11A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 11C 为图 11A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 12A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成位线后在平行于衬底的 C1 平面上的截面图；图 12B 为图 12A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 12C 为图 12A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 13A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成绝缘层后在平行于衬底的 C1 平面上的截面图；图 13B 为图 13A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 13C 为图 13A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 14 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成半导体柱后在平行于衬底的 C1 平面上的截面图；图 15A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成第三初始沟槽后在平行于衬底的 C1 平面上的截面图；图 15B 为图 15A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 15C 为图 15A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 16A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在去除第三掩模板后在平行于衬底的 C1 平面上的截面图；图 16B 为图 16A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 16C 为图 16A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 17A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成电容器后在平行于衬底的 C1 平面上的截面图；图 17B 为图 17A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 17C 为图 17A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 18A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成栅极槽后在平行于衬底的 C1 平面上的截面图；图 18B 为图 18A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 18C 为图 18A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 19A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法在形成栅电极层但未形成栅电极时在平行于衬底的 C1 平面上的截面图；图 19B 为图 19A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 19C 为图 19A 所示的结构在垂直于衬底的 C3 平面上的截面图；图 20A 为本公开示例性实施例提供的一种 3D 堆叠的半导体器件的制造方法制得的器件

在平行于衬底的 C1 平面上的截面图；图 20B 为图 20A 所示的结构在垂直于衬底的 C2 平面上的截面图；图 20C 为图 20A 所示的结构在垂直于衬底的 C3 平面上的截面图。

5 如图 2A 至图 20C 所示，在一个示例性实施例中，所述 3D 堆叠的半导体器件的制造方法可以包括：

S10：提供衬底 1，例如单晶硅衬底，在衬底 1 上依次交替沉积第一绝缘层 11 和第二绝缘层 12，得到由多个第一绝缘层 11 和多个第二绝缘层 12 构成的堆叠结构；在所述堆叠结构的顶面上沉积第一掩模板 21，如图 2A、图 2B、图 2C 和图 2D 所示。

10 这里，图 2B 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过第二绝缘层 12；图 2C 为在垂直于衬底的 C2 平面上的截面图，图 2D 为在垂直于衬底的 C3 平面上的截面，C3 平面垂直于 C2 平面；C1 平面、C2 平面和 C3 平面的位置可以如图 2A 所示，后文的 C1 平面、C2 平面和 C3 平面与图 2A 中的 C1 平面、C2 平面和 C3 平面的方向相同，但截取位置可以不同。

15 在本公开的示例性实施例中，所述第一绝缘层和所述第二绝缘层的材料可以各自独立地选自氧化硅（例如， SiO_2 ）、氮氧化硅（ SiON ）、氮化硅（ SiN ）、碳氮化硅（ SiCN ）中的任意一种或多种，并且所述第一绝缘层和所述第二绝缘层的材料不同，以便后续刻蚀去除第二绝缘层时，所述第一绝缘层和所述第二绝缘层可以具有不同的刻蚀速率，从而去除第二绝缘层而保留第一绝缘层。
20 层。

图 2A 所示的堆叠结构包括六层第一绝缘层 11 和五层第二绝缘层 12，仅为示例，在其他实施例中，所述堆叠结构可以包括更多或更少层交替设置的第一绝缘层 11 和第二绝缘层 12。

25 所述第一掩模板可以在后续对所述叠层结构进行刻蚀时作为硬掩膜（Hard Mask, HM）。在本公开的示例性实施例中，所述第一掩模板的厚度可以为 50nm。

S20：采用第一掩模板 21 作为硬掩膜，在所述堆叠结构中刻蚀形成多个朝向衬底 1 延伸的第一沟槽 31，并且第一沟槽 31 沿第一方向延伸，如图 3A

和图 3B 所示；这里，图 3A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过第二绝缘层 12；图 3B 为在垂直于衬底的 C3 平面上的截面图；在不穿过第一沟槽 31 的 C2 平面上的截面图与图 2C 相同。所述第一方向可以为如图 3A 所示的 X 方向。

5 示例性地，步骤 S20 可以包括：

S21：采用光刻法在第一掩模板 21 顶面上形成第一光刻胶图案，所述第一光刻胶图案露出第一掩模板 21 的部分区域；

10 S22：以所述第一光刻胶图案为掩模板，对第一掩模板 21 中露出的部分区域进行刻蚀，在第一掩模板 21 中形成多个沿所述第一方向延伸的初始第一沟槽，所述初始第一沟槽可以露出第一绝缘层 11，去除所述第一光刻胶图案；

S23：对所述堆叠结构进行各向异性刻蚀，使所述初始第一沟槽朝向衬底 1 延伸，从而在所述堆叠结构中形成多个朝向衬底 1 延伸并且沿所述第一方向延伸的第一沟槽 31，多个第一沟槽 31 沿第二方向间隔，第一沟槽 31 露出衬底 1。所述第二方向可以为如图 3A 所示的 Y 方向。

15 在本公开的示例性实施例中，所述第一方向与所述第二方向可以相互垂直。

示例性地，步骤 S23 中的所述各向异性刻蚀可以为干法刻蚀。

示例性地，第一沟槽 31 可以垂直于衬底 1。

S30：在第一沟槽 31 中形成虚拟位线层 41。

20 示例性地，步骤 S30 可以包括：在第一沟槽 31 中选择性外延生长虚拟位线层 41，并使虚拟位线层 41 填满第一沟槽 31，如图 4A 和图 4B 所示，虚拟位线层 41 的材料可以为单晶硅；这里，图 4A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过第二绝缘层 12；图 4B 为在垂直于衬底的 C3 平面上的截面图；在不穿过第一沟槽 31 的 C2 平面上的截面图与图 2C 相同。

25 S40：对所述堆叠结构进行刻蚀，在相邻两个虚拟位线层 41 之间形成一个朝向衬底 1 延伸的第二沟槽 32，并且第二沟槽 32 沿第一方向延伸，如图 5A 和图 5B 所示；这里，图 5A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过第二绝缘层 12；图 5B 为在垂直于衬底的 C3 平面上的截面图；

在不穿过第一沟槽 31 和第二沟槽 32 的 C2 平面上的截面图与图 2C 相同。示例性地，步骤 S40 中可以参照步骤 S21 至 S23 形成第二沟槽 32。

示例性地，第二沟槽 32 可以垂直于衬底 1；第二沟槽 32 与第一沟槽 31 可以相互平行。

- 5 S50: 采用各向同性刻蚀法去除第二绝缘层 12，使第二沟槽 32 中露出位于相邻第一绝缘层之间的虚拟位线层 41 的部分侧壁，露出的侧壁沿所述第一方向延伸，如图 6A、图 6B 和图 6C 所示；这里，图 6A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过第一绝缘层 11；图 6B 为在垂直于衬底的 C2 平面上的截面图，并且 C2 平面位于第一沟槽 31 与第二沟槽 32 之间；
- 10 图 6C 为在垂直于衬底的 C3 平面上的截面图。

- S60: 在虚拟位线层 41 的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层 50，这里的膜层 50 沿所述第一方向和所述第二方向延伸，膜层 50 在所述第二方向上沿着远离虚拟位线层 41 的方向依次包括第一导电区域、半导体区域、第二导电区域，并且第二沟槽 32 露出膜层 50 远离虚拟位线层 41
- 15 一端（即第二导电区域）的端面，多个膜层 50 和多个第一绝缘层 11 交错堆叠构成叠层结构。

示例性地，步骤 S60 可以包括：

- S61: 在虚拟位线层 41 的露出的侧壁上形成沿所述第一方向和所述第二方向延伸的第一导电层 51，第一导电层 51 延伸进入相邻两层第一绝缘层 11
- 20 之间，第一导电层形成膜层 50 的所述第一导电区域；如图 7 所示；这里，图 7 为在垂直于衬底的 C3 平面上的截面图；在穿过第一绝缘层 11 的 C1 平面上的截面图与图 6A 相同，在位于第一沟槽 31 与第二沟槽 32 之间的 C2 平面上的截面图与图 6B 相同；

- S62: 在第一导电层 51 远离虚拟位线层 41 的一端依次形成半导体层 52
- 25 和第二导电层 53，半导体层 52 形成膜层 50 的所述半导体区域，第二导电层 53 形成膜层 50 的所述第二导电区域，第一导电层 51、半导体层 52 和第二导电层 53 构成膜层 50，第二沟槽 32 露出第二导电层 53 的端面，多个膜层 50 和多个第一绝缘层 11 交错堆叠构成叠层结构，如图 8A、图 8B 和图 8C 所示；这里，图 8A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过膜层

50; 图 8B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过第一沟槽 31; 图 8C 为在垂直于衬底的 C3 平面上的截面图。

示例性地, S61 中可以采用选择性外延工艺在虚拟位线层 41 的露出的侧壁上生长第一导电层 51。第一导电层 51 的材料可以为含有第一掺杂材料的单晶硅, 可以采用原位掺杂法形成, 即在生长单晶硅的过程中通入含有第一掺杂材料的掺杂气体, 采用原位掺杂法形成第一导电层 51 可以使第一掺杂材料均匀分布在第一导电层 51 的各个区域, 并且第一掺杂材料不会扩散进入虚拟位线层 41。第一导电层 51 中的第一掺杂材料可以为砷 (As), 掺杂浓度可以为 $1e19$ 。

示例性地, 半导体层 52 的材料可以为本征单晶硅, 可以采用选择性外延工艺形成半导体层 52。

示例性地, 第二导电层 53 的材料可以为含有第二掺杂材料的单晶硅, 可以采用选择性外延工艺和原位掺杂法在单晶硅的生长过程中掺杂第二掺杂材料, 形成第二导电层 53, 第二导电层 53 中的第二掺杂材料可以为砷 (As), 掺杂浓度可以为 $1e19$ 。

示例性地, 如图 8C 所示, 对于位于同一个虚拟位线层 40 侧壁上的膜层 50 和第一绝缘层 11, 膜层 50 在所述第二方向上的长度 L1 可以小于第一绝缘层 11 在所述第二方向上的长度 L2, 使得相邻两个第一绝缘层 11 之间在垂直于衬底 1 的方向上具有空隙。

S70: 在衬底 1 上沉积第三导电层, 得到覆盖膜层 50 的露出端 (即膜层 50 的第二导电区域) 的第三电极 61; 在衬底 1 上沉积第一绝缘层 11, 使第一绝缘层 11 覆盖第三电极 61 和第二沟槽 32。

示例性地, 步骤 S70 可以包括:

S71: 在衬底 1 上形成第三导电层, 使所述第三导电层填满所述叠层结构的相邻两层第一绝缘层 11 之间的空隙, 第一绝缘层 11 的侧壁也可能被所述第三导电层覆盖;

S72: 对所述第三导电层进行各向异性刻蚀, 去除第一绝缘层 11 的侧壁上的所述第三导电层, 并使相邻两层第一绝缘层 11 之间的所述第三导电层的

两端与第一绝缘层 11 的两端平齐，剩余的第三导电层形成第三电极 61，第三电极 61 覆盖膜层 50 远离虚拟位线层 41 一端的端面并且露出第一绝缘层 11 的端面；

5 S73: 在衬底 1 上沉积第一绝缘层 11，使第一绝缘层 11 覆盖第三电极 61 和第二沟槽 32，并通过化学机械抛光 (Chemical Mechanical Polishing, CMP) 对衬底 1 表面的第一绝缘层 11 进行平坦化并去除剩余的第一掩模板 21，如图 9A、图 9B 和图 9C 所示；这里，图 9A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过膜层 50；图 9B 为在垂直于衬底的 C2 平面上的截面图，并且 C2 平面位于第一沟槽 31 与第二沟槽 32 之间；图 9C 为在垂直于衬底 10 底的 C3 平面上的截面图。

在本公开的示例性实施例中，所述第三导电层的材料可以为多晶硅、重掺杂的单晶硅、导电金属等。例如，所述第三导电层的材料为重掺杂的单晶硅，此时可以通过选择性外延工艺和原位掺杂法形成所述第三导电层。

15 S80: 采用各向异性刻蚀法去除第一沟槽 31 内的虚拟位线层 41，第一沟槽 31 露出膜层 50 远离第三电极 61 一侧（即膜层 50 的第一导电区域）的侧壁，第一沟槽 31 还露出第一绝缘层 11。

示例性地，步骤 S80 可以包括：

20 S81: 在所述叠层结构的顶面上沉积第二掩模板 22，采用光刻法在第二掩模板 22 顶面上形成第二光刻胶图案，所述第二光刻胶图案露出第二掩模板 22 的部分区域；

S82: 以所述第二光刻胶图案为掩模板，对第二掩模板 22 中露出的部分区域进行刻蚀，在第二掩模板 22 中形成多个沿所述第一方向延伸的初始第二沟槽，所述初始第二沟槽可以露出第一绝缘层 11，去除所述第二光刻胶图案；

25 S83: 对所述叠层结构进行各向异性刻蚀，使所述初始第二沟槽朝向衬底 1 延伸，从而刻蚀去除第一沟槽 31 内的虚拟位线层 41，腾空的第一沟槽 31 露出膜层 50 远离第三电极 61 一侧的侧壁，例如，可以露出膜层 50 的第一导电层 51 远离第三电极 61 一侧的侧壁，第一沟槽 31 还露出第一绝缘层 11，如图 10A、图 10B 和图 10C 所示；这里，图 10A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过膜层 50；图 10B 为在垂直于衬底的 C2

平面上的截面图,并且 C2 平面位于第一沟槽 31 与第二沟槽 32 之间;图 10C 为在垂直于衬底的 C3 平面上的截面图。

5 S90: 对第一沟槽 31 两侧的第一绝缘层 11 进行回刻,形成延伸进入第一绝缘层 11 并且沿所述第一方向延伸的支撑槽,在所述支撑槽中沉积第二绝缘层 12,形成位于所述支撑槽中的支撑层 70,如图 11A、图 11B 和图 11C 所示;这里,图 11A 为在平行于衬底的 C1 平面上的截面图,并且 C1 平面穿过支撑层 70;图 11B 为在垂直于衬底的 C2 平面上的截面图,并且 C2 平面穿过支撑层 70;图 11C 为在垂直于衬底的 C3 平面上的截面图。

10 示例性地,步骤 S90 可以包括:在衬底 1 上沉积覆盖所述支撑槽、第一沟槽 31 和第二掩模板 22 的第二绝缘层 12,采用各向异性刻蚀法去除第一沟槽 31 内的第二绝缘层 12,所述支撑槽中的第二绝缘层 12 形成支撑层 70。

15 S100: 对第一沟槽 31 两侧的膜层 50 进行回刻,形成延伸进入膜层 50 并且沿所述第一方向延伸的位线槽,在衬底 1 上沉积覆盖所述位线槽的第五导电层,形成位于所述位线槽中的位线 40,如图 12A、图 12B 和图 12C 所示;这里,图 12A 为在平行于衬底的 C1 平面上的截面图,并且 C1 平面穿过位线 40;图 12B 为在垂直于衬底的 C2 平面上的截面图,并且 C2 平面穿过位线 40;图 12C 为在垂直于衬底的 C3 平面上的截面图。

20 在本公开的示例性实施例中,所述第五导电层可以为多层结构,例如,可以包括防氧化层和金属层。所述防氧化层可以防止金属层中的金属被氧化,可以由氮化钛(TiN)等形成。所述金属层可以由钨(W)等金属形成。

示例性地,步骤 S100 可以包括:

S101: 采用各向同性刻蚀法,在第一沟槽 31 内对横向刻蚀两侧的膜层 50,形成延伸进入膜层 50 的第一导电层 51 并且沿所述第一方向延伸的位线槽;

25 S102: 在衬底 1 上沉积覆盖所述位线槽内壁、第一沟槽 31 内壁和衬底 1 顶面的第二绝缘层 12 的防氧化层,以及在衬底 1 上沉积填满所述位线槽和第一沟槽 31 并覆盖所述防氧化层的金属层,所述防氧化层和所述金属层构成第五导电层;

S103: 采用各向同性刻蚀法, 去除第一沟槽 31 内的第五导电层, 所述位线槽内的第五导电层形成位线 40, 位线 40 分布在第一沟槽 31 两侧并且沿所述第一方向延伸。

5 S110: 在衬底 1 上沉积覆盖第一沟槽 31 的第三绝缘层 82, 并通过 CMP 工艺对第三绝缘层进行平坦化, 所述第三绝缘层 82 将位于同一个第一沟槽 31 内的相邻两条位线 40 间隔开, 如图 13A、图 13B 和图 13C 所示; 这里, 图 13A 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过膜层 50; 图 13B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过位线 40; 图 13C 为在垂直于衬底的 C3 平面上的截面图。

10 示例性地, 步骤 S110 中的 CMP 工艺还可以包括: 去除所述叠层结构顶面的第五导电层、第二绝缘层 12 和第二掩模板 22。

在本公开的示例性实施例中, 所述第三绝缘层与所述第二绝缘层的材料可以相同, 例如, 可以均为氮化硅 (SiN)。

15 S120: 对所述叠层结构进行刻蚀, 在所述叠层结构的相邻两个第一沟槽 31 之间形成朝着衬底 1 延伸并且沿所述第二方向延伸的多个第三沟槽 33, 第三沟槽 33 将膜层 50 间隔为在所述第一方向上间隔分布的多个柱 54, 膜层 50 的第一导电层 51 对应形成柱 54 的第一导电区域 55, 膜层 50 的第二导电层 53 对应形成柱 54 的第二导电区域 56, 膜层 50 的半导体层对应形成柱 54 的半导体区域 57, 因此柱 54 依次包括第一导电区域 55、半导体区域 57 和第二导电区域 56, 如图 14 所示, 这里, 图 14 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过柱 54; 在垂直于衬底的 C2 平面上的截面图与图 13B 相同, 在垂直于衬底的 C3 平面上的截面图与图 13C 相同。

25 示例性地, 步骤 S120 可以参照步骤 S21 至步骤 S23 通过沉积掩模板, 对所述掩模板进行光刻和刻蚀, 去除所述掩模板上的光刻胶, 对所述叠层结构进行各向异性刻蚀的方法形成多个第三沟槽 33。

如图 14 所示, 相邻两个第一沟槽 31 之间沿所述第二方向分布有两个柱 54, 并且该两个柱 54 通过第二沟槽 32 内的第一绝缘层 11 相间隔。沿所述第一方向分布的位于同一层的多个柱与一条位线 40 连接。

示例性地, 第三沟槽 33 可以垂直于衬底 1。

S130: 在衬底 1 上沉积覆盖第三沟槽 33 的第一绝缘层 11。

S140: 对相邻两个第一沟槽 31 之间的第一绝缘层 11 进行刻蚀, 露出第三电极 61, 保留第一沟槽 31 侧壁上的第一绝缘层 11。

示例性地, 步骤 S140 可以包括:

5 S141: 在衬底 1 顶面沉积第三掩模板 23, 采用光刻在第三掩模板 23 顶面形成第三光刻胶图案, 以所述第三光刻胶图案为掩模板对第三掩模板 23 进行刻蚀, 在第三掩模板 23 中形成沿所述第一方向延伸的第三初始沟槽, 去除所述第三光刻胶图案, 如图 15A、图 15B 和图 15C 所示; 这里, 图 15A 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过柱 54; 图 15B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过柱 54; 图 15C 为在垂直于衬底的 C3 平面上的截面图;

15 S142: 采用各向异性刻蚀法对相邻两个第一沟槽 31 之间的第一绝缘层 11 进行刻蚀, 使得所述第三初始沟槽朝向衬底 1 延伸形成沿所述第一方向延伸的第四沟槽 34; 示例性地, 第四沟槽 34 可以在第二沟槽 32 的位置上形成并且二者的尺寸相同;

20 S143: 在第四沟槽 34 中对第一绝缘层 11 进行各向同性刻蚀, 使得去除覆盖第三电极 61 的第一绝缘层 11 而露出第三电极 61, 但保留第三绝缘层 82 侧壁上的第一绝缘层 11, 去除第三掩模板 23, 如图 16A、图 16B 和图 16C 所示; 这里, 图 16A 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过柱 54; 图 16B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过柱 54; 图 16C 为在垂直于衬底的 C3 平面上的截面图。

25 S150: 在露出的第三电极 61 表面依次沉积介电质层和第四导电层, 分别形成介电质层 62 和第四电极 63, 第三电极 61、介电质层 62 和第四电极 63 构成电容器, 如图 17A、图 17B 和图 17C 所示; 这里, 图 17A 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过柱 54; 图 17B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过柱 54; 图 17C 为在垂直于衬底的 C3 平面上的截面图。

在本公开的示例性实施例中, 所述介电质层可以由 High-K 介电质材料

形成，即介电常数 $K \geq 3.9$ 的介电质材料。所述 High-K 介电质材料可以包括但不限于以下至少之一：氧化硅、三氧化二铝 (Al_2O_3)、氧化铪等。

在本公开的示例性实施例中，所述第四导电层的材料包括但不限于以下至少之一：多晶硅、钨、氮化钛。

- 5 在本公开的示例性实施例中，在沉积所述介电质层之前，可以先在所述第四沟槽的侧壁上沉积第二绝缘层 12，也可以不沉积第二绝缘层 12。

10 在本公开的示例性实施例中，在沉积所述第四导电层之前，可以在所述介电质层表面先沉积 TiN 等形成防氧化层，以防止形成第四电极 63 的钨金属受到氧化硅等含氧介电质层的影响而氧化。当然若介电质层为不含氧的膜层，则不需要增加防氧化层。

在本公开的示例性实施例中，如图 17A 所示，位于同一层且延伸进入同一个第四沟槽中的多个柱 54 上的第四电极 63 可以为一体式结构。

在本公开的示例性实施例中，如图 17C 所示，沿垂直于衬底 1 的方向分布的多个电容器的第四电极 63 可以为一体式结构。

- 15 在本公开的示例性实施例中，如图 17A 和图 17C 所示，沿所述第二方向相向延伸进入同一个第四沟槽中的相邻两个柱 54 上的两个第四电极 63 可以为共用的。

在本公开的示例性实施例中，如图 17A 和图 17C 所示，位于第四沟槽中的多个第四电极 63 可以为一体式结构。

- 20 S160: 刻蚀去除第一沟槽 31 侧壁上的第一绝缘层 11，形成栅极槽，如图 18A、图 18B 和图 18C 所示；这里，图 18A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过柱 54；图 18B 为在垂直于衬底的 C2 平面上的截面图，并且 C2 平面穿过去除第一绝缘层 11 后形成的沟槽；图 18C 为在垂直于衬底的 C3 平面上的截面图。

- 25 S170: 在所述栅极槽的内壁上沉积栅极绝缘层 90，以及在所述栅极槽中填充栅电极层 101，如图 19A、图 19B 和图 19C 所示；这里，图 19A 为在平行于衬底的 C1 平面上的截面图，并且 C1 平面穿过柱 54；图 19B 为在垂直于衬底的 C2 平面上的截面图，并且 C2 平面穿过栅电极层 91；图 19C 为在

垂直于衬底的 C3 平面上的截面图。

5 S180: 刻蚀去除沿所述第一方向分布的相邻两个柱 54 之间的部分栅电极层 101, 仅保留该两个柱 54 侧壁上的栅电极层 101, 得到栅电极 100, 柱 54 和栅电极 100 构成晶体管, 如图 20A、图 20B 和图 20C 所示; 这里, 图 20A 为在平行于衬底的 C1 平面上的截面图, 并且 C1 平面穿过柱 54; 图 20B 为在垂直于衬底的 C2 平面上的截面图, 并且 C2 平面穿过栅电极 100; 图 20C 为在垂直于衬底的 C3 平面上的截面图。

示例性地, 可以通过沉积掩模板、光刻和刻蚀法去除沿所述第一方向分布的相邻两个柱 54 之间的部分栅电极层。

10 在本公开的示例性实施例中, 所述栅极绝缘层可以是 High-K 介质材料, 即介电常数 $K \geq 3.9$ 的介质材料。所述 High-K 介质材料可以包括但不限于以下至少之一: 氧化硅、三氧化二铝 (Al_2O_3)、氧化铪。

在本公开的示例性实施例中, 可以通过 ALD 沉积所述栅极绝缘层。

15 在本公开的示例性实施例中, 所述栅电极层可以是导电材料形成或者包括导电材料, 并且导电材料可以是例如掺杂半导体材料、导电金属氮化物、金属材料 and 金属-半导体化合物中的一种, 比如可以为 W 等; 示例性地, 所述栅电极层可以包括但不限于以下至少之一: 氧化铟锡(Indium Tin Oxide, ITO)、TiN 和 W 的复合膜层、掺铝氧化锌(Aluminum doped Zinc Oxide, AZO)、氧化铟锌 (Indium Zinc Oxide, IZO)。

20 在本公开的示例性实施例中, 如图 20B 和图 20C 所示, 沿垂直于衬底 1 的方向分布的一系列晶体管的栅电极 100 可以与同一条字线 110 连接, 或者, 沿垂直于衬底 1 的方向分布的一系列晶体管的栅电极 100 连接在一起形成一条字线 110。

25 本公开实施例还提供一种 3D 堆叠的半导体器件, 所述 3D 堆叠的半导体器件可以通过如上本公开实施例提供的 3D 堆叠的半导体器件的制造方法制得。

如图 20A、图 20B 和图 20C 所示, 本公开实施例提供的所述 3D 堆叠的半导体器件包括:

分布于不同层、沿着垂直于衬底 1 的方向堆叠且周期性分布的多个存储单元 120，每一层包括沿第一方向和第二方向阵列分布的多个存储单元 120；

每个所述存储单元 120 包括一个晶体管；所述晶体管包括沿所述第二方向延伸的柱 54 和环绕柱 54 侧壁的栅电极 100，柱 54 依次包括第一导电区域 55、半导体区域 57 和第二导电区域 56；

一些实施例中，所述存储单元为 1T1C 结构，所述存储单元还包括电容器，所述电容器的其中一个电极与柱 54 一端连接；

一些实施方式中，所述存储单元为 2T0C 结构或 1T 无电容器的结构，所述存储单元不包含用于存储电容的电容器。

以下实施例以存储单元为 1T1C 结构为例说明。

其中，半导体区域 57 包含柱 54 的主体材料，第一导电区域 55 包含第一掺杂材料，第二导电区域 56 包含第二掺杂材料，所述第一掺杂材料在第一导电区域 55 的各个区域均匀分布，所述第二掺杂材料在第二导电区域 56 的各个区域均匀分布。

所述第一方向可以为如图 20A 所示的 X 方向，所述第二方向可以为如图 20A 所示的 Y 方向，所述第一方向与所述第二方向可以相互垂直。

本公开实施例的 3D 堆叠的半导体器件无需通过外延 SiGe 等牺牲层来形成晶体管沟道，而是可以采用如上本公开实施例提供的 3D 堆叠的半导体器件的制造方法通过以虚拟位线层作为种子层，在种子层上选择性外延生长的方式形成晶体管的沟道和源漏极，因此 3D 堆叠的半导体器件的可靠性较高，而且存储单元在理论上可以在垂直于衬底的方向上无限堆叠，可以极大地提高 3D 器件的集成度。

所述栅电极环绕所述半导体柱的侧壁，其中，环绕可以理解为栅电极部分或全部环绕半导体柱的侧壁。一些实施例中，所述环绕可以是栅电极在整体上全部环绕所述半导体柱的侧壁，即所述栅电极的横截面为闭合环形，如图 20A、图 20B 和图 20C 所示。所述横截面的截取方向为沿着平行于衬底的方向截取。一些实施例中，所述环绕可以是部分环绕，环绕后的横截面不是闭合的，但是呈现环形状。比如，具有开口的环形。

在本公开的示例性实施例中，所述主体材料可以为单晶硅、单晶锗、单晶碳化硅或单晶砷化镓。

5 在本公开的示例性实施例中，所述主体材料可以为单晶硅，所述主体材料中不含有锗元素，因此本公开实施例的 3D 堆叠的半导体器件在形成单晶硅沟道时不需要外延 Si/SiGe 叠层，可以避免传统方法通过 Si/SiGe 超晶格外延来形成单晶硅沟道时受 Si/SiGe 超晶格外延层数限制的问题，从而突破存储单元堆叠层数的限制，使得在理论上存储单元在垂直于衬底的方向上可以无限堆叠，并且保证器件性能的可靠性。

10 在本公开的示例性实施例中，所述第一掺杂材料在所述第一导电区域中的掺杂浓度为第一掺杂浓度，所述第二掺杂材料在所述第二导电区域中的掺杂浓度为第二掺杂浓度，所述第一掺杂浓度与所述第二掺杂浓度可以相同或不同；所述第一掺杂材料与所述第二掺杂材料可以相同或不同。例如，所述第一掺杂材料与所述第二掺杂材料可以均为砷，所述第一掺杂浓度与所述第二掺杂浓度可以均为 $1e19$ 。

15 在本公开的示例性实施例中，所述第一导电区域可以作为源电极，所述第二导电区域可以作为漏电极；或者，所述第一电极可以作为漏电极，所述第二电极可以作为源电极。

在本公开的示例性实施例中，一个所述晶体管的所述第一导电区域和所述第二导电区域之间的沟道可以为水平沟道。

20 水平沟道为沟道中载流子传输方向在平行于衬底的平面内，但是不限制载流子的传输方向必须是一个方向。实际应用中，载流子的传输方向整体上沿着一个方向延伸，但是在局部，与半导体层的形状有关。换句话说，水平沟道不代表在水平面内必须沿着一个方向延伸，可能沿着不同的方向延伸。当然载流子传输方向在平行于衬底的平面内也是一个宏观上的概念，并不局
25 限于绝对的平行于衬底，本公开保护第一电极和第二电极之间的沟道为非垂直于衬底的沟道。

在本公开的示例性实施例中，如图 20A 和图 20C 所示，所述 3D 堆叠的半导体器件还可以包括：沿所述第一方向延伸的多条位线 40，多条位线 40 在垂直于所述衬底的方向上间隔设置，柱 54 的第一导电区域与位线 40 连接。

在本公开的示例性实施例中，如图 20A 所示，位于同一层且沿所述第一方向分布的多个存储单元 120 的晶体管可以与同一条位线 40 连接。

在本公开的示例性实施例中，如图 20A、图 20B 和图 20C 所示，所述 3D 堆叠的半导体器件还可以包括：沿垂直于所述衬底 1 的方向延伸的多条字线 110，字线 110 环绕柱 54 的侧壁。

在本公开的示例性实施例中，沿垂直于所述衬底 1 的方向分布的一列存储单元 120 的晶体管的栅电极 100 与同一条字线 110 连接。

在本公开的示例性实施例中，如图 20D 所示，位于同一层且沿所述第一方向分布的多个存储单元的晶体管的所述柱 54 与同一条位线 40 连接，并且与同一条位线 40 连接的相邻两个所述柱 54 之间通过连接部 130 相连接，并且所述柱 54 与所述连接部 130 为一体式结构。

在本公开的示例性实施例中，与同一条位线 40 连接的各所述柱 54 的一端和所述连接部 130 形成沿所述第一方向延伸的膜层 50，所述膜层 50 与所述位线 40 连接，并且所述膜层 50 在所述衬底 1 上的正投影与所述位线 40 在所述衬底 1 上的正投影相交叠。

在本公开的示例性实施例中，所述字线的横截面在所述字线的延伸方向不同位置的外轮廓是相同的。

在本公开的示例性实施例中，如图 20C 所示，所述 3D 堆叠的半导体器件还可以包括：沿所述第一方向延伸的多个支撑层 70，支撑层 70 设置在沿垂直于所述衬底 1 的方向分布的相邻两条位线 40 之间，将位线 40 与字线 110 间隔开。通过支撑层 70 将位线 40 与字线 110 间隔开可以避免位线 40 与字线 110 之间形成寄生电容器。

在本公开的示例性实施例中，如图 20A 和图 20C 所示，所述电容器可以包括第三电极 61、第四电极 63 以及设置在第三电极 61 与第四电极 63 之间的介电质层 62，第三电极 61 与柱 54 的所述第二导电区域连接。

在本公开的示例性实施例中，沿垂直于所述衬底的方向分布且在第二方向上间隔分布的两列存储单元的电容器的所述第四电极为共用电极，所述两列存储单元的晶体管和电容器镜像分布。在本公开的示例性实施例中，如图

20C 所示，沿垂直于所述衬底 1 的方向分布的一系列存储单元 120 的电容器的第四电极 63 可以为一体式结构。

在本公开的示例性实施例中，如图 20A 所示，位于同一层且沿所述第一方向分布的一系列存储单元 120 的电容器的第四电极 63 可以为一体式结构。

- 5 在本公开的示例性实施例中，如图 20C 所示，位于同一层且沿所述第二方向分布的至少两个相邻的存储单元 120 的电容器的第四电极 63 可以为一体式结构。

- 10 在本公开的示例性实施例中，所述第三电极在所述柱的第二导电区域上采用外延工艺形成，所述第三电极的材料为单晶硅，所述第三电极与所述柱的第一导电区域、第二导电区域、半导体区域的截面相同。

在本公开的示例性实施例中，所述 3D 堆叠的半导体器件可以为 3D 存储器，例如，3D DRAM 等存储器。所述 3D 存储器可以为 1T1C 结构。

本公开实施例还提供一种电子设备，所述电子设备包括如上本公开实施例提供的所述 3D 堆叠的半导体器件。

- 15 在本公开的示例性实施例中，所述电子设备可以为：存储装置、智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源等。存储装置可以包括计算机中的内存等，此处不作限定。

- 20 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种 3D 堆叠的半导体器件的制造方法，包括：

在衬底上依次交替沉积第一绝缘层和第二绝缘层，得到堆叠结构；

5 在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽，并且各所述第一沟槽沿第一方向延伸并沿第二方向间隔；

在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层；

在所述堆叠结构的相邻两个所述虚拟位线层之间刻蚀形成一个朝向所述衬底延伸的第二沟槽，并且所述第二沟槽沿所述第一方向延伸；

10 刻蚀去除所述第二绝缘层，露出相邻第一绝缘层之间的所述虚拟位线层的侧壁，所述侧壁沿着第一方向延伸；

在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层，所述膜层沿所述第一方向和所述第二方向延伸，所述膜层从靠近所述虚拟位线层的侧壁向第二方向依次含第一导电区域、半导体区域、第二导电区域；

15 对每个所述膜层进行纵向刻蚀形成多个沿所述第二方向延伸并在所述第一方向间隔的多个柱，每个所述柱包含第一导电区域、半导体区域、第二导电区域；在所述柱的半导体区域的侧壁形成环绕型的栅极绝缘层和栅电极，以及形成沿垂直于所述衬底的方向延伸的字线。

20 2. 根据权利要求 1 所述的 3D 堆叠的半导体器件的制造方法，其中，所述衬底为单晶衬底，所述虚拟位线层为单晶膜层，并且所述虚拟位线层与所述衬底的材料相同；

所述在所述堆叠结构中刻蚀形成多个朝向所述衬底延伸的第一沟槽包括：

对所述堆叠结构中全部的所述第一绝缘层和所述第二绝缘层进行刻蚀，使所述第一沟槽露出所述衬底；

25 所述在所述第一沟槽中形成填充所述第一沟槽的虚拟位线层包括：

采用选择性外延工艺在露出的所述衬底上生长延伸进入所述第一沟槽并填满所述第一沟槽的所述虚拟位线层。

3. 根据权利要求 2 所述的 3D 堆叠的半导体器件的制造方法，其中，所述膜层为单晶膜层，并且所述膜层与所述虚拟位线层的材料相同；

所述在所述虚拟位线层的露出的侧壁上形成填充在相邻第一绝缘层之间的膜层包括：

5 以所述虚拟位线层作为种子层，采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层；

采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层；

10 采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层，所述第一导电层形成所述膜层的所述第一导电区域，所述半导体层形成所述膜层的所述半导体区域，所述第二导电层形成所述膜层的所述第二导电区域。

4. 根据权利要求 3 所述的 3D 堆叠的半导体器件的制造方法，其中，

15 所述采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长沿所述第一方向和所述第二方向延伸的第一导电层包括：

采用选择性外延工艺在所述虚拟位线层的露出的侧壁上生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第一掺杂的单晶硅形成的所述第一导电层；和/或，

20 所述采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向的半导体层包括：

采用选择性外延工艺在所述第一导电层远离所述虚拟位线层的一端生长本征单晶硅，得到由本征单晶硅形成的所述半导体层；和/或，

所述采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长沿所述第一方向和所述第二方向延伸的第二导电层包括：

25 采用选择性外延工艺在所述半导体层远离所述虚拟位线层的一端生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由第二掺杂的单晶硅形成的所述第二导电层。

5. 根据权利要求 1 至 4 中任一项所述的 3D 堆叠的半导体器件的制造方

法，其中，所述对每个所述膜层进行纵向刻蚀形成多个沿所述第二方向延伸并在所述第一方向间隔的多个柱包括：

- 5 对每个所述膜层进行纵向刻蚀，在所述膜层中形成沿所述第二方向延伸并且沿第一方向间隔的多个第三沟槽，所述第三沟槽将所述膜层间隔为多个所述柱；

所述制造方法还包括：

在形成填充在相邻第一绝缘层之间的膜层之后，在将所述膜层间隔为多个所述柱之前，进行下述步骤：

- 10 在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极，并在所述衬底上沉积覆盖所述第三电极和所述第二沟槽的第一绝缘层；

刻蚀去除所述第一沟槽内的所述虚拟位线层，使所述第一沟槽露出所述膜层和所述第一绝缘层；

以及，在将所述膜层间隔为多个所述柱之后，进行下述步骤：

- 15 在所述衬底上沉积覆盖所述第三沟槽的第一绝缘层；

对相邻两个所述第一沟槽之间的第一绝缘层进行刻蚀，露出所述第三电极，保留所述第一沟槽侧壁上的所述第一绝缘层；

在露出的所述第三电极的表面依次沉积介电质层和第四电极，所述第三电极、所述介电质层和所述第四电极构成电容器。

- 20 6. 根据权利要求 5 所述的 3D 堆叠的半导体器件的制造方法，其中，所述在所述膜层远离所述虚拟位线层的端部形成与该端部接触的电容器的第三电极包括：

采用多晶硅或金属在所述衬底上沉积覆盖所述膜层的被所述第二沟槽露出的端部的第三导电层，形成第三电极；或者，

- 25 采用选择性外延工艺在所述膜层的被所述第二沟槽露出的端部生长单晶硅，并在单晶硅的生长过程中采用原位掺杂法进行掺杂，得到由掺杂的单晶硅形成的第三导电层。

7. 根据权利要求 5 所述的 3D 堆叠的半导体器件的制造方法, 其中, 所述在所述柱的半导体区域侧壁形成环绕型的栅极绝缘层和栅电极包括:

在得到所述电容器之后, 刻蚀去除所述第一沟槽侧壁上的所述第一绝缘层, 形成栅极槽;

5 在所述栅极槽的内壁上沉积栅极绝缘层, 以及在所述栅极槽中填充栅电极层;

刻蚀去除沿所述第一方向分布的相邻两个所述半导体柱之间的部分所述栅电极层, 仅保留该两个半导体柱侧壁上的所述栅电极层, 得到栅电极。

8. 根据权利要求 5 所述的 3D 堆叠的半导体器件的制造方法, 还包括,
10 在去除所述第一沟槽内的所述虚拟位线层之后, 形成所述第三沟槽之前, 进行下述步骤:

对所述第一沟槽内两侧的所述膜层的第一导电区域进行回刻, 形成延伸进入所述膜层的第一导电区域并且沿所述第一方向延伸的位线槽, 在所述位线槽中沉积位线。

15 9. 根据权利要求 8 所述的 3D 堆叠的半导体器件的制造方法, 还包括, 在去除所述第一沟槽内的所述虚拟位线层之后, 形成所述位线槽之前, 进行下述步骤:

对所述第一沟槽两侧的所述第一绝缘层进行回刻, 形成延伸进入所述第一绝缘层并且沿所述第一方向延伸的支撑槽, 在所述支撑槽中沉积第二绝缘
20 层形成支撑层。

10. 根据权利要求 8 或 9 所述的 3D 堆叠的半导体器件的制造方法, 还包括, 在形成位线之后, 形成所述第三沟槽之前, 进行下述步骤:

在所述第一沟槽中沉积第三绝缘层, 所述第三绝缘层将位于同一个所述第一沟槽内的相邻两条位线间隔开。

25 11. 一种 3D 堆叠的半导体器件, 包括:

分布于不同层、沿着垂直于衬底的方向堆叠且周期性分布的多个存储单元, 每一层包括沿第一方向和第二方向阵列分布的多个存储单元;

每个所述存储单元包括一个晶体管; 所述晶体管包括沿所述第二方向延

伸的柱和环绕所述柱的侧壁的栅电极，所述柱依次包括第一导电区域、半导体区域和第二导电区域；

5 其中，所述半导体区域包含所述柱的主体材料，所述第一导电区域包含第一掺杂材料，所述第二导电区域包含第二掺杂材料；所述第一掺杂材料在所述第一导电区域中均匀分布，所述第二掺杂材料在所述第二导电区域中均匀分布。

12. 根据权利要求 11 所述的 3D 堆叠的半导体器件，其中，所述主体材料为单晶硅、单晶锗、单晶碳化硅或单晶砷化镓。

10 13. 根据权利要求 11 所述的 3D 堆叠的半导体器件，其中，
所述主体材料为单晶硅，所述主体材料中不含有锗元素；或者，
所述主体材料为单晶锗，所述主体材料中不含有硅元素。

14. 根据权利要求 11 所述的 3D 堆叠的半导体器件，还包括：

沿所述第一方向延伸且在垂直于所述衬底的方向上间隔设置的多条位线，所述柱的第一导电区域与所述位线连接；和/或，

15 沿垂直于所述衬底的方向延伸的多条字线，所述字线环绕所述柱的侧壁。

15. 根据权利要求 14 所述的 3D 堆叠的半导体器件，其中，位于同一层且沿所述第一方向分布的多个存储单元的晶体管的所述柱与同一条位线连接，并且与同一条位线连接的相邻两个所述柱之间通过连接部相连接，并且所述柱与所述连接部为一体式结构。

20 16. 根据权利要求 15 所述的 3D 堆叠的半导体器件，其中，与同一条位线连接的各所述柱的一端和所述连接部形成沿所述第一方向延伸的膜层，所述膜层与所述位线连接，并且所述膜层在所述衬底上的正投影与所述位线在所述衬底上的正投影相交叠。

25 17. 根据权利要求 14 所述的 3D 堆叠的半导体器件，其中，所述字线的横截面在所述字线的延伸方向不同位置的外轮廓是相同的。

18. 根据权利要求 11 至 17 中任一项所述的 3D 堆叠的半导体器件，其中，所述存储单元还包括电容器，所述电容器与所述柱的一端连接，所述电容器包括与所述柱的所述第二导电区域连接的第三电极、第四电极以及设置在所

述第三电极和所述第四电极之间的介电质层；其中，

沿垂直于所述衬底的方向分布且在第二方向上间隔分布的两列存储单元的电容器的所述第四电极为共用电极；所述两列存储单元的晶体管和电容器镜像分布。

- 5 19. 根据权利要求 18 所述的 3D 堆叠的半导体器件，其中，所述第三电极在所述柱的第二导电区域上采用外延工艺形成，所述第三电极的材料为单晶硅，所述第三电极与所述柱的第一导电区域、第二导电区域、半导体区域的截面相同。

- 10 20. 一种电子设备，包括根据权利要求 11 至 19 中任一所述的 3D 堆叠的半导体器件。

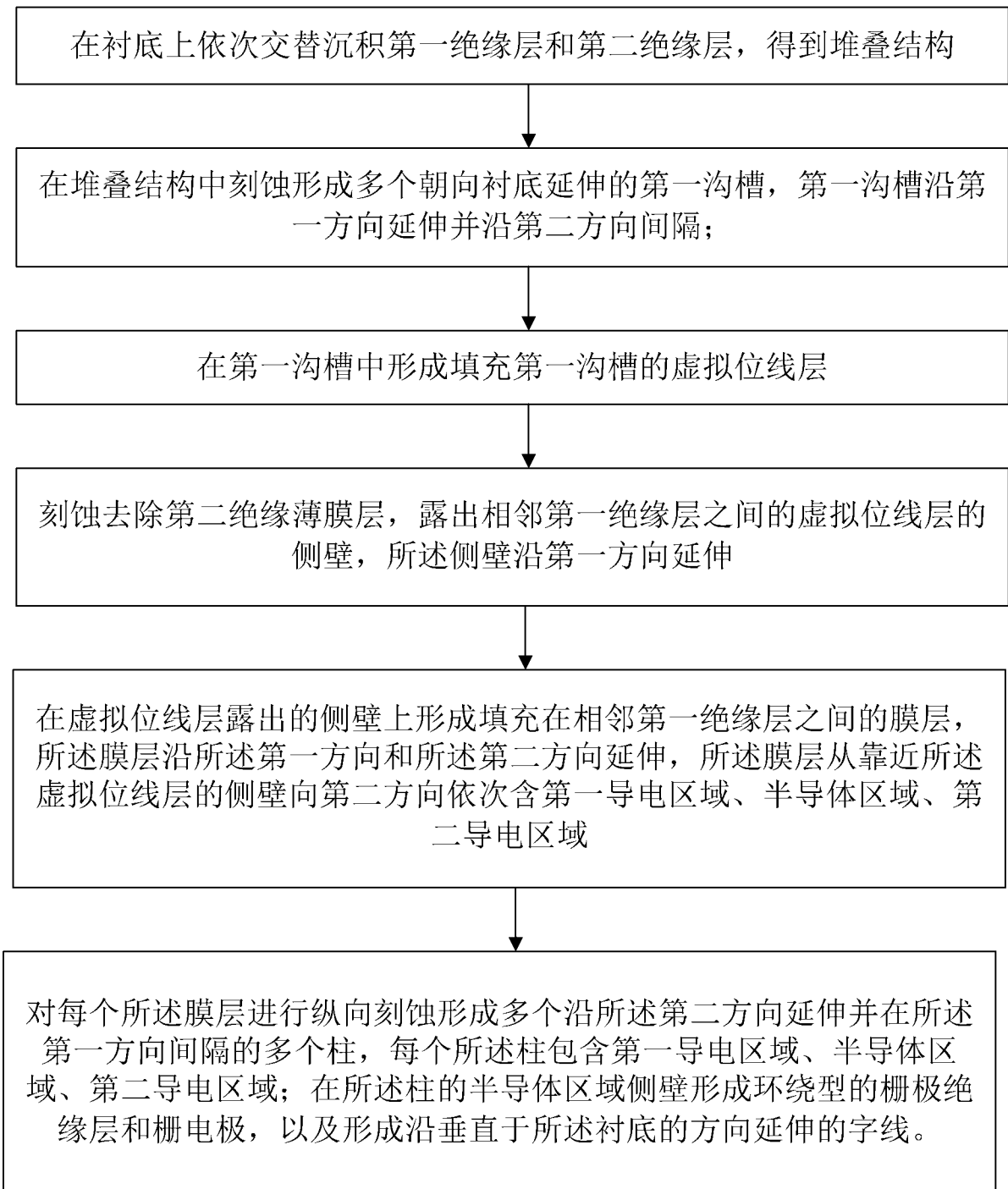


图 1

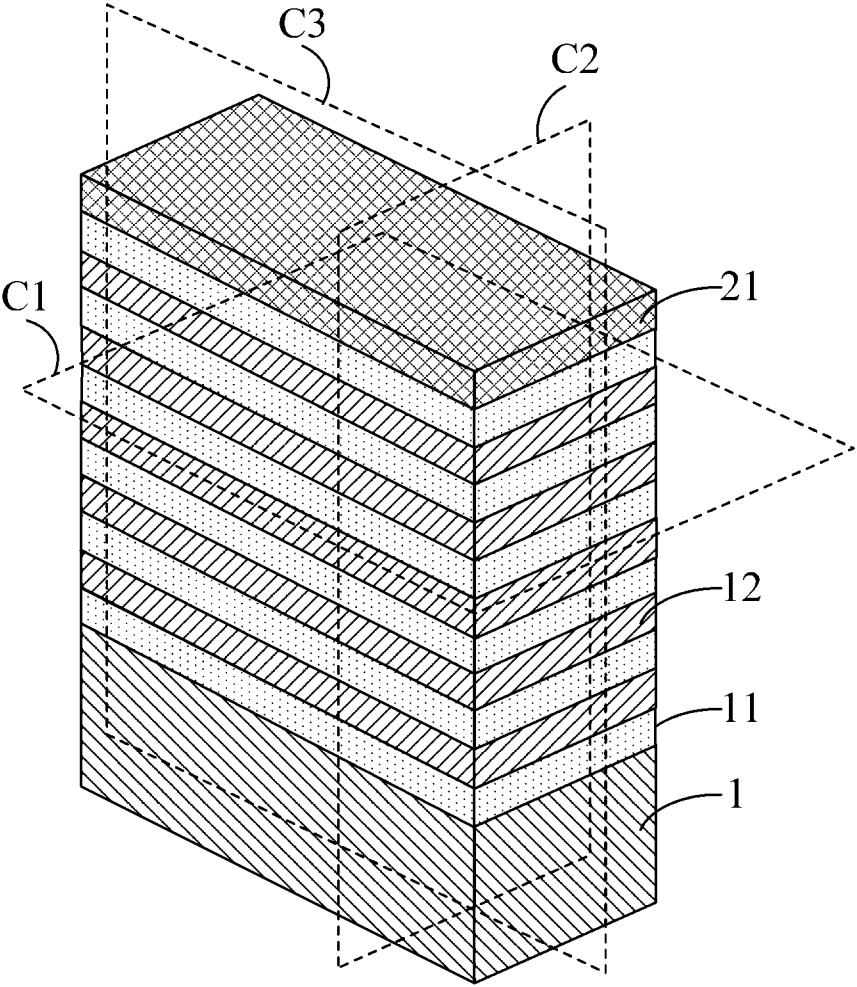


图 2A

C1

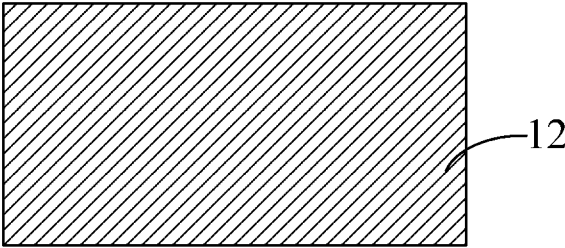


图 2B

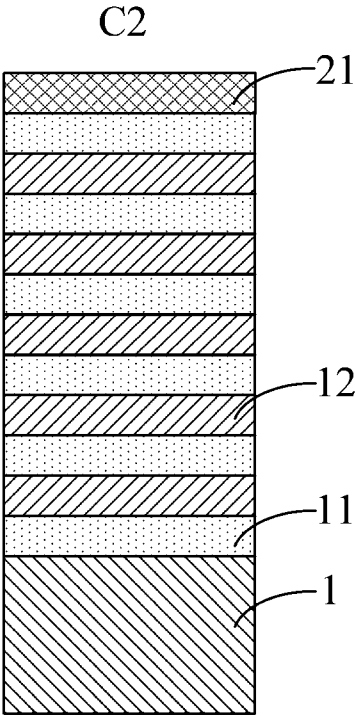


图 2C

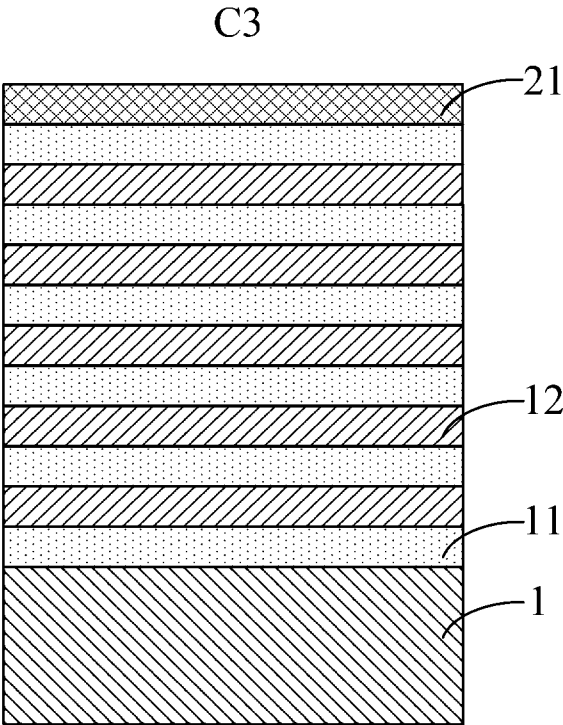


图 2D

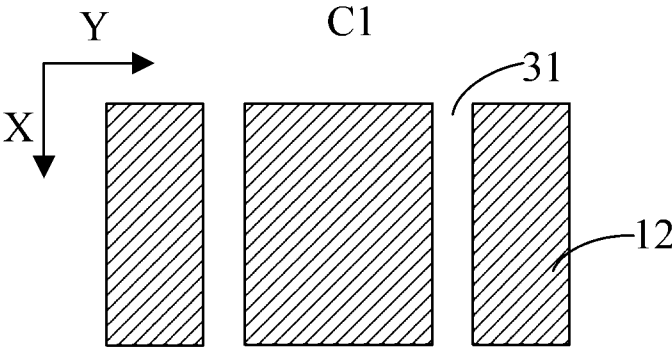


图 3A

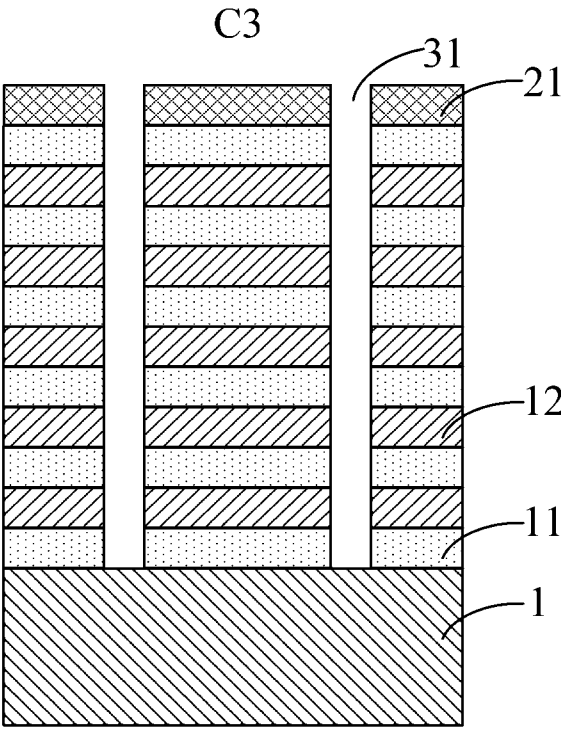


图 3B

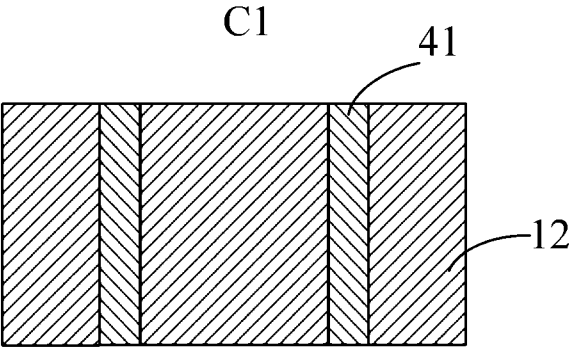


图 4A

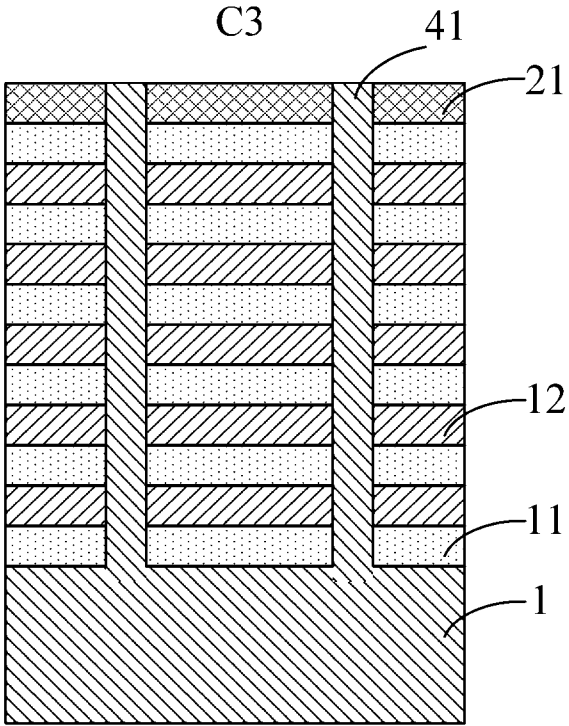


图 4B

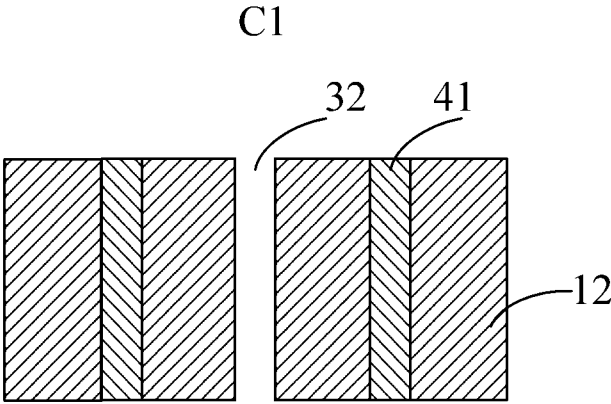


图 5A

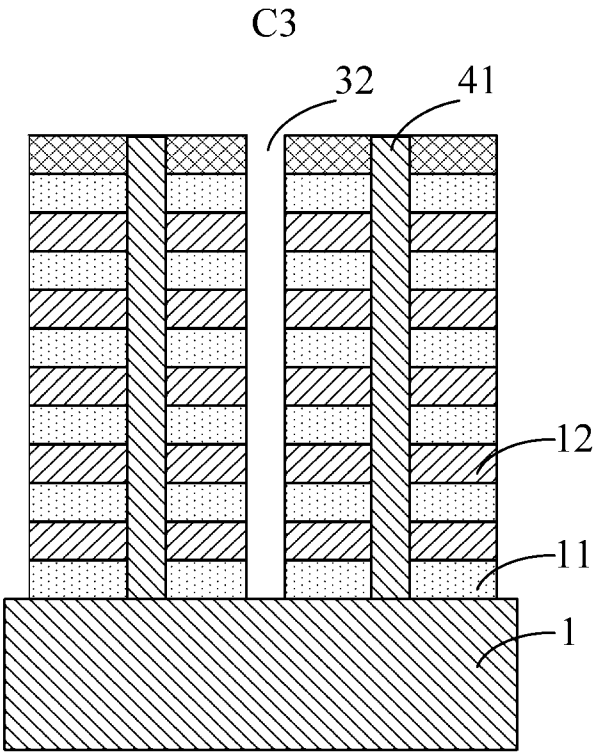


图 5B

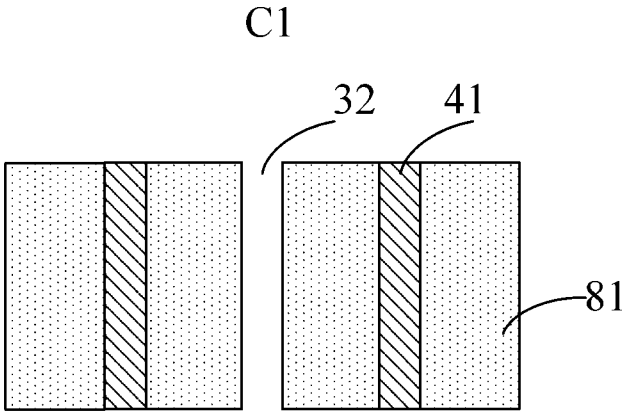


图 6A

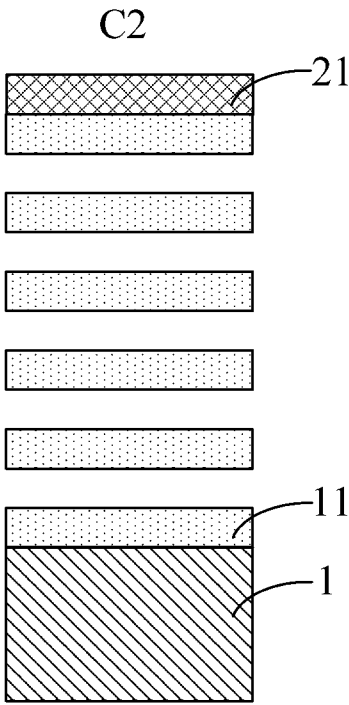


图 6B

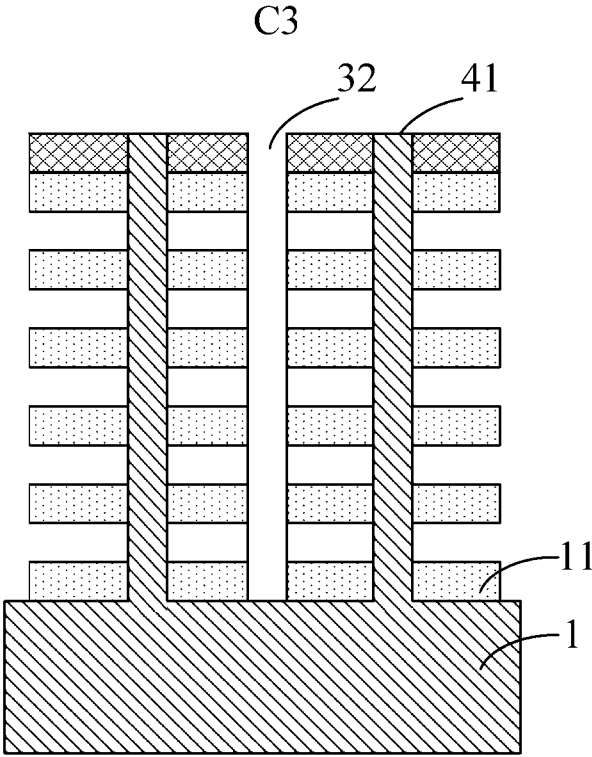


图 6C

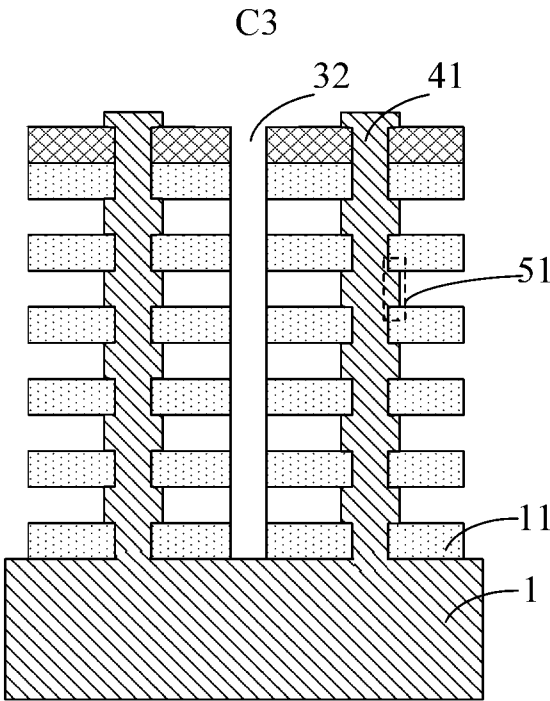


图 7

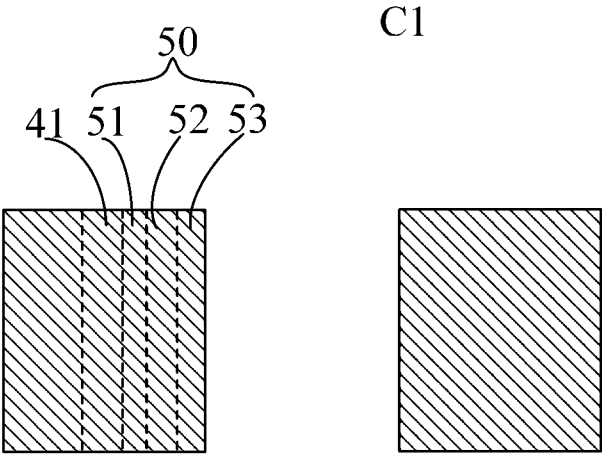


图 8A

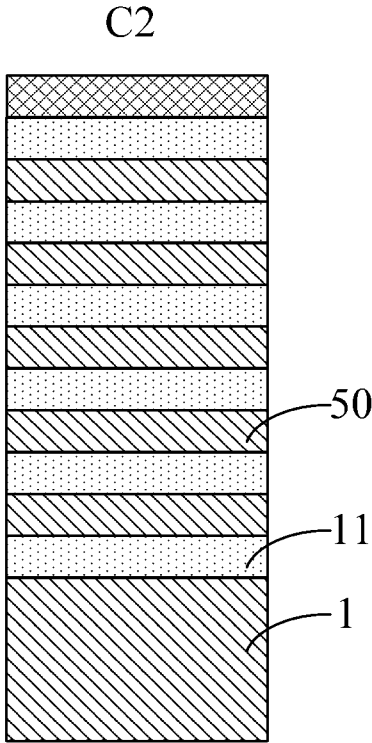


图 8B

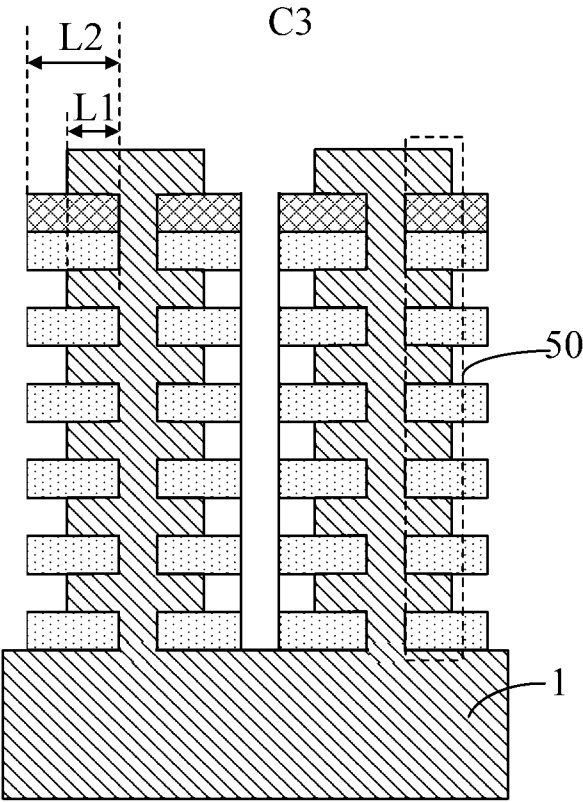


图 8C

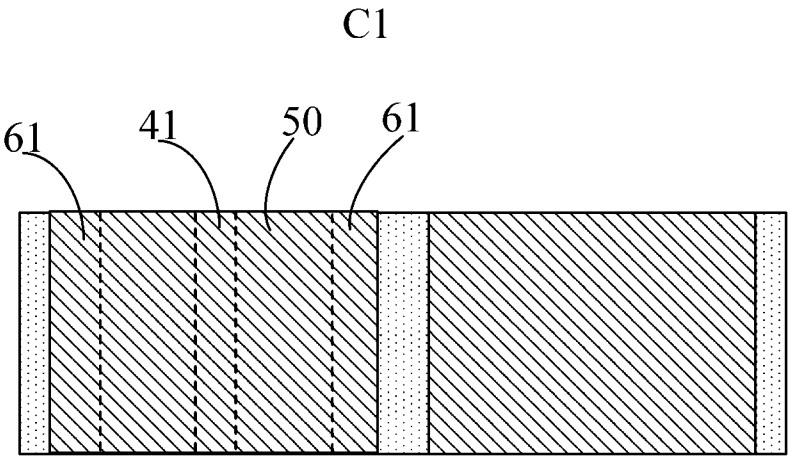


图 9A

C2

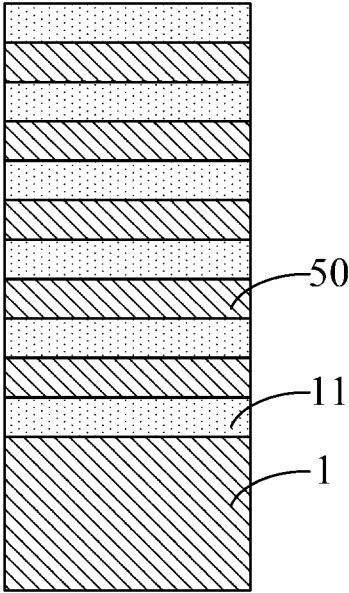


图 9B

C3

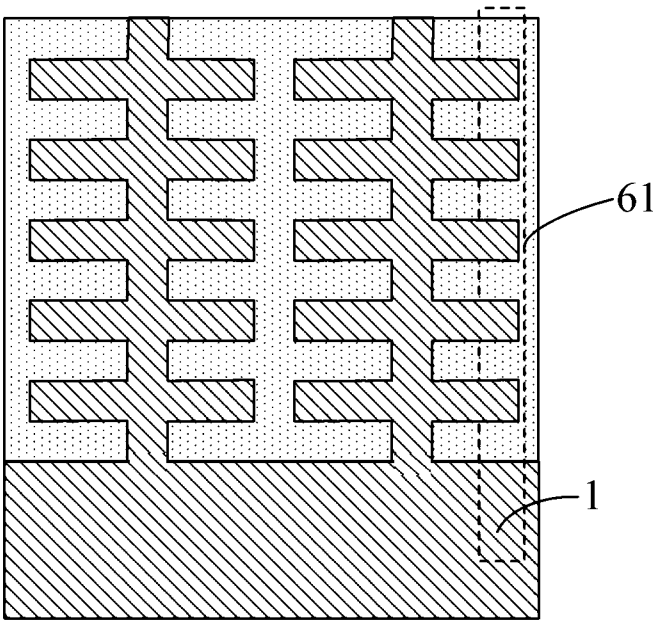
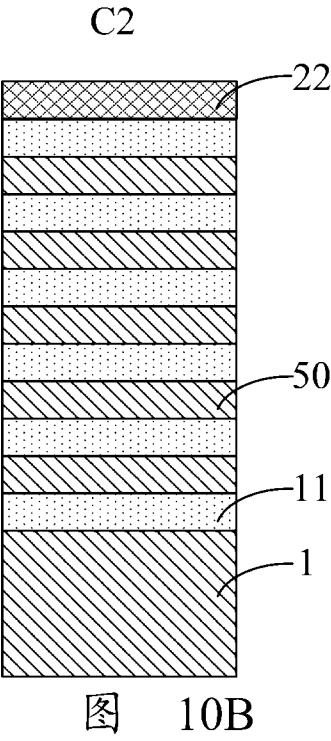
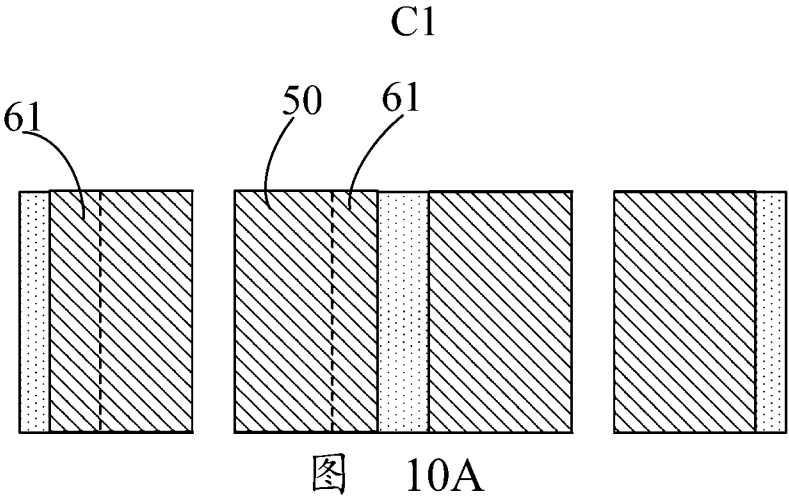


图 9C



C3

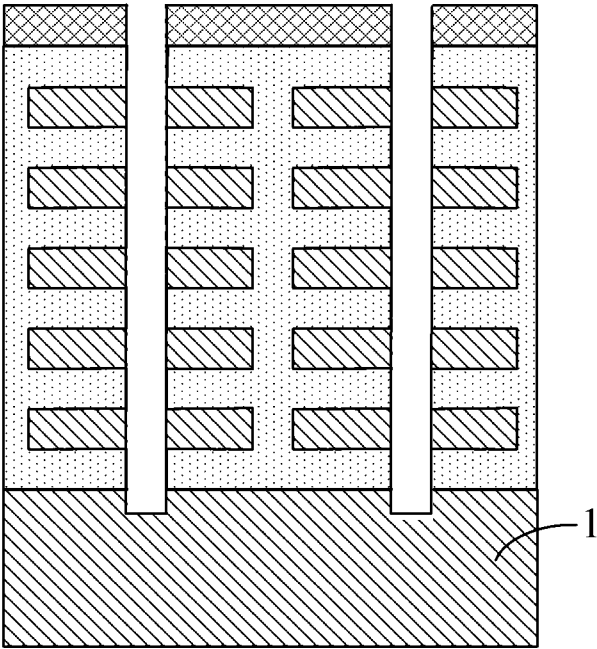


图 10C

C1

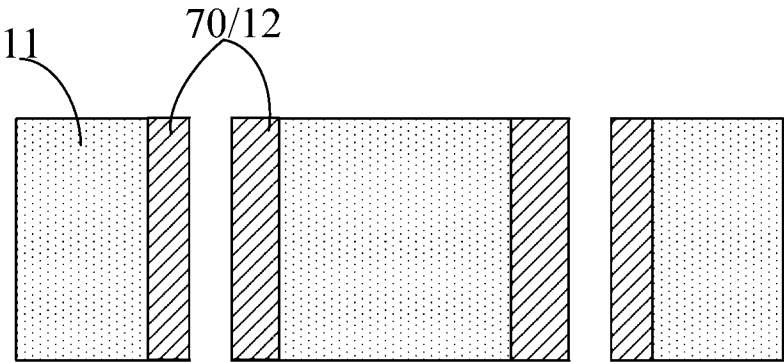


图 11A

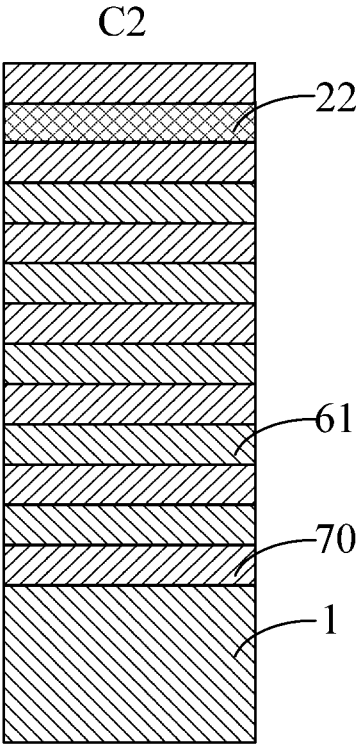


图 11B

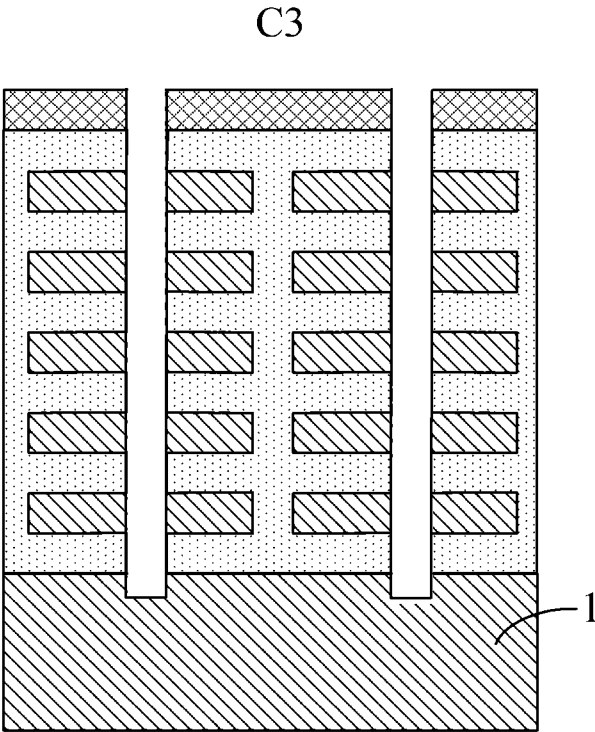
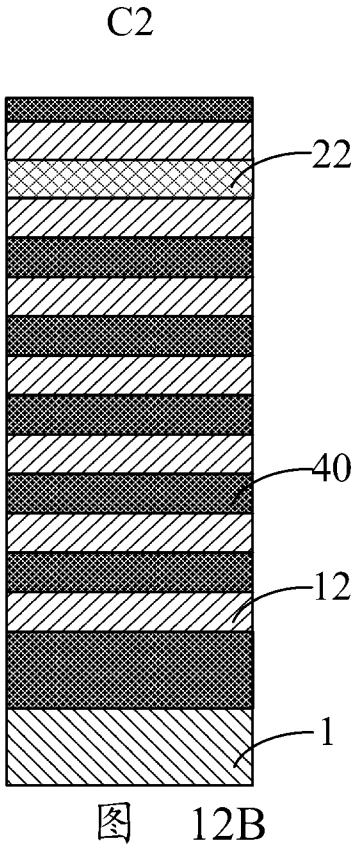
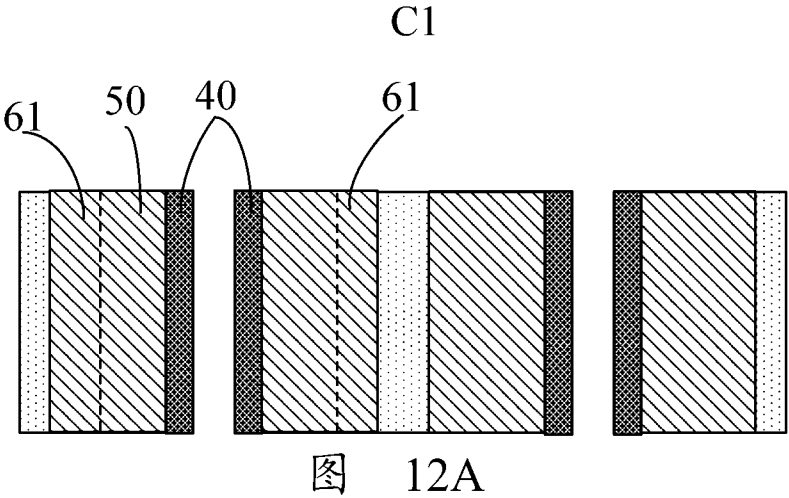


图 11C



C3

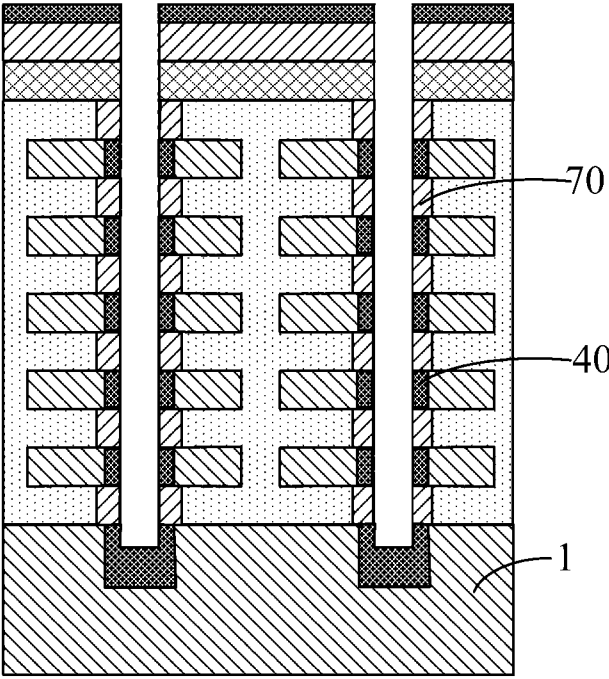


图 12C

C1

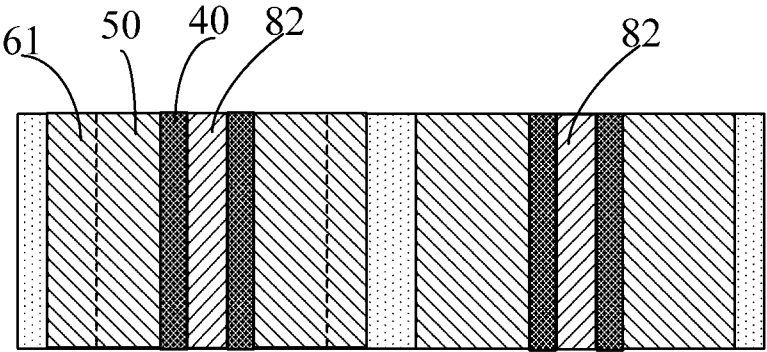


图 13A

C2

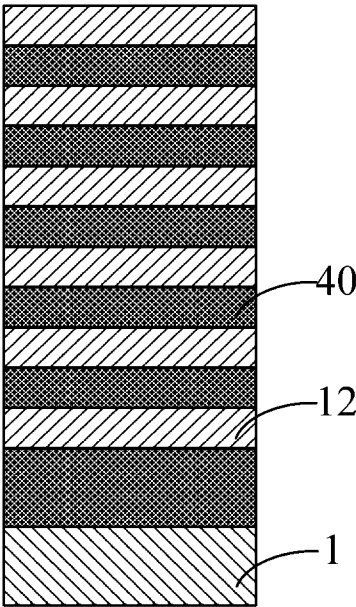


图 13B

C3

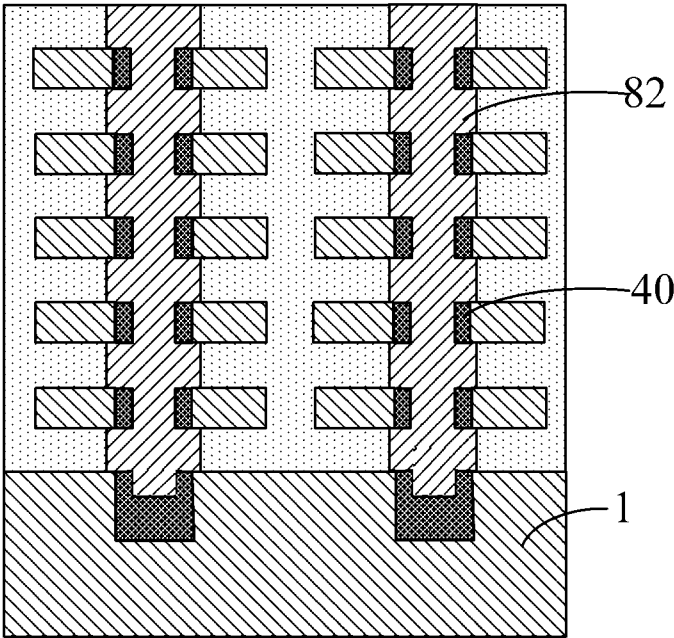


图 13C

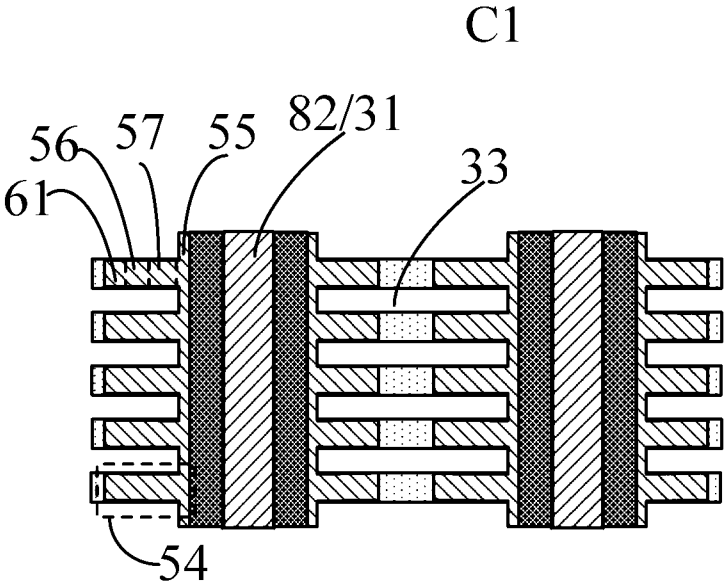


图 14

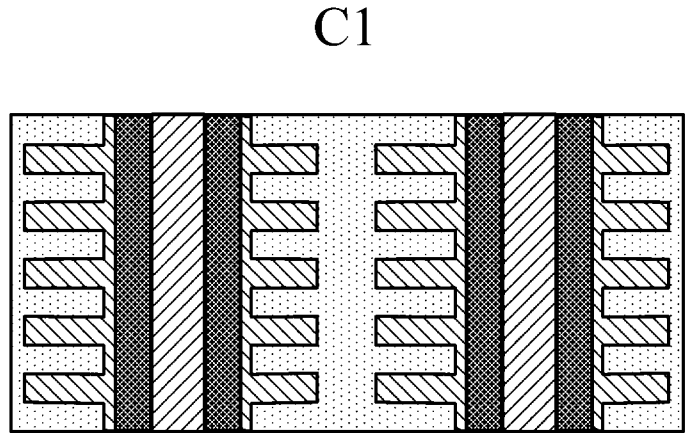


图 15A

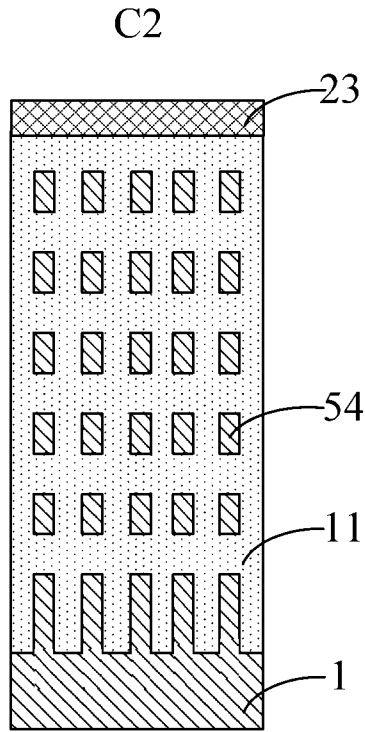


图 15B

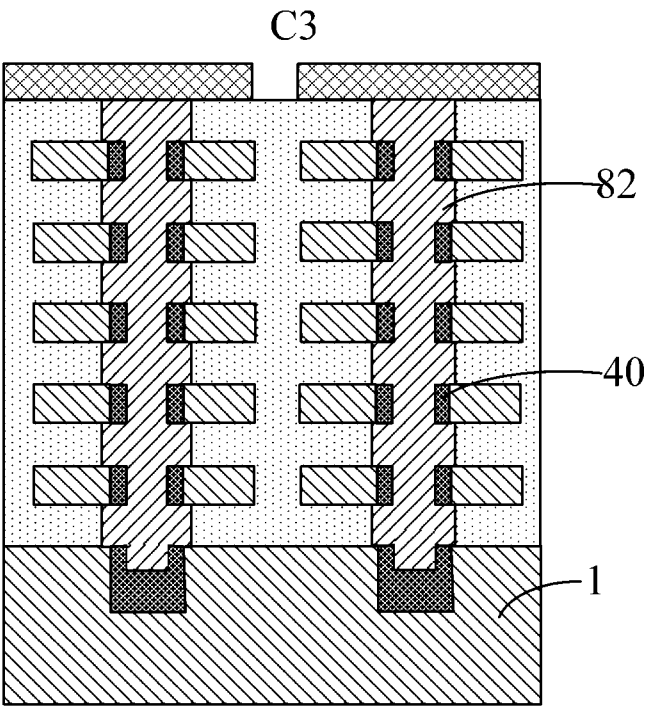
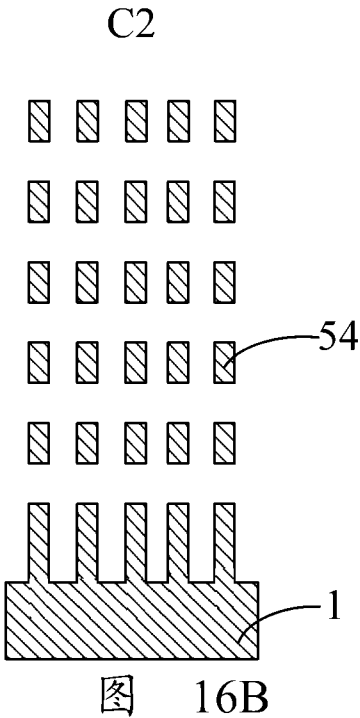
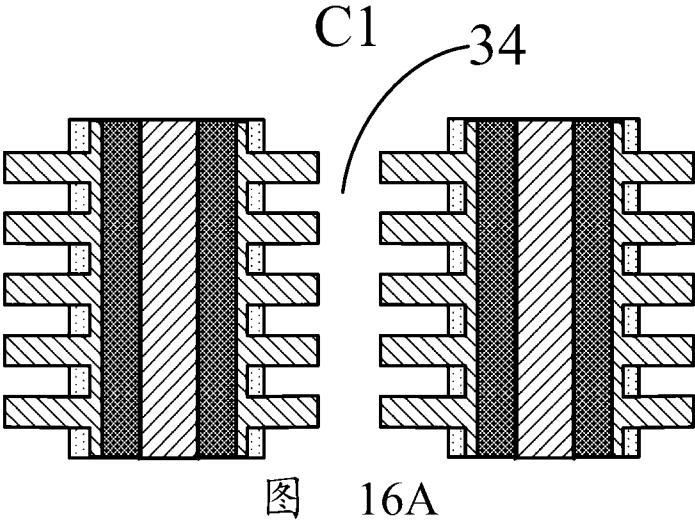


图 15C



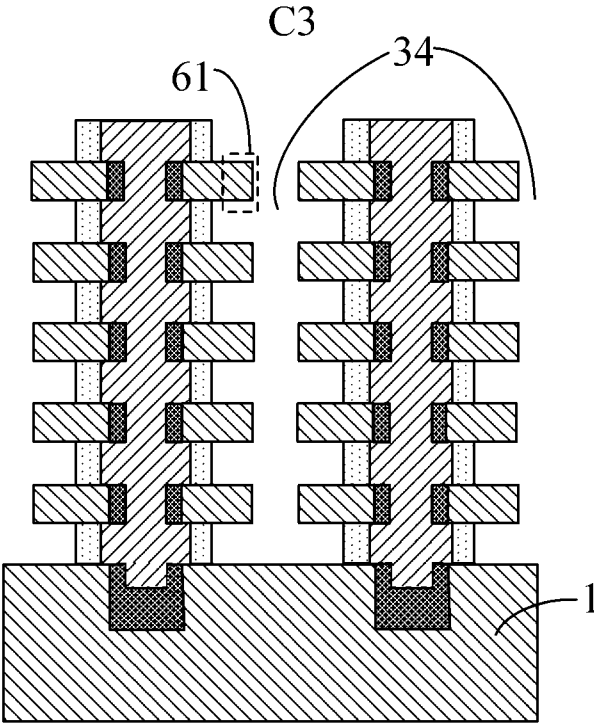


图 16C

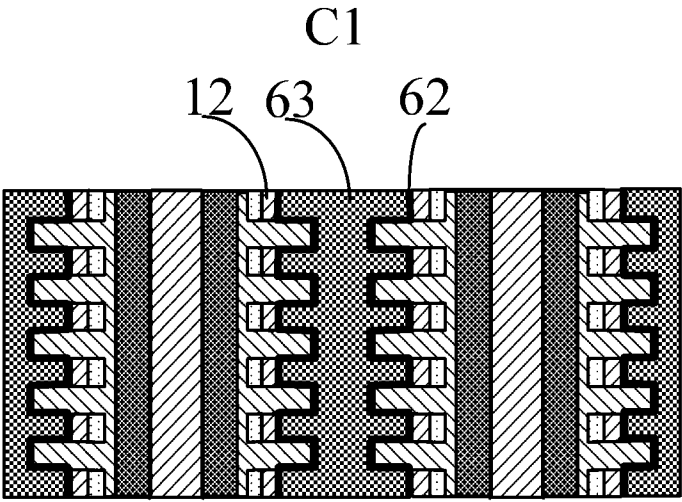


图 17A

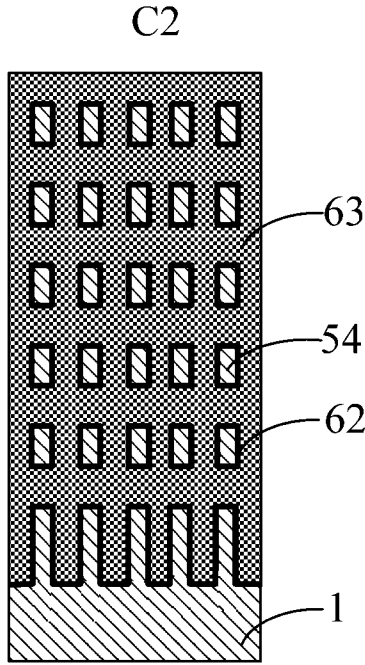


图 17B

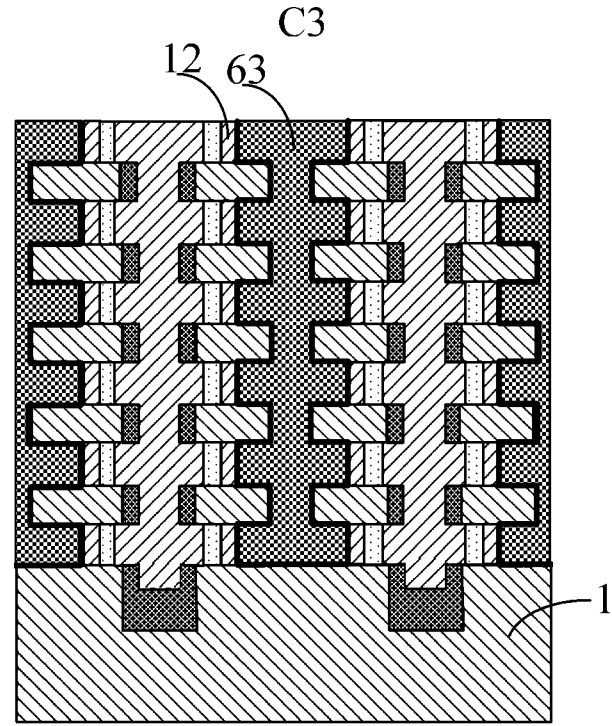
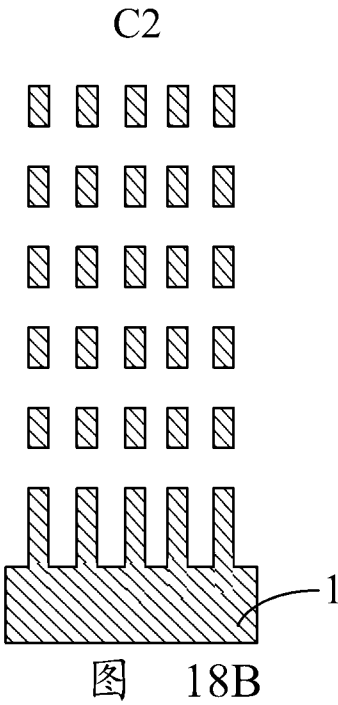
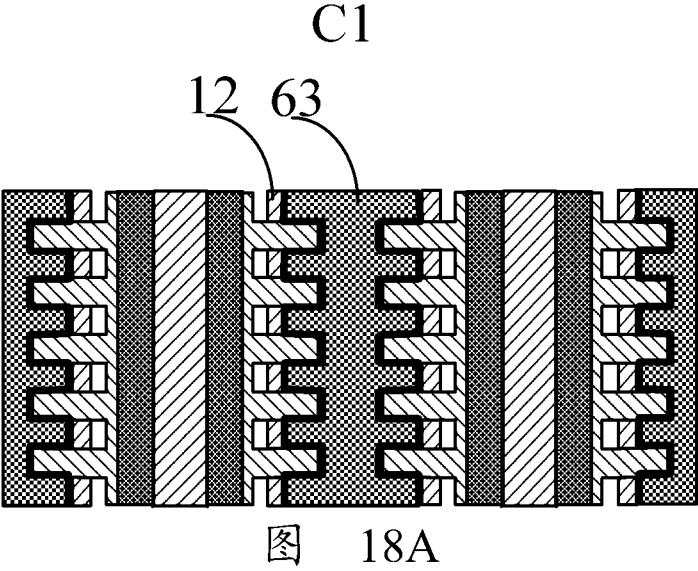


图 17C



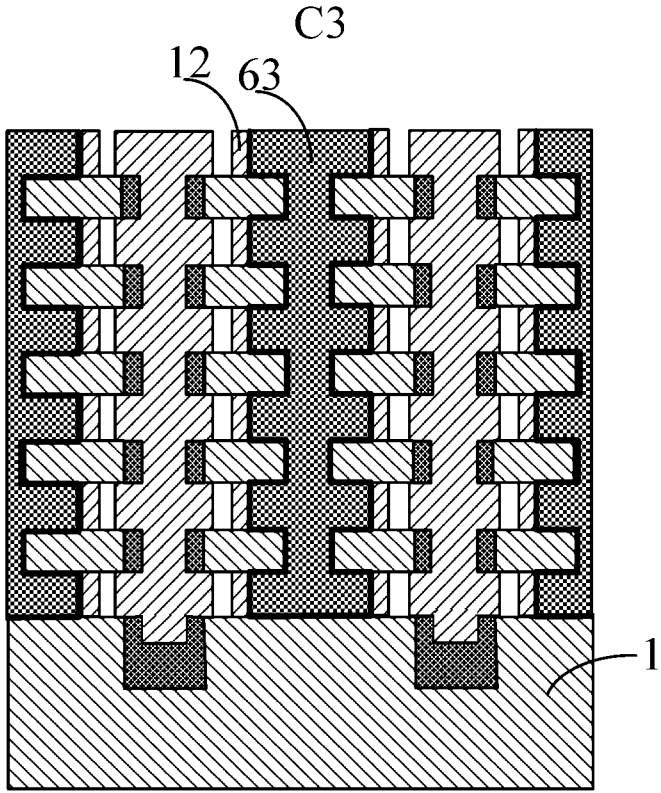


图 18C

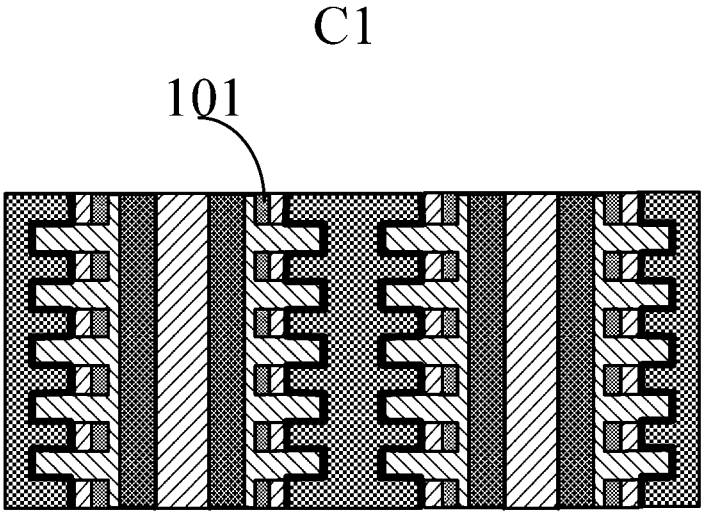


图 19A

C2

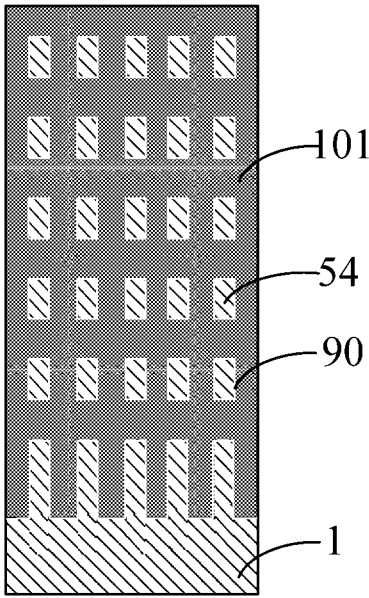


图 19B

C3

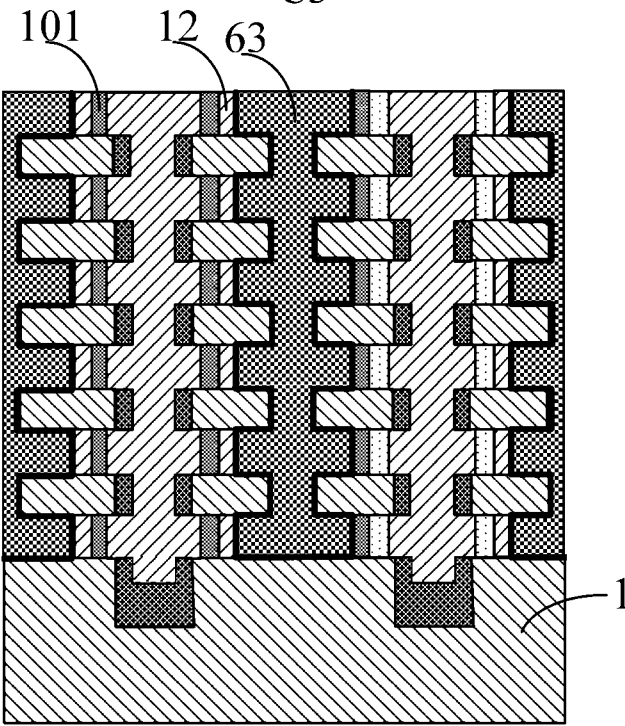


图 19C

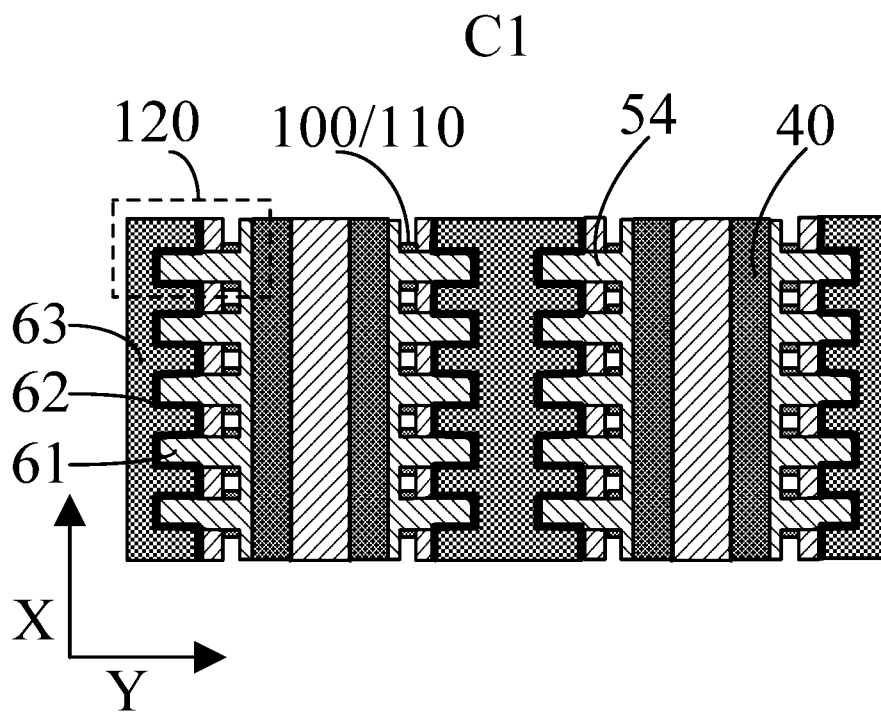


图 20A

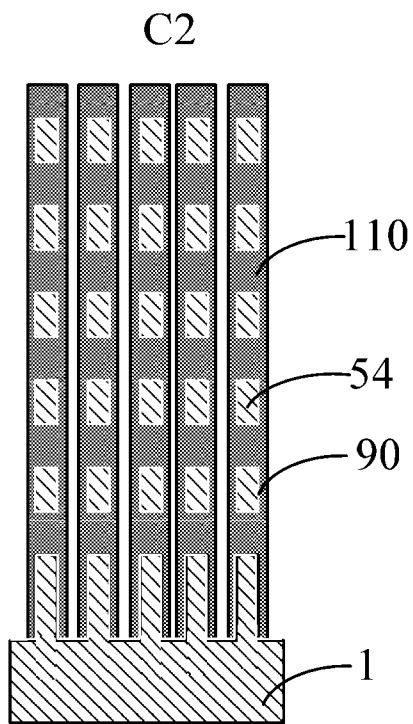


图 20B

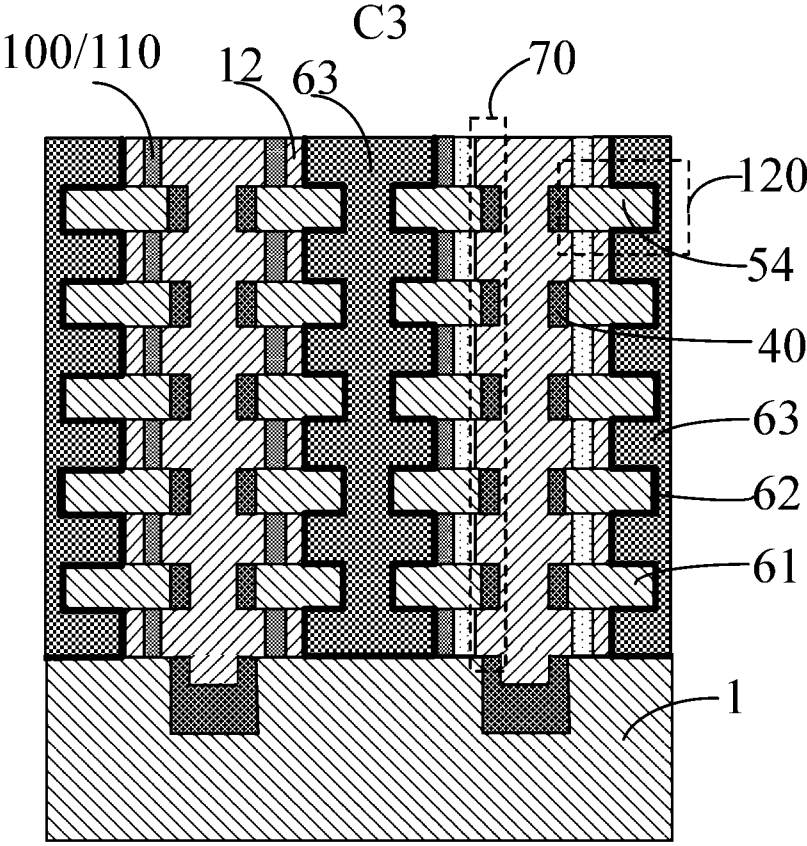


图 20C

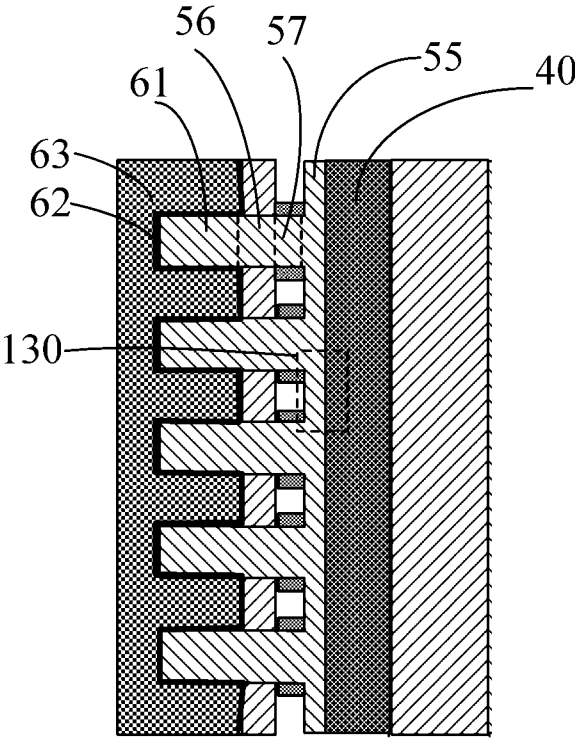


图 20D

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/093997

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; WOTXT; EPTXT; USTXT: 栅, 源, 漏, 沟道, 环, 位线, 牺牲, 电容, gate, source, drain, channel, around, bit line, BL, sacrific+, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115605022 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 13 January 2023 (2023-01-13) description, paragraphs [0004]-[0084], and figures 1-17	11-20
A	CN 115605022 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 13 January 2023 (2023-01-13) description, paragraphs [0004]-[0084], and figures 1-17	1-10
X	CN 109616474 A (SAMSUNG ELECTRONICS CO., LTD.) 12 April 2019 (2019-04-12) description, paragraphs [0003]-[0097], and figures 1-32C	11-20
A	CN 109616474 A (SAMSUNG ELECTRONICS CO., LTD.) 12 April 2019 (2019-04-12) description, paragraphs [0003]-[0097], and figures 1-32C	1-10
X	CN 115411033 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 November 2022 (2022-11-29) description, paragraphs [0004]-[0145], and figures 1-18	11-20
A	CN 115411033 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 November 2022 (2022-11-29) description, paragraphs [0004]-[0145], and figures 1-18	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 September 2023

Date of mailing of the international search report

22 September 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/093997

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109148469 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 04 January 2019 (2019-01-04) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/093997

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115605022	A	13 January 2023	None			
CN	109616474	A	12 April 2019	US	2021057416	A1	25 February 2021
				US	11616065	B2	28 March 2023
				US	2019103407	A1	04 April 2019
				US	10535659	B2	14 January 2020
				DE	102018119616	A1	04 April 2019
				DE	102018119616	B4	06 April 2023
				US	2020111793	A1	09 April 2020
				US	10861854	B2	08 December 2020
CN	115411033	A	29 November 2022	None			
CN	109148469	A	04 January 2019	CN	109148469	B	25 August 2020

国际检索报告

国际申请号

PCT/CN2023/093997

A. 主题的分类

H10B12/00 (2023.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC: H10B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; CNKI; VEN; WOTXT; EPTXT; USTXT: 栅, 源, 漏, 沟道, 环, 位线, 牺牲, 电容, gate, source, drain, channel, around, bit line, BL, sacrific+, capacitor

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115605022 A (长鑫存储技术有限公司) 2023年1月13日 (2023 - 01 - 13) 说明书第[0004]-[0084]段, 附图1-17	11-20
A	CN 115605022 A (长鑫存储技术有限公司) 2023年1月13日 (2023 - 01 - 13) 说明书第[0004]-[0084]段, 附图1-17	1-10
X	CN 109616474 A (三星电子株式会社) 2019年4月12日 (2019 - 04 - 12) 说明书第[0003]-[0097]段, 附图1-32C	11-20
A	CN 109616474 A (三星电子株式会社) 2019年4月12日 (2019 - 04 - 12) 说明书第[0003]-[0097]段, 附图1-32C	1-10
X	CN 115411033 A (长鑫存储技术有限公司) 2022年11月29日 (2022 - 11 - 29) 说明书第[0004]-[0145]段, 附图1-18	11-20
A	CN 115411033 A (长鑫存储技术有限公司) 2022年11月29日 (2022 - 11 - 29) 说明书第[0004]-[0145]段, 附图1-18	1-10
A	CN 109148469 A (长江存储科技有限责任公司) 2019年1月4日 (2019 - 01 - 04) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年9月14日

国际检索报告邮寄日期

2023年9月22日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

孙丽

电话号码 (+86) 0512-88995647

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/093997

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115605022	A	2023年1月13日	无			
CN	109616474	A	2019年4月12日	US	2021057416	A1	2021年2月25日
				US	11616065	B2	2023年3月28日
				US	2019103407	A1	2019年4月4日
				US	10535659	B2	2020年1月14日
				DE	102018119616	A1	2019年4月4日
				DE	102018119616	B4	2023年4月6日
				US	2020111793	A1	2020年4月9日
				US	10861854	B2	2020年12月8日
CN	115411033	A	2022年11月29日	无			
CN	109148469	A	2019年1月4日	CN	109148469	B	2020年8月25日