



(12) 发明专利申请

(10) 申请公布号 CN 103390555 A

(43) 申请公布日 2013. 11. 13

(21) 申请号 201210139956. 0

(22) 申请日 2012. 05. 08

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 卜伟海 康劲

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 21/336(2006. 01)

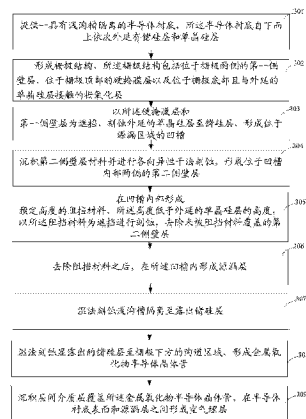
权利要求书1页 说明书4页 附图7页

(54) 发明名称

金属氧化物半导体晶体管的制作方法

(57) 摘要

本发明提供了一种金属氧化物半导体晶体管的制作方法,在源/漏层与沟道之间形成第二侧壁层,且在半导体衬底表面和源漏层之间形成空气埋层。在确保减小漏耗层扩展导致的漏电流的基础上,减小源漏寄生电容,并且减小了热预算。



1. 一种金属氧化物半导体晶体管的制作方法,包括:
提供一具有浅沟槽隔离的半导体衬底,所述半导体衬底自下而上依次外延有锗硅层和单晶硅层;
形成栅极结构,所述栅极结构包括位于栅极两侧的第一侧壁层、位于栅极顶部的硬掩膜层以及位于栅极底部且与外延的单晶硅层接触的栅氧化层;
以所述硬掩膜层和第一侧壁层为遮挡,刻蚀外延的单晶硅层至锗硅层,形成位于源漏区域的凹槽;
沉积第二侧壁层材料并进行各向异性干法刻蚀,形成位于凹槽内部两侧的第二侧壁层;
在凹槽内部形成预定高度的阻挡材料,所述高度低于外延的单晶硅层的高度,以所述阻挡材料为遮挡进行刻蚀,去除未被阻挡材料覆盖的第二侧壁层;
去除阻挡材料之后,在所述凹槽内形成源漏层;
湿法刻蚀浅沟槽隔离至露出锗硅层;
湿法刻蚀显露出的锗硅层至栅极下方的沟道区域,形成金属氧化物半导体晶体管;
沉积层间介质层覆盖所述金属氧化物半导体晶体管,在半导体衬底表面和源漏层之间形成空气埋层。
2. 如权利要求 1 所述的方法,其特征在于,形成源漏层之后,湿法刻蚀浅沟槽隔离至露出锗硅层之前,该方法进一步包括以栅极两侧的第一侧壁层为遮挡对源漏层进行浅掺杂漏 LDD 注入的步骤。
3. 如权利要求 2 所述的方法,其特征在于,在 LDD 注入之后,湿法刻蚀浅沟槽隔离至露出锗硅层之前,该方法进一步包括在第一侧壁层的两侧形成第三侧壁层,以第一和第三侧壁层为遮挡,进行源漏注入的步骤。
4. 如权利要求 1 所述的方法,其特征在于,湿法刻蚀浅沟槽隔离至露出锗硅层时,该方法进一步包括湿法去除所述硬掩膜层。
5. 如权利要求 1 所述的方法,其特征在于,锗硅层的厚度为 5 ~ 120 纳米;单晶硅层的厚度为 5 ~ 120 纳米。
6. 如权利要求 1 所述的方法,其特征在于,所述阻挡材料为光阻或者底部抗反射涂层或者无定形碳。
7. 如权利要求 1 所述的方法,其特征在于,阻挡材料的上表面与外延的单晶硅层上表面之间的距离为 5 ~ 30 纳米。
8. 如权利要求 1 所述的方法,其特征在于,去除未被阻挡材料覆盖的第二侧壁层采用各向同性的干法刻蚀或者湿法刻蚀。
9. 如权利要求 1 所述的方法,其特征在于,在所述凹槽内形成源漏层的厚度为 30 ~ 150 纳米。
10. 如权利要求 1 所述的方法,其特征在于,采用外延的方法形成源漏层,所述源漏层的材料为硅、碳化硅或者锗硅。

金属氧化物半导体晶体管的制作方法

技术领域

[0001] 本发明涉及半导体器件制造技术,特别涉及一种金属氧化物半导体晶体管的制作方法。

背景技术

[0002] 众所周知,采用与体硅类似的半导体衬底基体作为第一代硅衬底已经受到了多方面的挑战,于是提出半导体衬底基体中加入一层绝缘层,也就是绝缘体上硅(SOI, Silicon-On-Insulator)技术。如图 1 所示,以基于体硅 100 的 SOI 技术为例进行说明,SOI 技术将体硅 100 分为三层,表面是一层很薄的顶层硅 102(Top Silicon),用于制造半导体器件,顶层硅 102 的厚度从 200 埃到几微米,取决于不同的应用;顶层硅 102 下方是依托在体硅 100 上的绝缘埋层(buried insulating layer),这种绝缘埋层通常是二氧化硅,因此称为氧化埋层(BOX, Buried Oxide) 101, BOX 101 的厚度范围约为几百到数千埃;BOX 101 下方是剩余的体硅部分。由于顶层硅 102 位于绝缘埋层上方也称为 SOI。相比体硅 100,由 SOI 作为硅衬底有如下优点,如能实现 IC 中半导体器件的介质隔离,无需采用阱的复杂隔离工艺,彻底消除在体硅 100 上制作 MOS 器件会出现的寄生门锁效应;采用 SOI 技术制成的 IC 还具有寄生电容小、集成密度高、速度快、工艺简单、短沟道效应小等,特别适用于低压低功耗 IC 的制造。

[0003] 对 SOI 结构研究已有 20 多年的历史,发展了多种 SOI 制造技术,其中包括:键合(Bonding)、激光再结晶、注氧隔离(SIMOX, Separation by Implanted Oxygen)、智能剥离(Smart-cut)以及最近发展起来的等离子浸没式离子注入技术(PIII)。当今半导体制造的趋势是不断减小 SOI 的厚度,以此 SOI 作为衬底,在 SOI 的器件面制作半导体器件,例如金属氧化物半导体(MOS)晶体管。

[0004] 中国专利 ZL200410101391.2 提出了一种场效应晶体管的制备方法,下面以如图 2 所示的场效应晶体管,说明现有技术中基于 SOI 的 MOS 晶体管所存在的问题。

[0005] 图 2 中,在体硅衬底 01 上形成有浅沟槽隔离(STI) 02,将每个需要形成 MOS 器件的区域绝缘隔离开,该 MOS 器件包括栅极结构,其中栅极结构具有多晶硅栅 04、位于多晶硅栅 04 顶部的硬掩膜层 05、位于多晶硅栅 04 两侧的侧壁层 06 以及位于多晶硅栅 04 底部与体硅衬底 01 接触的栅氧化层 03;该 MOS 器件还包括源漏区 09 和浅掺杂漏(LDD)区 10。源漏区 09 绝大部分被“L”型 BOX08 包围,BOX08 采用热氧化的方式形成,为使栅极下方的沟道区与体硅衬底 01 相连,源区和漏区的 BOX08 不能相连。

[0006] 图 2 中的基于 SOI 的 MOS 晶体管,虽然 BOX08 呈“L”型,能够减小漏耗尽层扩展导致的漏电流,但是 BOX08 采用热氧化的方式形成,极高的热氧化温度会引入过多的热预算,而且由于 BOX08 一般为氧化层,导致源极或者漏极与衬底之间的寄生电容很大,影响器件的电学性能。

发明内容

- [0007] 有鉴于此,本发明解决的技术问题是:减小热预算以及减小源漏寄生电容。
- [0008] 为解决上述技术问题,本发明的技术方案具体是这样实现的:
- [0009] 本发明提供了一种金属氧化物半导体晶体管的制作方法,包括:
- [0010] 提供一具有浅沟槽隔离的半导体衬底,所述半导体衬底自下而上依次外延有锗硅层和单晶硅层;
- [0011] 形成栅极结构,所述栅极结构包括位于栅极两侧的第一侧壁层、位于栅极顶部的硬掩膜层以及位于栅极底部且与外延的单晶硅层接触的栅氧化层;
- [0012] 以所述硬掩膜层和第一侧壁层为遮挡,刻蚀外延的单晶硅层至锗硅层,形成位于源漏区域的凹槽;
- [0013] 沉积第二侧壁层材料并进行各向异性干法刻蚀,形成位于凹槽内部两侧的第二侧壁层;
- [0014] 在凹槽内部形成预定高度的阻挡材料,所述高度低于外延的单晶硅层的高度,以所述阻挡材料为遮挡进行刻蚀,去除未被阻挡材料覆盖的第二侧壁层;
- [0015] 去除阻挡材料之后,在所述凹槽内形成源漏层;
- [0016] 湿法刻蚀浅沟槽隔离至露出锗硅层;
- [0017] 湿法刻蚀显露出的锗硅层至栅极下方的沟道区域,形成金属氧化物半导体晶体管;
- [0018] 沉积层间介质层覆盖所述金属氧化物半导体晶体管,在半导体衬底表面和源漏层之间形成空气埋层。
- [0019] 形成源漏层之后,湿法刻蚀浅沟槽隔离至露出锗硅层之前,该方法进一步包括以栅极两侧的第一侧壁层为遮挡对源漏层进行浅掺杂漏 LDD 注入的步骤。
- [0020] 在 LDD 注入之后,湿法刻蚀浅沟槽隔离至露出锗硅层之前,该方法进一步包括在第一侧壁层的两侧形成第三侧壁层,以第一和第三侧壁层为遮挡,进行源漏注入的步骤。
- [0021] 湿法刻蚀浅沟槽隔离至露出锗硅层时,该方法进一步包括湿法去除所述硬掩膜层。
- [0022] 锗硅层的厚度为 5 ~ 120 纳米;单晶硅层的厚度为 5 ~ 120 纳米。
- [0023] 所述阻挡材料为光阻或者底部抗反射涂层或者无定形碳。
- [0024] 阻挡材料的上表面与外延的单晶硅层上表面之间的距离为 5 ~ 30 纳米。
- [0025] 去除未被阻挡材料覆盖的第二侧壁层采用各向同性的干法刻蚀或者湿法刻蚀。
- [0026] 在所述凹槽内形成源漏层的厚度为 30 ~ 150 纳米。
- [0027] 采用外延的方法形成源漏层,所述源漏层的材料为硅、碳化硅或者锗硅。
- [0028] 由上述的技术方案可见,本发明的 MOS 晶体管的制作方法,关键是在源/漏层与沟道之间形成第二侧壁层,且在半导体衬底表面和源漏层之间形成空气埋层。当漏极加高电压,漏耗尽层向源极扩展时,由于源/漏层与沟道之间第二侧壁层的阻挡,扩展减缓,从而减小漏耗尽层扩展导致的漏电流。在确保减小漏耗尽层扩展导致的漏电流的基础上,空气埋层替代了氧化埋层,较低的介电常数在很大程度上减小了源漏寄生电容。而且,第二侧壁层采用沉积方法形成,整个形成 MOS 晶体管的工艺温度都较低,避免了现有技术热氧化带来的过多热预算问题。

附图说明

- [0029] 图 1 为现有技术中 SOI 的结构示意图。
- [0030] 图 2 为现有技术基于 SOI 的 MOS 晶体管的剖面结构示意图。
- [0031] 图 3 为本发明 MOS 晶体管制作方法的流程示意图。
- [0032] 图 4 至图 12 为本发明 MOS 晶体管制作的剖面结构示意图。

具体实施方式

[0033] 为使本发明的目的、技术方案、及优点更加清楚明白，以下参照附图并举实施例，对本发明进一步详细说明。

[0034] 本发明利用示意图进行了详细描述，在详述本发明实施例时，为了便于说明，表示结构的示意图会不依一般比例作局部放大，不应以此作为对本发明的限定，此外，在实际的制作中，应包含长度、宽度及深度的三维空间尺寸。

[0035] 本发明 MOS 晶体管制作方法的流程示意图如图 3 所示。下面结合图 4 至图 12 进行详细说明。该方法包括以下步骤：

[0036] 步骤 301、请参阅图 4，提供一具有浅沟槽隔离 42 的半导体衬底 41，所述半导体衬底 41 自下而上依次外延有锗硅层 43 和单晶硅层 44；

[0037] 本步骤中，所述半导体衬底 41 可以是现有技术中广泛应用的几种半导体材料，包括：硅、锗、硅锗合金、碳化硅、碳化硅锗合金以及其他 III 主族元素和 V 主族元素组成的半导体化合物。本发明的具体实施例中以硅为例进行说明。

[0038] 外延形成的锗硅层 43 的厚度为 5 ~ 120 纳米；单晶硅层 44 的厚度为 5 ~ 120 纳米。一般来说锗硅层 43 较薄，可以根据需要的空气埋层的厚度确定。

[0039] 步骤 302、请参阅图 5，形成栅极结构，所述栅极结构包括位于栅极 45 两侧的第一侧壁层 46、位于栅极顶部的硬掩膜层 47 以及位于栅极底部且与外延的单晶硅层接触的栅氧化层 48；

[0040] 步骤 303、请参阅图 6，以所述硬掩膜层 47 和第一侧壁层 46 为遮挡，刻蚀外延的单晶硅层 44 至锗硅层 43，形成位于源漏区域的凹槽 49；

[0041] 步骤 304、请参阅图 7，沉积第二侧壁层材料并进行各向异性干法刻蚀，形成位于凹槽内部两侧的第二侧壁层 50；

[0042] 由于该步骤是各向异性干法刻蚀，所以刻蚀只会在横方向上进行，而保留总方向上的第二侧壁层材料。

[0043] 步骤 305、请参阅图 8，在凹槽 49 内部形成预定高度的阻挡材料 51，所述高度低于外延的单晶硅层的高度，以所述阻挡材料为遮挡进行刻蚀，去除未被阻挡材料覆盖的第二侧壁层；

[0044] 其中，阻挡材料可以为光阻、底部抗反射涂层或者无定形碳，最后需要去除。

[0045] 阻挡材料是通过涂布或者沉积的方法覆盖上去的，因此阻挡材料未在凹槽内部形成预定高度之前，是完全覆盖图 7 结构表面的，经过回刻之后，才形成图 8 所示的高度。阻挡材料的上表面与外延的单晶硅层上表面之间的距离为 5 ~ 30 纳米，也就是说有一部分沟道的厚度是显露出来的，这样电荷可以从漏极经过沟道迁移至源极。

[0046] 去除未被阻挡材料覆盖的第二侧壁层采用各向同性的干法刻蚀或者湿法刻蚀。

[0047] 步骤 306、请参阅图 9, 去除阻挡材料 51 之后, 在所述凹槽内形成源漏层 52;

[0048] 在所述凹槽内形成源漏层 52 的厚度为 30 ~ 150 纳米, 一般高于栅氧化层的高度。采用外延的方法形成源漏层, 所述源漏层的材料为硅、碳化硅或者锗硅, 本发明实施例以硅为例进行说明。

[0049] 步骤 307、请参阅图 10, 湿法刻蚀浅沟槽隔离 42 至露出锗硅层 43;

[0050] 步骤 308、请参阅图 11, 湿法刻蚀显露出的锗硅层 43 至栅极下方的沟道区域, 形成金属氧化物半导体晶体管;

[0051] 之所以能够刻蚀锗硅层 43 的同时而不损伤硅, 是因为锗硅层与硅层具有较高的选择比。

[0052] 步骤 309、请参阅图 12, 沉积层间介质层 53 覆盖所述金属氧化物半导体晶体管, 在半导体衬底表面和源漏层之间形成空气埋层 54。空气埋层 54 所对应区域即步骤 308 中刻蚀得到的区域。

[0053] 至此, 本发明基于 SOI 的 MOS 晶体管形成。

[0054] 上述描述省略了 LDD 注入以及源漏注入的步骤, 此为现有技术, 具体可以在步骤 306 和步骤 307 之间加入:

[0055] 形成源漏层之后, 湿法刻蚀浅沟槽隔离至露出锗硅层之前, 该方法进一步包括以栅极两侧的第一侧壁层为遮挡对源漏层进行浅掺杂漏 LDD 注入; 在第一侧壁层的两侧形成第三侧壁层, 以第一和第三侧壁层为遮挡, 进行源漏注入。

[0056] 湿法刻蚀浅沟槽隔离至露出锗硅层时, 还可以湿法去除硬掩膜层。去除硬掩膜层, 即打开栅极窗口, 后续可以制作高介电系数金属栅极 (High-k metal gate, HKMG), 此为现有技术在此不再赘述。在不影响器件功能的情况下, 也可以保留该硬掩膜层。

[0057] 综上, 本发明的方法, 在确保减小漏耗尽层扩展导致的漏电流的基础上, 采用空气埋层 54 替代了氧化埋层, 空气的介电常数接近于 1, 远远低于氧化层, 因此可以减小源漏寄生电容。而且, 第二侧壁层采用沉积方法形成, 整个形成 MOS 晶体管的工艺温度都比较低, 避免了现有技术热氧化带来的过多热预算问题。

[0058] 以上所述仅为本发明的较佳实施例而已, 并不用以限制本发明, 凡在本发明的精神和原则之内, 所做的任何修改、等同替换、改进等, 均应包含在本发明保护的范围之内。

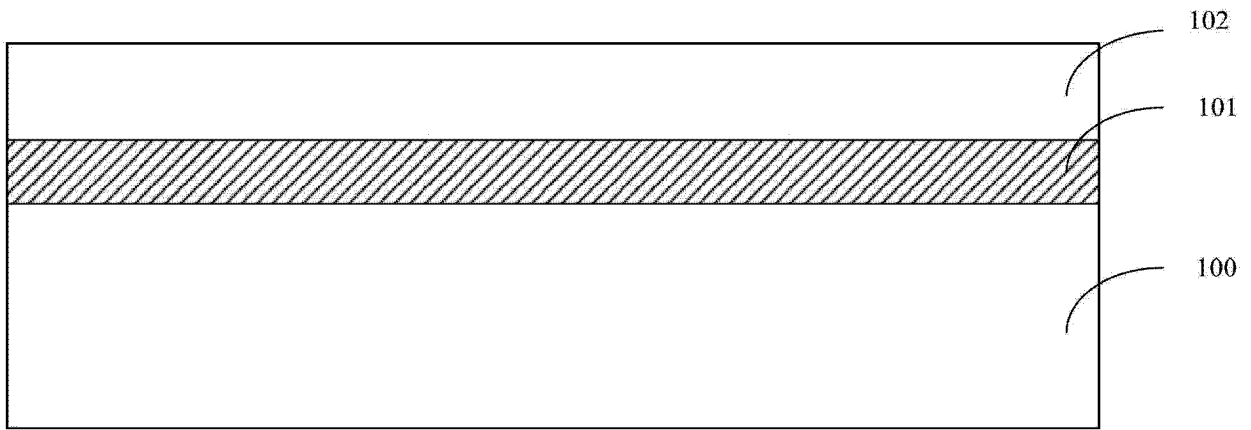


图 1

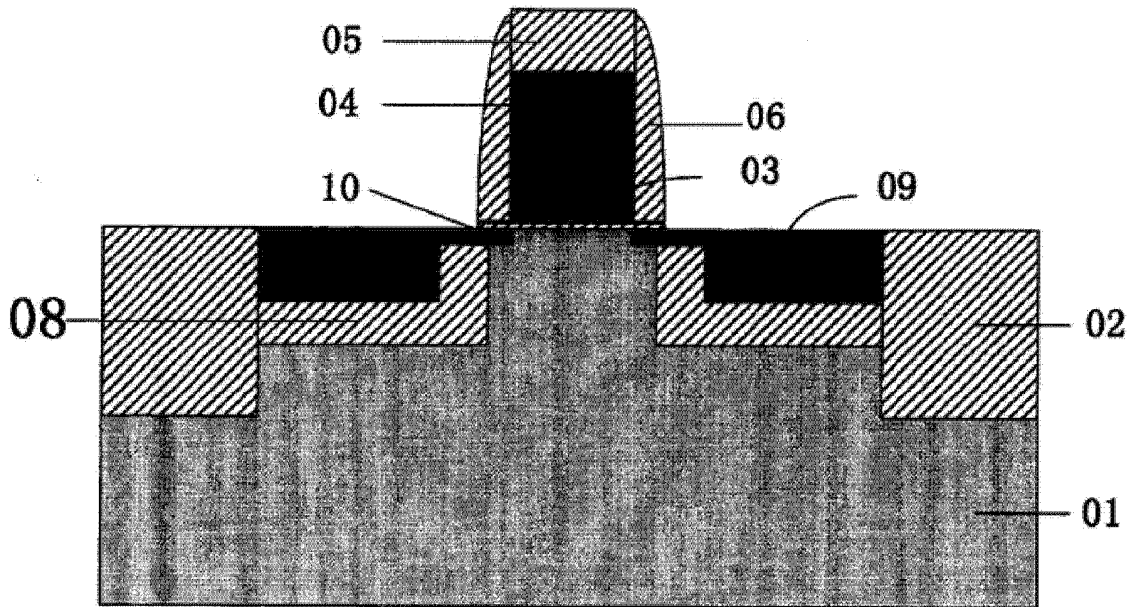


图 2

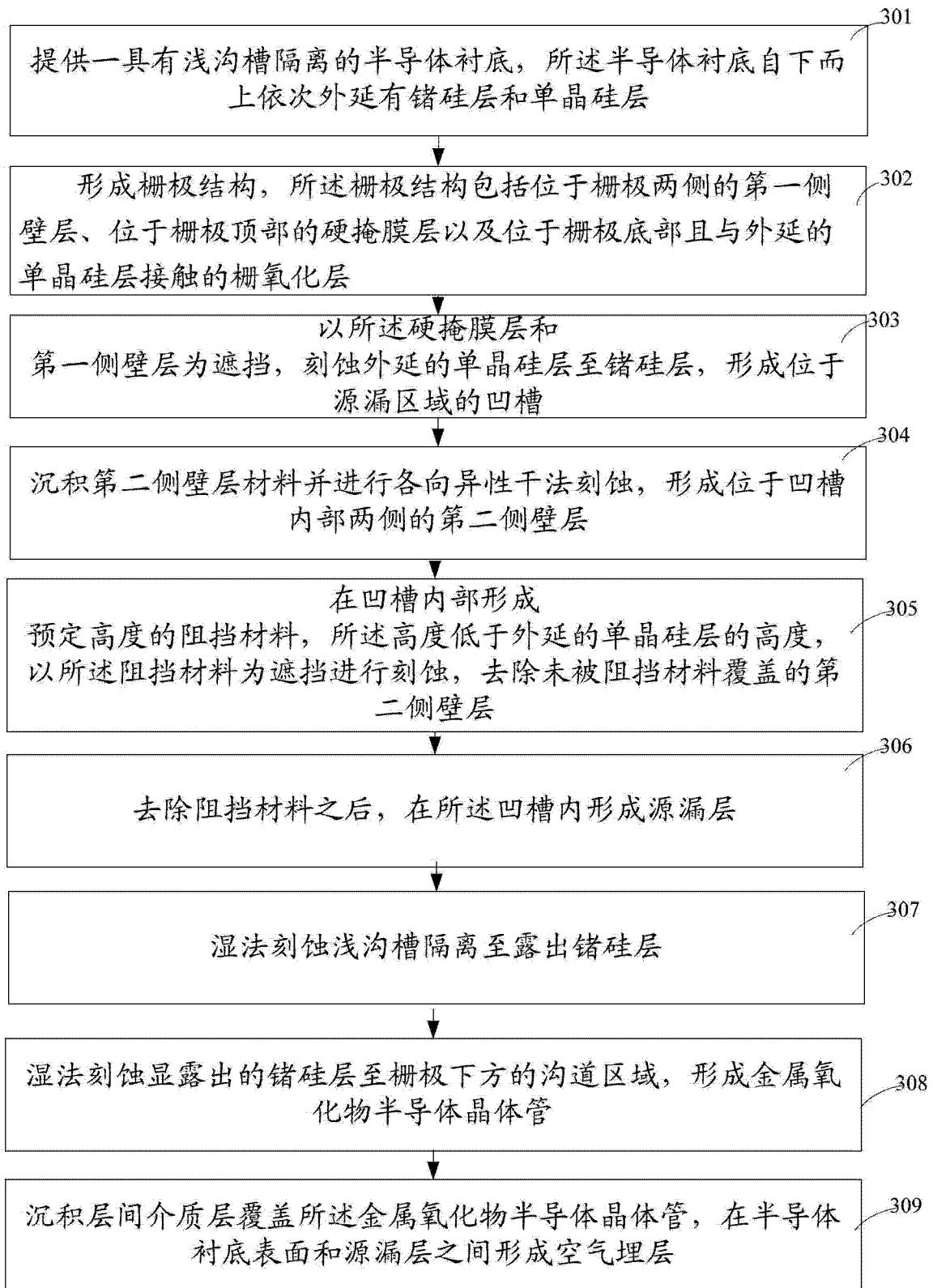


图 3

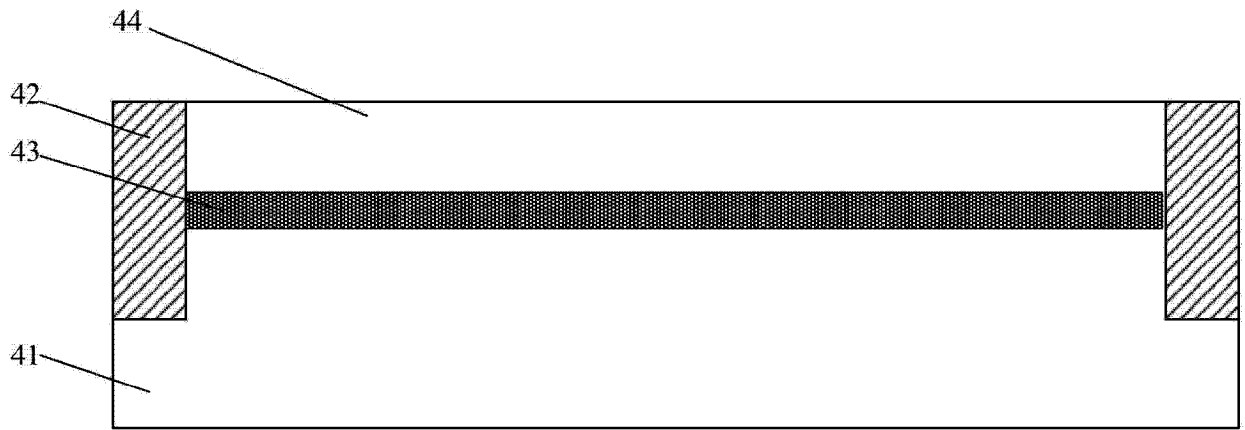


图 4

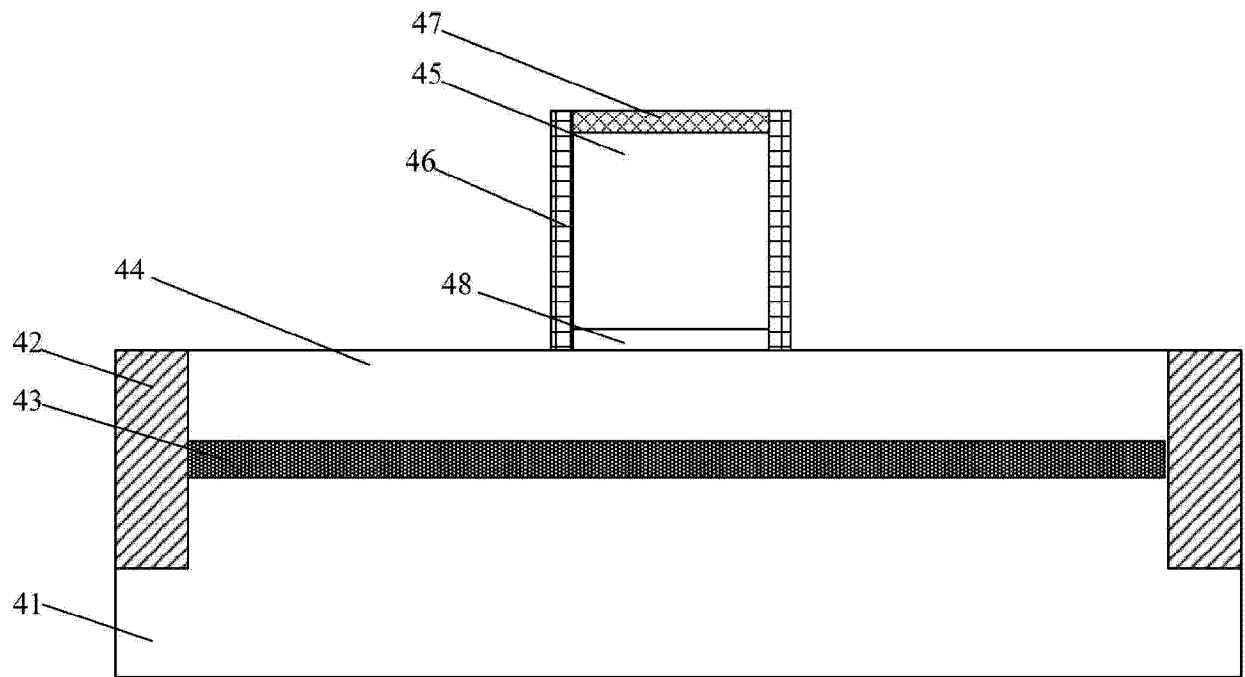


图 5

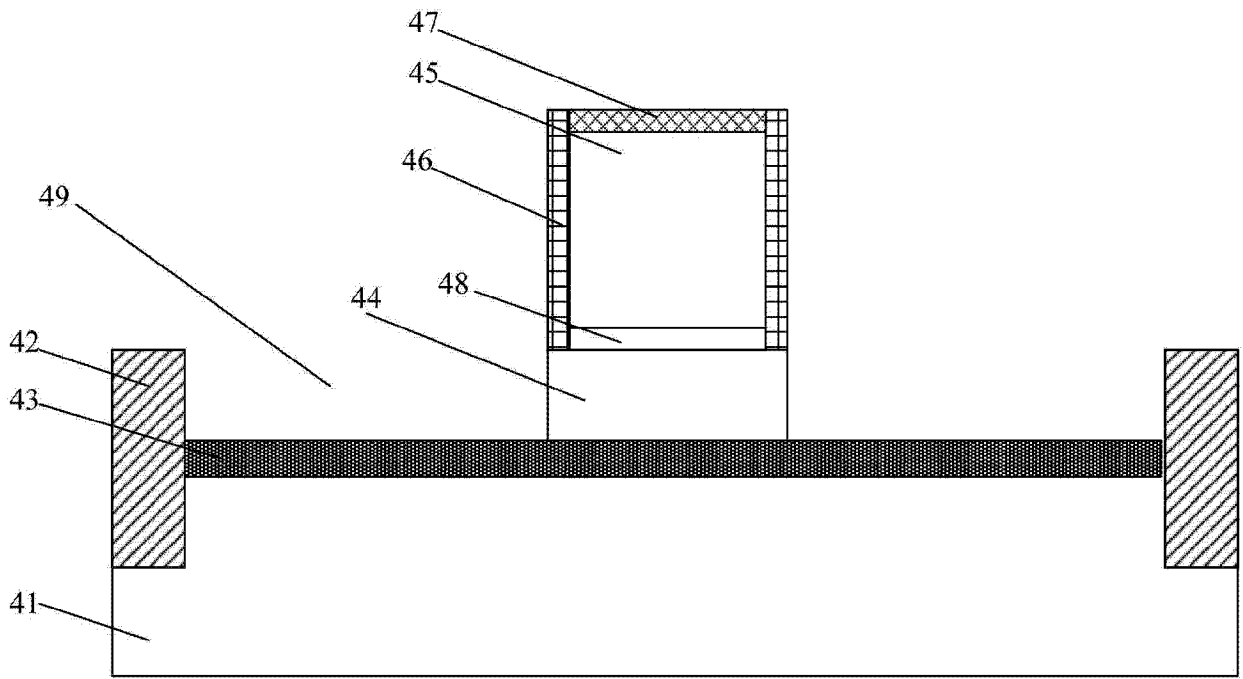


图 6

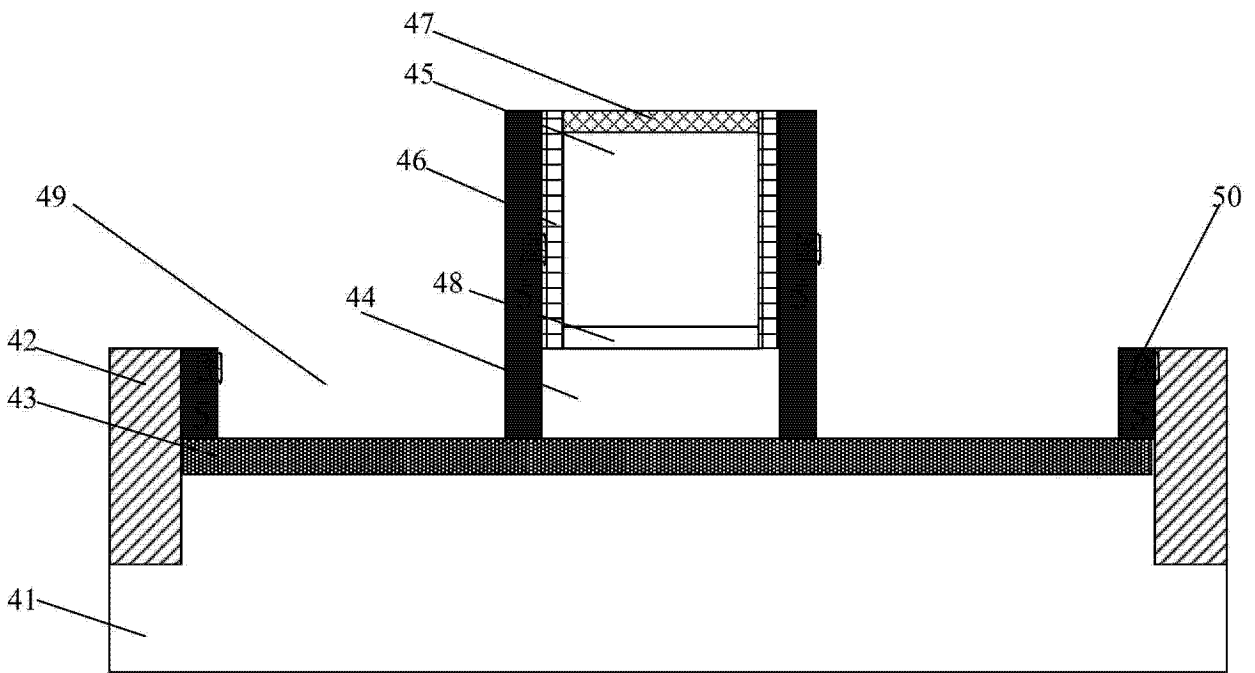


图 7

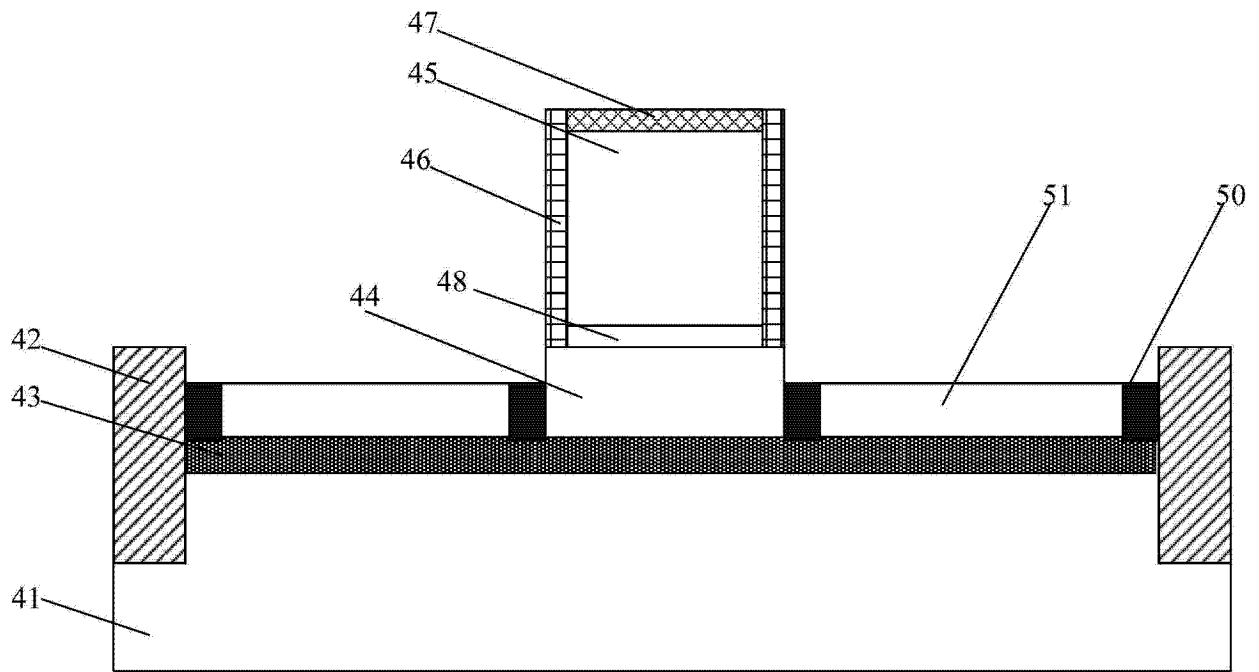


图 8

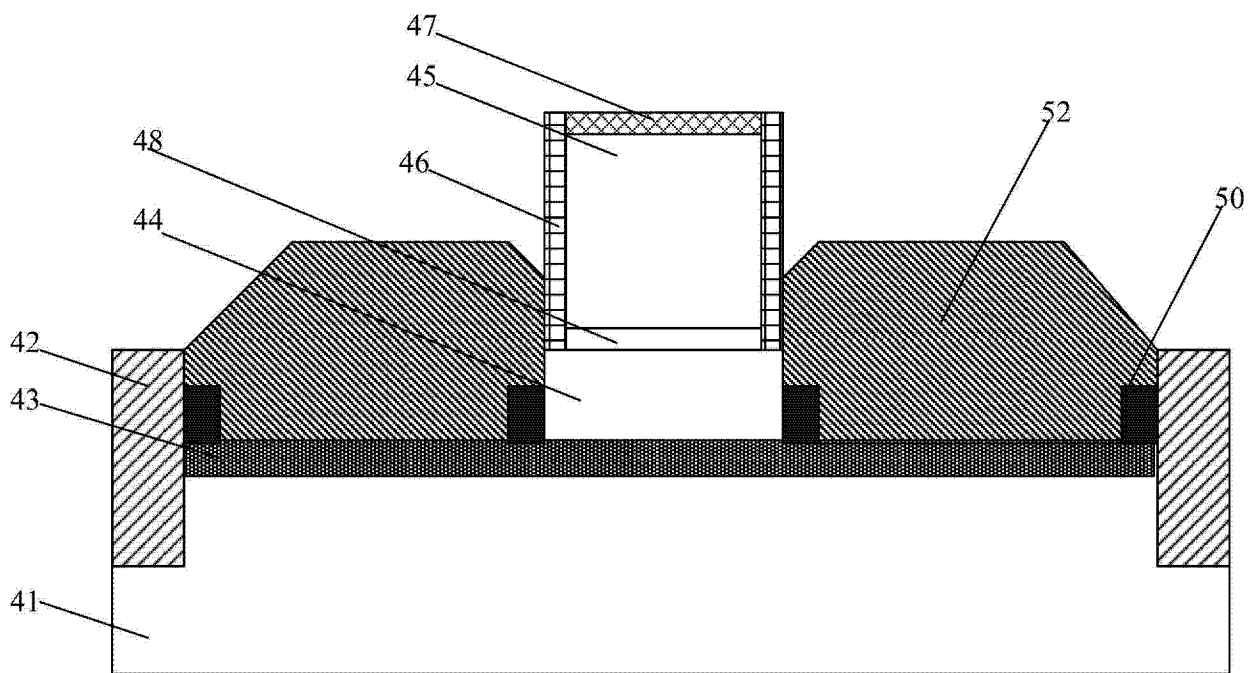


图 9

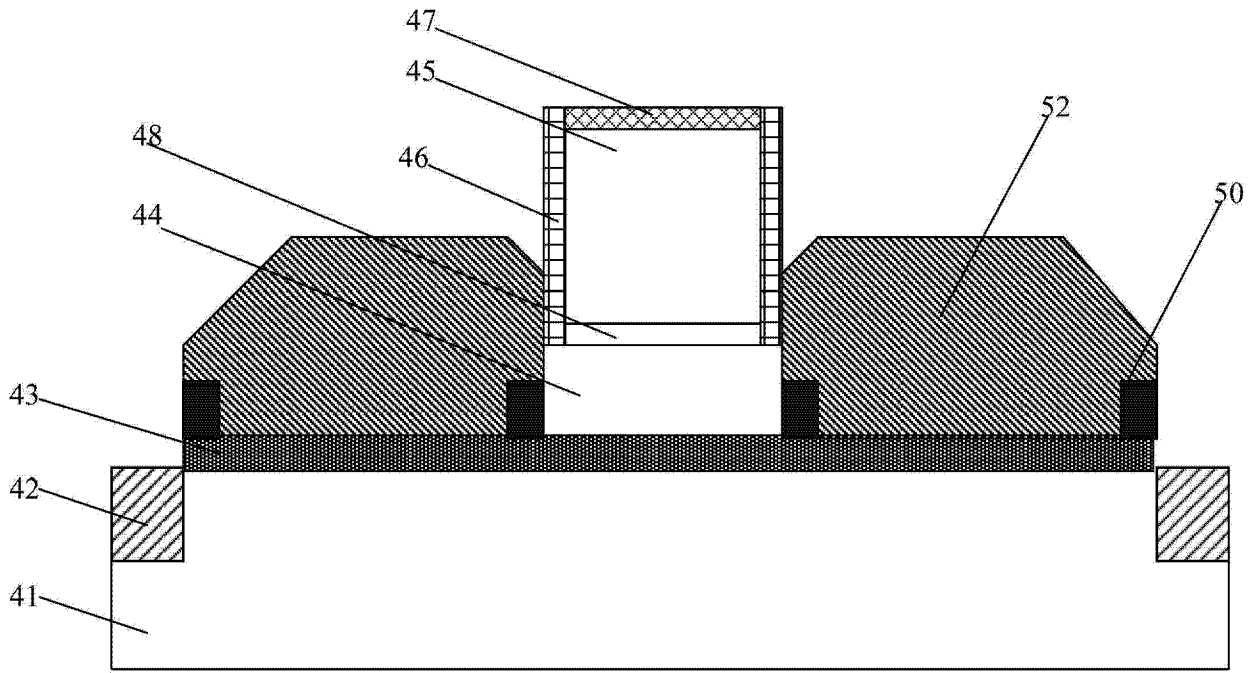


图 10

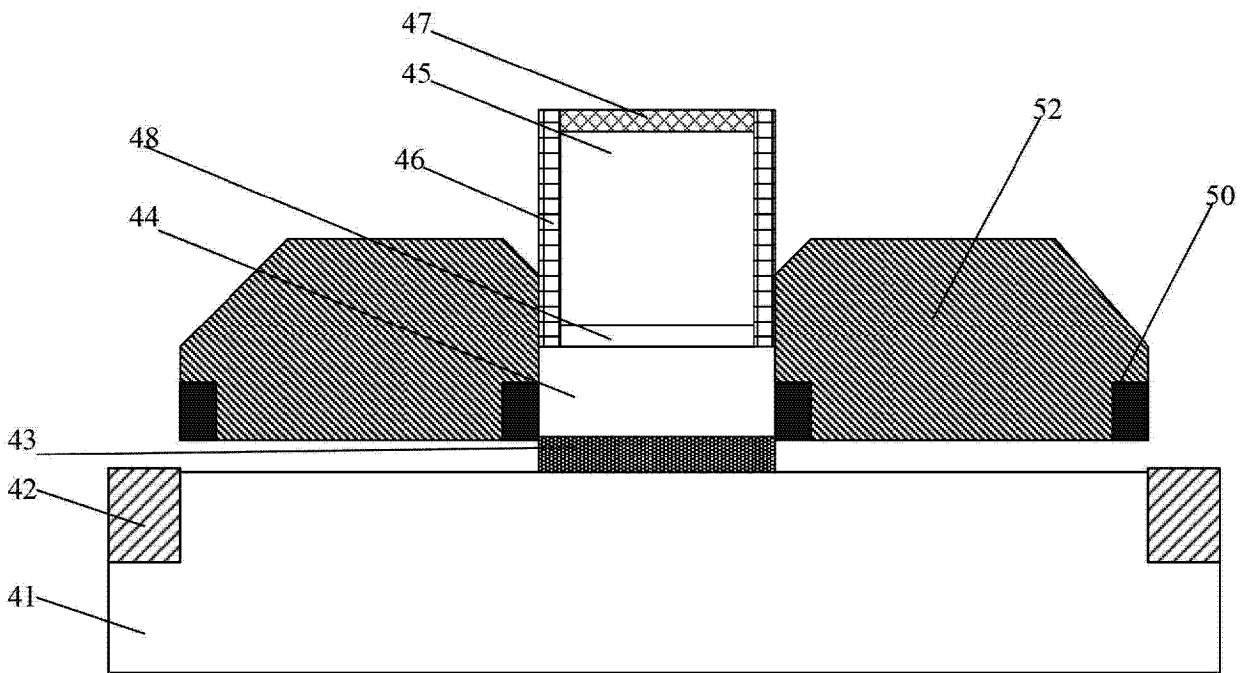


图 11

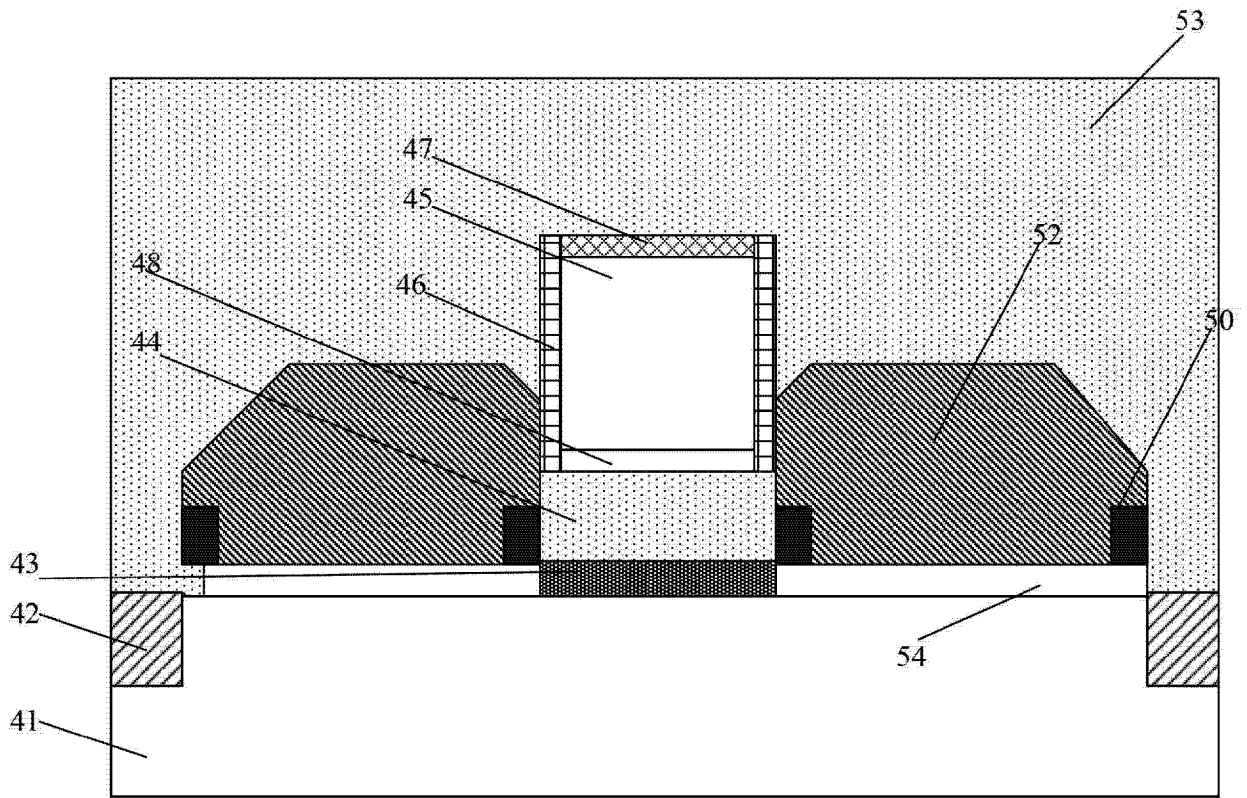


图 12