



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0104444
(43) 공개일자 2009년10월06일

(51) Int. Cl.

H01L 21/8238 (2006.01)

(21) 출원번호 10-2008-0029867

(22) 출원일자 2008년03월31일

심사청구일자 2008년03월31일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

이재성

서울 마포구 신공덕동 삼성래미안아파트 1차 109동 2002호

윤대근

서울 성북구 안암동2가 94-7번지 B02

(74) 대리인

전중학

전체 청구항 수 : 총 22 항

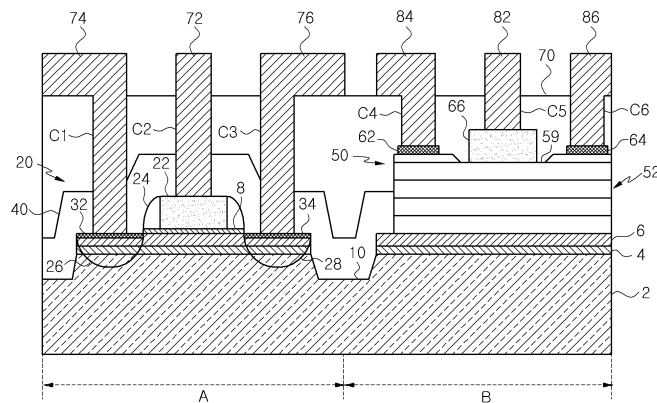
(54) 씨모스 장치 및 이의 제조방법

(57) 요약

본 발명은 웨이퍼 등의 실리콘기판에 P형 MISFET와 N형 III-V 화합물 HEMT를 일괄제작 방식으로 집적시킨 CMOS 장치 및 이의 제조방법에 관한 것이다.

구체적으로 본 발명은 금속게이트와 소스 및 드레인영역을 갖는 P형 및 N형 FET를 포함하는 CMOS 장치로서, 제 1 및 제 2 영역이 구분 정의된 실리콘기판과; 상기 실리콘기판 일면의 상기 제 1 영역에 형성된 P형 MISFET와; 상기 MISFET 및 상기 제 1 영역을 덮는 제 1 보호막과; 상기 실리콘기판 일면의 상기 제 2 영역에 형성된 N형 HEMT와; 상기 제 1 보호막과 상기 HEMT 및 상기 제 2 영역을 덮는 제 2 보호막과; 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인영역에 각각 연결된 제 1 게이트, 소스, 드레인전극과; 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인영역에 각각 연결된 제 2 게이트, 소스, 드레인전극을 포함하는 CMOS 장치 및 이의 제조방법을 제공한다..

대표도 - 도1



특허청구의 범위

청구항 1

금속게이트와 소스 및 드레인영역을 갖는 P형 및 N형 FET를 포함하는 CMOS 장치로서,

제 1 및 제 2 영역이 구분 정의된 실리콘기판과;

상기 실리콘기판 일면의 상기 제 1 영역에 형성된 P형 MISFET와;

상기 MISFET 및 상기 제 1 영역을 덮는 제 1 보호막과;

상기 실리콘기판 일면의 상기 제 2 영역에 형성된 N형 HEMT와;

상기 제 1 보호막과 상기 HEMT 및 상기 제 2 영역을 덮는 제 2 보호막과;

상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인영역에 각각 연결된 제 1 게이트, 소스, 드레인전극과;

상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인영역에 각각 연결된 제 2 게이트, 소스, 드레인전극을 포함하는 CMOS 장치.

청구항 2

청구항 1항에 있어서,

상기 실리콘기판은 Si 웨이퍼인 CMOS 장치.

청구항 3

청구항 1항에 있어서,

상기 실리콘기판은, Si 베이스층과;

상기 Si 베이스층 일면의 Ge층과;

상기 Ge층 일면의 Si 캡층을 포함하는 CMOS 장치.

청구항 4

청구항 1항에 있어서,

상기 MISFET는, 상기 실리콘기판과 상기 제 1 금속게이트 사이로 개재된 게이트절연막을 더 포함하는 코플라나 구조인 CMOS 장치.

청구항 5

청구항 4항에 있어서,

상기 게이트절연막은 고유전율절연막(high-k)인 CMOS 장치.

청구항 6

청구항 1항에 있어서,

상기 HEMT는, 상기 실리콘기판 일면의 상기 제 2 영역에 선택적 결정성장된 이중접합구조의 III-V 화합물 반도체층을 포함하는 CMOS 장치.

청구항 7

청구항 1항에 있어서,

상기 실리콘기판은, 상기 제 1 및 제 2 영역을 절연시키기 위한 트렌치를 더 포함하는 CMOS 장치.

청구항 8

금속게이트와 소스 및 드레인영역을 갖는 P형 및 N형 FET를 포함하는 CMOS 장치의 제조방법으로서,

- (a) 제 1 영역과 제 2 영역이 구분 정의된 실리콘기판을 준비하는 단계와;
- (b) 상기 실리콘기판 일면의 상기 제 1 영역에 P형 MISFET를 형성하는 단계와;
- (c) 상기 MISFET 및 상기 제 1 영역을 덮는 제 1 보호막을 형성하는 단계와;
- (d) 상기 실리콘기판 일면의 상기 제 2 영역에 N형 HEMT를 형성하는 단계와;
- (e) 상기 제 1 보호막과 상기 HEMT 및 상기 제 2 영역을 덮는 제 2 보호막을 형성하는 단계와;
- (f) 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인 영역에 각각 연결되는 제 1 게이트, 소스, 드레인전극과, 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인 영역에 각각 연결되는 제 2 게이트, 소스, 드레인전극을 형성하는 단계를 포함하는 CMOS 장치의 제조방법.

청구항 9

청구항 8항에 있어서,

상기 (a) 단계 후 상기 (b) 단계 전,

- (a1) 상기 실리콘기판 일면에 Ge층을 형성하는 단계와;
- (a2) 상기 Ge층 일면에 Si캡층을 형성하는 단계를 더 포함하는 CMOS 장치의 제조방법.

청구항 10

청구항 8항에 있어서,

상기 (b) 단계는,

- (b1) 상기 실리콘기판 일면에 게이트절연막을 형성하는 단계와;
- (b2) 상기 게이트절연막 일면에 상기 MISFET의 제 1 금속게이트를 형성하는 단계와;
- (b3) 상기 제 1 금속게이트 가장자리에 사이드월을 형성하고, 상기 제 1 금속게이트 및 사이드월의 하단을 제외한 상기 게이트절연막을 제거하는 단계와;
- (b4) 상기 사이드월 가장자리의 상기 실리콘기판에 P형 불순물을 도핑하는 단계와;
- (b5) 상기 P형 불순물 도핑영역에 상기 MISFET의 제 1 소스 및 드레인영역을 형성하는 단계를 포함하는 CMOS 장치의 제조방법.

청구항 11

청구항 10항에 있어서,

상기 (b2) 단계는, 제 1 금속박막 증착단계와;

제 1 포토리소그래피 단계를 포함하는 CMOS 장치의 제조방법.

청구항 12

청구항 10항에 있어서,

상기 (b3) 단계는, 절연막 증착단계와;

이방성 식각단계를 포함하는 CMOS 장치의 제조방법.

청구항 13

청구항 10항에 있어서,

상기 (b4) 단계는, 제 2 포토리소그래피 단계와;

상기 P형 불순물을 도핑하는 단계와;

600℃ 이상의 고온 어닐링 단계를 포함하는 CMOS 장치의 제조방법.

청구항 14

청구항 10항에 있어서,

상기 (b5) 단계는, 제 2 금속박막 증착단계와;

제 3 포토리소그래피 단계와;

600℃ 이상의 고온 어닐링에 의한 실리사이드 단계를 포함하는 CMOS 장치의 제조방법.

청구항 15

청구항 10항에 있어서,

상기 게이트절연막은 고유전율절연막(high-k)인 CMOS 장치의 제조방법.

청구항 16

청구항 8항에 있어서,

상기 (b) 단계 후, 상기 (c) 단계 전,

상기 실리콘기판에 상기 제 1 및 제 2 영역을 구분하는 트렌치를 형성하는 단계를 더 포함하는 CMOS 장치의 제조방법.

청구항 17

청구항 8항에 있어서,

상기 (c) 단계는,

제 1 질화막 증착단계와;

제 4 포토리소그래피 단계를 포함하는 CMOS 장치의 제조방법.

청구항 18

청구항 8항에 있어서,

상기 (d) 단계는,

(d1) 상기 실리콘기판 일면의 상기 제 2 영역에 선택적 결정성장(Selective Epitaxial Growth : SEG)으로 이중 접합구조의 III-V 화합물 반도체층을 형성하는 단계와;

(d2) 상기 이중접합구조의 III-V 화합물 반도체층에 상기 HEMT의 제 2 소스 및 드레인영역을 형성하는 단계와;

(d3) 상기 이중접합구조의 III-V 화합물 반도체층을 게이트 리세스 식각하여 그루브를 형성하는 단계와;

(d4) 상기 그루브에 상기 HEMT의 제 2 금속게이트를 형성하는 단계를 포함하는 CMOS 장치의 제조방법.

청구항 19

청구항 18항에 있어서,

상기 (d2) 단계는,

제 3 금속박막 증착단계와;

제 5 포토리소그래피 단계와;

350℃ 이상의 저온 어닐링에 의한 실리사이드 단계를 포함하는 CMOS 장치의 제조방법.

청구항 20

청구항 18항에 있어서,

상기 (d4) 단계는,
제 4 금속박막 증착단계와;
제 6 포토리소그래피 단계를 포함하는 CMOS 장치의 제조방법.

청구항 21

청구항 8항에 있어서,
상기 (e) 단계는, 제 2 질화막 증착단계를 포함하는 CMOS 장치의 제조방법.

청구항 22

청구항 8항에 있어서,
상기 (f) 단계는,
(f1) 제 7 포토리소그래피 단계를 통해, 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인영역을 각각 노출시키는 제 1 내지 제 3 콘택홀과, 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인영역을 각각 노출시키는 제 4 내지 제 6 콘택홀을 형성하는 단계와;
(f2) 제 5 금속박막증착 단계와 제 8 포토리소그래피 단계를 통해 상기 제 1 및 제 2 게이트, 소스, 드레인전극을 형성하는 단계를 포함하는 CMOS 장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 CMOS 장치(Complementary Metal Oxide Semiconductor device) 및 이의 제조방법에 관한 것으로, 보다 구체적으로는 웨이퍼(wafer) 등의 실리콘기판(substrate)에 P형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)와 N형 III-V 화합물 HEMT(High Electron Mobility Transistor)를 일괄제작(batch fabrication) 방식으로 집적(integrating)시킨 CMOS 장치 및 이의 제조방법에 관한 것이다.

배경 기술

- <2> 최근 들어 사회가 본격적인 정보화시대로 접어들어 따라 대용량 정보처리를 위한 반도체 분야의 비약적인 기술 발전이 뒤따랐고, 이에 발맞추어 전계효과트랜지스터(Field Effect Transistor : FET)를 이용한 CMOS 장치(Complementary Metal Oxide Semiconductor device)의 고집적화, 고속동작화 노력이 계속되고 있다.
- <3> 일반적으로 CMOS 장치란 P형 및 N형 FET를 일괄제작(batch fabrication) 방식으로 기판(substrate, 웨이퍼(wafer)를 포함한다. 이하 동일하다.)에 집적시킨 모놀리식(monolithic) 회로를 폭넓게 지칭하며, 이의 기본소자인 FET은 전자(electron) 또는 정공(hole)의 이동체층인 반도체층(semiconductor layer)과 게이트, 소스, 드레인전극(gate, source, drain electrode)을 포함하는 단극성(unipolar) 소자로서, 게이트전극의 게이트전압으로 소스 및 드레인전극을 선택적으로 연결하는 스위칭(switcing) 동작을 한다. 이때, 잘 알려진 것처럼 FET의 게이트전극을 금속으로 형성하여 금속-반도체 간 쇼트키(schottky) 접합을 이용한 경우를 MESFET(Metal Semiconductor FET)라 하고, 반도체층과 금속의 게이트전극을 절연층(예컨대, 게이트절연막)으로 분리시킨 경우를 MISFET(Metal Insulator Semiconductor FET)라 하며, 상기 절연층으로 산화물층(oxide layer)을 사용한 경우를 MOSFET(Metal Oxide Semiconductor FET)라 한다.
- <4> 한편, 요사이 들어 각종 전자장치의 소형화, 경량화, 박막화 경향이 짙어지면서 CMOS 장치의 크기축소(scale down)가 주되게 이루어졌고, 이에 따른 소자의 성능향상 문제가 제기되었다.
- <5> 하지만 CMOS 장치의 크기축소는 FET의 유효채널길이를 감소시켜 펀치쓰루(Punch Through)와 단채널 효과(Short Channel Effect) 등을 일으키고, 게이트절연막의 두께 감소는 터널링 효과의 지수함수적 증가를 유발하여 성능향상의 근본적 제약이 된다.
- <6> 이에 따라 CMOS 장치의 성능향상을 위한 새로운 방도로서, FET의 채널층을 기존의 Si로부터 새로운 물질로 대체

하는 방안이 주목받고 있다.

- <7> 구체적으로, P형 FET의 경우에는 채널층으로 홀 이동도(hole mobility)가 높은 Ge 등을 사용하면 개선된 효과를 얻을 수 있고, N형 FET의 경우에는 채널층으로 전자 이동도(electron mobility)가 높은 III-V 화합물을 사용하면 그 성능을 크게 향상시킬 수 있다.
- <8> 이에 따라, P형 EFT의 성능향상을 위해 전통적인 Si 채널층을 Ge 채널층으로 대체하는 방법이 소개되었고, N형 FET 소자의 성능향상을 위해 GaAs 또는 InP와 같은 이종접합구조(hetero structure)의 III-V 화합물 반도체층을 이용하는 방법이 소개된 바 있다. 이때, III-V 화합물 반도체층을 사용하는 경우에는 산화막 증착과 이온도핑에 따른 문제점을 해결하고자 이른바 변조도핑(modulation doping)에 의한 그루브 형태를 나타내는 고전자 이동도 트랜지스터(High Electron Mobility Transistor : HEMT) 구조를 채택하며, 이는 달리 변조도핑 전계효과트랜지스터(modulation doped FET)라 불리기도 한다.
- <9> 그러나 이러한 Ge 채널층을 사용한 FET, 즉 Ge 채널층 FET 와 III-V 화합물 HEMT를 이용하여 COMS 장치를 구현하는 데는 몇 가지 선결과제가 뒤따른다.
- <10> 먼저, Si 기판을 사용하는 Ge 채널층 FET와 GaAs 또는 InP를 기판으로 사용하는 III-V 화합물 HEMT는 전혀 다른 기판구조를 나타내므로 단일 기판상에 일괄제작 방식으로 구현되기 어렵고, 가능하다 하더라도 제조비용 및 제조수율 등을 감안하면 효율성이 매우 떨어진다.
- <11> 또한, Ge 채널층 FET와 III-V 화합물 HEMT는 제조공정에 있어서도 여러 가지 차이점을 나타내는데, 일례로 Ge 채널층 FET의 소스, 드레인영역을 위한 실리사이드 공정은 600℃ 이상의 고온 어닐링을 요구하는 반면, III-V 화합물 HEMT의 소스 및 드레인영역을 위한 오믹접촉(ohimic contact) 공정은 350℃ 이하의 저온환경을 요구한다. 따라서 소자 특유의 열적 내구성을 무시한 일괄제작 방식은 III-V 화합물 HEMT에 치명적인 열 손상을 가할 수 있는바, 상기의 문제점은 웨이퍼 등의 실리콘기판에 P형 FET와 III-V 화합물 HEMT를 집적하는 경우에도 동일하게 나타난다.

발명의 내용

해결 하고자하는 과제

- <12> 이에 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, Si 또는 Ge 기반 P형 FET와 N형 III-V 화합물 HEMT를 동일기판에 일괄제작 방식으로 집적시킬 수 있는 구체적인 방안을 제시하는데 그 목적이 있다.
- <13> 즉, 본 발명은 서로 다른 기판구조를 갖는 Si 또는 Ge 기반 P형 FET와 N형 III-V 화합물 HEMT를 동일기판에 일괄제작 방식으로 집적함에 있어서, III-V 화합물 HEMT에 가해질 수 있는 열적 손상을 최소화하면서도 제조비용 및 제조수율을 줄일 수 있는 CMOS 장치 및 이의 제조방법을 제공하는데 그 목적이 있다.

과제 해결수단

- <14> 본 발명은 상기와 같은 목적을 달성하기 위하여, 금속게이트와 소스 및 드레인영역을 갖는 P형 및 N형 FET를 포함하는 CMOS 장치로서, 제 1 및 제 2 영역이 구분 정의된 실리콘기판과; 상기 실리콘기판 일면의 상기 제 1 영역에 형성된 P형 MISFET와; 상기 MISFET 및 상기 제 1 영역을 덮는 제 1 보호막과; 상기 실리콘기판 일면의 상기 제 2 영역에 형성된 N형 HEMT와; 상기 제 1 보호막과 상기 HEMT 및 상기 제 2 영역을 덮는 제 2 보호막과; 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인영역에 각각 연결된 제 1 게이트, 소스, 드레인전극과; 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인영역에 각각 연결된 제 2 게이트, 소스, 드레인전극을 포함하는 CMOS 장치를 제공한다.
- <15> 이때, 상기 실리콘기판은 Si 웨이퍼인 것을 특징으로 하고, 상기 실리콘기판은, Si 베이스층과; 상기 Si 베이스층 일면의 Ge층과; 상기 Ge층 일면의 Si캡층을 포함하는 것을 특징으로 하며, 상기 MISFET는, 상기 실리콘기판과 상기 제 1 금속게이트 사이로 개재된 게이트절연막을 더 포함하는 코플라나 구조인 것을 특징으로 하고, 상기 게이트절연막은 고유전율절연막(high-k)인 것을 특징으로 한다.
- <16> 또한 상기 HEMT는, 상기 실리콘기판 일면의 상기 제 2 영역에 선택적 결정성장된 이종접합구조의 III-V 화합물 반도체층을 포함하는 것을 특징으로 하고, 상기 실리콘기판은, 상기 제 1 및 제 2 영역을 절연시키기 위한 트렌치를 더 포함하는 것을 특징으로 한다.
- <17> 아울러 본 발명은 금속게이트와 소스 및 드레인영역을 갖는 P형 및 N형 FET를 포함하는 CMOS 장치의 제조방법으

로서, (a) 제 1 영역과 제 2 영역이 구분 정의된 실리콘기판을 준비하는 단계와; (b) 상기 실리콘기판 일면의 상기 제 1 영역에 P형 MISFET를 형성하는 단계와; (c) 상기 MISFET 및 상기 제 1 영역을 덮는 제 1 보호막을 형성하는 단계와; (d) 상기 실리콘기판 일면의 상기 제 2 영역에 N형 HEMT를 형성하는 단계와; (e) 상기 제 1 보호막과 상기 HEMT 및 상기 제 2 영역을 덮는 제 2 보호막을 형성하는 단계와; (f) 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인 영역에 각각 연결되는 제 1 게이트, 소스, 드레인전극과, 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인 영역에 각각 연결되는 제 2 게이트, 소스, 드레인전극을 형성하는 단계를 포함하는 CMOS 장치의 제조방법을 제공한다.

<18> 이때, 상기 (a) 단계 후 상기 (b) 단계 전, (a1) 상기 실리콘기판 일면에 Ge층을 형성하는 단계와; (a2) 상기 Ge층 일면에 Si캡층을 형성하는 단계를 더 포함하는 것을 특징으로 하고, 상기 (b) 단계는, (b1) 상기 실리콘기판 일면에 게이트절연막을 형성하는 단계와; (b2) 상기 게이트절연막 일면에 상기 MISFET의 제 1 금속게이트를 형성하는 단계와; (b3) 상기 제 1 금속게이트 가장자리에 사이드월을 형성하고, 상기 제 1 금속게이트 및 사이드월의 하단을 제외한 상기 게이트절연막을 제거하는 단계와; (b4) 상기 사이드월 가장자리의 상기 실리콘기판에 P형 불순물을 도핑하는 단계와; (b5) 상기 P형 불순물 도핑영역에 상기 MISFET의 제 1 소스 및 드레인영역을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 (b2) 단계는, 제 1 금속막 증착단계와; 제 1 포토리소그라피 단계를 포함하는 것을 특징으로 한다.

<19> 또한, 상기 (b3) 단계는, 절연막 증착단계와; 이방성 식각단계를 포함하는 것을 특징으로 하고, 상기 (b4) 단계는, 제 2 포토리소그라피 단계와; 상기 P형 불순물을 도핑하는 단계와; 600℃ 이상의 고온 어닐링 단계를 포함하는 것을 특징으로 하며, 상기 (b5) 단계는, 제 2 금속막 증착단계와; 제 3 포토리소그라피 단계와; 600℃ 이상의 고온 어닐링에 의한 실리사이드 단계를 포함하는 것을 특징으로 한다.

<20> 또한 상기 게이트절연막은 고유전율절연막(high-k)인 것을 특징으로 하고, 상기 (b) 단계 후, 상기 (c) 단계 전, 상기 실리콘기판에 상기 제 1 및 제 2 영역을 구분하는 트렌치를 형성하는 단계를 더 포함하는 것을 특징으로 하며, 상기 (c) 단계는, 제 1 질화막 증착단계와; 제 4 포토리소그라피 단계를 포함하는 것을 특징으로 한다.

<21> 또한 상기 (d) 단계는, (d1) 상기 실리콘기판 일면의 상기 제 2 영역에 선택적 결정성장(Selective Epitaxial Growth : SEG)으로 이종접합구조의 III-V 화합물 반도체층을 형성하는 단계와; (d2) 상기 이종접합구조의 III-V 화합물 반도체층에 상기 HEMT의 제 2 소스 및 드레인영역을 형성하는 단계와; (d3) 상기 이종접합구조의 III-V 화합물 반도체층을 게이트 리세스 식각하여 그루브를 형성하는 단계와; (d4) 상기 그루브에 상기 HEMT의 제 2 금속게이트를 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 (d2) 단계는, 제 3 금속막 증착단계와; 제 5 포토리소그라피 단계와; 350℃ 이상의 저온 어닐링에 의한 실리사이드 단계를 포함하는 것을 특징으로 하며, 상기 (d4) 단계는, 제 4 금속막 증착단계와; 제 6 포토리소그라피 단계를 포함하는 것을 특징으로 한다.

<22> 또한, 상기 (e) 단계는, 제 2 질화막 증착단계를 포함하는 것을 특징으로 하고, 상기 (f) 단계는, (f1) 제 7 포토리소그라피 단계를 통해, 상기 제 1 및 제 2 보호막을 관통하여 상기 MISFET의 제 1 금속게이트, 소스 및 드레인영역을 각각 노출시키는 제 1 내지 제 3 컨택홀과, 상기 제 2 보호막을 관통하여 상기 HEMT의 제 2 금속게이트, 소스 및 드레인영역을 각각 노출시키는 제 4 내지 제 6 컨택홀을 형성하는 단계와; (f2) 제 5 금속막 증착 단계와 제 8 포토리소그라피 단계를 통해 상기 제 1 및 제 2 게이트, 소스, 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

효 과

<23> 이상에서 살펴본 것과 같이, 본 발명에 따른 CMOS 장치는 홀 이동도가 높은 P형 MISFET와 전자 이동도가 높은 III-V 화합물 HEMT를 동일기판에 일괄제작 방식으로 집적함에 따라 동작 속도가 빠르게 요구되는 분야, 예컨대 RF 분야나 MMIC에 응용 가능한 장점이 있다.

<24> 특히 본 발명은 III-V 화합물 HEMT에 가해질 수 있는 열적손상을 최소화 하면서도 제조비용 및 제조수율을 줄일 수 있는 CMOS 장치 및 이의 제조방법을 제공하며, 이를 통해 범용적으로 사용 가능한 CMOS 장치를 구현하므로 활용범위가 매우 넓은 장점이 있다.

발명의 실시를 위한 구체적인 내용

<25> 이하, 도면을 참조해서 본 발명을 상세하게 살펴본다.

- <26> 첨부된 도 1은 본 발명에 따른 CMOS 장치의 개략적인 단면도이다.
- <27> 보이는 것처럼, 본 발명에 따른 CMOS 장치는 단일의 실리콘기판(2)에 집적된 N형 FET와 P형 FET를 포함하는바, 이 중에서 P형 FET는 Si 또는 Ge의 4족 원소로 이루어진 반도체층과 제 1 금속게이트(22)와 소스 및 드레인영역(32,34)을 포함하는 MISFET(20) 이고, N형 FET는 III-V 화합물 반도체층(52)과 제 2 금속게이트(66)와 소스 및 드레인영역(62,64)을 포함하는 HEMT(50)인 것을 특징으로 한다.
- <28> 보다 구체적으로, 편의상 실리콘기판(2)을 제 1 영역(A)과 제 2 영역(B)으로 구분하면, 실리콘기판(2) 일면의 제 1 영역(A)에는 MISFET(20)가 집적되어 제 1 보호막(passivation layer : 40)으로 덮여 있고, 실리콘기판(2) 일면의 제 2 영역(B)에는 HEMT(50)가 집적되어 MISFET(20) 및 제 1 보호막(40)을 덮는 제 2 보호막(70)으로 덮여 있다. 그리고 제 1 영역(A)에 해당되는 제 1 및 제 2 보호막(40,70)에는 MISFET(20)의 제 1 금속게이트(22)와 소스 및 드레인영역(32,34)을 노출시키는 제 1 내지 제 3 컨택홀(contact hole : C1,C2,C3)이 관통되어 제 1 게이트, 소스, 드레인전극(72,74,76)이 연결되고, 제 2 영역(B)에 해당되는 제 2 보호막(70)에는 HEMT(50)의 제 2 금속게이트(66)와 소스 및 드레인영역(62,64)을 노출시키는 제 4 내지 제 6 컨택홀(C4,C5,C6)이 관통되어 제 2 게이트, 소스, 드레인전극(82,84,86)이 연결된다.
- <29> 이때, 실리콘기판(2)은 일례로 Si 웨이퍼가 사용될 수 있고, 이의 일면에는 Ge층(4), Si캡층(6)이 차례로 적층될 수 있다. 이 경우 바람직하게는 실리콘기판(2)은 Si 단결정 웨이퍼 상에 Ge 단결정 층을 성장시킨 후 단결정 또는 다결정 Si 층을 적층한 형태일 수 있고, 제 1 및 제 2 영역(A,B)의 경계를 따라서는 소자 간 절연을 위한 트렌치(trench : 10)가 형성된다.
- <30> 또한, 실리콘기판(2)의 제 1 영역(A)에 위치한 MISFET(20)는 사이드월(sidewall : 24)이 형성된 코플라나(coplanar) 구조일 수 있는데, 실리콘기판(2) 일면의 Si캡층(6)과 제 1 금속게이트(22, 및 사이드월(24)) 사이로는 게이트절연막(8)이 개재되고, 그 하단의 채널층(미도시) 양 옆으로는 P형 불순물이 도핑된 도핑영역(26,28)이 형성되며, 이들 도핑영역(26,28)에는 각각 실리사이드에 의한 제 1 소스 및 드레인영역(32,34)이 형성되어 있다. 이 경우 바람직하게는 게이트절연막(8)은 고유전율절연막(high-k)이 사용될 수 있다.
- <31> 그 결과 본 발명에 따른 CMOS 장치의 MISFET(20)는 Ge 기반의 MISFET의 형태를 나타내므로 높은 홀 이동도를 기대할 수 있지만, 목적에 따라서는 Ge층(4)과 Si캡층(6)이 생략된 통상의 Si 기판 MISFET의 형태를 나타낼 수도 있다.
- <32> 그리고 이러한 MISFET(20)는 실리콘기판(2)의 제 1 영역(A)을 덮는 제 1 보호막(40)으로 은폐된다.
- <33> 또한, 실리콘기판(2)의 제 2 영역(B)에 위치한 HEMT(50)는 III-V 화합물 반도체층(52)을 포함하는바, 실리콘기판(2) 제 2 영역(B)의 Si캡층(6) 상에는 선택적 결정성장(selective epitaxial growth)에 의한 III-V 화합물 반도체층(52)이 위치하고, 이의 상면에는 각각 금속층 형성 및 어닐링의 실리사이드에 의한 제 2 소스 및 드레인영역(62,64)이 형성되며, 제 2 소스 및 드레인영역(62,64) 사이로는 게이트 리세스 식각에 의한 그루브(59)가 형성되어 제 2 금속게이트(66)가 위치한다.
- <34> 그 결과 본 발명에 따른 CMOS 장치의 HEMT(50)는 III-V 화합물 반도체층(52)을 이용하므로 높은 전자이동도를 기대할 수 있다.
- <35> 그리고 이러한 HEMT(50)는 제 1 보호막(40) 및 제 2 영역(B)을 덮는 제 2 보호막(70)으로 은폐되는 한편, 실리콘기판(2)의 제 1 영역(A)에 해당되는 제 1 및 제 2 보호막(40,70)에는 제 1 내지 제 3 컨택홀(C1,C2,C3)이 형성되어 MISFET(20)의 제 1 금속게이트(22)와 소스 및 드레인영역(32,34)을 연장하는 제 1 게이트, 소스, 드레인전극(72,74,76)이 각각 관통 연결되고, 제 2 영역(B)에 해당되는 제 2 보호막(70)에는 제 4 내지 제 6 컨택홀(C4,C5,C6)이 형성되어 HEMT(50)의 제 2 금속게이트(66)와 소스 및 드레인영역(62,64)을 연장하는 제 2 게이트, 소스, 드레인전극(82,84,86)이 각각 관통 연결된다.
- <36> 이하, 본 발명에 따른 CMOS 장치의 제조방법을 순서대로 살펴본다.
- <37> 첨부된 도 2 내지 도 9는 각각 본 발명에 따른 CMOS 장치의 공정순서에 따른 공정단면도로서, 앞서의 도 1과 함께 참조한다.
- <38> 먼저, 실리콘기판(2)을 준비한다.
- <39> 이때, 실리콘기판(2)은 Si 단결정 웨이퍼가 사용될 수 있고, 필요하다면 유리, 스피넬, 사파이어 등의 절연기판에 단결정 Si를 성장시킨 SOI(silicon on insulator) 기판이 사용될 수도 있다.

- <40> 다음으로, 실리콘기판(2) 일면에 Ge를 성장시켜 Ge층(4)을 형성한다.
- <41> 이때, 실리콘기판(2)은 Si 베이스층이 되고, Ge층(4)은 통상의 결정성장 방법을 통해 얻어지는 단결정 Ge일 수 있으며, 그 두께는 공정조건에 따라 다를 수 있지만 일정이상의 홀 이동도를 나타내면서도 결정결함이 나타나지 않는 범위 내에서 적절히 선택될 수 있다.
- <42> 다음으로, Ge층(4) 일면에 Si를 성장시켜 Si캡층(6)을 형성한다.
- <43> 이때, Si캡층(6)은 공정진행 중 Ge층(4)을 보호하는 부분으로, 통상의 결정성장 방법으로 얻어질 수 있다.
- <44> 다음으로, Si캡층(6) 일면에 유전물질을 증착하여 게이트절연막(8)을 형성한다.
- <45> 이때, 게이트절연막(8)은 유전상수가 4.0 이상, 바람직하게는 7.0 이상의 고 유전물질로 이루어진 이른바 고유전절연막(high-k)이 될 수 있다.
- <46> 다음으로, 실리콘기판(2) 제 1 영역(A)의 게이트절연막(8) 일면에 제 1 금속게이트(22)를 형성한다.
- <47> 이때, 제 1 금속게이트(22)는 제 1 금속박막증착 및 제 1 포토리소그래피(photo-lithography) 공정으로 얻어질 수 있는데, 여기에는 식각방식과 리프트-오프(lift-off) 방식이 사용될 수 있다. 이중 식각방식을 간략히 살펴보면, 게이트절연막(8) 일면에 통상의 박막증착방법으로 제 1 금속박막을 증착하고, 포토레지스트(photo-resist)를 도포한 후 마스크(mask)를 이용하여 노광 및 현상함으로써 포토레지스트패턴을 형성한다. 이 경우 포토레지스트가 빛을 받은 부분이 경화되는 포지티브 타입(positive type)이라는 전제하에, 포토레지스트패턴은 제 1 게이트전극(22)에 대응되는 위치에 형성되고, 후속의 식각공정을 통해 포토레지스트패턴으로 은폐된 부분 이외의 제 1 금속박막층을 제거하여 제 1 금속게이트(22)를 얻은 다음 잔류 포토레지스트를 제거하는 스트립(strip) 및 세정공정을 거쳐 제 1 금속게이트(22)를 완성한다. 또한, 리프트-오프 방식을 간략히 살펴보면, 포토레지스트패턴을 제 1 게이트전극(22)에 대응되는 영역 외 나머지 부분으로 형성한 후, 통상의 박막증착방법으로 제 1 금속박막을 증착한 다음 포토레지스트패턴을 스트립하여 잔류 금속층에 의한 제 1 게이트전극(22)을 형성한다. 이하, 포토리소그래피 공정이라 함은 포토레지스트의 도포와 마스크를 이용한 노광 및 현상과 식각 또는 리프트-오프와 스트립 및 세정 등 일련의 과정을 총칭한다.
- <48> 이로써, 도 2에 나타난 것처럼, 실리콘기판(2) 일면에 Ge층(4)과 Si캡층(6)과 게이트절연막(8)이 차례로 적층되고, 실리콘기판(2) 일면 제 1 영역(A)의 게이트절연막(8) 상에 섬 모양의 제 1 게이트전극(22)이 완성된다.
- <49> 다음으로, 제 1 금속게이트(22)가 형성된 실리콘기판(2) 일면에 질화물계의 절연막을 증착한 후 이방성 식각(anisotropic etching)을 진행하여 제 1 금속게이트(22) 가장자리의 사이드월(24)을 형성하는 동시에 제 1 금속게이트(22) 및 사이드월(24)에 의해 은폐된 부분 이외의 게이트절연막(8)을 제거한다.
- <50> 다음으로, 사이드월(24)의 양측 가장자리를 따라 제 2 포토리소그래피 공정을 수행하고, P형 불순물 이온을 주입한 후 600℃ 이상의 고온 어닐링으로 활성화시켜 도핑영역(26,28)을 형성한다.
- <51> 다음으로, 제 1 금속게이트(22) 및 사이드월(24)과 도핑영역(26,28)이 형성된 실리콘기판(2)의 일면 전체에 제 2 금속박막을 얇게 증착하고, 제 3 포토리소그래피 공정 혹은 리프트-오프 공정과 600℃ 이상의 고온 어닐링 공정을 통해 실리사이드에 의한 제 1 소스 및 드레인영역(32,34)을 형성한다.
- <52> 이로써, 도 3에 나타난 것처럼, 실리콘기판(2) 일면의 제 1 영역(A)에 P형 MISFET(20)이 완성된다.
- <53> 다음으로, 실리콘기판(2) 일면의 제 1 및 제 2 영역(A,B) 경계를 따라 소자분리를 실시한다.
- <54> 이를 위해서는 Si캡층(6)과 Ge층(4)을 비롯한 실리콘기판(2) 일부를 식각하여 트랜치(10)를 형성하는 방법이 사용될 수 있으며, 필요하다면 트랜치 내에 산화막의 유전체를 충전시키는 STI(Shallow Trench Isolation) 방법 및 추가적인 조밀화(densification) 단계 또는 평탄화 단계가 후속될 수 있다.
- <55> 이로써, 도 4에 나타난 것처럼, 실리콘기판(2)은 트랜치(10)에 의해 제 1 및 제 2 영역(A,B)으로 전기적 분리되고 제 1 영역(A)에는 P형 MISFET(20)이 존재한다.
- <56> 다음으로, 제 1 영역의 MISFET(20)를 덮는 제 1 보호막(40)을 형성한다.
- <57> 이때, 제 1 보호막(40)은 제 1 질화물 박막증착 및 제 4 포토리소그래피 공정을 통해 얻어질 수 있고, 이로써 도 5에 나타난 것처럼 실리콘기판(2) 일면의 제 1 영역(A)에서 MISFET(20) 만을 선택적으로 덮는 제 1 보호막(40)이 얻어진다.

- <58> 다음으로, 실리콘기판(2) 일면 제 2 영역(B)의 노출된 Si캡층(6)에 선택적 결정성장 공정을 통해 이중접합구조의 III-V 화합물 반도체층(52)을 형성한다.
- <59> 이때, III-V 화합물 반도체층(52)은 일례로 반절연체의 GaAs 층(53, 도 6 참조, 이하 동일하다.)과, 버퍼층(54)과, 2D 채널층 및 상기 2D 채널층에 이동전자를 공급하는 이동전자공급층(55)과, 상기 이동전자를 2D 채널층으로만 제한시키기 위해 높은 밴드갭을 갖는 AlGaAs층(56)과, N형 불순물이 도핑된 GaAs 표면층(57)이 차례로 적층된 구조를 나타낼 수 있고, 이로써 도 6에 나타난 것처럼 실리콘기판(2) 제 2 영역(B)으로 III-V 화합물 반도체층(52)이 완성된다.
- <60> 다음으로, III-V 화합물 반도체층(52) 상부로 제 2 소스 및 드레인영역(62,64)을 형성한다.
- <61> 이를 위해서는 III-V 화합물 반도체층(52)을 비롯한 실리콘기판(2) 일면에 제 3 금속박막을 증착한 후 제 5 포토리소그래피 공정 또는 리프트 오프 공정으로 오믹접합층을 형성한 다음, 350℃ 이하의 저온 어닐링을 실시하여 실리사이드에 의한 제 2 소스 및 드레인영역(62,64)을 형성한다.
- <62> 이로써 도 7에 나타난 것처럼 III-V 화합물 반도체층(52) 및 제 2 소스 및 드레인영역(62,64)이 완성된다.
- <63> 다음으로, III-V 화합물 반도체층(52)에 대해 게이트 리세스(gate recess) 식각을 실시하여 그루브(59 : groove)를 형성한다.
- <64> 이때, 게이트 리세스 식각은 식각속도 차이에 따른 선택적 식각방법이 사용될 수 있는바, 앞서 내용을 전체로 할 경우에 AlGaAs층(56)과 GaAs 표면층(57) 중 GaAs 표면층(57)의 식각속도가 상대적으로 빠르므로 AlGaAs층(56)까지 식각을 진행하면 도핑된 장벽(즉, AlGaAs)에 의해 제한된 도핑되지 않은 우물구조(즉, GaAs)의 그루브(59)를 얻을 수 있다.
- <65> 다음으로, III-V 화합물 반도체층(52)의 그루브(59) 내에 제 2 금속게이트(66)를 형성한다.
- <66> 이때, 제 2 금속게이트(66)는 제 4 금속박막증착 및 제 6 포토리소그래피 공정을 통해 얻어질 수 있고, 이로써 도 8에 나타난 III-V 화합물 HEMT(50)가 완성된다.
- <67> 다음으로, 실리콘기판(2) 일면으로 제 1 영역(A)의 제 1 보호막(40) 및 제 2 영역(B)의 III-V 화합물 HEMT(50)를 덮는 제 2 보호막(70)을 증착한다.
- <68> 이때, 제 2 보호막(70)은 제 2 질화막증착으로 얻어질 수 있다.
- <69> 다음으로, 제 1 영역(A)의 제 1 및 제 2 보호막(40,70)을 관통하여 MISFET(20)의 제 1 금속게이트(22), 소스 및 드레인영역(32,34)을 노출시키는 제 1 내지 제 3 콘택홀(C1,C2,C3)과, 제 2 영역(B)의 제 2 보호막(70)을 관통하여 III-V 화합물 HEMT(50)의 제 2 금속게이트(66), 소스 및 드레인영역(62,64)을 노출시키는 제 4 내지 제 6 콘택홀(C4,C5,C6)을 형성한다.
- <70> 이를 위해 제 7 포토리소그래피공정이 진행될 수 있다.
- <71> 마지막으로, 제 1 내지 제 3 콘택홀(C1,C2,C3)을 통해 MISFET(20)의 제 1 금속게이트(22), 소스 및 드레인영역(32,34)에 일대일 연결되는 제 1 게이트, 소스, 드레인전극(72,74,76)을 형성하고, 제 4 내지 제 6 콘택홀(C4,C5,C6)을 통해 HEMT(50)의 제 2 금속게이트(66), 소스 및 드레인영역(62,64)에 일대일 연결되는 제 2 게이트, 소스 및 드레인전극(82,84,86)을 형성한다.
- <72> 이를 위해 제 5 금속박막 증착과 제 8 포토리소그래피 공정이 진행되며, 이로써 도 1에서 살펴본 본 발명에 따른 CMOS 소자로서 실리콘기판(2) 상에 P형 MISFET(20)와 III-V 화합물 HEMT(50)이 일괄제작 방식으로 집적된 CMOS 장치가 완성된다.
- <73> 한편, 이상의 설명은 본 발명의 일 실시예에 지나지 않으며, 본 발명의 기술적 사상은 이에 한정되지 않는다. 즉, 본 발명의 기술적 사상을 만족시키는 여러가지 변형이 가능하지만 이는 모두 본 발명의 권리범위 내에 있는 것으로 해석되어야 하는바, 본 발명의 기술적 사상은 이하의 특허청구범위를 통해 당업자라면 자명하게 이해될 수 있을 것이다.

도면의 간단한 설명

- <74> 도 1은 본 발명에 따른 CMOS 장치의 단면도.

<75> 도 2는 도 9는 본 발명에 따른 CMOS 장치의 제조순서에 따른 공정단면도.

<76> <도면의 주요부분에 대한 부호의 명칭>

<77> 2 : 실리콘기판 4 : Ge층

<78> 6 : Si캡층 8 : 게이트절연막

<79> 10 : 트랜치 20 : MISFET

<80> 22 : 제 1 게이트전극 26,28 : 도핑영역

<81> 32,34 : 제 1 소스 및 드레인영역

<82> 40 : 제 1 보호막 50 : HEMT

<83> 52 : III-V 반도체층 62,64 : 제 2 소스 및 드레인영역

<84> 66 : 제 2 게이트전극 70 : 제 2 보호막

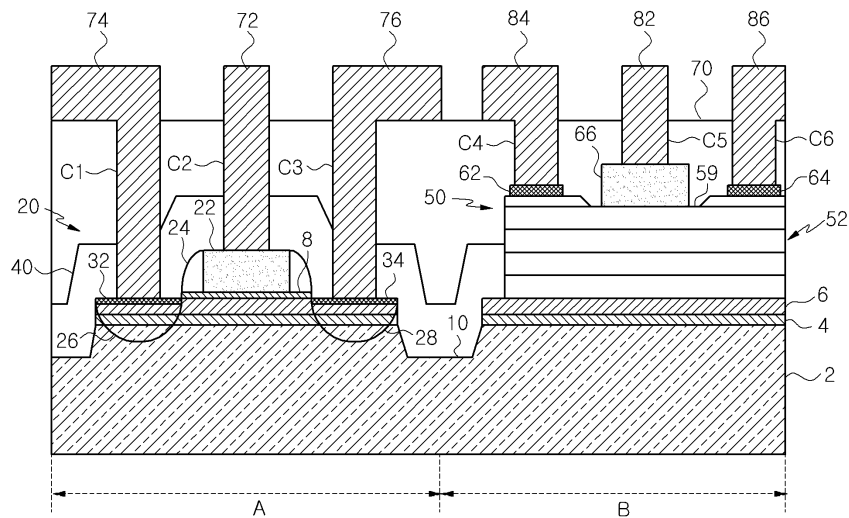
<85> C1,C2,C3,C4,C5,C6 : 제 1 내지 제 6 컨택홀

<86> 72,74,76 : 제 1 게이트, 소스, 드레인전극

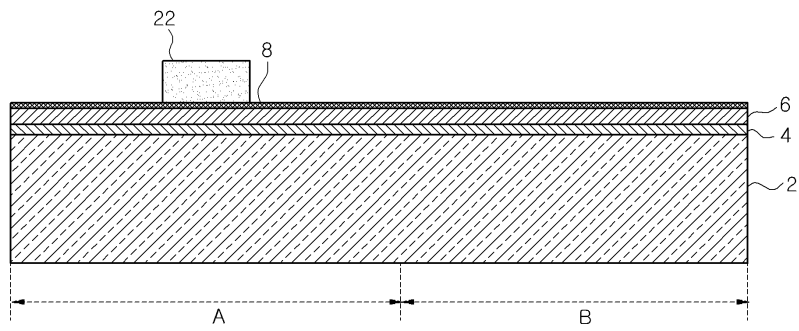
<87> 82,84,86 : 제 2 게이트, 소스, 드레인전극

도면

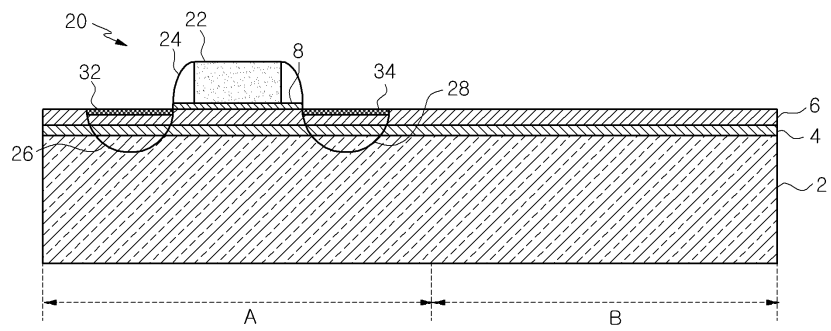
도면1



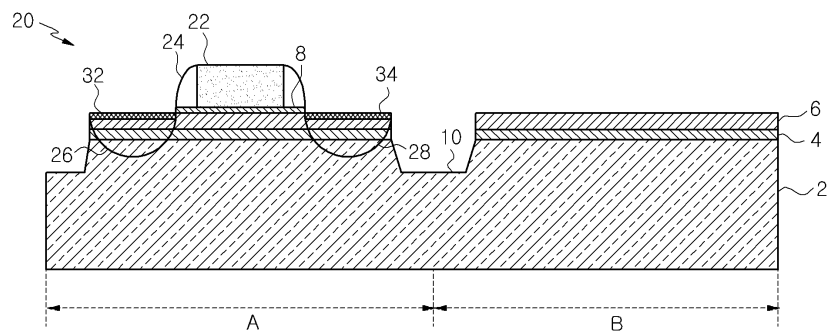
도면2



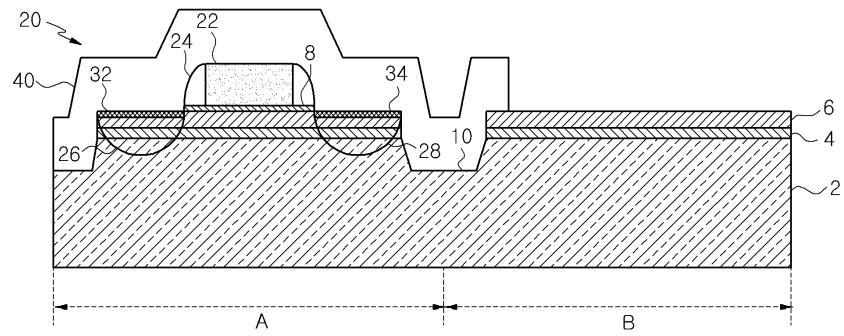
도면3



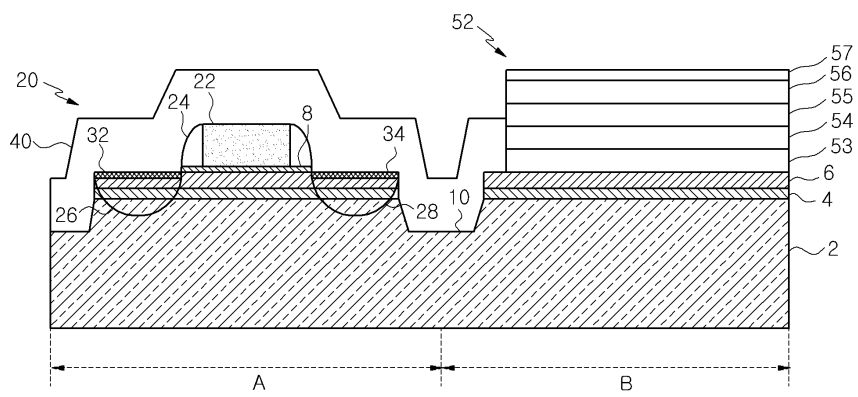
도면4



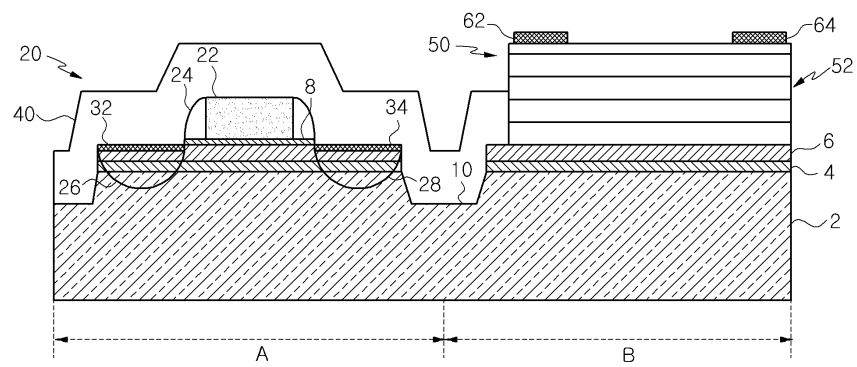
도면5



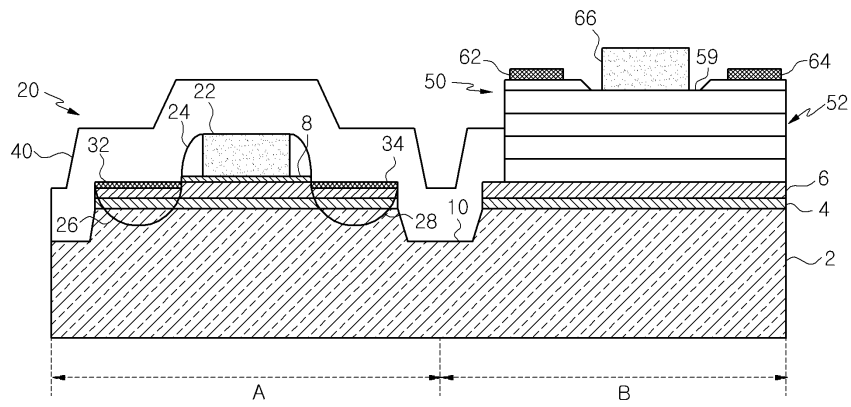
도면6



도면7



도면8



도면9

