



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I517122 B

(45)公告日：中華民國 105 (2016) 年 01 月 11 日

(21)申請案號：102123490

(22)申請日：中華民國 102 (2013) 年 07 月 01 日

(51)Int. Cl. : G09G3/30 (2006.01)

H01L27/32 (2006.01)

(30)優先權：2012/07/31 日本

2012-170305

(71)申請人：杰奧萊德股份有限公司 (日本) JOLED INC. (JP)

日本

(72)發明人：豐村直史 TOYOMURA, NAOBUMI (JP)；山下淳一 YAMASHITA, JUNICHI

(JP)；田上智士 TAGAMI, SATOSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200951918A1

TW 201117170A1

US 2011/0205205A1

審查人員：林建宏

申請專利範圍項數：19 項 圖式數：21 共 85 頁

(54)名稱

顯示面板、顯示裝置及電子系統

DISPLAY PANEL, DISPLAY APPARATUS, AND ELECTRONIC SYSTEM

(57)摘要

本發明揭示一種彩色顯示單元，其包含配置成矩陣形式之像素。顯示像素單元係由跨多列集合在一起之多個像素形成，一像素具有顯示色彩之各者。藉由連接至一共同電力供應線之多個顯示像素單元列形成驅動單元。提供共同寫入掃描線，其中每個驅動單元之共同寫入掃描線之數目等於包含於一顯示像素單元中之像素之列數。各共同寫入掃描線係連接至其各自驅動單元中之至少一給定色彩之每個像素。在一單個驅動單元內，一給定色彩之每個像素具有一電晶體，該電晶體之佈局定向與該給定色彩之每個其他像素中之一對應電晶體之佈局定向相同。

A color display unit includes pixels arranged in matrix form. Display pixel units are formed from multiple pixels, one of each of the display colors, grouped together across multiple rows. Drive units are formed by multiple rows of display pixel units that are connected to a common power supply line. Common write scanning lines are provided, where the number of common write scanning lines per drive unit equals the number of rows of pixels that are included in a display pixel unit. Each common write scanning line is connected to every pixel of at least one given color in its respective drive unit. Within a single drive unit, every pixel of a given color has a transistor whose layout orientation is the same as the layout orientation of a corresponding transistor in every other pixel of that given color.

指定代表圖：

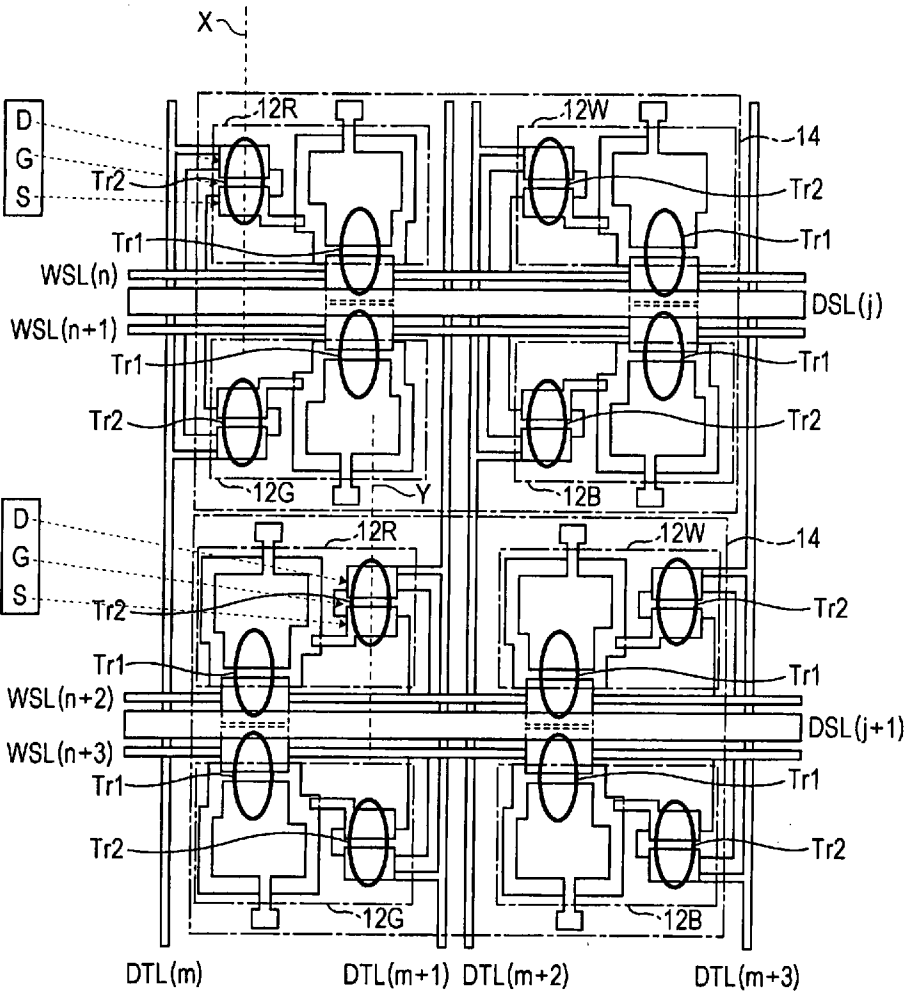


圖 6

符號簡單說明：

12B . . . 藍色像素
電路

12G . . . 綠色像素
電路

12R . . . 紅色像素
電路

12W . . . 白色像素
電路

14 . . . 顯示像素單
元

D . . . 汲極

DSL(j) . . . 電源線

DSL(j+1) . . . 電源
線

DTL(m) . . . 信號線

DTL(m+1) . . . 信號
線

DTL(m+2) . . . 信號
線

DTL(m+3) . . . 信號
線

G . . . 閘極

S . . . 源極

Tr1 . . . 驅動電晶體

Tr2 . . . 寫入電晶體

WSL(n) . . . 掃描線

WSL(n+1) . . . 掃描
線

WSL(n+2) . . . 掃描
線

WSL(n+3) . . . 掃描
線

X . . . 線

Y . . . 線

發明摘要

※ 申請案號：/ 0 2 1 2 3 4 9 0

※ 申請日：102. 7. 01

※IPC 分類：G. 0 9 3/30 (2006.01)

H. 0 1 L 27/32 (2006.01)

【發明名稱】

顯示面板、顯示裝置及電子系統

DISPLAY PANEL, DISPLAY APPARATUS, AND ELECTRONIC
SYSTEM

【中文】

本發明揭示一種彩色顯示單元，其包含配置成矩陣形式之像素。顯示像素單元係由跨多列集合在一起之多個像素形成，一像素具有顯示色彩之各者。藉由連接至一共同電力供應線之多個顯示像素單元列形成驅動單元。提供共同寫入掃描線，其中每個驅動單元之共同寫入掃描線之數目等於包含於一顯示像素單元中之像素之列數。各共同寫入掃描線係連接至其各自驅動單元中之至少一給定色彩之每個像素。在一單個驅動單元內，一給定色彩之每個像素具有一電晶體，該電晶體之佈局定向與該給定色彩之每個其他像素中之一對應電晶體之佈局定向相同。

【英文】

A color display unit includes pixels arranged in matrix form. Display pixel units are formed from multiple pixels, one of each of the display colors, grouped together across multiple rows. Drive units are formed by multiple rows of display pixel units that are connected to a common power supply line. Common write scanning lines are provided, where the number of common write scanning lines per drive unit equals the number of rows of pixels that are included in a display pixel unit. Each common write scanning line is connected to every pixel of at least one given color in its respective drive unit. Within a single drive unit, every pixel of a given color has a transistor whose layout orientation is the same as the layout orientation of a corresponding transistor in every other pixel of that given color.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

12B	藍色像素電路
12G	綠色像素電路
12R	紅色像素電路
12W	白色像素電路
14	顯示像素單元
D	汲極
DSL(j)	電源線
DSL(j+1)	電源線
DTL(m)	信號線
DTL(m+1)	信號線
DTL(m+2)	信號線
DTL(m+3)	信號線
G	閘極
S	源極
Tr1	驅動電晶體
Tr2	寫入電晶體
WSL(n)	掃描線
WSL(n+1)	掃描線
WSL(n+2)	掃描線
WSL(n+3)	掃描線
X	線
Y	線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

顯示面板、顯示裝置及電子系統

DISPLAY PANEL, DISPLAY APPARATUS, AND ELECTRONIC
SYSTEM

【先前技術】

本技術係關於一種包含用於各像素之一發光元件(舉例而言，諸如有機電致發光(EL)元件等等)之顯示面板，且係關於一種顯示裝置及一種電子系統，其等包含該顯示面板。

近年來，在用於顯示影像之顯示裝置之一領域中，已開發出使用根據一流動電流值改變照度之一電流驅動發光元件(舉例而言，諸如有機EL元件)作為一像素之一發光元件之顯示裝置。且該等裝置之產品商業化正在進行當中。有機EL元件係不同於一液晶元件等等之一自發光元件。因此，在使用有機EL元件之一顯示裝置(有機EL顯示裝置)中，無需一光源(背光燈)，且因此與需要一光源之一液晶顯示裝置相比，可使該裝置變薄且變亮。

順便提及，一般而言，一有機EL元件之一電流-電壓(I-V)特性隨著時間過去而劣化(隨時間劣化)。在其中藉由電流驅動一有機EL元件之一像素電路中，當有機EL元件之I-V特性隨時間變化時，一有機EL元件與串聯連接至有機EL元件之一驅動電晶體之間之一電壓分配比發生變化，且因此驅動電晶體之一閘極-源極電壓亦改變。因此，流動通過驅動電晶體之電流之值改變，且流動通過有機EL元件之電流之一值改變，藉此根據電流值改變照度。

又，一驅動電晶體之一臨限電壓(V_{th})或遷移率(μ)有時候隨時間

變化。又，對於各像素電路， V_{th} 及 μ 有時候根據生產程序變動而變化。當一驅動電晶體之 V_{th} 或 μ 針對各像素電路變化時，流動通過驅動電晶體之電流之一值針對各像素電路而變化。即使施加一相同電壓至驅動電晶體之閘極，有機EL元件之照度亦改變，且因此損失螢幕之均勻度。

因此，即使有機EL元件之I-V特性隨時間變化，或驅動電晶體之 V_{th} 及 μ 隨時間變化，為使有機EL元件之照度保持在某一值而不受該等變化影響，正開發一種併有用於有機EL元件之I-V特性之變動之一校正功能及用於驅動電晶體之 V_{th} 及 μ 之變動之一校正功能之顯示裝置(例如，參考日本未審查專利申請公開案第2008-083272號)。

【發明內容】

順便提及，例如，在如圖11中圖解說明之一先前技術驅動方法中，在各1H週期內實行其中使驅動電晶體之閘極-源極電壓接近驅動電晶體之臨限電壓之 V_{th} 校正及其中將根據一影像信號之一信號電壓寫入至驅動電晶體之閘極中之信號寫入。因此，在此驅動方法中，難以縮短1H週期且難以縮短各1F之一掃描週期(即，以高速驅動)。因此，例如，如圖12中圖解說明，在一共同1H週期中對兩個線一起執行 V_{th} 校正，且接著在下一1H週期中對各線執行信號寫入。在此驅動方法中，使 V_{th} 校正集束，且因此該驅動方法適用於以高速驅動。然而，對於各線，自 V_{th} 校正結束時至信號寫入開始時之一等待週期 Δt 係不同的。因此，即使施加具有一相同灰階之一信號電壓至各線之驅動電晶體之閘極，對於各線而言，照度亦變得不同，且因此存在出現照度不均勻之問題。

因此，例如，吾人認為可對像素電路之佈局及佈線、(進一步言之)驅動方法等等作出改變。然而，若作出該等改變，則像素電路之佈局及佈線變得複雜。因此，存在以下問題：在一製造程序中生產一

像素電路及佈線時由於遮罩錯位而變得難以使各像素之特性均勻。

在此方面，此一問題並非一有機EL顯示裝置所特有，但卻係一顯示裝置(其中像素電路之佈局及佈線係複雜)中出現的常見問題。

鑑於此等問題製成本技術。可期望提供一種容許即使像素電路之佈局及佈線變得複雜亦使各像素之特性更均勻之顯示面板。亦可期望提供一種顯示裝置及一種電子系統，其等包含此一顯示面板。

根據本發明之標的之一例示性圖解之一態樣，一種顯示單元可包含：複數個寫入掃描線；複數個信號線；及複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式。該複數個像素電路之各者可包含：一顯示元件；一第一電晶體，其經組態以當可施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上所攜載之一電位，該複數個寫入掃描線之該一者可連接至該第一電晶體；一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位；及一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。該複數個像素電路之各者可對應於N個顯示色彩之一者，且該複數個像素電路可被分組成各包括分別對應於該N個顯示色彩之該複數個像素電路之N個像素電路之顯示像素單元，該N個像素電路可鄰接地佈置在R個鄰接列中， $2 \leq R \leq N$ 。進一步言之，包含於該等顯示像素單元之一第一者中之複數個像素電路之一給定者之第一電晶體可佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之複數個像素電路之一者(其對應於與該複數個像素電路之該給定者相同之一色彩)之第一電晶體相同之一佈局定向中。

進一步言之，在上述例示性顯示單元中，對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者

相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之第一電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，上述例示性顯示單元亦可包含複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列。該複數個寫入掃描線之各者可連接至該複數個像素電路之可佈置在像素電路之一對應列中之若干者，且該複數個信號線之各者可連接至該複數個像素電路之可佈置在像素電路之一對應行中之若干者。該複數個像素電路可分組成各包括可連接至一對應單元電力供應線之像素電路之 K 個鄰接列之驅動單元，該單元電力供應線可由組態為一共同線之該複數個電力供應線之 $K/2$ 個電力供應線構成，其中 K 為等於或大於4之一偶數整數。該等驅動單元之各者可包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $R \geq 2$ 個寫入掃描線，其中 $K = L \cdot R$ 。各單元寫入掃描線可對應於該等顯示色彩之至少一者，且可連接至對應於各自單元寫入掃描線所對應之顯示色彩之任一者且可包含在各自單元寫入掃描線所屬之驅動單元中之所有像素電路。

進一步言之，在上述例示性顯示單元中，對於包含於該等驅動單元之該給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之第一電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，在上述例示性顯示單元中，對於包含於該等驅動單元之該給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之第二電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，上述例示性顯示單元亦可包含一驅動控制區段，該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信

號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框。該複數個像素電路可經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之各自像素電路之第二電晶體之一臨限電壓儲存在該複數個像素電路之各自像素電路之電容器中，且該驅動控制區段可經組態以引起包含於該等驅動單元之給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

進一步言之，在上述例示性顯示單元中，該驅動控制區段可經組態以藉由在連接至包含於該等驅動單元之給定者中之複數個像素電路之各者之信號線上攜載一參考電位且施加一驅動電壓至各自像素電路之第二電晶體時引起各自像素電路之第一電晶體處於一導電狀態而引起各自像素電路執行臨限值校正操作。

進一步言之，在上述例示性顯示單元中，該驅動控制區段可經組態以藉由在施加一視訊信號電位至連接至各自像素電路之信號線時將各自像素電路之第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作。可在給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之像素電路同時執行信號寫入操作。針對連接至彼此不同的單元寫入掃描線之像素電路，可在給定影像圖框週期期間以不同的各自時序執行信號寫入操作。

進一步言之，在上述例示性顯示單元中， N 可等於4， R 可等於2， K 可等於4，且該等顯示色彩可包含紅色、綠色及藍色。

進一步言之，在上述例示性顯示單元中，該等顯示色彩亦可包含白色。

進一步言之，在上述例示性顯示單元中，該等顯示色彩亦可包含黃色。

根據本發明之標的之一第二例示性圖解之一態樣，一種顯示單元可包含：複數個寫入掃描線；複數個信號線；及複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式。該複數個像素電路之各者可包含：一顯示元件；一第一電晶體，其經組態以當可施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上所攜載之一電位，該複數個寫入掃描線之該一者可連接至該第一電晶體；一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位；及一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓。該複數個像素電路之各者可對應於4種顯示色彩之一者，且該複數個像素電路可被分組成各包括分別對應於該4種顯示色彩之該複數個像素電路之4個像素電路之顯示像素單元，該4個像素電路可鄰接地佈置在兩個相鄰列中。包含於該等顯示像素單元之一第一者中之複數個像素電路之一給定者之第一電晶體可佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之複數個像素電路之一者(其對應於與該複數個像素電路之該給定者相同之一色彩)之第一電晶體相同之一佈局定向中。

進一步言之，在上述第二例示性顯示單元中，對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之第一電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，上述第二例示性顯示單元亦可包含複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列。該複數個寫入掃描線之各者可連接至該複數個像素電路之可佈置在像素電

路之一對應列中之若干者。該複數個信號線之各者可連接至該複數個像素電路之可佈置在像素電路之一對應行中之若干者。該複數個像素電路可分組成各包括可連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線可由組態為一共同線之該複數個電力供應線之兩個電力供應線構成。該等驅動單元之各者可包含兩個單元寫入掃描線，該兩個單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之兩個寫入掃描線，且各單元寫入掃描線可對應於該等顯示色彩之至少一者，且可連接至對應於各自單元寫入掃描線所對應之顯示色彩之任一者且可包含在各自單元寫入掃描線所屬之驅動單元中之所有像素電路。

進一步言之，在上述第二例示性顯示單元中，對於包含於該等驅動單元之給定者中之複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之第一電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，在上述第二例示性顯示單元中，對於包含於該等驅動單元之給定者中之複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之第二電晶體可佈置在彼此相同之一佈局定向中。

進一步言之，上述第二例示性顯示單元亦可包含一驅動控制區段，該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框。該複數個像素電路可經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之各自像素電路之第二電晶體之一臨限電壓儲存在該複數個像素電路之各自像素電路之電容器中。該驅動控制區段可經組態以引起包含於該等驅動單元之給定者中之複數個像素電路之

各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

進一步言之，在上述第二例示性顯示單元中，該驅動控制區段可經組態以藉由在連接至包含於該等驅動單元之給定者中之複數個像素電路之各者之信號線上攜載一參考電位且施加一驅動電壓至各自像素電路之第二電晶體時引起各自像素電路之第一電晶體處於一導電狀態而引起各自像素電路執行臨限值校正操作。

進一步言之，在上述第二例示性顯示單元中，該驅動控制區段可經組態以藉由在施加一視訊信號電位至連接至各自像素電路之信號線時將各自像素電路之第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作。可在給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之像素電路同時執行信號寫入操作。針對連接至彼此不同的單元寫入掃描線之像素電路，可在給定影像圖框週期期間以不同的各自時序執行信號寫入操作。

進一步言之，在上述第二例示性顯示單元中，該等顯示色彩可包含紅色、綠色、藍色及白色。

【圖式簡單說明】

圖1係根據本技術之一實施例之一顯示裝置之一示意組態圖；

圖2係圖解說明各像素(子像素)之一電路組態之一實例之一圖；

圖3係圖解說明在一行方向上彼此相鄰之兩個顯示像素之一電路組態之一實例之一圖；

圖4係圖解說明在一行方向上彼此相鄰之兩個顯示像素之一電路組態之另一實例之一圖；

圖5係圖解說明一像素電路之一佈局之一實例之一圖；

圖6係圖解說明在一行方向上彼此相鄰之兩個顯示像素中之各像素電路之一佈局之一實例之一圖；

圖7係圖解說明施加至圖3及圖4中之DTL之電壓之一實例之一圖；

圖8係圖解說明當關注一像素(子像素)時施加至WSL、DSL、DTL之電壓、一閘極電壓及一源極電壓隨時間變化之一實例之一波形圖；

圖9係圖解說明當關注在一行方向上彼此相鄰之兩個像素時施加至WSL、DSL及DTL之電壓隨時間變化之一實例之一波形圖；

圖10係圖解說明根據一比較實例之一顯示面板中之各像素之一電路組態之一實例之一圖；

圖11係圖解說明當關注具有圖10中之佈局之一顯示裝置中在一行方向上彼此相鄰之兩個像素時施加至WSL、DSL及DTL之電壓隨時間變化之一實例之一波形圖；

圖12係圖解說明當關注具有圖10中之佈局之一顯示裝置中在一行方向上彼此相鄰之兩個像素時施加至WSL、DSL及DTL之電壓隨時間變化之另一實例之一波形圖；

圖13係圖解說明根據比較實例之一顯示面板中之各像素電路之一佈局之一實例之一圖；

圖14係用於描述遮罩錯位之一概念圖；

圖15係圖解說明由遮罩錯位引起的照度不均勻之一實例之一圖；

圖16係圖解說明圖6中之佈局之另一實例之一圖；

圖17係圖解說明應用根據實施例之一發光裝置之一應用1之一外觀之一透視圖；

圖18A係圖解說明自一應用2之一前側取得之應用2之一外觀之一透視圖；

圖18B係圖解說明自應用2之一後側取得之應用2之一外觀之一透視圖；

圖19係圖解說明一應用3之一外觀之一透視圖；

圖20係圖解說明一應用4之一外觀之一透視圖；

圖21A係處於一敞開狀態之一應用5之一正視圖；

圖21B係處於敞開狀態之應用5之一側視圖；

圖21C係處於一閉合狀態之應用5之一正視圖；

圖21D係處於閉合狀態之應用5之一左側視圖；

圖21E係處於閉合狀態之應用5之一右側視圖；

圖21F係處於閉合狀態之應用5之一俯視圖；及

圖21G係處於閉合狀態之應用5之一仰視圖。

【實施方式】

在下文中，將參考該等圖式給定用於實行本發明之模式之詳細描述。在此方面，將以下列順序給定該等描述。

1.實施例(顯示裝置)

2.變動(顯示裝置)

3.應用(電子系統)

1.實施例

組態

圖1圖解說明根據本技術之一實施例之一顯示裝置1之一示意組態。顯示裝置1包含一顯示面板10及基於自外部輸入之一影像信號20A及一同步信號20B驅動顯示面板10之一驅動電路20。驅動電路20包含(例如)一時序產生電路21、一影像信號處理電路22、一信號線驅動電路23、一掃描線驅動電路24及一電源線驅動電路25。

顯示面板10

顯示面板10包含以一矩陣狀態佈置在顯示面板10之整個顯示區域10A上方之複數個像素11。在顯示面板10中，藉由驅動電路20憑藉主動矩陣定址驅動各像素11使得基於自外部輸入之影像信號20A顯示

一影像。

圖2圖解說明像素11之一電路組態之一實例。各像素11包含(例如)一像素電路12及一有機EL元件13。有機EL元件13具有其中(例如)依序積層一陽極電極、一有機層及一陰極電極之一組態。像素電路12包含(例如)一驅動電晶體Tr1、一寫入電晶體Tr2及一保持電容器Cs且具有一2Tr1C電路組態。寫入電晶體Tr2控制根據影像信號之一信號電壓施加至驅動電晶體Tr1之閘極。具體言之，寫入電晶體Tr2取樣隨後描述之一信號線DTL之一電壓，且在驅動電晶體Tr1之閘極上寫入該電壓。驅動電晶體Tr1驅動有機EL元件13且串聯連接至有機EL元件13。驅動電晶體Tr1根據藉由寫入電晶體Tr2寫入之電壓控制流動通過有機EL元件13之一電流。保持電容器Cs保持該驅動電晶體Tr1之閘極與源極之間之一預定電壓。在此方面，像素電路12可具有其中將各種電容器及電晶體添加至上述2Tr1C之一電路組態，或可具有不同於上述2Tr1C之一電路組態。

驅動電晶體Tr1及寫入電晶體Tr2係由(例如)一n通道MOS型薄膜電晶體(TFT)形成。在此方面，TFT之類型並無特定限制，且可為(例如)一反交錯結構(所謂的底部閘極類型)，或可為一交錯結構(頂部閘極類型)。又，驅動電晶體Tr1及寫入電晶體Tr2可由一p通道MOS型TFT形成。

顯示面板10包含在列方向上延伸之複數個掃描線WSL、在行方向上延伸之複數個信號線DTL及在列方向上延伸之複數個電源線DSL。掃描線WSL係用於選擇各像素11。信號線DTL係用於供應根據一影像信號之一信號電壓給各像素11。電源線DSL係用於供應一驅動電流給各像素11。像素11係佈置在信號線DTL之各者與掃描線WSL之各者之間之一交叉點附近。信號線DTL之各者係連接至隨後描述之信號線驅動電路23之一輸出端子(圖中未圖解說明)及寫入電晶體Tr2之

源極或汲極。掃描線 WSL 之各者係連接至隨後描述之掃描線驅動電路 24 之一輸出端子(圖中未圖解說明)及寫入電晶體 Tr2 之閘極。電源線 DSL 之各者係連接至輸出一固定電壓之電源之一輸出端子(圖中未圖解說明)及驅動電晶體 Tr1 之源極或汲極。

寫入電晶體 Tr2 之閘極係連接至掃描線 WSL。寫入電晶體 Tr2 之源極或汲極係連接至信號線 DTL，且寫入電晶體 Tr2 之源極及汲極中未連接至信號線 DTL 之一端子係連接至驅動電晶體 Tr1 之閘極。驅動電晶體 Tr1 之源極或汲極係連接至電源線 DSL，且驅動電晶體 Tr1 之源極及汲極中未連接至電源線 DSL 之一端子係連接至有機 EL 元件 13 之陽極。保持電容器 Cs 之一端係連接至驅動電晶體 Tr1 之閘極，且保持電容器 Cs 之另一端係連接至驅動電晶體 Tr1 之源極(圖 2 中之有機 EL 元件 13 側之一端子)。即，保持電容器 Cs 係插入在驅動電晶體 Tr1 之閘極與源極之間。在此方面，有機 EL 元件 13 具有一元件電容器 Coled(圖中未圖解說明)。

進一步言之，如圖 2 中圖解說明，顯示面板 10 包含連接至有機 EL 元件 13 之陰極之一接地線 GND。接地線 GND 係電連接至具有接地電位之一外部電路(圖 2 中未圖解說明)。接地線 GND 係(例如)形成於整個顯示區域 10A 上方之一片狀電極。在此方面，接地線 GND 可為經形成如同對應於一像素列或一像素行之一條形紙之一條狀電極。顯示面板 10 進一步包含(例如)顯示區域 10A 之周邊上不顯示一影像之一框架區域。框架區域覆蓋有(例如)一光屏蔽部件。

圖 3 及圖 4 圖解說明一電路組態之實例，其中該等圖之各者包含在行方向上彼此相鄰之兩個顯示像素單元 14(隨後描述)。圖 3 圖解說明包含來自第 n 像素列及第 $(n+1)$ 像素列之像素 11 之一第一顯示像素單元 14 及包含來自第 $(n+2)$ 像素列及第 $(n+3)$ 像素列之像素 11 之一第二顯示像素單元 14 之一電路組態之一實例($1 \leq n < N$ ， N 係像素列之一總數

(偶數))。圖4圖解說明包含來自第(n+4)像素列及第(n+5)像素列之像素11之一第三顯示像素單元14及包含來自第(n+6)像素列及第(n+7)像素列之像素11之一第四顯示像素單元14之一電路組態之一實例。此處，像素列指示由沿列方向上之一線佈置之複數個像素11形成之一線且對應於一子像素列。另一方面，隨後描述之顯示像素單元列指示由沿列方向上之一線佈置之複數個顯示像素單元14形成之一線。在此例示性圖解中，各顯示像素單元列包含兩個像素列，但是其他組態當然亦在本發明之範疇內。在下文中，為免一像素列與一顯示像素單元列混淆，將一像素列稱為一子像素列。

第p顯示像素單元列及第(p+2)顯示像素單元列中之各顯示像素單元14之電路佈局彼此類似。進一步言之，第(p+1)顯示像素單元列及第(p+3)顯示像素單元列中之各顯示像素單元14之電路佈局彼此類似。在下文中，為免重複描述，將省略關於第(p+2)顯示像素單元列及第(p+3)顯示像素單元列之電路佈局之描述。

各像素11對應於包含於顯示面板10上之一螢幕中之一最小單元之一點。顯示面板10係一彩色顯示面板，且像素11對應於發射單一色彩之光(例如，諸如紅色、綠色、藍色或白色等等)之一子像素。在此方面，像素11可對應於發射單一色彩之光(例如，諸如紅色、綠色、藍色或黃色等等)之一子像素。顯示像素單元14係相鄰像素11之一分組—每一像素具有用於顯示面板中之色彩之一者。

在本實施例中，顯示像素單元14包含具有彼此不同的發光色彩之4個像素11。即，用於顯示面板中之發光色彩(「顯示色彩」)之種類數目係4，且包含於各顯示像素單元14中之像素11之數目係4，每一像素11具有一種顯示色彩。包含於顯示像素單元14中之4個像素11係(例如)發射紅光之一像素11R、發射綠光之一像素11G、發射藍光之一像素11B及發射白光之一像素11W。包含於顯示像素單元14中之4個像

素11係佈置成所謂的正方形配置，即，一 2×2 矩陣。又，在各顯示像素單元14中，4個像素11具有一共同色彩配置。例如，如圖3中圖解說明，像素11R係佈置在正方形配置中的左上方，像素11G係佈置在正方形配置中的左下方，像素11B係佈置在正方形配置中的右下方，且像素11W係佈置在正方形配置中的右上方。

子像素列被分組成各包含K個子像素列(K為等於或大於4之一偶數整數)之驅動單元。各驅動單元亦包含L個單元寫入掃描線WSL*，其中各單元寫入掃描線WSL*包含組態為一共同線之寫入掃描線WSL之R個寫入掃描線WSL，使得 $K = L \cdot R$ 。包含於一單元中之顯示像素列之數目亦係L，其中L係2或更大，且不大於發光色彩之種類數目。具體言之，假設兩個顯示像素列係在一單元中(即， $L=2$)，則將複數個單元寫入掃描線WSL*之兩者指派給每一個單元。因此，在圖3及圖4中所示之實例中，包含於一單元中之顯示像素列之數目係2，且包含於一單元中之單元寫入掃描線WSL*之數目亦係2。整個顯示器中之單元寫入掃描線WSL*之總數等於整個顯示器中之顯示像素列之總數，且係 N/R ，其中N係子像素列之總數且R係包含於單個單元寫入掃描線WSL*中之寫入掃描線之數目。在此方面，圖3中的n係自1至N之一正整數，且圖3中的WSL(n)意謂第n寫入掃描線WSL，而p係自1至 N/R 之一正整數且WSL*(p)意謂第p單元寫入掃描線WSL*。

各單元寫入掃描線WSL*係連接至其各自驅動單元中具有一特定發光色彩之所有像素11。具體言之，例如，在圖3中所示之驅動單元中，在包含於該一驅動單元中之兩個單元寫入掃描線WSL*(p)及WSL*(p+1)中，單元寫入掃描線WSL*(p)係連接至包含於該驅動單元中之所有紅色像素(像素11R)及所有白色像素(像素11W)，且單元寫入掃描線WSL*(p+1)係連接至包含於該驅動單元中之所有綠色像素(像素11G)及所有藍色像素(像素11B)。在具有彼此不同列且在行方向上

彼此相鄰之一驅動單元之兩個顯示像素單元14中，共用一單元寫入掃描線WSL*之像素11之發光色彩之配置彼此相同。例如，在圖3中，在各顯示像素單元14中，紅色及白色像素11係連接至相同的單元寫入掃描線WSL*(p)，且紅色及白色像素11之配置在各顯示像素單元14中係相同的。

單元寫入掃描線WSL*之各者包含組態為一共同線之R個寫入掃描線WSL。例如，在圖3及圖4中，單元寫入掃描線WSL*(WSL*(p)至WSL*(p+3))之各者包含R個分支，每個分支包括一寫入掃描線WSL(WSL(n)至WSL(n+7))。每個單元寫入掃描線WSL*之寫入掃描線WSL之數目(即，R)與包含於一顯示像素列中之子像素列之數目相同，且大於或等於2且小於或等於顯示色彩之種數。在例示性圖解中，R=2，且將分支之一者指派給一驅動單元中之各顯示像素單元列中之一上子像素列。分支之該一者係連接至一顯示單元中具有相同發光色彩之複數個像素11。將分支之另一者指派給一驅動單元中之各顯示像素單元列中之一下子像素列。分支之另一者具有不同於連接至分支之該一者之像素11之發光色彩之一發光色彩且係連接至一顯示單元中具有相同發光色彩之複數個像素11。在單元寫入掃描線WSL*之各者中，各第二分支在顯示面板10中彼此連接。分支之一連接點C1可在顯示區域10A中，或可在顯示區域10A之周邊(框架區域)中。又，當自顯示面板10之一法線觀察時，單元寫入掃描線WSL*之各者與相同驅動單元中之掃描線WSL之另一者在某個點處交叉。各單元寫入掃描線WSL*之第二分支穿越正方形配置之一中心。寫入電晶體Tr2之閘極電極14A係連接至第二分支。

將複數個單元電源線DSL*之一者指派每一驅動單元。因此，包含於一驅動單元中之單元電源線DSL之數目係1。整個顯示面板中之單元電源線DSL*之總數係J(=N/K)。在例示性圖解中，K=4且因此

$J=N/4$ 。在此方面，圖3中的 j 係自1至 $N/4$ 之一正整數，且圖3中的 $DSL^*(j)$ 意謂第 j 單元電源線 DSL^* 。單元電源線 DSL^* 之各者係連接至其各自驅動單元中之所有像素11。具體言之，包含於一驅動單元中之一單元電源線 DSL^* 係連接至包含於一驅動單元中之所有像素11(11R、11G、11B及11W)。

各單元電源線 DSL^* 係由組態為一共同線之 $K/2$ 個電源線 DSL 構成(一電源線 DSL 用於每兩個子像素列)。例如，在圖3及圖4中，單元電源線 DSL^* 之各者($DSL^*(j)$ 、 $DSL^*(j+1)$)包含兩個分支(電源線 DSL)。單元電源線 DSL^* 之各者之各分支(電源線 DSL)在顯示面板10中彼此連接。分支之一連接點C2可在顯示區域10A中，或可在顯示區域10A之周邊(框架區域)中。以此方式，藉由將分支提供給單元寫入掃描線 WSL^* 之各者及單元電源線 DSL^* 之各者，可在顯示區域外部加寬掃描線 WSL^* 之各者之間隔及電源線 DSL^* 之各者之間隔。因此，佈線佈局變得容易。單元電源線 DSL^* 之各者之分支穿越正方形配置之一中心。

雖然已在闡釋性實例中描述單元電源線 DSL^* 及單元寫入掃描線 WSL^* 之分支組態，但是本發明不限於該特定組態。特定言之，在本發明及隨附申請專利範圍中，當多個佈線以相同時序施加有相同電壓時，該等佈線係「組態為一共同線」。情況可能如此，例如這係因為佈線係彼此直接連接(如在上文論述之分支組態中)。然而，「組態為一共同線」之多個佈線不必彼此直接連接，只要以相同時序施加相同電壓至該多個佈線。例如，一驅動電路可經組態以依相同時序施加相同電壓至複數個佈線，在該情況中該複數個佈線將「組態為一共同線」。

每個顯示像素單元14被指派複數個信號線 DTL 之兩者。在指派給各顯示像素單元14之兩個信號線 DTL 中，信號線 DTL 之一者係連接至

具有兩種發光色彩且未共用單元寫入掃描線WSL*之像素11，且信號線DTL之另一者係連接至具有剩餘兩種發光色彩之像素11。在下文中，在包含於第 p 顯示像素單元列及第 $(p+1)$ 顯示像素單元列中之複數個顯示像素單元14中，關注在行方向上彼此相鄰之兩個顯示像素單元14，且將給定上述連接模式之描述。在此方面，上述兩個顯示像素單元14具有一單元中之不同顯示像素列，且對應於在行方向上彼此相鄰之兩個顯示像素單元14。

兩個信號線DTL(m)及DTL($m+2$)係指派給該兩個顯示像素單元14中包含於第 p 顯示像素單元列中之顯示像素單元14。進一步言之，兩個信號線DTL($m+1$)及DTL($m+3$)係指派給該兩個顯示像素單元14中包含於第 $(p+1)$ 顯示像素單元列中之顯示像素單元14。即，在一單元中具有不同列且彼此相鄰之兩個顯示像素單元14中，兩個偶數號信號線DTL(m)及DTL($m+2$)被指派給顯示像素14之一者，且兩個奇數號信號線DTL($m+1$)及DTL($m+3$)被指派給顯示像素14之另一者。藉此，使信號線DTL之總數保持為最小值。

複數個信號線DTL之4個線係指派給在行方向上彼此相鄰之兩個顯示像素單元14。因此，信號線DTL之總數係 M (M 係4之一倍數)，其中 $M/2$ 係像素11之總行數。在圖3中， m 係自1至 $M-4$ 之一正整數，且若 m 並非1，則 m 係對應於(4之倍數+1)之一數字。因此，圖3中的DTL(m)意謂第 m 信號線DTL。例如，四個信號線DTL(m)、DTL($m+1$)、DTL($m+2$)及DTL($m+3$)係指派給在行方向上彼此相鄰之兩個顯示像素單元14。四個信號線DTL(m)、DTL($m+1$)、DTL($m+2$)及DTL($m+3$)係依序平行佈置在列方向上。在各顯示像素單元14中，在該4個像素11中，左側上的兩個像素11在列方向上夾置於信號線DTL(m)與信號線DTL($m+1$)之間。又，在各顯示像素單元14中，在該4個像素11中，右側上的兩個像素11在列方向上夾置於信號線DTL($m+2$)與信號線

DTL(m+3)之間。

又，在一單元中具有彼此不同顯示像素列且在行方向上彼此相鄰之兩個顯示像素單元14中，具有彼此相同的發光色彩之兩個像素11係佈置在兩個共同信號線DTL之間。具體言之，在一單元中具有彼此不同顯示像素列且在行方向上彼此相鄰之兩個顯示像素單元14中，兩個像素11R係佈置在兩個信號線DTL(m)與DTL(m+1)之間。以相同方式，在一單元中具有彼此不同顯示像素列且在行方向上彼此相鄰之兩個顯示像素單元14中，兩個像素11G係佈置在兩個信號線DTL(m)與DTL(m+1)之間。又，在一單元中具有彼此不同列且在行方向上彼此相鄰之兩個顯示像素單元14中，兩個像素11B係佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。又，在一單元中具有彼此不同列且在行方向上彼此相鄰之兩個顯示像素單元14中，兩個像素11W係佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。在此方面，信號線DTL(m)或DTL(m+2)分別對應於根據本技術之「第一信號線」或「第三信號線」之一特定實例。又，信號線DTL(m+1)或DTL(m+3)分別對應於「第二信號線」或「第四信號線」之一特定實例。

上述兩個信號線DTL(m)及DTL(m+2)係連接至具有兩種發光色彩且彼此未個別共用一單元寫入掃描線WSL*之像素11。具體言之，信號線DTL(m)係連接至具有兩種發光色彩且彼此未個別共用一單元寫入掃描線WSL*之像素11R及11G。信號線DTL(m+2)係連接至具有兩種發光色彩且彼此未個別共用一單元寫入掃描線WSL*之像素11B及11W。進一步言之，在上述兩個顯示像素單元14中，兩個信號線DTL(m+1)及DTL(m+3)被指派給包含於第(p+1)像素列中之顯示像素單元14。該兩個信號線DTL(m+1)及DTL(m+3)係連接至具有兩種發光色彩且彼此未個別共用一單元寫入掃描線WSL*之像素11。具體言之，信號線DTL(m+1)係連接至具有兩種發光色彩且未個別共用一單元寫

入掃描線 WSL* 之像素 11R 及 11G，且信號線 DTL(m+3) 係連接至具有剩餘兩種發光色彩之像素 11B 及 11W。

圖 5 圖解說明像素電路 12 之一佈局之一實例。具體言之，圖 5 圖解說明像素 11R 及 11W 之像素電路 12 之一佈局之一實例。如上所述，像素電路 12 包含(例如)驅動電晶體 Tr1、寫入電晶體 Tr2 及保持電容器 Cs。

寫入電晶體 Tr2 包含(例如)一閘極電極 14A、一源極電極 14B 及一汲極電極 14C。源極電極 14B 及汲極電極 14C 係佈置在一平面中彼此相對之位置處，其中將閘極電極 14A 之正上方區段(right over section)夾置於源極電極 14B 與汲極電極 14C 之間。源極電極 14B 係連接至信號線 DTL。例如，如圖 5 中圖解說明，源極電極 14B 係連接至來自信號線 DTL 之主線之一分支(第一分支)。第一分支在與信號線 DTL 之主線之延伸方向交叉之一方向上延伸。閘極電極 14A 係連接至掃描線 WSL。閘極電極 14A 在源極電極 14B 與汲極電極 14C 之間的間隙下方自右側朝掃描線 WSL 延伸。汲極電極 14C 係連接至隨後描述之驅動電晶體 Tr1 之一閘極電極 15A 及保持電容器 Cs。

在寫入電晶體 Tr2 中，閘極電極 14A、源極電極 14B 及汲極電極 14C 之佈置方向在一平面中平行於信號線 DTL 之延伸方向。在此方面，在圖 5 中，圖解說明其中自掃描線 WSL 側以汲極電極 14C、閘極電極 14A 及源極電極 14B 之順序佈置閘極電極 14A、源極電極 14B 及汲極電極 14C 之一實例。在此方面，閘極電極 14A、源極電極 14B 及汲極電極 14C 在圖 5 中未圖解說明，但是可自掃描線 WSL 側以源極電極 14B、閘極電極 14A 及汲極電極 14C 之順序加以佈置。

驅動電晶體 Tr1 包含(例如)閘極電極 15A、源極電極 15B 及汲極電極 15C。源極電極 15B 及汲極電極 15C 係佈置在一平面中彼此相對之位置處，其中將閘極電極 15A 之右折區段夾置於源極電極 15B 與汲極電

極15C之間。源極電極15B係透過一接觸件15D連接至有機EL元件13之陽極。源極電極15B係與保持電容器Cs之電極之一者耦合。閘極電極15A係連接至汲極電極14C且進一步言之，係與保持電容器Cs之電極之一者耦合。汲極電極15C係連接至電源線DSL。

在驅動電晶體Tr1中，閘極電極15A、源極電極15B及汲極電極15C之佈置方向在一平面中平行於信號線DTL之延伸方向。在此方面，在圖5中，圖解說明其中自掃描線WSL側以汲極電極15C、閘極電極15A及源極電極15B之順序佈置閘極電極15A、源極電極15B及汲極電極15C之一實例。又，在圖5中，在驅動電晶體Tr1及寫入電晶體Tr2二者中，閘極、源極及汲極之佈置方向係平行於信號線DTL之延伸方向。即，在包含於一單元中之像素列之一者之顯示像素單元14中之像素電路12中之寫入電晶體Tr2及包含於一單元中之像素列之一者之顯示像素單元14中之像素電路12中之驅動電晶體Tr1、包含於一單元中之像素列之另一者之顯示像素單元14中之像素電路12中之寫入電晶體Tr2及包含於一單元中之像素列之另一者之顯示像素單元14中之像素電路12中之驅動電晶體Tr1中，閘極電極、源極電極及汲極電極之佈置方向彼此相同。

圖6係圖解說明在行方向上彼此相鄰之兩個顯示像素單元14中之各像素電路12之一佈局之一實例之一圖。在一驅動單元中具有不同列且彼此相鄰之兩個顯示像素單元14中，具有彼此相同的發光色彩之兩個像素11中之寫入電晶體Tr2之佈局(特定言之，閘極(G)、源極(S)及汲極(D)之佈置)係相同的。具體言之，在兩個相鄰顯示像素單元之兩個紅色像素電路12R中，紅色像素電路12R之寫入電晶體Tr2之閘極電極14A、源極電極14B及汲極電極14C之各自佈置方向在一平面中平行於信號線DTL之延伸方向，且其等之電極之各自順序亦相同(例如，自頂部至底部為D-G-S)。這同樣適用於兩個藍色像素、兩個白色像素

及兩個綠色像素。例如，在兩個紅色像素電路12R中，寫入電晶體Tr2之閘極電極14A、源極電極14B及汲極電極14C係自該圖中之頂部至底部以汲極電極14C、閘極電極14A及源極電極14B之順序佈置在一平面中。然而，雖然圖6中未圖解說明，但是在該兩個像素11中，寫入電晶體Tr2之閘極電極14A、源極電極14B及汲極電極14C可自頂部至底部以源極電極14B、閘極電極14A及汲極電極14C之順序佈置在一平面中。

進一步言之，在一驅動單元中具有不同列且彼此相鄰之兩個顯示像素單元14中，具有彼此相同的發光色彩之兩個像素11中之驅動電晶體Tr1之佈局(特定言之，閘極(G)、源極(S)及汲極(D)之佈置)係相同的。具體言之，在該兩個像素11中，驅動電晶體Tr1之閘極電極15A、源極電極15B及汲極電極15C係佈置在平行於信號線DTL之延伸方向之方向上。例如，在該兩個像素11中，驅動電晶體Tr1之閘極電極15A、源極電極15B及汲極電極15C係自該圖中之頂部至底部以汲極電極15C、閘極電極15A及源極電極15B之順序佈置。

在本發明及隨附申請專利範圍中，當自一給定視角(例如，在其上形成電晶體之基板上方之一視角)觀察時，兩個電晶體具有「彼此相之一佈局定向」，該兩個電晶體之汲極、閘極及源極所安置之各自方向及各自順序係相同的。

當通過電晶體之一者之一汲極區域及一源極區域之一線近似平行於通過電晶體之另一者之一汲極區域及一源極區域之一線時，該兩個電晶體之汲極、閘極及源極所安置之各自方向係相同的。例如，前述線在平行於其上形成電晶體之基板之一截面中可近似通過對應於該等電晶體之汲極區域及一源極區域之平面形狀之各自幾何中心。例如，在圖6中，線X近似通過列n及行m中之紅色像素電路12R(在下文中，「像素電路(n,m)」)之電晶體Tr2之汲極區域及源極區域之各自幾

何中心。類似地，在圖6中，線Y近似通過列 $n+2$ 及行 m 中之紅色像素電路12R(在下文中，「像素電路($n+2,m$)」)之電晶體Tr2之汲極區域及源極區域之各自幾何中心。在圖6中，線X與Y近似彼此平行，且因此像素電路(n,m)及像素電路($n+2,m$)之電晶體Tr2之各自汲極、閘極及源極係安置在相同方向上。

當該兩個電晶體之各者之汲極、閘極及源極沿前述線在相同方向上移動時以相同順序相遇時，該兩個電晶體之汲極、閘極及源極安置之各自順序係相同的。例如，在圖6中，像素電路(n,m)及像素電路($n+2,m$)之電晶體Tr2之汲極、閘極及源極沿線X及Y在該圖中之一向下方方向上移動時係以第一汲極(D)、第二閘極(G)及第三源極(S)之順序相遇，且因此像素電路(n,m)及像素電路($n+2,m$)之電晶體Tr2之各自汲極、閘極及源極係以相同順序安置。作為一對比實例，在圖13中，像素電路(n,m)及像素電路($n+2,m$)之電晶體Tr2之汲極、閘極及源極並未以相同順序安置，這係因為其等在相同方向上移動時係以不同順序相遇(例如，當在圖中自左移動至右時，各自順序係：像素電路(n,m)為D-G-S且像素電路($n+2,m$)為S-G-D)。

如本發明及隨附申請專利範圍中使用，除非另有具體說明，否則片語「彼此相同之一佈局定向」並不暗示除上述定義中論述之約束以外之任何約束。因此，例如，如本文中使用的片語「彼此相同之一佈局定向」並不暗示關於電晶體之相對大小、電晶體之相對形狀、連接至電晶體之佈線之位置、電晶體之結構組態(例如，頂部-閘極結構對底部閘極結構、單閘極結構對多閘極結構等等)等等之任何事項。進一步言之，圖解說明之特定定向(例如，垂直、水平等等)並無限制，且只要經特定敘述的電晶體之定向相同，便可使用任何定向。

此外，一般技術者將瞭解，是否將一電晶體之一電極視作一源極或一汲極電極可取決於驅動電晶體時施加至該電極之電壓。例如，

在一些境況中，若反轉施加電壓，則通常用作一源極電極之一電極可用作一汲極電極。因此，在判定兩個電晶體是否具有相同的佈局定向時，在考量電晶體之定向的同時必須假設施加相同的驅動狀態至該等電晶體。例如，若考量兩個驅動電晶體Tr1之定向，則在施加一驅動電壓至兩個電晶體時判定兩個電晶體之各自電極之位置將係合適的，但在施加一驅動電壓至該等電晶體之一者且施加至一反向偏壓電壓至另一電晶體時判定該等電晶體之各自電極之位置卻不合適。

驅動電路20

接著，將給定驅動電路20的描述。如上所述，驅動電路20包含(例如)一時序產生電路21、一影像信號處理電路22、一信號線驅動電路23、一掃描線驅動電路24及一電源線驅動電路25。時序產生電路21執行控制使得驅動電路20中之各電路一起操作。例如，時序產生電路21根據自外部輸入之一同步信號20B(與該同步信號20B同步)輸出一控制信號21A至上述各電路。

影像信號處理電路22對(例如)自外部輸入之數位影像信號20A執行預定校正，且將藉此獲得之影像信號22A輸出至信號線驅動電路23。例如，針對預定校正，給定伽馬校正、過驅動校正等等。

信號線驅動電路23根據控制信號21A之輸入(與控制信號21A之輸入同步)施加(例如)對應於自影像信號處理電路22輸入之影像信號22A之一類比信號電壓於各信號線DTL上。信號線驅動電路23能夠輸出(例如)兩種電壓(Vofs及Vsig)。具體言之，信號線驅動電路23透過信號線DTL供應兩種電壓(Vofs及Vsig)給由掃描線驅動電路24選擇之像素11。

圖7圖解說明根據單元寫入掃描線WSL*之掃描施加至連接至如圖3及圖4中所示之四個顯示像素單元14(其等經佈置在行方向上彼此相鄰之兩個驅動單元中在行方向上彼此相鄰)之四個信號線

DTL(DTL(m)、DTL(m+1)、DTL(m+2)及DTL(m+3))之信號電壓 $V(p)$ 、 $V(p+1)$ 、 $V(p+2)$ 及 $V(p+3)$ 之一實例。信號線驅動電路23回應於單元寫入掃描線 $WSL^*(p)$ 之選擇而輸出信號電壓 $V(p)$ ，且回應於單元寫入掃描線 $WSL^*(p+1)$ 之選擇而輸出信號電壓 $V(p+1)$ 。以相同方式，信號線驅動電路23回應於單元寫入掃描線 $WSL^*(p+2)$ 之選擇而輸出信號電壓 $V(p+2)$ ，且回應於單元寫入掃描線 $WSL^*(p+3)$ 之選擇而輸出信號電壓 $V(p+3)$ 。此處，如隨後描述，掃描線驅動電路24在寫入信號電壓時以 $WSL^*(p)$ 、 $WSL^*(p+1)$ 、 $WSL^*(p+2)$ 及 $WSL^*(p+3)$ 之順序選擇單元寫入掃描線 WSL^* 。因此，信號線驅動電路23在寫入信號電壓時以 $V(p)$ 、 $V(p+1)$ 、 $V(p+2)$ 及 $V(p+3)$ 之順序輸出信號電壓 V_{sig} 。

例如，如圖7中圖解說明，信號線驅動電路23供應電壓 V_{sig} 給藉由掃描線驅動電路24同時選擇之複數個像素11。在圖7中，藉由 $V_{sig}(n,m)$ 指示旨在用於位於一第 n 子像素列中且連接至一第 m 信號線之一特定子像素11之特定電壓 V_{sig} 。因此，當掃描單元寫入掃描線 $WSL^*(p)$ 時，施加信號電壓 $V(p)$ 至信號線，其中電壓 $V(p)$ 包括電壓 $V_{sig}(n,m)$ 、 $V_{sig}(n+2,m+1)$ 、 $V_{sig}(n,m+2)$ 、 $V_{sig}(n+2,m+3)$ 等等。

即，當在寫入一信號時選擇單元寫入掃描線 $WSL^*(p)$ 時，信號線驅動電路23將對應於第 n 子像素列之電壓 $V_{sig}(n,m)$ 及 $V_{sig}(n,m+2)$ 輸出至偶數號信號線DTL(m)及DTL(m+2)。同時，信號線驅動電路23將對應於第 $n+2$ 子像素列之電壓 $V_{sig}(n+2,m+1)$ 及 $V_{sig}(n+2,m+3)$ 輸出至奇數號信號線DTL(m+1)及DTL(m+3)。又，當在寫入一信號時選擇單元寫入掃描線 $WSL^*(p+1)$ 時，信號線驅動電路23將對應於第 $n+1$ 子像素列之電壓 $V_{sig}(n+1,m)$ 及 $V_{sig}(n+1,m+2)$ 輸出至偶數號信號線DTL(m)及DTL(m+2)。同時，信號線驅動電路23將對應於第 $n+3$ 子像素列之電壓 $V_{sig}(n+3,m+1)$ 及 $V_{sig}(n+3,m+3)$ 輸出至奇數號信號線DTL(m+1)及DTL(m+3)。在此方面，信號線驅動電路23以與第 n 像素列及第 $n+1$ 像

素列相同之方式施加電壓至第 $n+2$ 像素列及第 $n+3$ 像素列。

V_{sig} 係對應於影像信號20A之一電壓值。 V_{ofs} 係與影像信號20A無關之某一電壓。 V_{sig} 之最小電壓係低於 V_{ofs} 之一電壓值，且 V_{sig} 之最大電壓係高於 V_{ofs} 之一電壓值。

在由掃描線驅動電路24同時選擇之複數個像素11中，佈置在偶數號信號線DTL(m)與奇數號信號線DTL($m+1$)之間的兩個像素11具有彼此相同的發光色彩。以相同方式，在由掃描線驅動電路24同時選擇之複數個像素11中，佈置在偶數號信號線DTL($m+2$)與奇數號信號線DTL($m+3$)之間的兩個像素11具有彼此相同的發光色彩。因此，當選擇單元寫入掃描線WSL*(p)時，信號線驅動電路23將對應於具有彼此相同的發光色彩之像素之電壓 V_{sig} 輸出至信號線DTL(m)及DTL($m+1$)。同時，信號線驅動電路23將對應於具有彼此相同的發光色彩之像素之電壓 V_{sig} 輸出至信號線DTL($m+2$)及DTL($m+3$)。例如，當選擇單元寫入掃描線WSL*(p)時，信號線驅動電路23將對應於紅色像素(像素11R)之電壓 V_{sig} 輸出至信號線DTL(m)及DTL($m+1$)，且同時將對應於白色像素(像素11W)之電壓 V_{sig} 輸出至信號線DTL($m+2$)及DTL($m+3$)。

掃描線驅動電路24回應於(例如)控制信號21A之輸入(與控制信號21A之輸入同步)針對各預定驅動單元依序選擇複數個單元寫入掃描線WSL*。掃描線驅動電路24回應於(例如)控制信號21A之輸入(與控制信號21A之輸入同步)以一預定序列選擇複數個單元寫入掃描線WSL*，以依一所要序列執行 V_{th} 校正、信號電壓 V_{sig} 之寫入及 μ 校正。此處， V_{th} 校正指示使驅動電晶體Tr1之閘極-源極電壓 V_{gs} 接近驅動電晶體之臨限電壓之校正操作。信號電壓 V_{sig} 之寫入指示透過寫入電晶體Tr2將信號電壓 V_{sig} 寫入至驅動電晶體Tr1之閘極。 μ 校正指示根據驅動電晶體Tr1之遷移率 μ 保持於驅動電晶體Tr1之閘極與源極之

間之電壓 V_{gs} 之校正操作。可以彼此不同時序執行信號電壓 V_{sig} 之寫入及 μ 校正。在本實施例中，掃描線驅動電路24將一選擇脈衝輸出至單元寫入掃描線 WSL^* 以同時(或在任何時間連續)執行信號電壓 V_{sig} 之寫入及 μ 校正。

順便提及，驅動電路20針對所有驅動單元依序執行 V_{th} 校正及信號寫入。具體言之，如圖9中圖解說明，驅動電路20對第一驅動單元(例如，連接至 $WSL^*(p)$ 及 $WSL^*(p+1)$ 之像素11)執行 V_{th} 校正及信號寫入，且接著對在行方向上與第一驅動單元相鄰之第二驅動單元(例如，連接至 $WSL^*(p+2)$ 及 $WSL^*(p+3)$ 之像素11)執行 V_{th} 校正及信號寫入。即，驅動電路20針對各驅動單元依序執行一系列操作(V_{th} 校正及信號寫入)。

在 V_{th} 校正時，掃描線驅動電路24同時(或大約同時)選擇包含於一驅動單元中之所有單元寫入掃描線 WSL^* 。具體言之，在圖6之實例中，在 V_{th} 校正時，掃描線驅動電路24同時(或大約同時)選擇包含於一驅動單元中之兩個單元寫入掃描線 $WSL^*(p)$ 及 $WSL^*(p+1)$ 。即，掃描線驅動電路24同時選擇包含於驅動單元中之所有像素11(例如，包含於以下子像素列中之所有像素11： n 、 $n+1$ 、 $n+2$ 及 $n+3$)以進行 V_{th} 校正。

進一步言之，在信號寫入時，掃描線驅動電路24在掃描方向上依序選擇包含於一驅動單元中之單元寫入掃描線 WSL^* ，其中掃描方向(亦被稱爲一「驅動單元掃描方向」)係掃描驅動單元之一方向。因此，與其中同時掃描一給定驅動單元之所有單元寫入掃描線 WSL^* 之 V_{th} 校正操作相比，對於信號寫入操作，依序單獨掃描一給定驅動單元之單元寫入掃描線 WSL^* 。驅動單元掃描方向係(例如)平行於自顯示面板10之上端至下端之方向之一方向。然而，驅動單元掃描方向可替代地爲平行於自顯示面板10之下端朝向上端之方向之一方向。

在圖6之實例中，對於信號寫入操作，掃描線驅動電路24以首先單元寫入掃描線 $WSL^*(p)$ 及接著單元寫入掃描線 $WSL^*(p+1)$ 之順序選擇包含於一驅動單元中之兩個單元寫入掃描線 $WSL^*(p)$ 及 $WSL^*(p+1)$ 。因此，掃描線驅動電路24在信號寫入時透過單元寫入掃描線 $WSL^*(p)$ 同時選擇包含於第 n 子像素列中之複數個像素11及包含於第 $n+2$ 子像素列中之複數個像素11，且接著透過單元寫入掃描線 $WSL^*(p+1)$ 同時選擇包含於第 n 子像素列中之複數個像素11及包含於第 $n+3$ 子像素列中之複數個像素11。

掃描線驅動電路24能夠輸出(例如)兩種電壓(V_{on} 及 V_{off})。具體言之，掃描線驅動電路24透過掃描線 WSL 供應該兩種電壓(V_{on} 及 V_{off})以驅動目標像素11，以執行寫入電晶體 $Tr2$ 之導通/關斷控制。此處， V_{on} 不低於寫入電晶體 $Tr2$ 之一導通電壓。 V_{on} 係在隨後描述之「 V_{th} 校正準備週期之第二半部分」、「 V_{th} 校正週期」及「信號寫入及 μ 校正週期」等等中自掃描線驅動電路24輸出之寫入脈衝之一峰值。 V_{off} 係低於寫入電晶體 $Tr2$ 之導通電壓之一值，且低於 V_{on} 。 V_{off} 係在隨後描述之「 V_{th} 校正準備週期之第一半部分」、「發光週期」等等中自掃描線驅動電路24輸出之寫入脈衝之一峰值。

電源線驅動電路25(例如)回應於控制信號21A之輸入(與控制信號21A之輸入同步)針對各預定單元依序選擇單元電源線 DSL^* 。電源線驅動電路25能夠輸出(例如)兩種電壓(V_{cc} 及 V_{ss})。具體言之，電源線驅動電路25透過單元電源線 DSL^* 供應該兩種電壓(V_{cc} 及 V_{ss})給包含由掃描線驅動電路24選擇之像素11之整個驅動單元(換言之，包含於該一驅動單元中之所有像素11)。此處， V_{ss} 係低於有機EL元件13之臨限電壓 V_{el} 與有機EL元件13之陰極電壓 V_{cath} 之總電壓($V_{el}+V_{cath}$)之一電壓值。 V_{cc} 係不低於電壓($V_{el}+V_{cath}$)之一電壓值。

操作

接著，將給定根據本實施例之顯示裝置1之操作(自非光發射至光發射之操作)之描述。在本實施例中，即使有機EL元件13之I-V特性隨時間變化或驅動電晶體Tr1之臨限電壓或遷移率隨時間變化，為免受該等變化影響且將有機EL元件13之照度保持在某一值，併入針對有機EL元件13之I-V特性之變動之校正操作及針對驅動電晶體Tr1之臨限電壓及遷移率之變動之校正操作。

圖8圖解說明顯示裝置1中之各種波形之一實例。圖8圖解說明其中在掃描線WSL、電源線DSL及信號線DTL中時刻發生二進位電壓變化之一狀態。進一步言之，圖8圖解說明其中驅動電晶體Tr1之閘極電壓 V_g 及源極電壓 V_s 回應於掃描線WSL、電源線DSL及信號線DTL之電壓變化時刻變化之一狀態。

V_{th} 校正準備週期

首先，驅動電路20為使驅動電晶體Tr1之閘極-源極電壓 V_{gs} 接近驅動電晶體Tr1之臨限電壓之 V_{th} 校正作準備。具體言之，當掃描線WSL之電壓係 V_{off} ，信號線DTL之電壓係 V_{ofs} 且電源線DSL之電壓係 V_{cc} 時(即，當有機EL元件13發光時)，電源線驅動電路25回應於控制信號21A將電源線DSL之電壓自 V_{cc} 下降至 $V_{ss}(T1)$ 。接著，源極電壓 V_s 降低至 V_{ss} ，且有機EL元件13不發光。此時，藉由透過保持電容器 C_s 之耦合降低閘極電壓 V_g 。

接著，當電源線DSL之電壓係 V_{ss} 且信號線DTL之電壓係 V_{ofs} 時，掃描線驅動電路24回應於控制信號21A將掃描線WSL之電壓自 V_{off} 升高至 $V_{on}(T2)$ 。接著，閘極電壓 V_g 降低至 V_{ofs} 。此時，閘極電壓 V_g 與源極電壓 V_s 之間的電位差 V_{gs} 可低於、等於或大於寫入電晶體Tr2之臨限電壓。

V_{th} 校正週期

接著，驅動電路20執行 V_{th} 校正。具體言之，當信號線DTL之電

壓係 V_{ofs} 且掃描線 WSL 之電壓係 V_{on} 時，電源線驅動電路 25 根據控制信號 21A 將電源線 DSL 之電壓自 V_{ss} 增加至 $V_{cc}(T3)$ 。接著，一電流 I_{ds} 在驅動電晶體 $Tr1$ 之汲極與源極之間流動，且源極電壓 V_s 增加。此時，若源極電壓 V_s 低於 $(V_{ofs} - V_{th})$ (若 V_{th} 校正仍未完成)，則電流 I_{ds} 在驅動電晶體之汲極與源極之間流動，直至驅動電晶體 $Tr1$ 截止 (直至電位差 V_{gs} 變為 V_{th})。藉此，閘極電壓 V_g 變為 V_{ofs} 且源極電壓 V_s 增加。因此，將保持電容器 C_s 充電至 V_{th} ，且電位差 V_{gs} 變為 V_{th} 。

之後，在信號線驅動電路 23 回應於控制信號 21A 將信號線 DTL 之電壓自 V_{ofs} 改變至 V_{sig} 之前，掃描線驅動電路 24 回應於控制信號 21A 將掃描線 WSL 之電壓自 V_{on} 下降至 $V_{off}(T4)$ 。接著，驅動電晶體 $Tr1$ 之閘極變為浮動，且因此無關於信號線 DTL 之電壓值，可將電位差 V_{gs} 保持在 V_{th} 。以此方式，藉由將電位差 V_{gs} 設定為 V_{th} ，即使驅動電晶體 $Tr1$ 之臨限電壓 V_{th} 針對各像素電路 12 而改變，亦可防止有機 EL 元件 13 之照度改變。

V_{th} 校正暫停週期

之後，在 V_{th} 校正之一暫停週期期間，信號線驅動電路 23 將信號線 DTL 之電壓自 V_{ofs} 改變至 V_{sig} 。

信號寫入及 μ 校正週期

在 V_{th} 校正暫停週期完成之後 (即，在完成 V_{th} 校正之後)，驅動電路 20 根據影像信號 20A 執行寫入信號電壓及 μ 校正。具體言之，當信號線 DTL 之電壓係 V_{sig} 且電源線 DSL 之電壓係 V_{cc} 時，掃描線驅動電路 24 回應於控制信號 21A 將掃描線 WSL 之電壓自 V_{off} 增加至 $V_{on}(T5)$ ，且將驅動電晶體 $Tr1$ 之閘極係連接至信號線 DTL。接著，驅動電晶體 $Tr1$ 之閘極電壓 V_g 變為信號線 DTL 之電壓 V_{sig} 。此時，有機 EL 元件 13 之陽極電壓在此階段仍低於有機 EL 元件 13 之臨限電壓 V_{el} ，且有機 EL 元件 13 截止。因此，電流 I_{ds} 流動通過有機 EL 元件 13 之元件電容器

Coled，且因此對元件電容器Coled充電。因此，源極電壓 V_s 增加 ΔV_s ，且不久之後電位差 V_{gs} 變為 $(V_{sig} + V_{th} - \Delta V_s)$ 。以此方式，同時執行寫入及 μ 校正。此處，驅動電晶體Tr1之遷移率 μ 愈大， ΔV_s 變得愈大，且因此可藉由在發光之前將電位差 V_{gs} 降低 ΔV 來移除針對各像素11之遷移率 μ 之變動。

光發射

最後，掃描線驅動電路24回應於控制信號21A將掃描線WSL之電壓自 V_{on} 降低至 $V_{off}(T6)$ 。接著，驅動電晶體Tr1之閘極變為浮動，電流 I_{ds} 在驅動電晶體Tr1之汲極與源極之間流動，且源極電壓 V_s 增加。因此，施加高於臨限電壓 V_{el} 之一電壓至有機EL元件13，且有機EL元件13發射具有所要照度之光。

接著，將參考圖8及圖9給定藉由根據本實施例之顯示裝置1掃描 V_{th} 校正及信號寫入及 μ 校正之一實例之描述。在此方面，圖9圖解說明兩個相鄰驅動單元(即，4個連續顯示像素單元列(即連接至單元寫入掃描線 $WSL^*(p)$ 、 $WSL^*(p+1)$ 、 $WSL^*(p+2)$ 及 $WSL^*(p+3)$ 之8個子像素列))中之 V_{th} 校正及信號寫入及 μ 校正之掃描之一實例。

在此方面，在下文中，將給定關於以下假設之描述：一驅動單元中之所有像素11被分組成各連接至一單元掃描線 WSL^* 之群組。在本實施例中，將一驅動單元中之所有像素11R及所有像素11W置於一群組中，且將一驅動單元中之所有像素11G及所有像素11B置於另一群組中。因此，在下文中，假設將一第一驅動單元中連接至寫入掃描線 $WSL^*(p)$ 之所有像素11R及所有像素11W置於一第一群組中，且將第一驅動單元中連接至寫入掃描線 $WSL^*(p+1)$ 之所有像素11G及所有像素11B置於一第二群組中。進一步言之，將一第二驅動單元中連接至單元寫入掃描線 $WSL^*(p+2)$ 之所有像素11R及所有像素11W置於一第三群組中，且將第二驅動單元中連接至單元寫入掃描線 $WSL(p+3)$

之所有像素11G及所有像素11B置於一第四群組中。

驅動電路20在相同週期中對第一驅動單元中之所有群組(第一群組及第二群組)執行 V_{th} 校正，且接著針對各群組依序對第一驅動單元中之所有群組(第一群組及第二群組)執行信號電壓寫入(及 μ 校正)。之後，驅動電路20在相同週期中對第二驅動單元中之所有群組(第三群組及第四群組)執行 V_{th} 校正，且接著針對各群組依序對第二驅動單元中之所有群組(第三群組及第四群組)執行信號電壓寫入(及 μ 校正)。此時，驅動電路20在一水平週期(1H)中對一驅動單元執行 V_{th} 校正，且接著在一水平週期(1H)中執行信號電壓寫入(及 μ 校正)。即，驅動電路20使用兩個水平週期(2H)對一驅動單元連續執行 V_{th} 校正及信號電壓寫入(及 μ 校正)。

進一步言之，當驅動電路20針對各群組執行信號寫入時，驅動電路20對包含於該群組中之所有像素11同時執行信號寫入。具體言之，當選擇單元寫入掃描線 $WSL^*(p)$ 時，驅動電路20將上述電壓 $V(p)$ 輸出至各信號線DTL。即，當選擇單元寫入掃描線 $WSL^*(p)$ 時，驅動電路20將 $V_{sig}(n,m)$ 及 $V_{sig}(n,m+2)$ 輸出至偶數號信號線DTL(DTL(m)及DTL(m+2))，且同時將 $V_{sig}(n+2,m+1)$ 及 $V_{sig}(n+2,m+3)$ 輸出至奇數號信號線DTL(DTL(m+1)及DTL(m+3))。進一步言之，當選擇單元寫入掃描線 $WSL^*(p+1)$ 時，驅動電路20將 $V_{sig}(n+1,m)$ 及 $V_{sig}(n+1,m+2)$ 輸出至偶數號信號線DTL(DTL(m)及DTL(m+2))，且同時將 $V_{sig}(n+3,m+1)$ 、 $V_{sig}(n+3,m+3)$ 輸出至奇數號信號線DTL(DTL(m+1)及DTL(m+3))。

因此，在具有相同發光色彩之個別像素11R中，自 V_{th} 校正結束至信號電壓寫入開始之週期(所謂的等待時間 Δt_1)匹配，且因此對於各像素列，複數個像素11R中之等待時間 Δt_1 匹配。在本實施例中，各像素11W之等待時間 Δt_2 等於各像素11R之等待時間 Δt_1 。因此，在具有

相同發光色彩之個別像素11W中，等待時間 Δt_2 匹配，且對於各像素列，複數個像素11W中之等待時間 Δt_2 匹配。進一步言之，在具有相同發光色彩之個別像素11G中，等待時間 Δt_3 匹配，且對於各像素列，複數個像素11G中之等待時間 Δt_3 匹配。在本實施例中，各像素11B之等待時間 Δt_4 等於各像素11G之等待時間 Δt_3 。因此，在具有相同發光色彩之個別像素11B中，等待時間 Δt_4 匹配，且因此對於各像素列，複數個像素11B中之等待時間 Δt_4 匹配。在此方面，像素11R及11W之等待時間 Δt_1 及 Δt_2 與像素11G及11B之等待時間 Δt_3 及 Δt_4 彼此不同。這稍微影響色彩重現性，但不影響色彩不規則性。

優點

接著，將給定根據本實施例之顯示裝置1之優點之描述。

圖10圖解說明在先前技術中通常所使用之像素配置之一實例。在先前技術中，包含於顯示像素140中之個別像素110R、110G及110B係連接至一共同掃描線WSL(n)及一電源線DSL(n)。在此一像素配置中，例如，如圖11中圖解說明，當針對各1H週期執行 V_{th} 校正及信號寫入時，難以縮短1H週期且藉此縮短1F之一掃描週期(即，以較高速度驅動)。因此，例如如圖12中圖解說明，在一共同1H週期中對兩個線一起執行 V_{th} ，且接著在下一1H週期中針對各線執行信號寫入。在此驅動方法中， V_{th} 校正經集束，且因此適用於高速驅動。然而，對於各線而言，自 V_{th} 校正結束至信號寫入開始之一等待時間 Δt 係不同的。因此，即使施加具有相同灰階之信號電壓至個別線之驅動電晶體之閘極，對於各線發光亦變得不同，且因此存在發生照度不均勻之問題。

另一方面，在本實施例中，用於選擇各像素11之各單元寫入掃描線WSL*係連接至一驅動單元中具有相同發光色彩之複數個像素11。進一步言之，用於供應一驅動電流給各像素11之各單元電源線DSL*

係連接至一驅動單元中之所有像素11。藉此，如上所述，可對一驅動單元中之所有群組大約同時執行 V_{th} 校正，且接著針對各群組對一驅動單元中之所有群組執行信號電壓寫入。因此，在具有相同發光色彩之各像素11中，自 V_{th} 校正結束至 μ 校正開始之一等待時間匹配，且因此對於各線，具有相同發光色彩之像素11之一等待時間匹配。因此，可減少藉由使 V_{th} 校正集束引起的照度不均勻之發生。

圖13圖解說明根據一比較實例之一像素配置之一實例。在此比較實例中，在一驅動單元中彼此不同列中且彼此相鄰之兩個顯示像素單元14中，像素11中具有相同發光色彩之寫入電晶體 Tr_2 之佈局(特定言之，閘極(G)、源極(S)及汲極(D)之配置)彼此不同。例如，如圖13中圖解說明，在第 n 子像素列之像素11R及第 $(n+2)$ 像素列之像素11R中，像素11R之寫入電晶體 Tr_2 之閘極、源極、汲極之佈置方向彼此不同。因此，在製造程序中，在第 n 像素列之像素11R及第 $(n+2)$ 像素列之像素11R中，當形成源極及汲極時由遮罩錯位引起之源極及汲極相對於閘極之相對位置錯位的影響彼此不同。

例如，如圖14中圖解說明，若使一遮罩稍微移位至圖14中的右側，則在第 n 像素列之像素電路120R中之寫入電晶體 Tr_2 中，位於閘極正上方之汲極之區域變得大於位於閘極正上方之源極之區域，且寫入電晶體 Tr_2 之閘極與源極之間的寄生電容變大。另一方面，在第 $(n+2)$ 像素列之像素電路120R中之寫入電晶體 Tr_2 中，位於閘極正上方之汲極之區域變得小於位於閘極正上方之源極之區域，且因此寫入電晶體 Tr_2 之閘極與源極之間的寄生電容變小。

此處，寫入電晶體 Tr_2 之閘極與源極之間的寄生電容極大地影響在信號寫入之上升時間(時間 T_6)在驅動電晶體 Tr_1 之閘極電極15A上出現的負耦合之大小。具體言之，若寫入電晶體 Tr_2 之閘極與源極之間的寄生電容為大，則發生在驅動電晶體 Tr_1 之閘極電極15A上之負耦合

變大，且驅動電晶體Tr1之閘極-源極電壓 V_{gs} 變小。另一方面，若寫入電晶體Tr2之閘極與源極之間的寄生電容為小，則發生在驅動電晶體Tr1之閘極電極15A上之負耦合變小，且驅動電晶體Tr1之閘極-源極電壓 V_{gs} 變大。以此方式，當寫入電晶體Tr2之閘極與源極之間的寄生電容改變時，驅動電晶體Tr1之閘極-源極電壓 V_{gs} 改變。因此，第n像素列之像素11R之照度變小，且第(n+2)像素列之像素11R之照度變大，且因此發生如圖15中圖解說明之條形照度不均勻。

另一方面，在本實施例中，在一驅動單元中彼此不同列中且彼此相鄰之兩個顯示像素單元14中，像素11中具有相同發光色彩之寫入電晶體Tr2之佈局(特定言之，閘極(G)、源極(S)及汲極(D)之配置)彼此相等。因此，例如，在製造程序中，在第n像素列之像素11R及第(n+2)像素列之像素11R中，當形成源極及汲極時由遮罩錯位引起之源極及汲極相對於閘極之相對位置錯位的影響彼此相等。因此，例如，第n像素列之像素11R之照度及第(n+2)像素列之像素11R之照度變得彼此相同，且因此並未發生如圖15中圖解說明之條形照度不均勻。

2.變動

在下文中，將給定根據實施例之顯示裝置1之各種變動之描述。在此方面，在下文中，將相同參考符號賦予為根據實施例之顯示裝置1所共有之一組件。進一步言之，將適當地省略為根據實施例之顯示裝置1所共有之組件的描述。

變動1

在上述實施例中，每一驅動單元被指派兩個單元寫入掃描線WSL*。然而，雖然圖中未圖解說明，但是每一驅動單元被指派之單元寫入掃描線WSL*的數目可與包含於該一驅動單元中之顯示像素單元列之數目相同。

變動2

在上述實施例中，指派給每一個驅動單元之單元電源線DSL*具有一分支結構。然而，雖然圖中未圖解說明，但是每一單元被指派之分離電源線DSL的數目可與包含於一驅動單元中之顯示像素單元列之數目相同。然而，在該情況中，施加相同的電壓至各單元之電源線DSL。

變動3

在上述實施例中，已圖解說明以下情況之實例：在驅動電晶體Tr1及寫入電晶體Tr2兩者中，閘極、源極及汲極之配置在平行於信號線DTL之延伸方向之一方向上延伸。然而，雖然圖中未圖解說明，但是在驅動電晶體Tr1及寫入電晶體Tr2兩者中，閘極、源極及汲極之配置可在其他方向(諸如平行於掃描線WSL或電源線DSL之延伸方向之一方向)上延伸。在此一組態之情況中，並未發生如圖15中圖解說明之條形照度不均勻。

變動4

在上述實施例中，在一單元中彼此不同之列中且彼此相鄰之兩個顯示像素單元14中，具有彼此相同之發光色彩之兩個像素11已佈置在兩個共同信號線DTL之間。然而，在一單元中彼此不同之列中且彼此相鄰之兩個顯示像素單元14中，具有彼此相同之發光色彩之兩個像素11之一者可佈置在兩個信號線DTL(m)與DTL(m+1)之間，且兩個像素11之另一者可佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。例如，如圖16中圖解說明，在一單元中彼此不同之列中且彼此相鄰之兩個顯示像素單元14中，兩個像素11R之一者可佈置在兩個信號線DTL(m)與DTL(m+1)之間，且兩個像素11R之另一者可佈置在兩個信號線DTL(m+2)與DTL(m+3)之間。

變動5

雖然已描述具有各像素顯示單元之一紅色、綠色、藍色及白色

像素電路之一實施例，但是本發明絕不限於此闡釋性組態。例如，每個像素顯示單元包含少於4個像素電路之實施例及每個像素顯示單元包含多於4個像素電路之實施例可在附屬請求項之一或多者之範疇內。此外，雖然該等圖中圖解說明之像素電路顯然具有一均勻大小，但是本發明絕不限於此闡釋性組態。例如，一些像素電路之一顯示元件之大小可不同於其他像素電路之一顯示元件或一些像素電路之一顯示元件可具有不同於其他像素電路之一顯示元件之一形狀。

3.應用

在下文中，將給定上述實施例及其等變動(在下文中，稱為「該實施例等等」)中描述之顯示裝置1之應用的描述。可將根據該實施例之顯示裝置1應用於所有領域中之電子系統之一顯示裝置，其中將外部輸入之一影像信號或內部產生之一影像信號顯示為一影像或一視訊影像。例如，電子系統包含一電視裝置、一數位相機、一筆記型個人電腦、諸如一行動電話等等之一行動終端機裝置或一攝影機等等。

應用1

圖17圖解說明應用根據該實施例等等之顯示裝置1之一電視裝置之一外觀。此電視裝置包含(例如)一影像顯示螢幕區段300，其包含一前面板310及一濾光玻璃320。且影像顯示螢幕區段300包含根據該實施例之顯示裝置1。

應用2

圖18A及圖18B圖解說明應用根據該實施例之顯示裝置1之一數位相機之一外觀。此數位相機包含(例如)一閃光發射區段410、一顯示區段420、一選單開關430及一快門按鈕440。顯示區段420包含根據該實施例等等之顯示裝置1。

應用3

圖19圖解說明應用根據該實施例之顯示裝置1之一筆記型個人電

腦之一外觀。此筆記型個人電腦包含(例如)一主體510、用於字元等等之輸入操作之一鍵盤520及其上顯示一影像之一顯示區段530。顯示區段530包含根據該實施例等等之顯示裝置1。

應用4

圖20圖解說明應用根據該實施例等等之顯示裝置1之一攝影機之一外觀。此攝影機包含(例如)一主體部分610、佈置在主體部分610之一前側面處之一主體拍攝透鏡620、一拍攝開始/停止開關630以及一顯示區段640。顯示區段640包含根據該實施例等等之顯示裝置1。

應用5

圖21A至圖21G圖解說明應用根據該實施例等等之顯示裝置1之一行動電話之一外觀。此行動電話具有(例如)藉由一連接區段(鉸鏈區段)730連接一上外殼710及一下外殼720之一組態。行動電話包含一顯示器740、一子顯示器750、一圖像燈760及一相機770。顯示器740或子顯示器750包含根據該實施例等等之顯示裝置1。

在上文中，已藉由給定實施例及應用給定本技術的描述。然而，本技術不限於上述實施例等等且可作出各種變動。

例如，用於主動矩陣定址之像素電路12之一組態不限於各實施例等等中描述之組態，且可視需要添加一電容式元件或一電晶體。在該情況中，可根據像素電路12之變動添加除上述信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25等等之外的一必要驅動電路。

又，在上述實施例等等中，信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25之驅動受控於時序產生電路21及影像信號處理電路22。然而，其他電路可控制此等電路。又，信號線驅動電路23、掃描線驅動電路24及電源線驅動電路25可受控於硬體(一電路)或軟體(一程式)。

又，在上述實施例等等中，已給定以下描述：寫入電晶體Tr2之

源極及汲極以及驅動電晶體Tr1之源極及汲極係固定的。當然可根據電流之一方向反轉源極與汲極之間的相對關係。此時，在上述實施例等等中，可由汲極取代源極且可由源極取代汲極。

又，在上述實施例等等中，已給定關於以下假設之描述：寫入電晶體Tr2及驅動電晶體Tr1係由n通道MOS型TFT形成。然而，寫入電晶體Tr2及驅動電晶體Tr1之至少一者可由一p通道MOS型TFT形成。在此方面，在上述實施例等等中，若驅動電晶體Tr1係由一p通道MOS型TFT形成，則有機EL元件13之陽極由陰極取代，且有機EL元件13之陰極由陽極取代。又，在上述實施例等等中，寫入電晶體Tr2及驅動電晶體Tr1不必總是非晶TFT或微矽TFT，且可為(例如)一低溫多晶矽TFT或氧化物半導體TFT。

又，例如，可如下般組態本技術。

(1)一種顯示單元，其包括：

複數個寫入掃描線；

複數個信號線；及

複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式，該複數個像素電路之各者包含：

一顯示元件；

一第一電晶體，其經組態以當施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上攜載之一電位，該複數個寫入掃描線之該一者係連接至該第一電晶體，

一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓，

其中該複數個像素電路之各者對應於N種顯示色彩之一者，且該複數個像素電路被分組成各包括分別對應於該N種顯示色彩之該複數個像素電路之N個像素電路之顯示像素單元，該N個像素電路鄰接地佈置在R個鄰接列中， $2 \leq R \leq N$ ，及

包含於該等顯示像素單元之一第一者中之該複數個像素電路之一給定者之該第一電晶體係佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之該複數個像素電路中對應於與該複數個像素電路之該給定者相同之一色彩之該像素電路之該第一電晶體相同之一佈局定向中。

(2)如(1)之顯示單元，

其中對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

(3)如(1)之顯示單元，其進一步包括：

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

其中該複數個寫入掃描線之各者係連接至該複數個像素電路之佈置在像素電路之一對應列中之若干者，

該複數個信號線之各者係連接至該複數個像素電路之佈置在像素電路之一對應行中之若干者，

該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之K個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之K/2個電力供應線構成，其中K為等於或大於4之一偶數整數，

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $R \geq 2$ 個寫

入掃描線，其中 $K = L \cdot R$ ，及

各單元寫入掃描線對應於該等顯示色彩之至少一者，且係連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

(4)如(3)之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

(5)如(4)之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第二電晶體係佈置在彼此相同之一佈局定向中。

(6)如(5)之顯示單元，

其進一步包括一驅動控制區段，該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

其中該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

(7)如(6)之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單

元之給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

(8)如(6)之顯示單元，

其中該驅動控制區段經組態以藉由在施加一視訊信號電位至連接至該各自像素電路之該信號線時將該各自像素電路之該第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作，

其中在該給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之該等像素電路同時執行該信號寫入操作，及

其中針對連接至彼此不同的單元寫入掃描線之像素電路，在該給定影像圖框週期期間以不同各自時序執行該信號寫入操作。

(9)如(3)之顯示單元，

其中 $N=4$ ， $R=2$ ， $K=4$ ，且該等顯示色彩包括紅色、綠色及藍色。

(10)如(9)之顯示單元，

其中該等顯示色彩進一步包括白色。

(11)如(9)之顯示單元，

其中該等顯示色彩進一步包括黃色。

(12)一種顯示單元，其包括：

複數個寫入掃描線；

複數個信號線；及

複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式，該複數個像素電路之各者包含：

一顯示元件，

一第一電晶體，其經組態以當施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上攜載之一電位，該複數個寫入掃描線之該一者係連接至該第一電晶體，

一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓，

其中該複數個像素電路之各者對應於4種顯示色彩之一者，且該複數個像素電路被分組成各包括分別對應於該4種顯示色彩之該複數個像素電路之4個像素電路之顯示像素單元，該4個像素電路鄰接地佈置在2個鄰接列中，及

包含於該等顯示像素單元之一第一者中之該複數個像素電路之一給定者之該第一電晶體係佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之該複數個像素電路中對應於與該複數個像素電路之該給定者相同之一色彩之該像素電路之該第一電晶體相同之一佈局定向中。

(13)如(12)之顯示單元，

其中對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

(14)如(12)之顯示單元，其進一步包括：

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

其中該複數個寫入掃描線之各者係連接至該複數個像素電路之佈置在像素電路之一對應列中之若干者，

該複數個信號線之各者係連接至該複數個像素電路之佈置在像素電路之一對應行中之若干者，

該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之2個電力供應線構成，

該等驅動單元之各者包含2個單元寫入掃描線，該2個單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之2個寫入掃描線，及

各單元寫入掃描線對應於該等顯示色彩之至少一者，且係連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

(15)如(14)之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

(16)如(15)之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第二電晶體係佈置在彼此相同之一佈局定向中。

(17)如(16)之顯示單元，

其進一步包括一驅動控制區段，該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

其中該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

(18)如(17)之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

(19)如(17)之顯示單元，

其中該驅動控制區段經組態以藉由在施加一視訊信號電位至連接至該各自像素電路之該信號線時將該各自像素電路之該第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作，

其中在該給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之該等像素電路同時執行該信號寫入操作，及

其中針對連接至彼此不同的單元寫入掃描線之像素電路，在該給定影像圖框週期期間以不同各自時序執行該信號寫入操作。

(20)如(14)之顯示單元，

其中該等顯示色彩包括紅色、綠色、藍色及白色。

(21)一種顯示面板，其包括：

複數個像素，其等經組態以包含具有彼此不同的發光色彩之複數種子像素且佈置成一矩陣；

一第一信號線及一第二信號線，其等經組態以在一列方向上將包含於一第一像素列中之一第一像素夾置於該第一信號線與該第二信號線之間；及

一第三信號線及一第四信號線，其等經組態以在該列方向上將包含於在該列方向上與該第一像素列相鄰之一第二像素列中且具有與該第一像素之發光色彩相同之一發光色彩之一第二像素夾置於該第三信號線與該第四信號線之間，

其中該第一像素及該第二像素個別地包含一發光元件及驅動該發光元件之一像素電路，

該像素電路包含一第一電晶體，該第一電晶體包含一閘極電極、一源極電極及一汲極電極，

在包含於該第一像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第一信號線及該第二信號線中之一左側信號線，

在包含於該第二像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第三信號線及該第四信號線中之一右側信號線，及

在包含於該第一像素中之該像素電路中之一第一電晶體及包含於該第二像素中之該像素電路中之一第一電晶體中，該閘極電極、該源極電極及該汲極電極之一佈置方向及一配置順序彼此相同。

(22)如(21)之顯示面板，

其中該像素電路包含

該第一電晶體，

一第二電晶體，其包含一閘極電極、一源極電極及一汲極電極

且經組態以驅動該發光元件，及

一保持電容器，其經組態以保持該第二電晶體之一閘極-源極電壓，

其中在包含於該第一像素中之該像素電路中之一第二電晶體及包含於該第二像素中之該像素電路中之一第二電晶體中，該閘極電極、該源極電極及該汲極電極之一佈置方向及一配置順序彼此相同。

(23)如(22)之顯示面板，

其中在包含於該第一像素中之該像素電路中之該第一電晶體、包含於該第一像素中之該像素電路中之該第二電晶體、包含於該第二像素中之該像素電路中之該第一電晶體及包含於該第二像素中之該像素電路中之該第二電晶體中，該閘極電極、該源極電極及該汲極電極之該配置順序彼此相同。

(24)如(21)之顯示面板，

其中該第一信號線及該第三信號線係一相同信號線，且該第二信號線及該第四信號線係一相同信號線。

(25)如(24)之顯示面板，

其中該第一信號線及該第二信號線分別包含經組態以在與該第一信號線及該第二信號線之一主線之一延伸方向交叉之一方向上延伸之一第一分支，及

該第一電晶體之該源極電極或該汲極電極係連接至該第一分支。

(26)如(25)之顯示面板，

其中在該第一電晶體中，該閘極電極、該源極電極及該汲極電極之該配置順序平行於該第一信號線及該第二信號線之該主線之該延伸方向。

(27)如(26)之顯示面板，

其中包含於各像素中之發光色彩之種類之一數目及子像素之一數目皆係4，

該4個子像素被置於一正方形配置中，及

該4個子像素中的左側或右側兩個子像素在列方向上夾置於該第一信號線與該第二信號線之間。

(28)如(27)之顯示面板，其進一步包括：

當將兩個像素列假設為一單元時，複數個掃描線之兩個掃描線經組態以指派給該一單元且用於選擇各像素；及

複數個電源線之一者經組態以指派給該一單元且用於供應驅動電流給各像素，

其中該等掃描線之各者係連接至在一單元中具有一相同發光色彩之複數個子像素，及

該等電源線之各者係連接至該一單元中之所有該等子像素。

(29)如(28)之顯示面板，

其中該等掃描線之各者包含兩個第二分支，及

該等第二分支之各者穿越該正方形配置之一中心。

(30)如(29)之顯示面板

其中該第一電晶體之該閘極電極係連接至該第二分支。

(31)如(30)之顯示面板，

其中該等電源線之各者包含兩個第三分支，及

該等第三分支之各者穿越該正方形配置之一中心。

(32)如(31)之顯示面板，

其中該像素電路包含

該第一電晶體，

一第二電晶體，其包含一閘極電極、一源極電極及一汲極電極且經組態以驅動該發光元件，及

一保持電容器，其經組態以保持該第二電晶體之一閘極-源極電壓，

其中在包含於該第一像素中之該像素電路中之該第一電晶體、包含於該第一像素中之該像素電路中之該第二電晶體、包含於該第二像素中之該像素電路中之該第一電晶體及包含於該第二像素中之該像素電路中之該第二電晶體中，該閘極電極、該源極電極及該汲極電極之該配置順序彼此相同。

(33)如(21)之顯示面板，

其中該第一信號線、該第二信號線、該第三信號線及該第四信號線依序平行佈置在該列方向上。

(34)如(33)之顯示面板，

其中該第一信號線及該第二信號線分別包含經組態以在與該第一信號線及該第二信號線之一主線之一延伸方向交叉之一方向上延伸之一第一分支，及

該第一電晶體之該源極電極或該汲極電極係連接至該第一分支。

(35)如(34)之顯示面板，

其中在該第一電晶體中，該閘極電極、該源極電極及該汲極電極之該配置順序平行於該第一信號線及該第二信號線之該主線之該延伸方向。

(36)如(35)之顯示面板，

其中包含於各像素中之發光色彩之種類之一數目及子像素之一數目皆係4，

該4個子像素被置於一正方形配置中，

該4個子像素中的左側兩個子像素在該列方向上夾置於該第一信號線與該第二信號線之間，及

該4個子像素中的右側兩個子像素在該列方向上夾置於該第三信號線與該第四信號線之間。

(37)一種顯示裝置，其包括：

一顯示面板；及

一驅動電路，其經組態以驅動該顯示面板，

其中該顯示面板包含

複數個像素，其等經組態以包含具有彼此不同的發光色彩之複數種子像素且佈置成一矩陣，

一第一信號線及一第二信號線，其等經組態以在一列方向上將包含於一第一像素列中之一第一像素夾置於該第一信號線與該第二信號線之間；及

一第三信號線及一第四信號線，其等經組態以在該列方向上將包含於在該列方向上與該第一像素列相鄰之一第二像素列中且具有與該第一像素之發光色彩相同之一發光色彩之一第二像素夾置於該第三信號線與該第四信號線之間，

其中該第一像素及該第二像素個別地包含一發光元件及驅動該發光元件之一像素電路，

該像素電路包含一第一電晶體，該第一電晶體包含一閘極電極、一源極電極及一汲極電極，

在包含於該第一像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第一信號線及該第二信號線中之一左側信號線，

在包含於該第二像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第三信號線及該第四信號線中之一右側信號線，及

在包含於該第一像素中之該像素電路中之一第一電晶體及包含

於該第二像素中之該像素電路中之一第一電晶體中，該閘極電極、該源極電極及該汲極電極之一佈置方向及一配置順序彼此相同。

(38)一種電子系統，其包括

一顯示裝置，

該顯示裝置包含

一顯示面板，及

一驅動電路，其經組態以驅動該顯示面板，

其中該顯示面板包含

複數個像素，其等經組態以包含具有彼此不同的發光色彩之複數種子像素且佈置成一矩陣，

一第一信號線及一第二信號線，其等經組態以在一列方向上將包含於一第一像素列中之一第一像素夾置於該第一信號線與該第二信號線之間；及

一第三信號線及一第四信號線，其等經組態以在該列方向上將包含於在該列方向上與該第一像素列相鄰之一第二像素列中且具有與該第一像素之發光色彩相同之一發光色彩之一第二像素夾置於該第三信號線與該第四信號線之間，

其中該第一像素及該第二像素個別地包含一發光元件及驅動該發光元件之一像素電路，

該像素電路包含一第一電晶體，該第一電晶體包含一閘極電極、一源極電極及一汲極電極，

在包含於該第一像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第一信號線及該第二信號線中之一左側信號線，

在包含於該第二像素中之一像素電路中，該第一電晶體之一源極電極或一汲極電極連接至該第三信號線及該第四信號線中之一右側

信號線，及

在包含於該第一像素中之該像素電路中之一第一電晶體及包含於該第二像素中之該像素電路中之一第一電晶體中，該閘極電極、該源極電極及該汲極電極之一佈置方向及一配置順序彼此相同。

本發明主張關於2012年7月31日向日本專利局申請之日本優先權專利申請案JP 2012-170305中所揭示者之標的，該案之全部內容係以引用方式併入本文。

【符號說明】

1	顯示裝置
10	顯示面板
10A	顯示區域
11	像素
11B	藍色像素
11G	綠色像素
11R	紅色像素
11W	白色像素
12	像素電路
12B	藍色像素電路
12G	綠色像素電路
12R	紅色像素電路
12W	白色像素電路
13	有機電致發光(EL)元件
14	顯示像素單元
14A	閘極電極
14B	源極電極
14C	汲極電極

15A	閘極電極
15B	源極電極
15C	汲極電極
15D	接觸件
20	驅動電路
20A	數位影像信號/影像信號
20B	同步信號
21	時序產生電路
21A	控制信號
22	影像信號處理電路
22A	影像信號
23	信號線驅動電路
24	掃描線驅動電路
25	電源線驅動電路
110B	像素
110G	像素
110R	像素
120B	像素電路
120G	像素電路
120R	像素電路
120W	像素電路
140	顯示像素
300	影像顯示螢幕區段
310	前面板
320	濾光玻璃
410	閃光發射區段

420	顯示區段
430	選單開關
440	快門按鈕
510	主體
520	鍵盤
530	顯示區段
610	主體部分
620	主體拍攝透鏡
630	拍攝開始/停止開關
640	顯示區段
710	上外殼
720	下外殼
730	連接區段
740	顯示器
750	子顯示器
760	圖像燈
770	相機
C1	連接點
C2	連接點
Cs	保持電容器
D	汲極
DSL	電源線
DSL(n)	電源線
DSL(j)	電源線
DSL(j+1)	電源線
DSL*(j)	單元電源線

DSL*(j+1)	單元電源線
DTL	信號線
DTL(m)	信號線
DTL(m+1)	信號線
DTL(m+2)	信號線
DTL(m+3)	信號線
G	閘極
GND	接地線
Ids	電流
S	源極
Tr1	驅動電晶體
Tr2	寫入電晶體
V _g	閘極電壓
V _s	源極電壓
V _{gs}	閘極源極之間之電壓
WSL	掃描線
WSL(n)	掃描線
WSL(n+1)	掃描線
WSL(n+2)	掃描線
WSL(n+3)	掃描線
WSL(n+4)	掃描線
WSL(n+5)	掃描線
WSL(n+6)	掃描線
WSL(n+7)	掃描線
WSL*	單元寫入掃描線
WSL*(p)	單元寫入掃描線

WSL*(p+1) 單元寫入掃描線
WSL*(p+2) 單元寫入掃描線
WSL*(p+3) 單元寫入掃描線
X 線
Y 線

申請專利範圍

1. 一種顯示單元，其包括：

複數個寫入掃描線；

複數個信號線；及

複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式，該複數個像素電路之各者包含：

一顯示元件；

一第一電晶體，其經組態以當施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上攜載之一電位，該複數個寫入掃描線之該一者係連接至該第一電晶體，

一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓，

其中該複數個像素電路之各者對應於N個顯示色彩之一者，且該複數個像素電路被分組成各包括分別對應於該N個顯示色彩之該複數個像素電路之N個像素電路之顯示像素單元，該N個像素電路鄰接地佈置在R個鄰接列中， $2 \leq R \leq N$ ，及

包含於該等顯示像素單元之一第一者中之該複數個像素電路之一給定者之該第一電晶體係佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之該複數個像素電路中對應於與該複數個像素電路之該給定者相同之一色彩之該像素電路之該第一電晶體相同之一佈

局定向中。

2. 如請求項1之顯示單元，

其中對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

3. 如請求項1之顯示單元，其進一步包括：

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

其中該複數個寫入掃描線之各者係連接至該複數個像素電路之佈置在像素電路之一對應列中之若干者，

該複數個信號線之各者係連接至該複數個像素電路之佈置在像素電路之一對應行中之若干者，

該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之K個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之K/2個電力供應線構成，其中K為等於或大於4之一偶數整數，

該等驅動單元之各者包含 $L \geq 2$ 個單元寫入掃描線，該等單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之 $R \geq 2$ 個寫入掃描線，其中 $K = L \cdot R$ ，及

各單元寫入掃描線對應於該等顯示色彩之至少一者，且係連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

4. 如請求項3之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

5. 如請求項4之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第二電晶體係佈置在彼此相同之一佈局定向中。

6. 如請求項5之顯示單元，

其進一步包括一驅動控制區段，該驅動控制區段經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖框，

其中該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

7. 如請求項6之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

8. 如請求項6之顯示單元，

其中該驅動控制區段經組態以藉由在施加一視訊信號電位至連接至該各自像素電路之該信號線時將該各自像素電路之該第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作，

其中在該給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之該等像素電路同時執行該信號寫入操作，及

其中針對連接至彼此不同的單元寫入掃描線之像素電路，在該給定影像圖框週期期間以不同各自時序執行該信號寫入操作。

9. 如請求項3之顯示單元，

其中 $N=4$ ， $R=2$ ， $K=4$ ，且該等顯示色彩包括紅色、綠色及藍色。

10. 如請求項9之顯示單元，

其中該等顯示色彩進一步包括白色。

11. 如請求項9之顯示單元，

其中該等顯示色彩進一步包括黃色。

12. 一種顯示單元，其包括：

複數個寫入掃描線；

複數個信號線；及

複數個像素電路，其等佈置成包括像素電路之列及行之一矩陣形式，該複數個像素電路之各者包含：

一顯示元件，

一第一電晶體，其經組態以當施加一掃描脈衝至該複數個寫入掃描線之一者時取樣該複數個信號線之一者上攜載之一電位，該複數個寫入掃描線之該一者係連接至該第一電晶

體，

一電容器，其具有一第一端子，該電容器經組態以保持藉由該第一電晶體取樣之該電位，及

一第二電晶體，其經組態以供應一驅動電流給該顯示元件，該驅動電流之量值對應於該電容器之該第一端子與該電容器之一第二端子之間之一電壓，

其中該複數個像素電路之各者對應於4個顯示色彩之一者，且該複數個像素電路被分組成各包括分別對應於該4個顯示色彩之該複數個像素電路之4個像素電路之顯示像素單元，該4個像素電路鄰接地佈置在2個鄰接列中，及

包含於該等顯示像素單元之一第一者中之該複數個像素電路之一給定者之該第一電晶體係佈置在與包含於在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之一第二者中之該複數個像素電路中對應於與該複數個像素電路之該給定者相同之一色彩之該像素電路之該第一電晶體相同之一佈局定向中。

13. 如請求項12之顯示單元，

其中對於包含於該等顯示像素單元之該第一者及在一行方向上與該等顯示像素單元之該第一者相鄰之該等顯示像素單元之該第二者中之該複數個像素電路之各者，對應於彼此相同之一色彩之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

14. 如請求項12之顯示單元，其進一步包括：

複數個電力供應線，其等各連接至該複數個像素電路之兩個各自對應相鄰列，

其中該複數個寫入掃描線之各者係連接至該複數個像素電路

之佈置在像素電路之一對應列中之若干者，

該複數個信號線之各者係連接至該複數個像素電路之佈置在像素電路之一對應行中之若干者，

該複數個像素電路被分組成各包括連接至一對應單元電力供應線之像素電路之4個鄰接列之驅動單元，該單元電力供應線係由組態為一共同線之該複數個電力供應線之2個電力供應線構成，

該等驅動單元之各者包含2個單元寫入掃描線，該2個單元寫入掃描線各包括組態為一共同線之該複數個寫入掃描線之2個寫入掃描線，及

各單元寫入掃描線對應於該等顯示色彩之至少一者，且係連接至對應於該各自單元寫入掃描線所對應之該等顯示色彩之任一者且包含在該各自單元寫入掃描線所屬之該驅動單元中之所有該等像素電路。

15. 如請求項14之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第一電晶體係佈置在彼此相同之一佈局定向中。

16. 如請求項15之顯示單元，

其中對於包含於該等驅動單元之給定者中之該複數個像素電路之各者，連接至彼此相同之一單元寫入掃描線之該等像素電路之該等第二電晶體係佈置在彼此相同之一佈局定向中。

17. 如請求項16之顯示單元，

其進一步包括一驅動控制區段，其經組態以藉由控制該複數個寫入掃描線、該複數個信號線及該複數個電力供應線之驅動而引起該複數個像素電路顯示對應於輸入影像資料之影像圖

框，

其中該複數個像素電路經組態以在該驅動控制區段的控制下執行一臨限值校正操作，該臨限值校正操作導致將該複數個像素電路之該各自像素電路之該第二電晶體之一臨限電壓儲存在該複數個像素電路之該各自像素電路之該電容器中，及

該驅動控制區段經組態以引起包含於該等驅動單元之給定者中之該複數個像素電路之各者在一給定影像圖框週期期間同時執行該臨限值校正操作。

18. 如請求項17之顯示單元，

其中該驅動控制區段經組態以藉由在連接至包含於該等驅動單元之給定者中之該複數個像素電路之各者之該信號線上攜載一參考電位且施加一驅動電壓至該各自像素電路之該第二電晶體時引起該各自像素電路之該第一電晶體處於一導電狀態而引起該各自像素電路執行該臨限值校正操作。

19. 如請求項17之顯示單元，

其中該驅動控制區段經組態以藉由在施加一視訊信號電位至連接至該各自像素電路之該信號線時將該各自像素電路之該第一電晶體置於一導電狀態中而引起該複數個像素電路執行取樣一視訊信號電位之一信號寫入操作，

其中在該給定影像圖框週期期間針對該複數個像素電路中連接至一相同單元寫入掃描線之該等像素電路同時執行該信號寫入操作，及

其中針對連接至彼此不同的單元寫入掃描線之像素電路，在該給定影像圖框週期期間以不同各自時序執行該信號寫入操作。

圖式

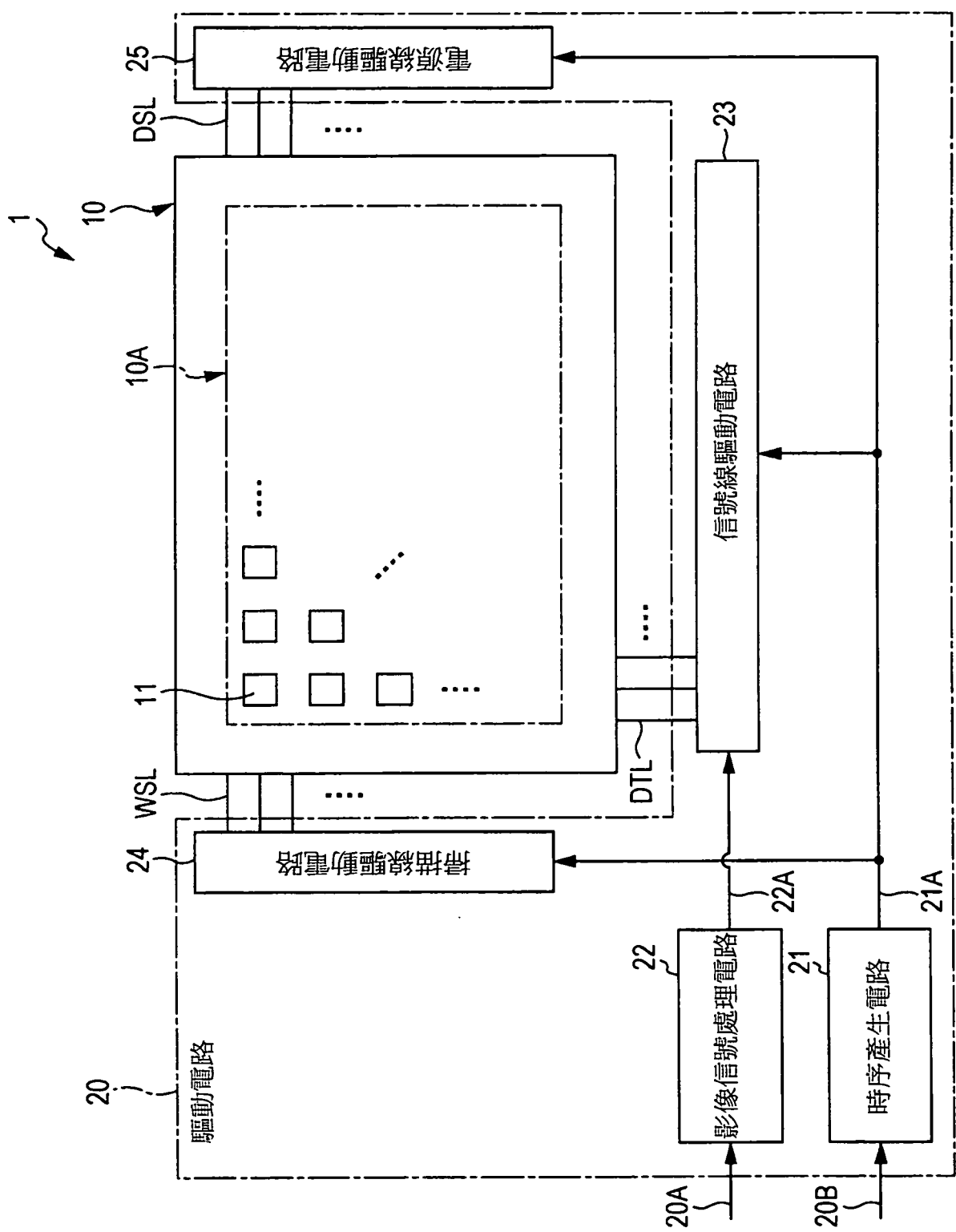


圖 1

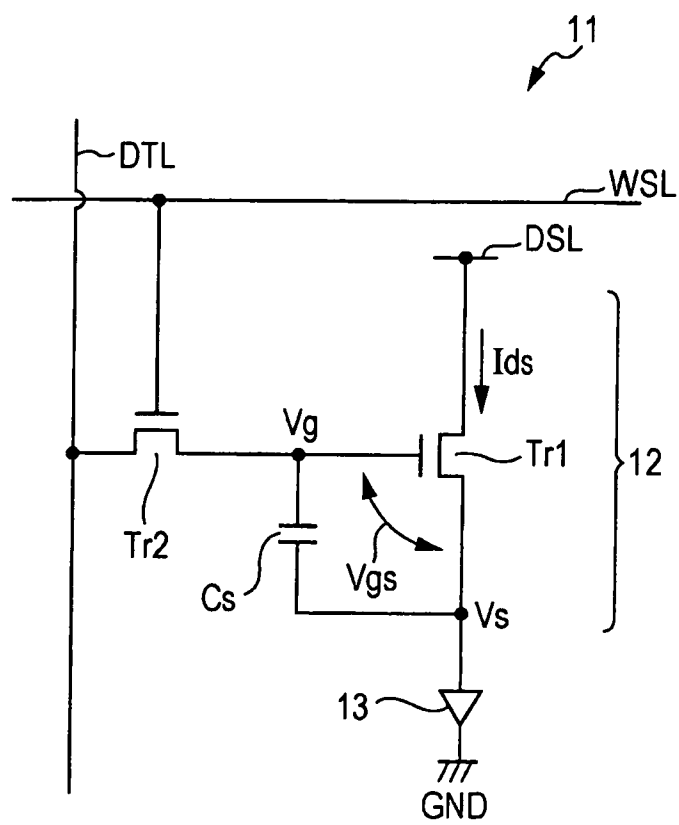


圖 2

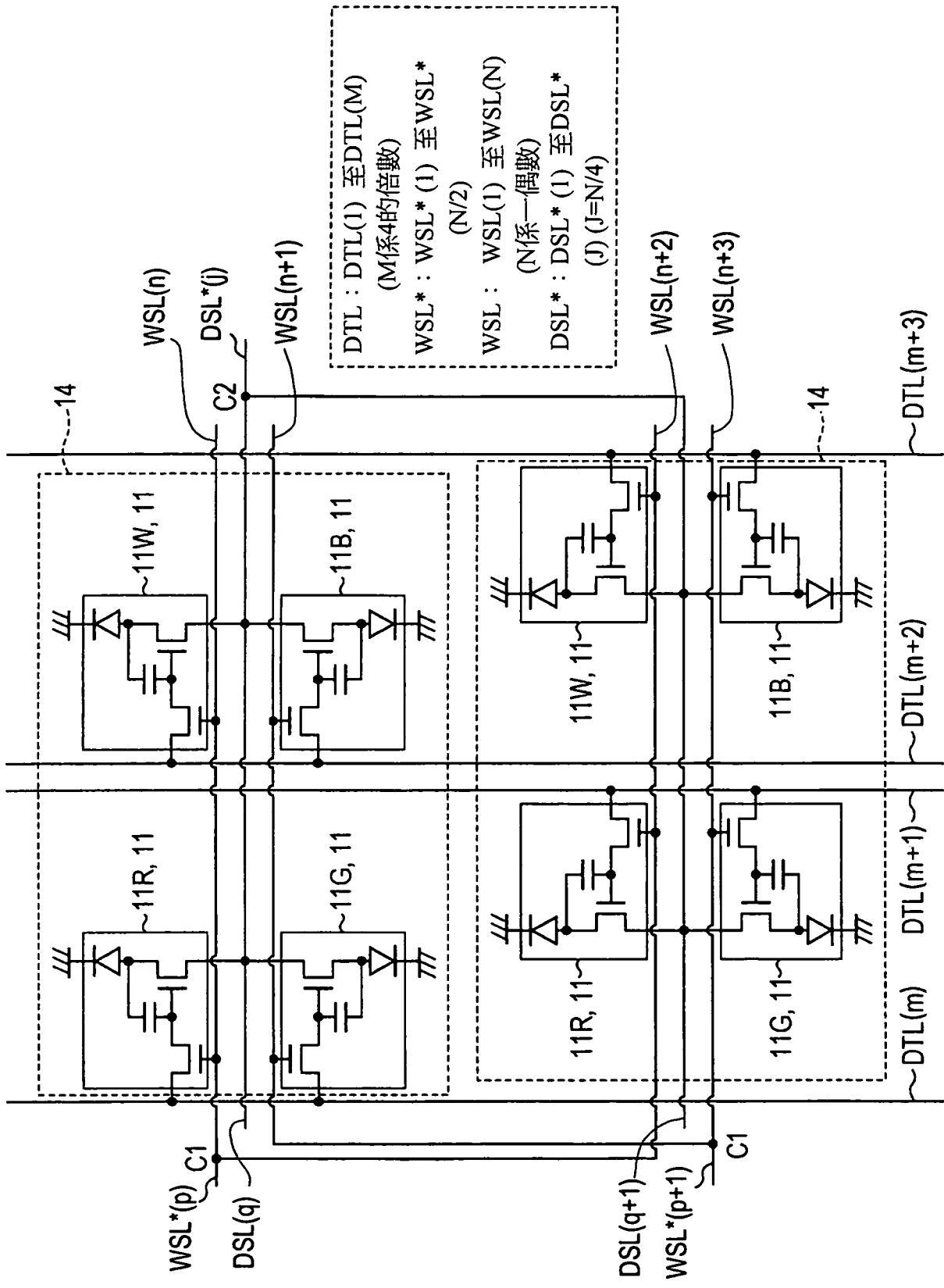


圖 3

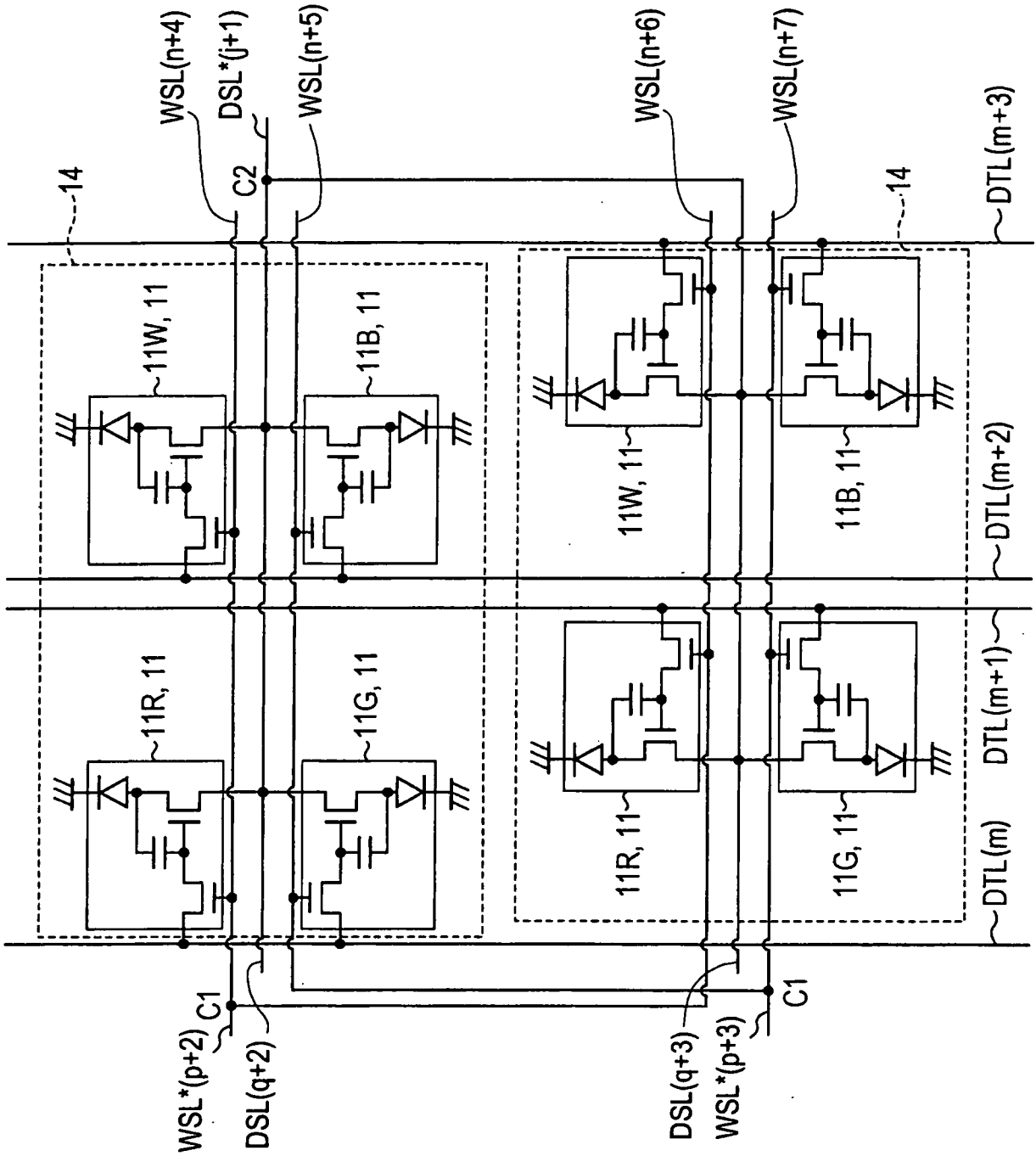


圖 4

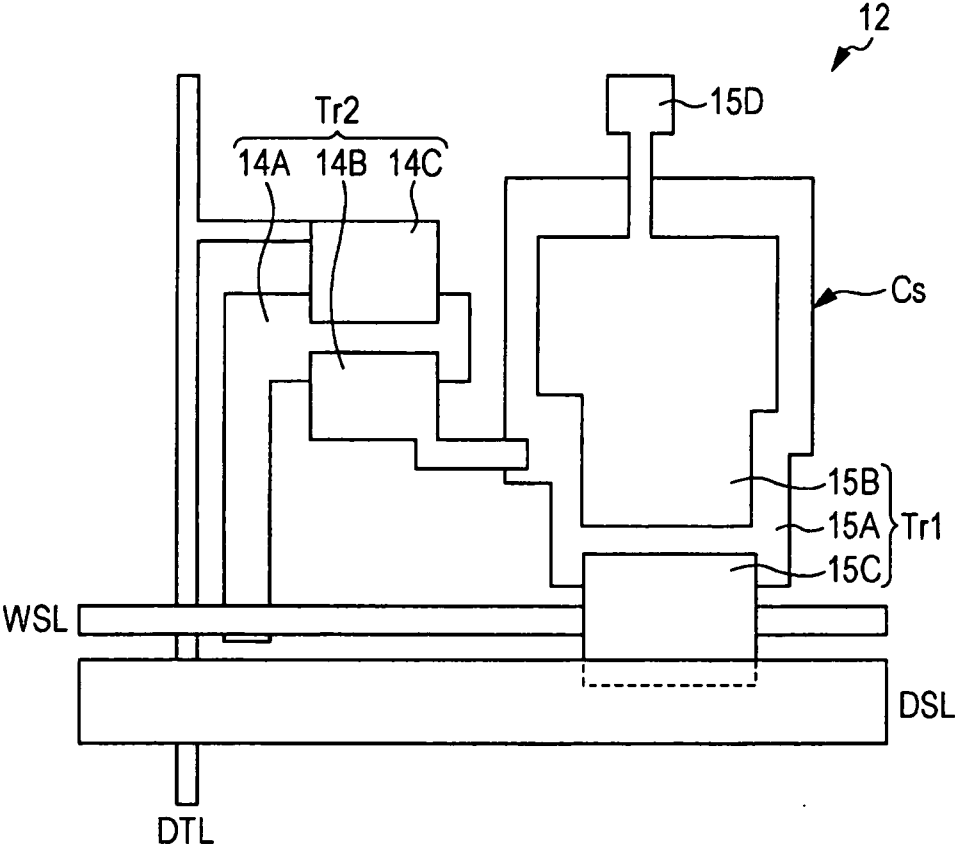


圖 5

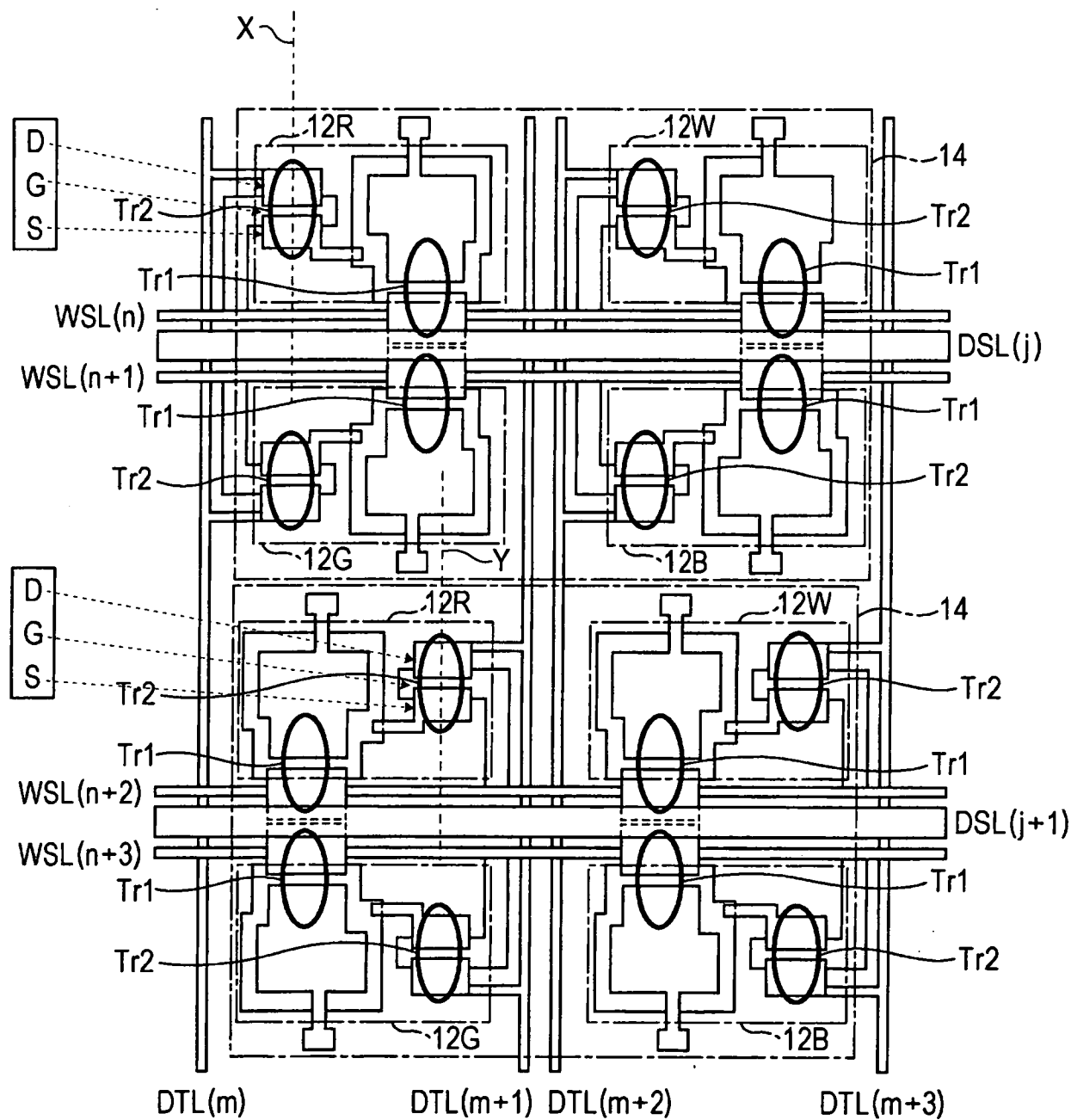


圖 6

	DTL(m)	DTL(m+1)	DTL(m+2)	DTL(m+3)
V(p)	Vsig(n, m)	Vsig(n+2, m+1)	Vsig(n, m+2)	Vsig(n+2, m+3)
V(p+1)	Vsig(n+1, m)	Vsig(n+3, m+1)	Vsig(n+1, m+2)	Vsig(n+3, m+3)
V(p+2)	Vsig(n+4, m)	Vsig(n+6, m+1)	Vsig(n+4, m+2)	Vsig(n+6, m+3)
V(p+3)	Vsig(n+5, m)	Vsig(n+7, m+1)	Vsig(n+5, m+2)	Vsig(n+7, m+3)

圖 7

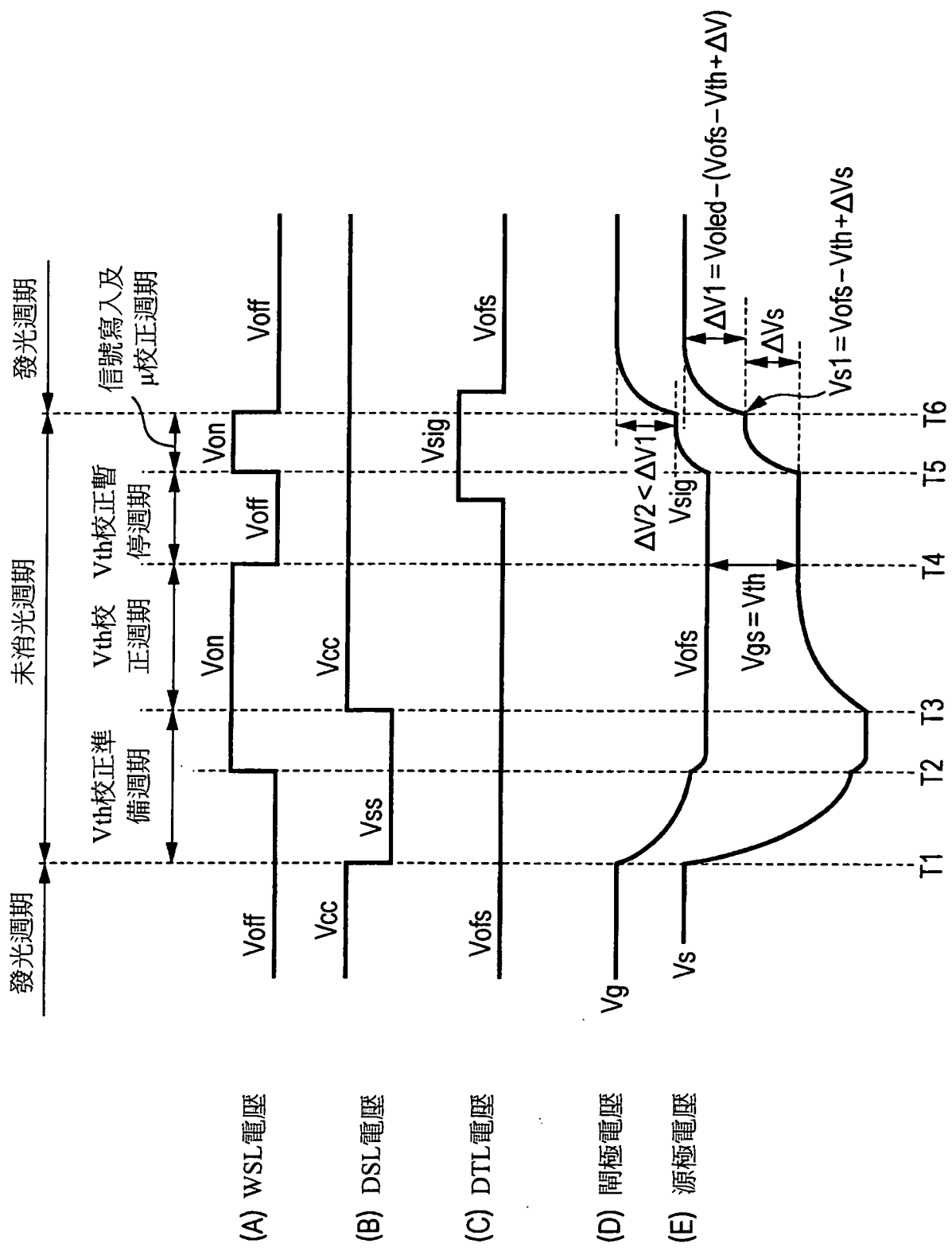


圖 8

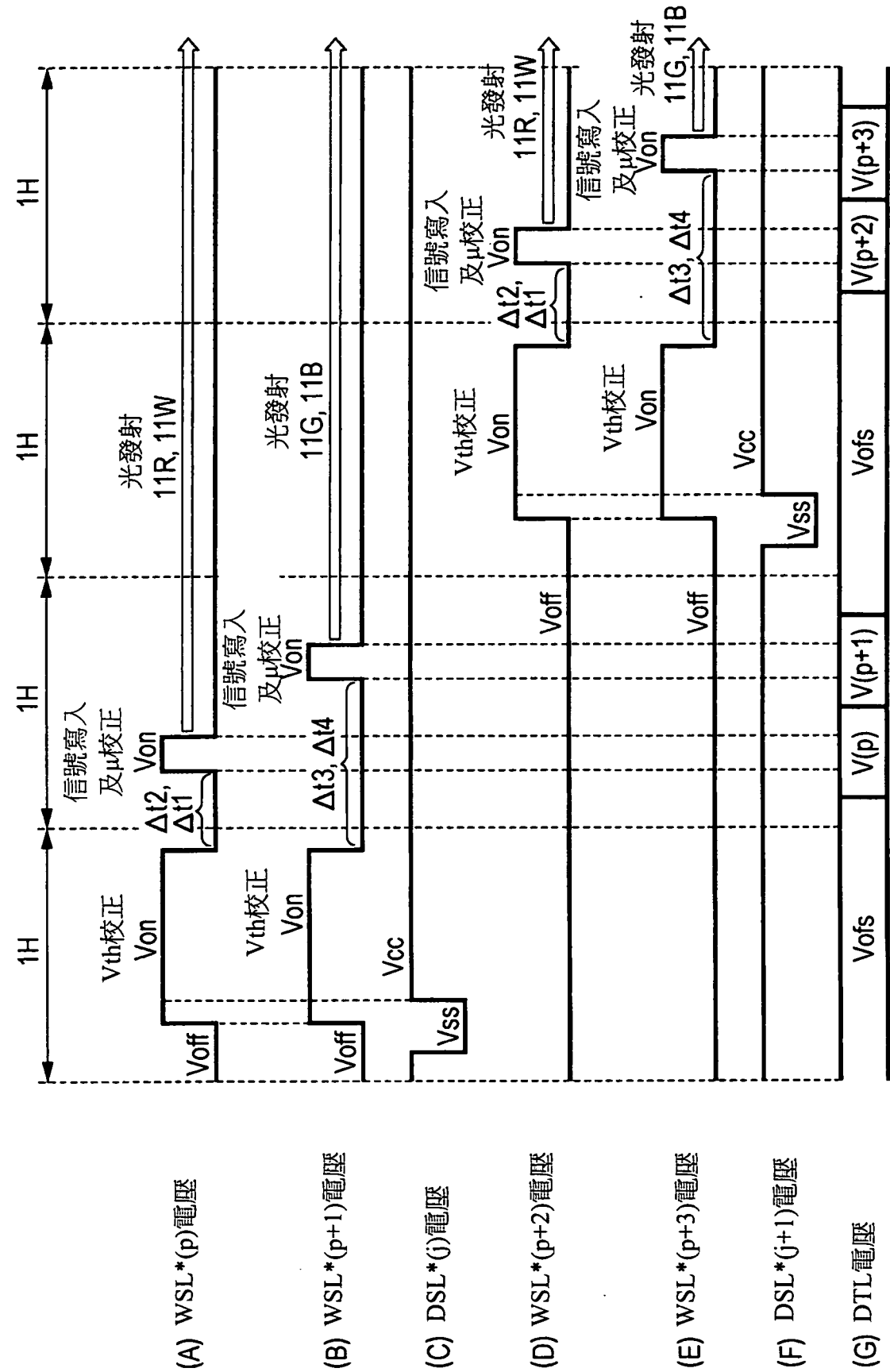


圖 9

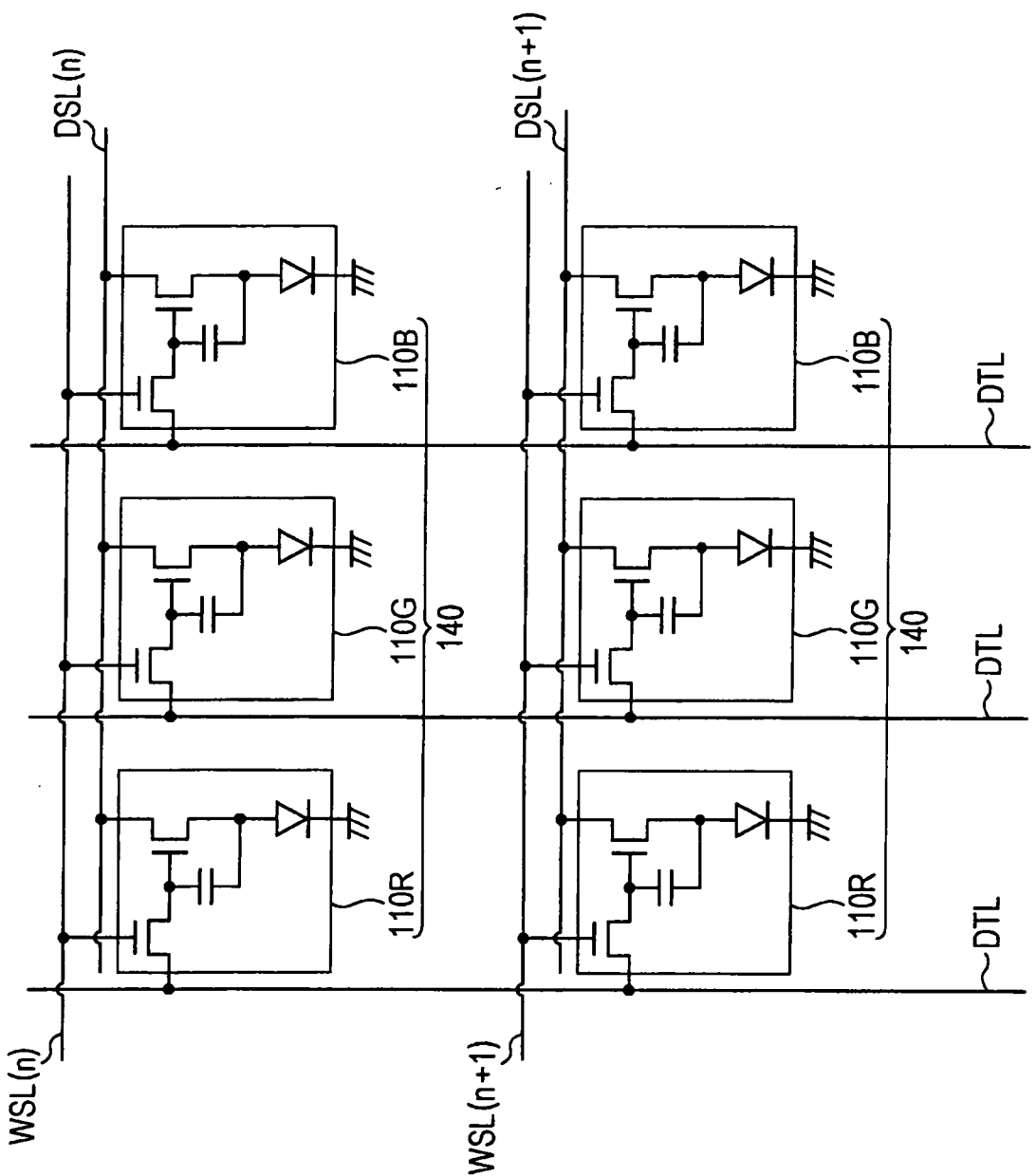


圖 10

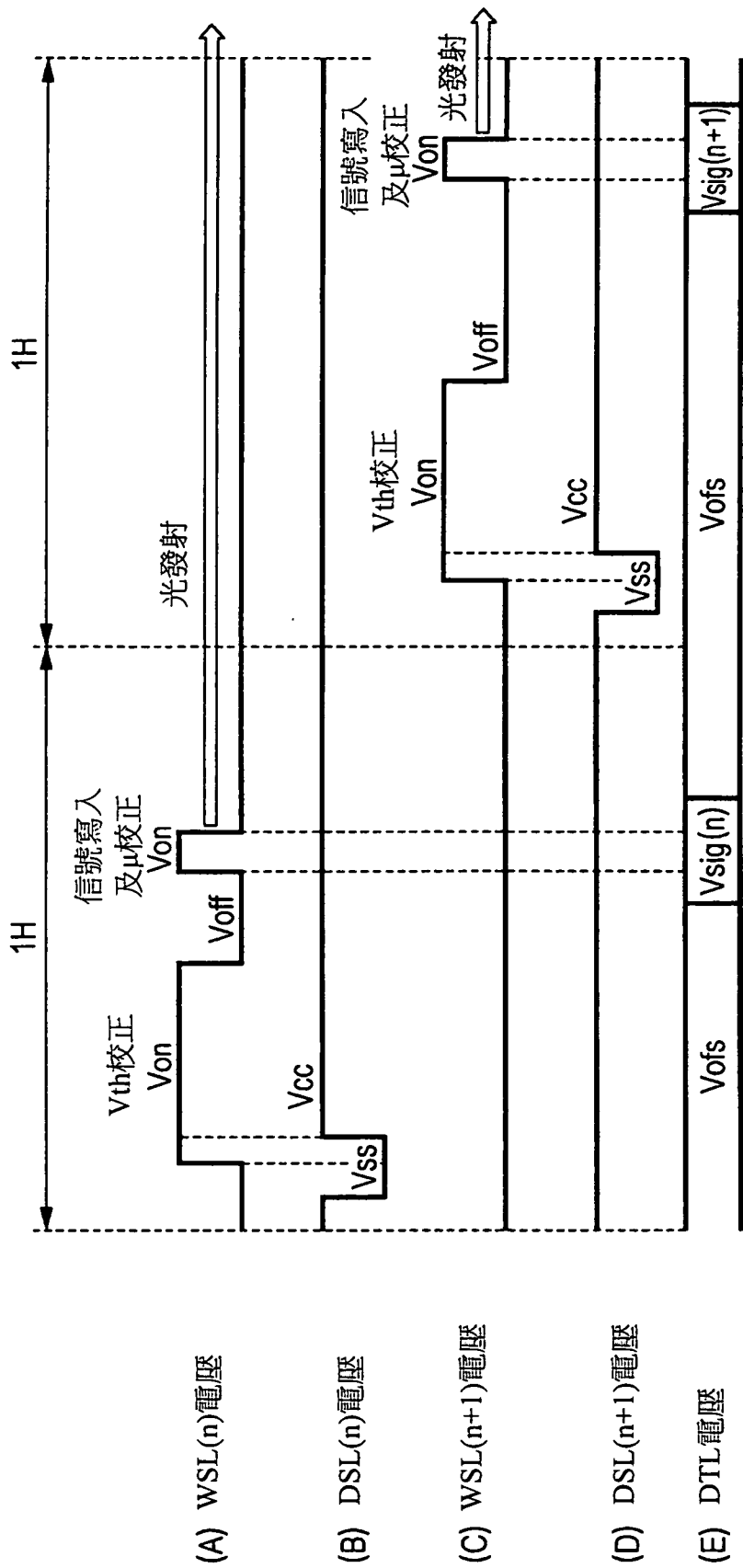


圖 11

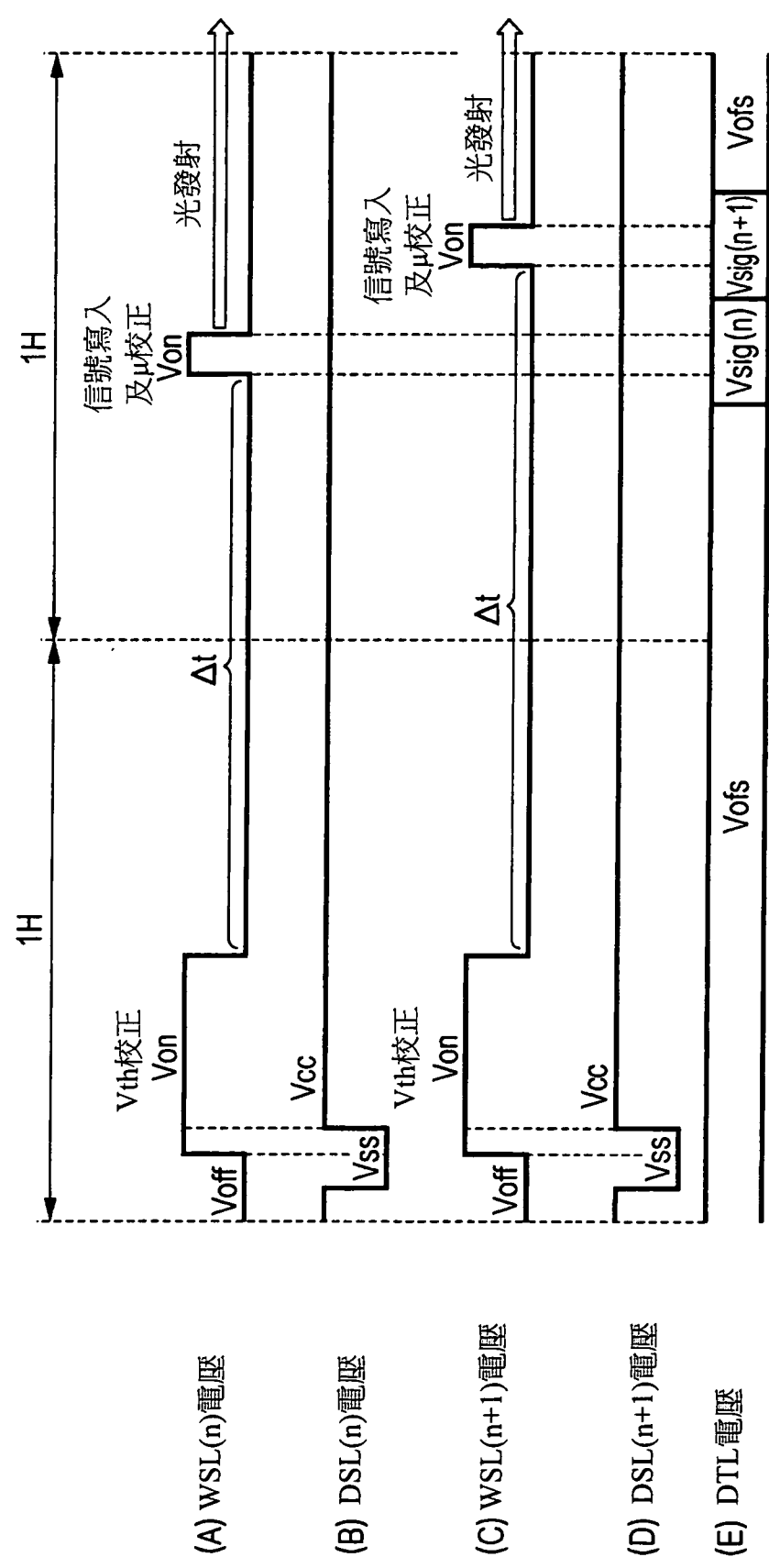


圖 12

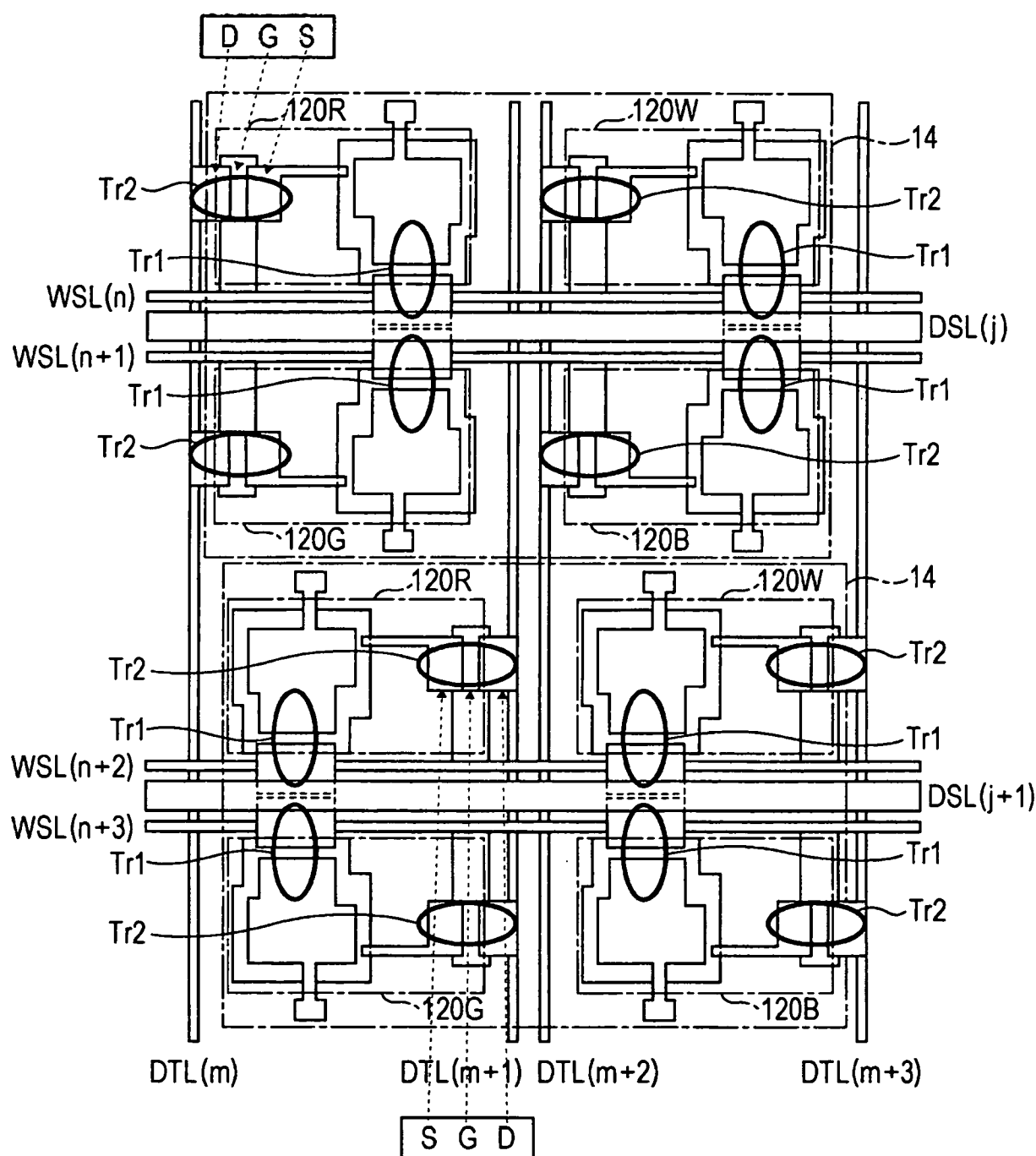


圖 13

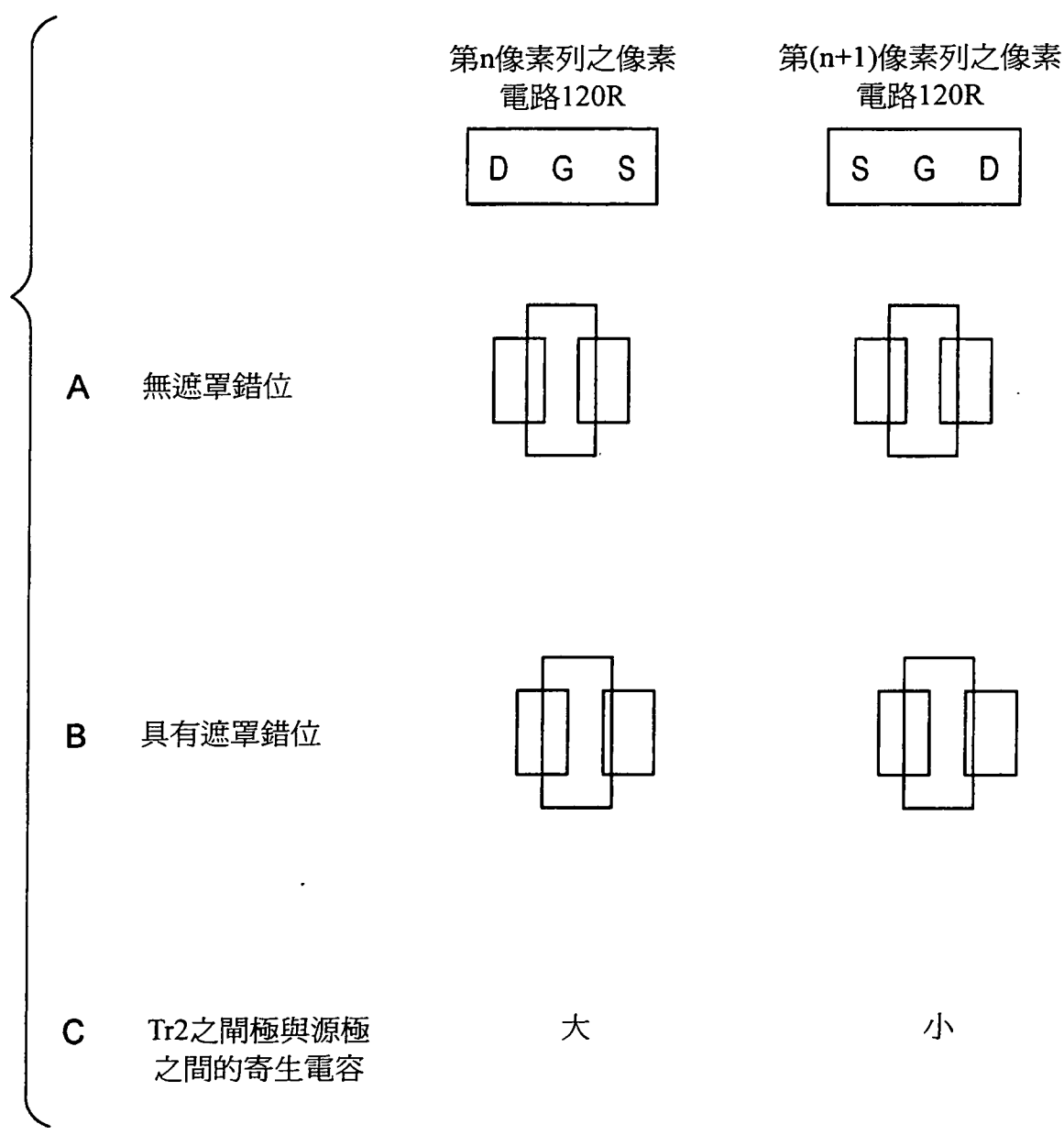


圖 14

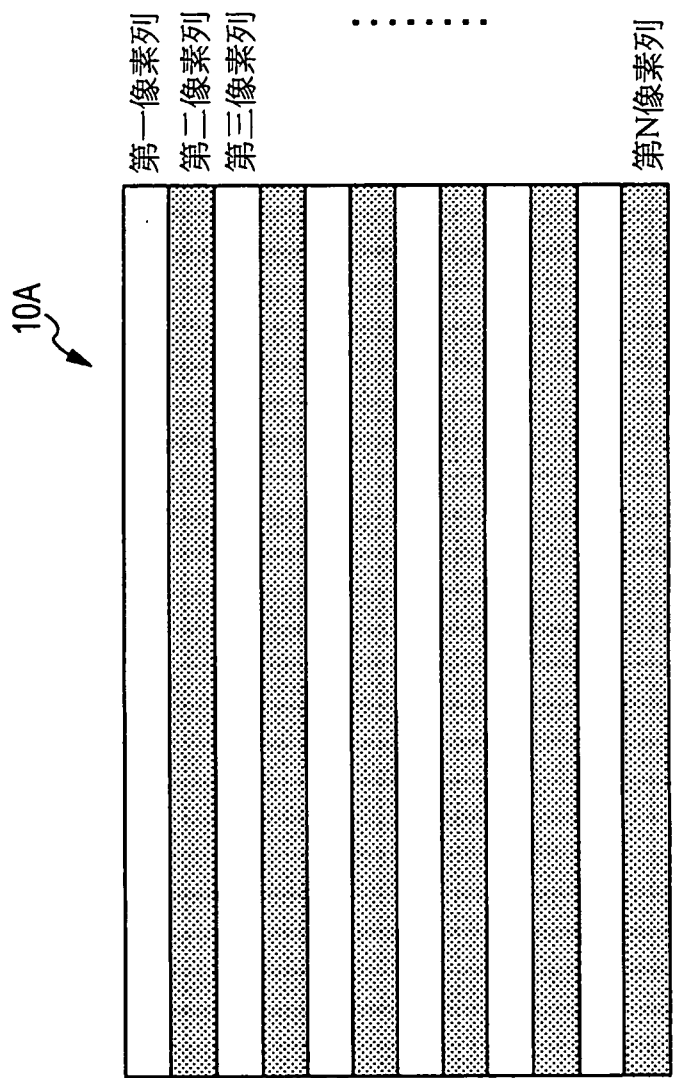


圖 15

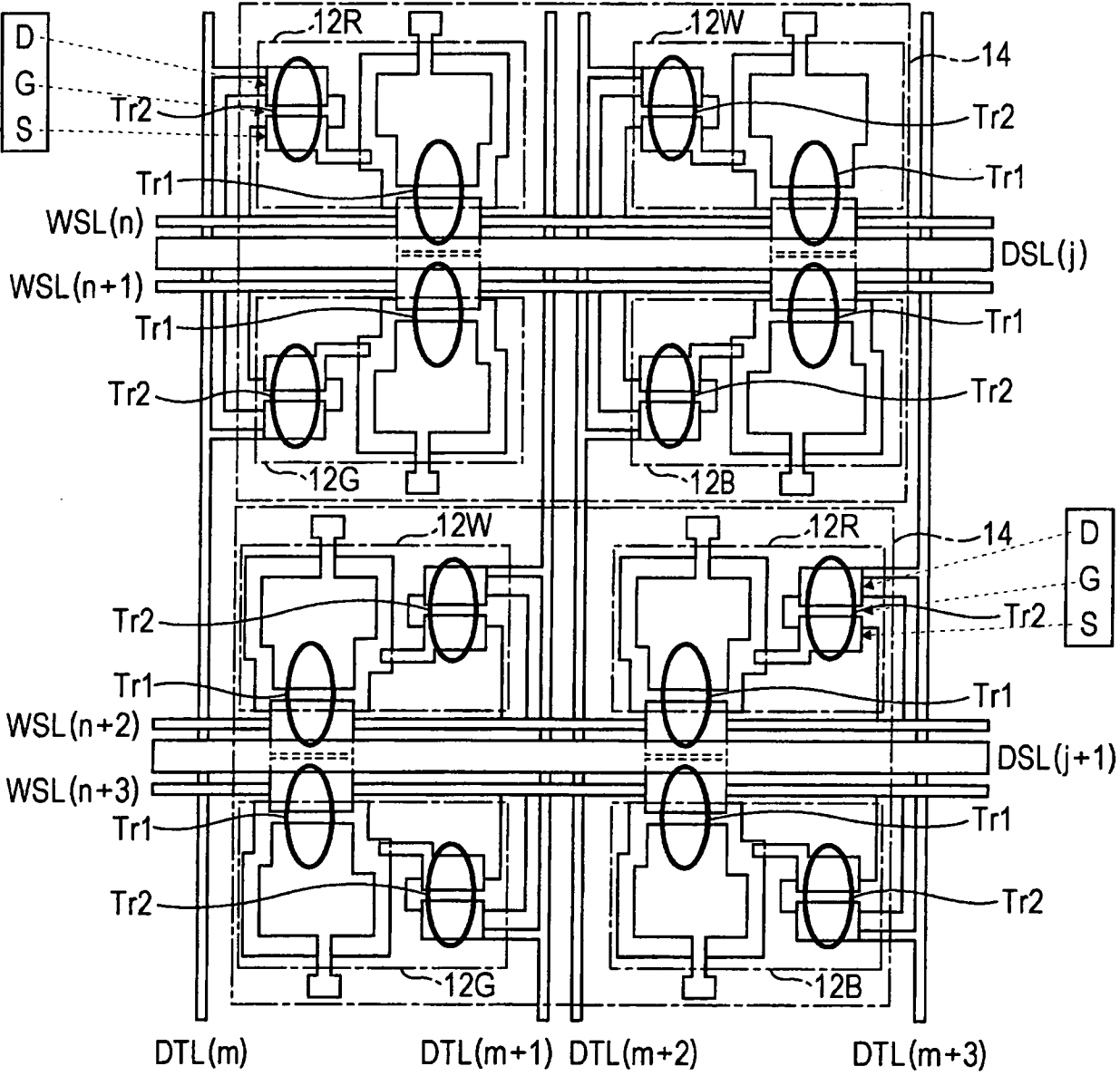


圖 16

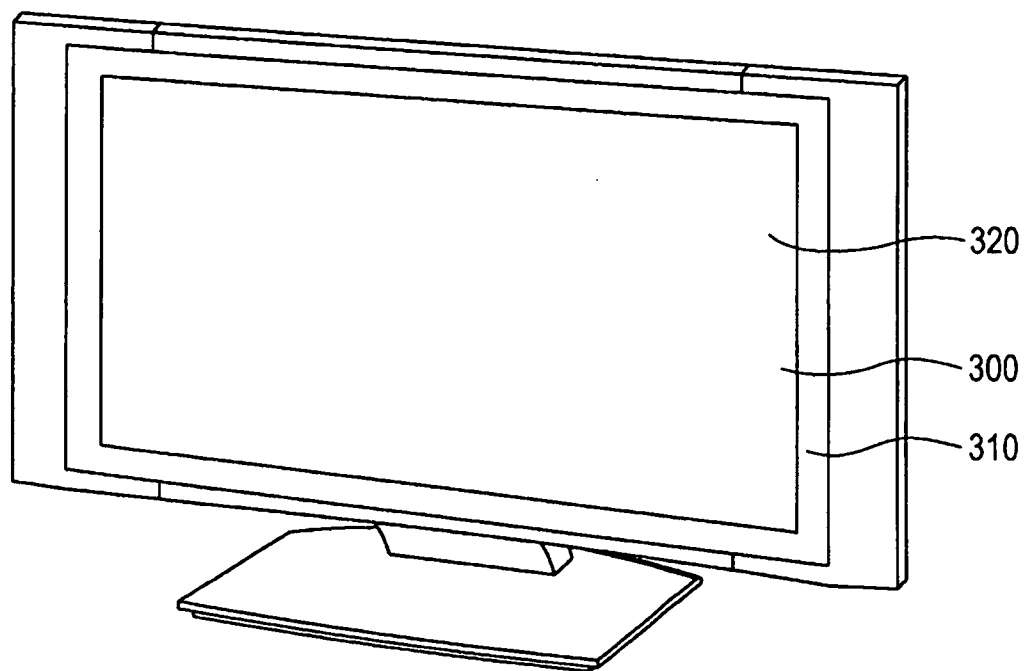


圖 17

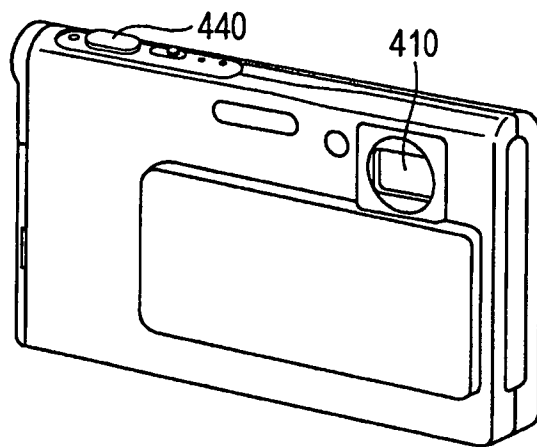


圖 18A

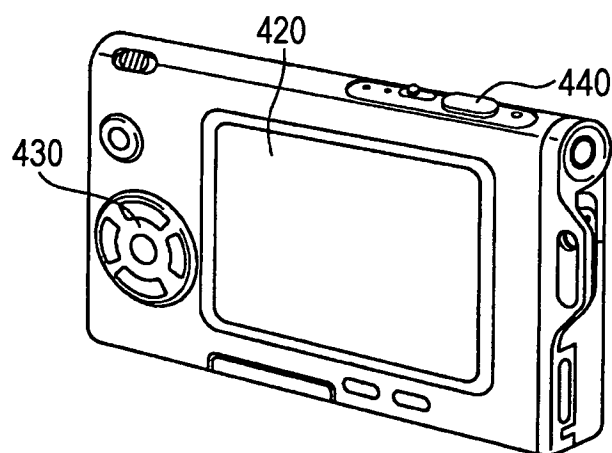


圖 18B

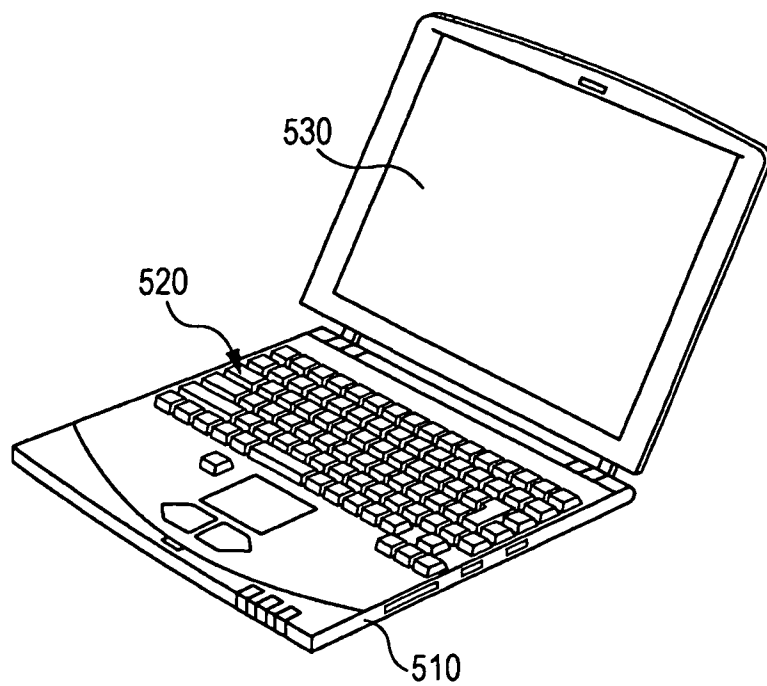


圖 19

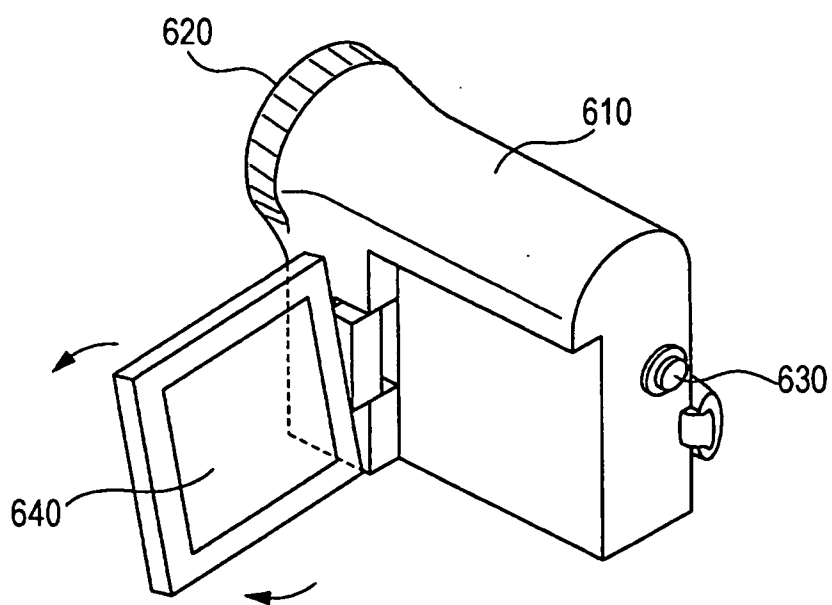


圖 20

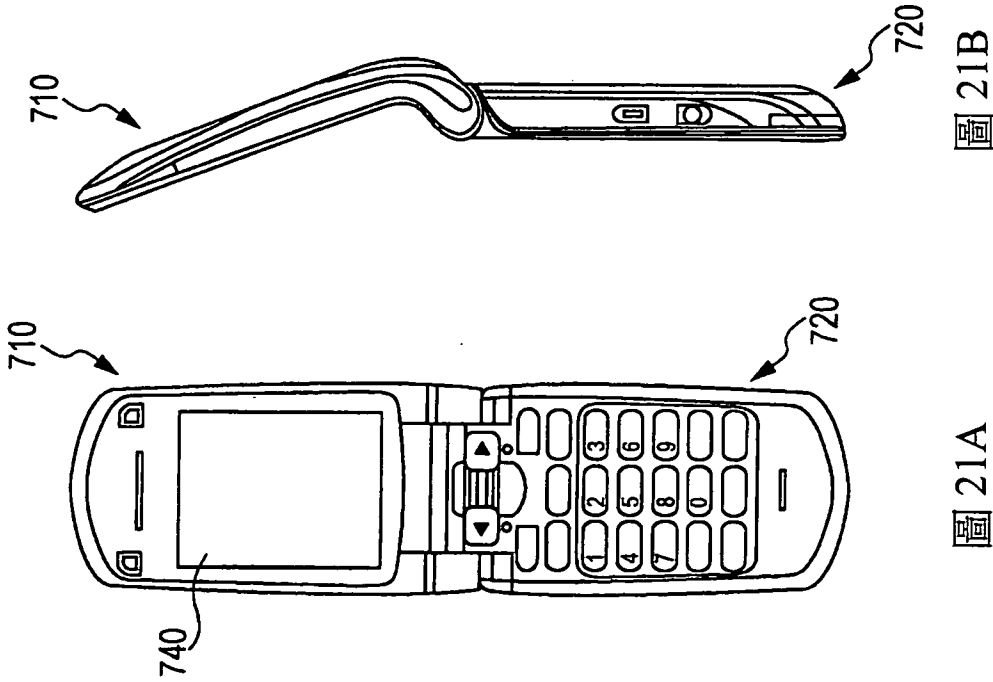


圖 21A

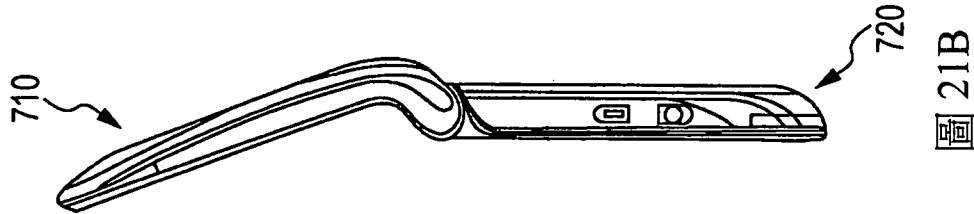


圖 21B

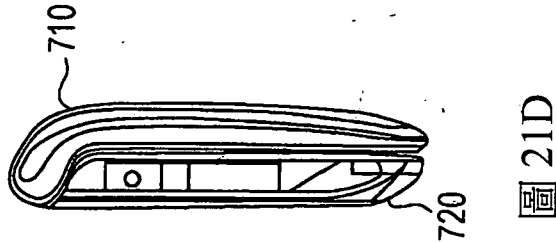


圖 21D

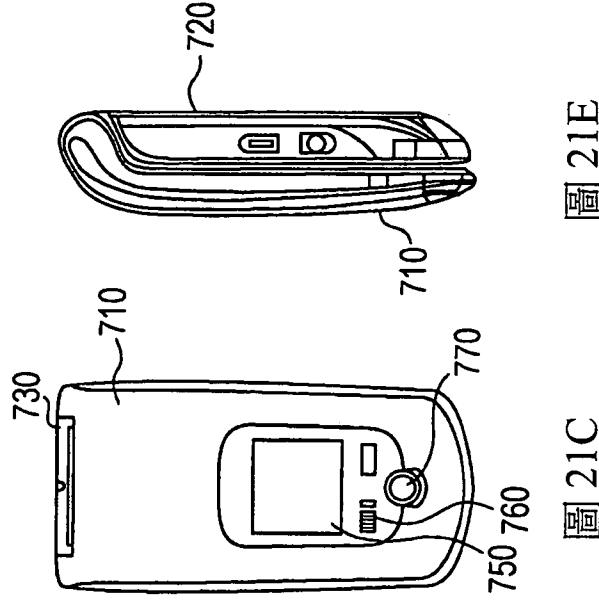


圖 21E

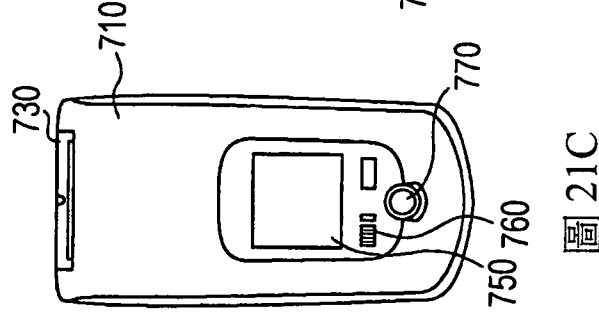


圖 21C

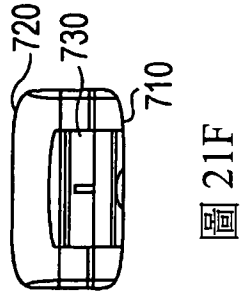


圖 21F

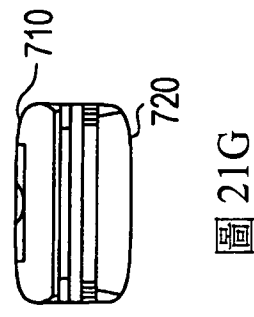


圖 21G