

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年9月12日(12.09.2014)



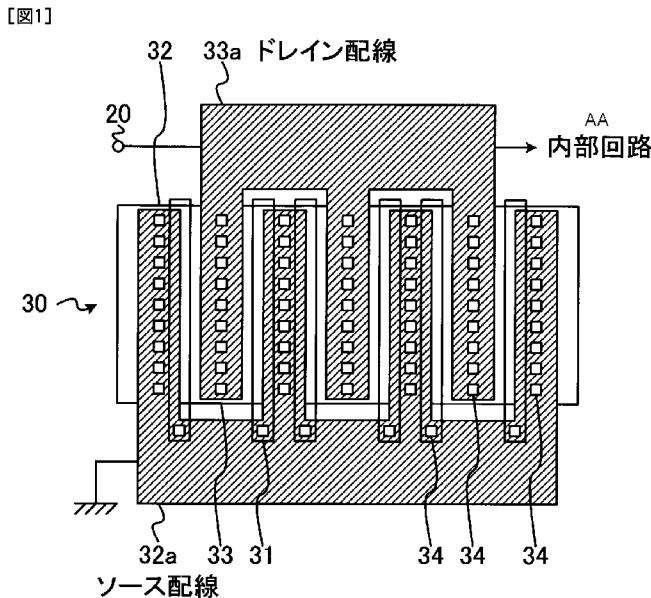
(10) 国際公開番号  
WO 2014/136548 A1

- (51) 国際特許分類:  
H01L 21/336 (2006.01) H01L 27/06 (2006.01)  
H01L 21/822 (2006.01) H01L 29/78 (2006.01)  
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2014/053410
- (22) 国際出願日: 2014年2月14日(14.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-044168 2013年3月6日(06.03.2013) JP
- (71) 出願人: セイコーインスツル株式会社(SEIKO INSTRUMENTS INC.) [JP/JP]; 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 Chiba (JP).
- (72) 発明者: 理崎 智光(RISAKI, Tomomitsu); 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内 Chiba (JP).
- (74) 代理人: 内野 則彰, 外(UCHINO, Noriaki et al.); 〒2618507 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内 Chiba (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In order to provide a semiconductor device having a high ESD tolerance, source wiring (32a) is provided on a gate (31) and a source (32) in a region of an NMOS transistor (30). The source wiring (32a) electrically connects the gate (31) and the source (32) to each other. Drain wiring (33a) is provided on a drain (33) in a region of the NMOS transistor (30). The drain wiring (33a) electrically connects the drain (33) and a pad (20), i.e., an external connecting electrode, to each other. Furthermore, in the region of the NMOS transistor (30), the drain wiring (33a) has a wiring width equal to that of the source wiring (32a).

(57) 要約: ESD耐量の高い半導体装置を提供するために、ソース配線32aは、NMOSトランジスタ30の領域においてゲート31及びソース32の上に設けられる。ソース配線32aは、ゲート31とソース32と接地端子とを電氣的に接続する。ドレイン配線33aは、NMOSトランジスタ30の領域においてドレイン33の上に設けられる。ドレイン配線33aは、ドレイン33と外部接続用電極であるパッド20とを電氣的に接続する。また、NMOSトランジスタ30の領域において、ドレイン配線33aは、ソース配線32aの配線幅と同一の配線幅を有する。

32a... SOURCE WIRING  
33a... DRAIN WIRING  
AA... INTERNAL CIRCUIT

WO 2014/136548 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 國際調查報告 (條約第 21 條(3))

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、Nチャネル型MOSトランジスタを用いたESD保護回路を有する半導体装置に関する。

背景技術

[0002] 半導体集積回路からなる半導体装置は、外部接続用電極であるパッドを有する。このパッドの近傍には、通常、ESD（静電気放電）から半導体装置の内部回路を保護するESD保護回路が設けられる。ESD保護回路のひとつに、マルチフィンガータイプのNチャネル型MOSトランジスタ（以下NMOSトランジスタ）を用いたものがある。ここで、このNMOSトランジスタのゲートとソースとは接地端子に接続され、ドレインはパッド及び内部回路に接続される（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-116049号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1によって開示された技術では、NMOSトランジスタを用いたESD保護回路において、ドレインのコンタクトとゲート電極との間のサリサイドブロック幅を調整することでESD耐量を向上させている。この構造の場合、ドレインのコンタクトとゲート電極との間にサリサイドブロックがあり、ソースのコンタクトとゲート電極との間にサリサイドブロックが無い。図3はこのような状況のトランジスタの例を示している。ESD保護回路のNMOSトランジスタ30はパッド40および内部回路に接続されたドレイン配線53aと、接地配線に接続されたゲート51およびソース配線52aを有している。図3に示すように、通常、NMOSトランジスタ50の領

域において、ドレイン配線53aの配線幅がソース配線52aの配線幅よりも太くレイアウト設計されるので、ドレイン配線53aの抵抗値は、ソース配線52aの抵抗値よりも低くなる。

[0005] 正のサージ電圧がパッド40へ印加されると、発生したサージ電流は、パッド40からNMOSトランジスタ50を介して接地端子に流れる。具体的には、サージ電流は、ドレイン配線53aに代表される抵抗とゲート51の下のチャンネル領域の抵抗とソース配線52aに代表される抵抗とに順番に流れる。その電流経路はゲート幅に対して無数に存在し、例えば図3の経路1も経路2も電流経路となる。

[0006] 仮にNMOSトランジスタ50がチャンネル幅方向に均等に5分割された場合、その分割された1つの長さにおけるドレイン配線とソース配線との抵抗を $R_{d0}$ 及び $R_{s0}$ とし、経路1をドレイン配線3a側（図3の上方側）からみてゲート幅が $1/5$ の場所の経路と仮定し、経路2をゲート幅が $4/5$ の場所の経路と仮定すると、経路1及び経路2の抵抗成分はそれぞれ以下のよう示される。

[0007] 経路1の抵抗成分 $= 1R_{d0} + R_{ch} + 4R_{s0}$

経路2の抵抗成分 $= 4R_{d0} + R_{ch} + 1R_{s0}$

この式で表される分割されたNMOSトランジスタの等価回路図を図4に示す。この図に示すように、例えばドレイン配線の抵抗 $R_{d0}$ は、配線金属の抵抗、コンタクトの抵抗、ドレイン領域の抵抗等すべての抵抗成分を含んでいる。ここで、ドレイン配線幅 $>$ ソース配線幅なので、 $R_{d0} < R_{s0}$ となり、経路1の抵抗成分 $>$ 経路2の抵抗成分が成立するので、サージ電流は経路1より経路2において流れ易くなる。つまり、それぞれのフィンガーにおいてソース配線52a側（図3の下方側）のゲートにサージ電流が集中する。よって、この部分のチャンネル領域付近が破壊されやすくなり、NMOSトランジスタ50及び半導体装置のESD耐量が低くなる。

[0008] 本発明は、上記課題に鑑みてなされ、ESD耐量の高い半導体装置を提供する。

## 課題を解決するための手段

[0009] 本発明は、上記課題を解決するため、NMOSトランジスタ型ESD保護回路を有する半導体装置において、マルチフィンガータイプであり、半導体基板表面に交互に配置される複数のソース及び複数のドレインと、前記ソースと前記ドレインとの間に配置される複数のチャンネル領域と、前記チャンネル領域の上に設けられるゲートと、を有する前記NMOSトランジスタと、前記NMOSトランジスタの領域において前記ゲート及び前記ソースの上に設けられ、前記ゲートと前記ソースと接地端子とを電気的に接続するソース配線と、前記NMOSトランジスタの領域において前記ドレインの上に設けられ、前記ドレインと外部接続用電極であるパッドとを電気的に接続し、前記NMOSトランジスタの領域において前記ソース配線の配線幅と同一の配線幅を有するドレイン配線と、を備えることを特徴とする半導体装置を提供する。

## 発明の効果

[0010] 本発明によると、チップサイズを増大すること無く半導体装置のESD耐量を高くすることが可能となる。

## 図面の簡単な説明

[0011] [図1]半導体装置内のNMOSトランジスタを用いたESD保護回路を示す平面図である。

[図2]半導体装置内のESD保護回路を示す回路図である。

[図3]従来の半導体装置内のNMOSトランジスタを用いたESD保護回路を示す平面図である。

[図4]分割されたNMOSトランジスタの等価回路図である。

## 発明を実施するための形態

[0012] 以下、本発明の実施形態について、図面を参照して説明する。

[0013] まず、NMOSトランジスタを用いたESD保護回路を有する半導体装置の構造について、図1を用いて説明する。図1はNMOSトランジスタを用

いたESD保護回路を示す平面図である。

[0014] NMOSトランジスタ30は、マルチフィンガータイプであり、複数のソース領域32及び複数のドレイン領域33は、半導体基板表面に交互に配置される。複数のチャンネル領域は、ソース領域32とドレイン領域33との間に配置され、ゲート電極31がチャンネル領域の上に設けられる。ソース配線32aは、NMOSトランジスタ30の領域においてゲート電極31及びソース領域32の上に設けられる。ソース配線32aは、ゲート電極31とソース領域32と接地端子とを電氣的に接続する。ドレイン配線33aは、NMOSトランジスタ30の領域においてドレイン領域33の上に設けられ、ゲート電極31の上には設けられない。ドレイン配線33aは、ドレイン領域33と外部接続用電極であるパッド20（図2）とを電氣的に接続する。また、NMOSトランジスタ30の領域において、ドレイン配線33aは、ソース配線32aの配線幅と同一の配線幅を有し、コンタクト34の配置の仕方は両配線で同等である。ここでは、ひとつのゲート電極を挟んでいるソース領域およびソース配線とドレイン領域およびドレイン配線をひとつのフィンガーと呼ぶ。そして、NMOSトランジスタ30は、ひとつのフィンガーが折り返されて順番に連続して配置されることで形成されるとする。

[0015] 次に、NMOSトランジスタ30のESD保護動作について説明する。図2は、半導体装置のESD保護回路を示す回路図である。

[0016] パッド20へのサージ電圧が印加されると、サージ電流はパッド20から接地端子にESD保護回路を介して流れるように設計されている。この時、NMOSトランジスタ30は、表面ブレイクダウンをトリガーとするバイポーラ動作により、このサージ電流をドレインからソースに流すので、サージ電流は、NMOSトランジスタ30を流れ、内部回路には流れない。こうして、内部回路がサージ電流から保護される。

[0017] この時、サージ電流は、ドレイン配線33aの抵抗とゲート31の下のチャンネル領域の抵抗とソース配線32aの抵抗とに順番に流れる。図1においても、図3の場合と同じように、NMOSトランジスタ30のひとつのフィ

ンガーをチャンネル幅方向に均等に5分割し、それぞれの領域におけるドレイン配線33aの抵抗を $R_{d0}$ 、チャンネル領域の抵抗を $R_{ch}$ 、ソース配線の抵抗を $R_{s0}$ とすると、経路1及び経路2の抵抗成分は、

$$\text{経路1の抵抗成分} = 1 R_{d0} + R_{ch} + 4 R_{s0}$$

$$\text{経路2の抵抗成分} = 4 R_{d0} + R_{ch} + 1 R_{s0}$$

と表すことができ、従来例同様に図4に示す、分割されたNMOSトランジスタの等価回路で表すことができる。しかし、図1のように、NMOSトランジスタ30の領域では、ドレイン配線53aの配線幅がソース配線52aの配線幅と同一にレイアウト設計され、コンタクト34の配置も同等であるので、 $R_{d0} = R_{s0}$ 、が成立し、経路1の抵抗成分＝経路2の抵抗成分、となる。

[0018] 即ち、均等に分割された各部分の抵抗が等しいことになる。抵抗が均等に割り振られる場合、サージ電流がNMOSトランジスタ30のひとつのフィンガーにおいてどこのチャンネル領域を流れても、パッド20から接地端子までの間で、サージ電流に対する配線の抵抗の合計抵抗値は同一になる。すると、サージ電流は、チャンネル領域において、特定の部分に集中しなくなる。よって、特定の部分のチャンネル領域付近が破壊されにくくなり、NMOSトランジスタ30及び半導体装置のESD耐量が高くなる。

[0019] また、ソース配線32aをソース領域32の上だけでなくゲート電極31上にまで設ける理由は、素子サイズの増大と、ESD耐量の低下を避けるためである。上記より寄生抵抗を同じくするために、ドレイン配線33aとソース配線32aの配線幅が同一であることがESD耐量向上に寄与するが、これらの配線幅を同一にしても配線幅が余りに細いとサージ電流によって配線が溶解し、ESD耐量低下を招く。そのため、ドレイン配線33aとソース配線32aの配線幅は少なくともドレイン領域33と同等の幅が理想である。しかし、ドレイン領域33の幅より狭い幅を有するソース領域32の上にドレイン領域33と同等の幅のソース配線32aを配置するにはソース領域32は狭すぎる。その解決策の一つとしてソース領域32の幅をドレイン

領域 3 3 の幅と同等にすることが上げられるが、これでは素子サイズが大きくなり、チップサイズ増大に影響を与える。そこで、ソース領域 3 2 を広げず、ソース配線 3 2 a をゲート 3 1 電極上まで設けることで、素子サイズの増大と、ESD 耐量の低下を避けることができる。

### 符号の説明

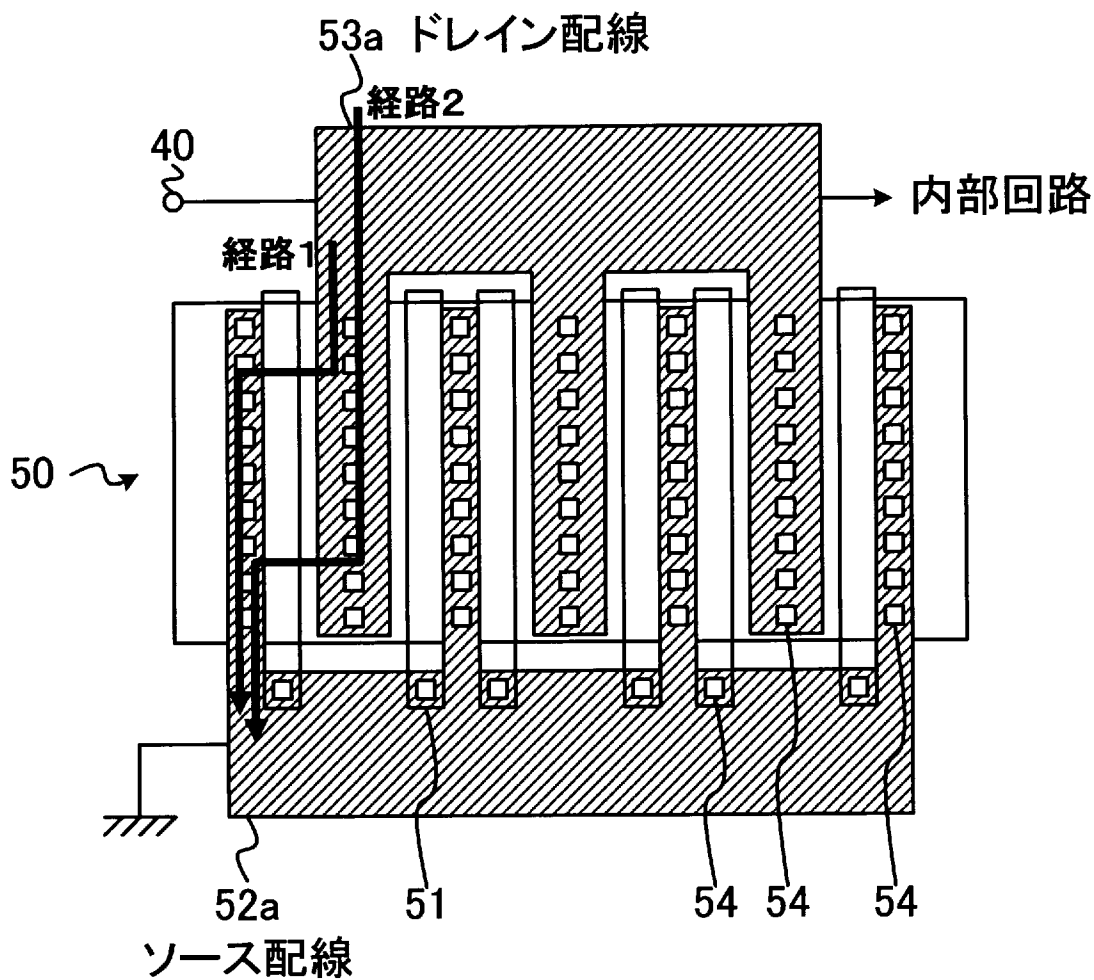
- [0020] 3 0 NMOS トランジスタ
- 3 1 ゲート
- 3 2 ソース
- 3 3 ドレイン
- 3 2 a ソース配線
- 3 3 a ドレイン配線
- 3 4 コンタクト
- 2 0 パッド
- R s ソース配線の寄生抵抗
- R d ドレイン配線の寄生抵抗
- R c h チャネル領域の寄生抵抗

## 請求の範囲

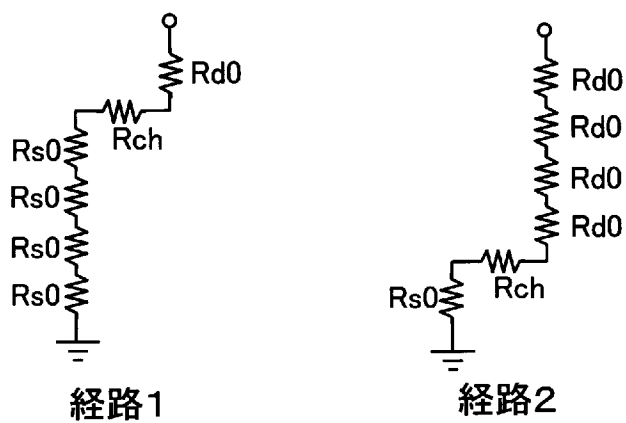
- [請求項1] 半導体基板表面に交互に配置された複数のソース領域及び複数のドレイン領域と、前記ソース領域と前記ドレイン領域との間に配置される複数のチャンネル領域と、前記チャンネル領域の上に設けられるゲート電極とを有する同一のフィンガーが組み合わされたマルチフィンガータイプのNMOSトランジスタと、
- 前記NMOSトランジスタの領域において前記ゲート電極及び前記ソース領域の上に設けられ、前記ゲート電極と前記ソース領域と接地端子とを電氣的に接続するソース配線と、
- 前記NMOSトランジスタの領域において前記ドレイン領域の上に設けられ、前記ドレイン領域と外部接続用電極であるパッドとを電氣的に接続するドレイン配線と、
- を備え、
- 前記NMOSトランジスタの各フィンガーはチャンネル幅方向に均等に分割したときに、分割された各部分の抵抗値が等しいことを特徴とする半導体装置。
- [請求項2] 前記ソース配線と前記ドレイン配線の幅が前記各フィンガーにおいて等しいことを特徴とする請求項1記載の半導体装置。



[図3]



[図4]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/053410

**A. CLASSIFICATION OF SUBJECT MATTER**  
*H01L21/336(2006.01) i, H01L21/822(2006.01) i, H01L27/04(2006.01) i, H01L27/06(2006.01) i, H01L29/78(2006.01) i*

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
*H01L21/336, H01L21/822, H01L27/04, H01L27/06, H01L29/78*

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2014</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2014</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2014</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<i>JP 2013-008715 A (Semiconductor Components Industries, L.L.C.), 10 January 2013 (10.01.2013), paragraphs [0026] to [0039]; fig. 1, 2 &amp; US 2012/0326235 A1 &amp; CN 102842576 A &amp; TW 201308565 A</i>	1, 2
A	<i>JP 2010-219504 A (Seiko Instruments Inc.), 30 September 2010 (30.09.2010), abstract; fig. 1 to 7 &amp; US 2010/0213549 A1 &amp; EP 2221875 A2 &amp; CN 101814501 A &amp; KR 10-2010-0096027 A &amp; TW 201103124 A</i>	1, 2

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 March, 2014 (04.03.14)	Date of mailing of the international search report 18 March, 2014 (18.03.14)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L21/822, H01L27/04, H01L27/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-008715 A (セミコンダクター・コンポーネンツ・インダストリーズ・リミテッド・ライアビリティ・カンパニー) 2013.01.10, 段落 0026-0039、図 1, 2 & US 2012/0326235 A1 & CN 102842576 A & TW 201308565 A	1, 2
A	JP 2010-219504 A (セイコーインスツル株式会社) 2010.09.30, 要約、図 1-7 & US 2010/0213549 A1 & EP 2221875 A2 & CN 101814501 A & KR 10-2010-0096027 A & TW 201103124 A	1, 2

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日  
04.03.2014

国際調査報告の発送日  
18.03.2014

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
岩本 勉  
5 F | 9 3 5 5  
電話番号 03-3581-1101 内線 3516