

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4941148号  
(P4941148)

(45) 発行日 平成24年5月30日 (2012.5.30)

(24) 登録日 平成24年3月9日 (2012.3.9)

(51) Int.Cl.		F I		
<b>G06F 12/10</b>	<b>(2006.01)</b>	G06F 12/10	501Z	
<b>G06F 12/08</b>	<b>(2006.01)</b>	G06F 12/10	501C	
		G06F 12/08	523D	
		G06F 12/10	559	

請求項の数 19 外国語出願 (全 21 頁)

(21) 出願番号	特願2007-189725 (P2007-189725)	(73) 特許権者	501261300
(22) 出願日	平成19年7月20日 (2007.7.20)		エヌヴィディア コーポレイション
(65) 公開番号	特開2008-33928 (P2008-33928A)		アメリカ合衆国, カリフォルニア 950
(43) 公開日	平成20年2月14日 (2008.2.14)		50, サンタ クララ, サン トーマス
審査請求日	平成19年7月20日 (2007.7.20)		エクスプレスウェイ 2701
(31) 優先権主張番号	60/820, 952	(74) 代理人	100094318
(32) 優先日	平成18年7月31日 (2006.7.31)		弁理士 山田 行一
(33) 優先権主張国	米国 (US)	(74) 代理人	100123995
(31) 優先権主張番号	60/821, 127		弁理士 野田 雅一
(32) 優先日	平成18年8月1日 (2006.8.1)	(72) 発明者	ピーター シー. トン
(33) 優先権主張国	米国 (US)		アメリカ合衆国, カリフォルニア州, ク
(31) 優先権主張番号	11/689, 485		パチーノ, リンディー プレイス 11
(32) 優先日	平成19年3月21日 (2007.3.21)		497
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 GPUにおけるページマッピングのための専用機構

(57) 【特許請求の範囲】

【請求項1】

グラフィックスプロセッサによって使用される仮想アドレスを、システムメモリによって使用される物理メモリアドレスに変換する前記グラフィックスプロセッサが実行する方法であって、

前記システムメモリは、ページテーブルを記憶するように構成されており、前記ページテーブルは、複数のページテーブルエントリを有し、該複数のページテーブルエントリは、前記仮想アドレスと対応する物理メモリアドレスとを含み、

前記グラフィックスプロセッサは、キャッシュを備えており、

当該方法は、

前記システムメモリにおけるメモリロケーションへのアクセスを要求するメモリロケーションアクセス要求ステップと、

前記システムメモリにおけるメモリロケーションの少なくとも一つのブロックのためのアドレス情報であって、少なくとも一つの物理メモリアドレスを識別する情報を含むアドレス情報を受け取るアドレス情報受取りステップと、

前記複数のページテーブルエントリの少なくともいくつかを前記キャッシュに記憶させるページテーブルエントリキャッシュ記憶ステップと、

前記キャッシュにおいて前記複数のページテーブルエントリの前記少なくともいくつかをロックするステップと、

を備え、

キャッシュミスを待たずに、前記アドレス情報が受け取られ、前記複数のページテーブルエントリーの前記少なくともいくつかが前記キャッシュに記憶されるようにする、方法。

【請求項 2】

前記複数のページテーブルエントリーを前記システムメモリに記憶させるページテーブルエントリーシステムメモリ記憶ステップを更に備える、請求項 1 に記載の方法。

【請求項 3】

前記グラフィックスプロセッサは、グラフィックス処理装置である、請求項 1 に記載の方法。

【請求項 4】

前記グラフィックスプロセッサは、統合グラフィックスプロセッサに含まれる、請求項 1 に記載の方法。

【請求項 5】

前記システムメモリにおけるメモリロケーションへのアクセスのための前記要求は、オペレーティングシステムに対してなされる、請求項 1 に記載の方法。

【請求項 6】

少なくとも一つの物理メモリアドレスを識別する前記情報は、ベースアドレス及びメモリブロックサイズを含む、請求項 1 に記載の方法。

【請求項 7】

グラフィックスプロセッサによって使用される仮想アドレスを、システムメモリによって使用される物理メモリアドレスに変換するグラフィックスプロセッサであって、

前記システムメモリは、ページテーブルを記憶するように構成されており、前記ページテーブルは、複数のページテーブルエントリーを有し、該複数のページテーブルエントリーは、前記仮想アドレスと対応する物理メモリアドレスとを含み、

当該グラフィックスプロセッサは、

前記システムメモリにおけるメモリロケーションへのアクセスのための要求を与えると共に、前記システムメモリにおけるメモリロケーションに関するアドレス情報であって、少なくとも一つの物理メモリアドレスを識別する情報を含むアドレス情報を受け取るためのデータインターフェースと、

前記複数のページテーブルエントリーのいくつかを書き込むためのキャッシュコントローラと、

前記複数のページテーブルエントリーの前記いくつかを記憶するためのキャッシュと、を備え、

キャッシュミスが起こるのを待たずに、前記アドレス情報が受け取られ、前記複数のページテーブルエントリーの前記いくつかが前記キャッシュに記憶され、

前記複数のページテーブルエントリーの前記いくつかは、前記キャッシュにおいてロックされるようにする、グラフィックスプロセッサ。

【請求項 8】

前記データインターフェースは、前記システムメモリに前記複数のページテーブルエントリーを記憶させる要求も与える、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 9】

前記データインターフェースは、システムの電源投入に続いて前記システムメモリにおけるメモリロケーションへのアクセスのための要求を与える、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 10】

前記キャッシュコントローラは、前記いくつかのページテーブルエントリーが記憶されている前記キャッシュのメモリロケーションをロックする、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 11】

前記キャッシュコントローラは、前記いくつかのページテーブルエントリーが記憶され

10

20

30

40

50

ている前記キャッシュのメモリロケーションへのアクセスを制限する、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 1 2】

前記データインターフェースは、P C I E インターフェース回路である、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 1 3】

前記グラフィックスプロセッサは、グラフィックス処理装置である、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 1 4】

前記グラフィックスプロセッサは、統合グラフィックスプロセッサに含まれる、請求項 7 に記載のグラフィックスプロセッサ。

【請求項 1 5】

グラフィックスプロセッサによって使用される仮想アドレスを、システムメモリによって使用される物理メモリアドレスに変換する前記グラフィックスプロセッサが実行する方法であって、

前記システムメモリは、ページテーブルを記憶するように構成されており、前記ページテーブルは、複数のページテーブルエントリを有し、該複数のページテーブルエントリは、前記仮想アドレスと対応する物理メモリアドレスとを含み、

前記グラフィックスプロセッサはキャッシュとキャッシュコントローラとを備えており、前記キャッシュは、前記複数のページテーブルエントリのいくつかを記憶し、前記キャッシュコントローラは、該記憶されたページテーブルエントリをロックするように構成されており

当該方法は、

前記システムメモリにおけるメモリのブロックのためのベースアドレス及びレンジを受け取るベースアドレスレンジ受取りステップと、

前記ベースアドレス及びレンジを記憶させるためのベースアドレスレンジ記憶ステップと、

第 1 のアドレスを受け取るアドレス受取りステップと、

前記第 1 のアドレスが前記レンジ内にあるかを判定するアドレスレンジ判定ステップと

、前記第 1 のアドレスが前記レンジ内にある場合に、前記ベースアドレスを前記第 1 のアドレスに加えることによって前記第 1 のアドレスを第 2 のアドレスに変換するアドレス変換ステップと、

前記第 1 のアドレスが前記レンジ内でない場合に、前記キャッシュからページテーブルエントリを読み取るページテーブルエントリ読み取りステップと、

前記ページテーブルエントリを使用して前記第 1 のアドレスを第 2 のアドレスに変換するページテーブルエントリ使用アドレス変換ステップと、  
を備える方法。

【請求項 1 6】

前記キャッシュからページテーブルエントリを読み取る前に、キャッシュミスを待たずに、前記キャッシュに前記ページテーブルエントリを記憶させるページテーブルエントリ読み取り前記憶ステップを更に備える、請求項 1 5 に記載の方法。

【請求項 1 7】

前記キャッシュからページテーブルエントリを読み取る前に、前記ページテーブルエントリが前記キャッシュに記憶されているかどうか判定し、前記ページテーブルエントリが前記キャッシュに記憶されていない場合に、前記システムメモリから前記ページテーブルエントリを読み取るページテーブルエントリ読み取り前判定ステップを更に備える、請求項 1 5 に記載の方法。

【請求項 1 8】

前記グラフィックスプロセッサは、グラフィックス処理装置である、請求項 1 5 に記載

10

20

30

40

50

の方法。

【請求項 19】

前記グラフィックスプロセッサは、統合グラフィックスプロセッサに含まれる、請求項 15 に記載の方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本願は、2006年7月31日に出願された米国仮出願第60/820,952号及び2006年8月1日に出願された米国仮出願第60/821,127号の利益を主張する。これら両仮出願は、共に、Tong氏等によるものであり、「DEDICATED MECHANISM FOR PAGE-MAPPING IN A GPU」を発明の名称とするものである。

【0002】

[0002]本願は、共同出願係属中の、2005年10月18日に出願された「Zero Frame Buffer」を発明の名称とする米国特許出願第11/253,438号、2005年3月10日に出願された「Memory Management for Virtual Address Space with Translation Units of Variable Range Size」を発明の名称とする米国特許出願第11/077,662号、及び2005年3月10日に出願された「Memory Management for Virtual Address Space with Translation units of Variable Range Size」を発明の名称とする米国特許出願第11/077662号に関連している。

【背景】

【0003】

[0003]本発明は、システムメモリディスプレイデータアクセスのために必要とされるアドレス変換情報を検索するためのシステムメモリアccessを排除又は減少させることに関するものである。

【0004】

[0004]グラフィックス処理装置(GPU)は、モニタ又は他のディスプレイデバイス上にグラフィックスイメージを生成するため、コンピュータ、ビデオゲーム、カーナビゲーション及びその他の電子システムの一部として含まれる。開発された当初のGPUは、フレームバッファと称されるローカルメモリにピクセル値、即ち、実際に表示されるカラーを記憶させていた。

【0005】

[0005]それ以来、GPUの複雑さ、特に、カリフォルニア州サンタクララのNVIDIA Corporationによって設計開発されるGPUの複雑さは、非常に増してきている。フレームバッファに記憶されるデータのサイズ及び複雑さも同様に増してきている。現在では、このグラフィックスデータは、ピクセル値だけでなく、テクスチャ、テクスチャ記述子、シェーダープログラム命令及び他のデータ及びコマンドをも含んでいる。現在では、これらフレームバッファは、それらの役割が拡張されたことの認識に基づいて、グラフィックスメモリと称されている。

【0006】

[0006]最近まで、GPUは、アドバンスドグラフィックスポート又はAGPバスを經由してコンピュータシステムにおける中央処理装置及びその他のデバイスと通信している。このバスのより高速なバージョンが開発されたが、このバージョンでは、GPUへ十分なグラフィックスデータを分配することができない。したがって、それらグラフィックスデータは、AGPポートを通さなくともGPUに対して利用できるようなローカルメモリに記憶されていた。都合の良いことには、ペリフェラル・コンポーネント・インターコネクタ(PCI)標準又はPCIE(PCIEクスプレス)のエンハンスドバージョンである新しいバスが開発されている。このバスのプロトコル及びそのインプリメンテーションは

、NVIDIACorporationによって大幅に改善され改良されてきた。その結果として、P C I Eバスを經由してアクセスされるシステムメモリを有利に使用することができ、ローカルメモリを排除することができた。

【 0 0 0 7 】

[0007]グラフィックスメモリロケーションの変化の結果として、種々な困難な事項が生じてきている。その一つとして、G P Uは、仮想アドレスを使用してデータ記憶場所を追跡するのに対して、システムメモリは、物理アドレスを使用しているということがある。システムメモリからデータを読み取るため、G P Uは、その仮想アドレスを物理アドレスに変換する。このような変換のために過大な時間がかかる場合に、データは、十分に高速なペースにてシステムメモリによってG P Uへ与えられないことになってしまう。これは、特に、G P Uへ絶えず素早く与えられなければならないようなピクセル又はディスプレイデータについて言えることである。

10

【 0 0 0 8 】

[0008]このようなアドレス変換は、仮想アドレスを物理アドレスに変換するのに必要とされる情報がG P Uに記憶されていない場合には、過大な時間を要することになってしまう。詳述すると、この変換情報がG P Uにて得られない場合には、システムメモリからそれを検索するための第1のメモリアクセスが必要とされる。システムメモリからディスプレイデータ又はその他の必要なデータを読み取るのは、その後の第2のメモリアクセスにおいてでないといけないのである。したがって、第1のメモリアクセスによって与えられるアドレスがないと第2のメモリアクセスを進めることはできないので、第1のメモリアクセスは第2のメモリアクセスの前に行われるべき直列的なものである。この付加的な第1のメモリアクセスは、1マイクロ秒程もの時間長さを要することがあるもので、これにより、ディスプレイデータ又はその他の必要データを読み取る速度が大きく低下してしまうことがある。

20

【 0 0 0 9 】

[0009]したがって、システムメモリからアドレス変換情報を検索するためのこのような付加的なメモリアクセスを排除又は減少させる回路、方法及び装置が必要とされている。

【 概要 】

【 0 0 1 0 】

[0010]したがって、本発明の実施形態は、システムメモリディスプレイデータアクセスのために必要とされるアドレス変換情報を検索するためのシステムメモリアクセスを排除又は減少させる回路、方法及び装置を提供するものである。特定すると、アドレス変換情報は、グラフィックスプロセッサに記憶される。こうすることにより、変換情報を検索するための別々のシステムメモリアクセスの必要が減少又は排除される。付加的なメモリアクセスが必要とされないため、プロセッサは、より素早くアドレスを変換し、システムメモリから必要とされるディスプレイデータ又は他のデータを読み取ることができる。

30

【 0 0 1 1 】

[0011]本発明の一つの典型的な実施形態によれば、グラフィックス変換ルックアサイドバッファ(グラフィックスT L B)と称されるキャッシュに、G P Uによって使用される仮想アドレスをシステムメモリによって使用される物理アドレスに変換するのに使用されるエントリーを、予め格納すること(以下、プリボピュレーションという)により、電源投入に続くアドレス変換情報のためのシステムメモリアクセスを排除又は減少させる。本発明の特定の実施形態では、グラフィックスT L Bは、ディスプレイデータのために必要とされるアドレス情報をプリボピュレーションする。しかし、本発明の他の実施形態では、他のタイプのデータに対するアドレスをグラフィックスT L Bにプリボピュレーションすることができる。こうすることにより、さもなければ必要とされてしまうようなアドレス変換情報を検索するための付加的なシステムメモリアクセスを無くすることができる。

40

【 0 0 1 2 】

[0012]電源投入後、必要とされる変換情報が確実にグラフィックスプロセッサに維持さ

50

れているようにするため、ディスプレイアクセスのために必要とされるグラフィックスTLBにおけるエントリーは、保護（以下、ロックという）され、又は別の仕方では制限される。これは、グラフィックスTLBにフラグ又は他の識別情報を記憶させることにより、又は、その他の適当な方法により、グラフィックスTLBにおける特定のロケーションへのアクセスを制限することによって行うことができる。こうすることにより、データが上書きされるのを防止することができる。このようなデータの上書きがなされてしまうと、もう一度システムメモリから読み取ることが必要となってしまう。

#### 【0013】

[0013]本発明の別の典型的な実施形態によれば、システムBIOSによって与えられるシステムメモリの大きな連続ブロックに対する基準アドレス（以下、ベースアドレスという）及びアドレスレンジを記憶することによって、アドレス変換情報のためのメモリアccessを排除又は減少させる。電源投入又は他の適当なイベントにて、システムBIOSは、「カーブアウト」と称される大きなメモリブロックをGPUへ割り当てる。GPUは、ディスプレイデータ又は他のデータのためにこれを使用することができる。GPUは、チップに、例えば、ハードウェアレジスタにベースアドレス及びレンジを記憶させる。

#### 【0014】

[0014]GPUによって使用される仮想アドレスを物理アドレスに変換すべきときには、その仮想アドレスがカーブアウトのレンジ内にあるかを知るためのレンジチェックがなされる。本発明の特定の実施形態では、これは、カーブアウトのベースアドレスをゼロの仮想アドレスに対応させることによって単純化される。このとき、カーブアウトにおける最も高い仮想アドレスが、物理アドレスのレンジに対応する。変換すべきアドレスがカーブアウトに対する仮想アドレスのレンジ内にある場合に、その仮想アドレスは、その仮想アドレスにベースアドレスを加えることによって物理アドレスに変換される。変換すべきアドレスがこのレンジ内に無い場合に、それは、グラフィックスTLB又はページテーブルを使用して変換することができる。

#### 【0015】

[0015]本発明の種々な実施形態は、これらの特徴又はここで説明するその他の特徴のうちの一つ以上のものを組み入れることができる。以下の詳細な説明及び添付図面を参照することにより、本発明の特性及び効果についてより良く理解できよう。

#### 【典型的な実施形態の説明】

#### 【0016】

[0024]図1は、本発明の一つの実施形態を組み入れることにより改善されるコンピュータシステムのブロック図である。このブロック図は、中央処理装置（CPU）又はホストプロセッサ100、システムプラットフォームプロセッサ（SPP）110、システムメモリ120、グラフィックス処理装置（GPU）130、メディア通信プロセッサ（MCP）150、ネットワーク160並びに内部及び周辺デバイス270を含む。フレームバッファ、ローカル又はグラフィックスメモリ140も含まれているが、点線で示されている。その点線は、従来のコンピュータシステムでは、このメモリが含まれているが、本発明の実施形態によれば、このメモリを排除できることを示している。この図は、他の添付図と同様に、例示のために示すものに過ぎず、本発明の可能な実施形態を限定するものでもなく、特許請求の範囲を限定するものでもない。

#### 【0017】

[0025]CPU100は、ホストバス105を経由してSPP110に接続する。SPP110は、PCIバス135を経由してグラフィックス処理装置130と通信する。SPP110は、メモリバス125を通してシステムメモリ120からデータを読み取ったり、システムメモリ120へデータを書き込んだりする。MCP150は、ハイパートランスポートバス155のような高速接続を通してSPP110と通信し、ネットワーク160並びに内部及び周辺デバイス170をコンピュータシステムの他の構成部分へ接続する。グラフィックス処理装置130は、PCIバス135を通してデータを受け取り、モニタ又は他の表示デバイス（図示していない）上のディスプレイのためのグラフィック

10

20

30

40

50

及びビデオイメージを生成する。本発明の他の実施形態では、グラフィックス処理装置は、S P P 1 1 0 に代えて使用される統合グラフィックスプロセッサ ( I G P ) に含まれる。更に他の実施形態では、汎用 G P U を、G P U 1 3 0 として使用することができる。

【 0 0 1 8 】

[0026] C P U 1 0 0 は、Intel Corporation又はその他のサプライヤーによって製造されているような当業者によく知られたプロセッサであってよい。S P P 1 1 0 及び M C P 1 5 0 は、普通には、チップセットと称される。システムメモリ 1 2 0 は、しばしば、多数のデュアルインラインメモリモジュール ( D I M M ) に配列された多数のダイナミックランダムアクセスメモリデバイスである。グラフィックス処理装置 1 3 0 、 S P P 1 1 0 、 M C P 1 5 0 及び I G P は、使用されるのであれば、NVIDIACorporationによって製造されるのが好ましい。

10

【 0 0 1 9 】

[0027] グラフィックス処理装置 1 3 0 は、グラフィックスカード上に配設することができる。一方、C P U 1 0 0 、システムプラットフォームプロセッサ 1 1 0 、システムメモリ 1 2 0 及びメディア通信プロセッサ 1 5 0 は、コンピュータシステムマザーボード上に配設することができる。グラフィックス処理装置 1 3 0 を含むグラフィックスカードは、典型的には、グラフィックス処理装置を取り付けたプリント回路板である。このプリント回路板は、典型的には、コネクタ、例えば、P C I E コネクタが取り付けられており、そのコネクタは、マザーボードに含まれた P C I E スロットに嵌合する。本発明の他の実施形態では、グラフィックスプロセッサは、マザーボードに含まれるか、又は、I G P 内に

20

【 0 0 2 0 】

[0028] 例示したコンピュータシステムのようなコンピュータシステムは、一つより多い G P U 1 3 0 を含むことができる。また、それらのグラフィックス処理装置の各々を、別々のグラフィックスカードに配設することができる。これらのグラフィックスカードの2つ以上のものを、ジャンパ又はその他の接続により一緒に接合することができる。このような技術の一つである、先駆的な S L I ( 商標名 ) が NVIDIACorporation によって開発されている。本発明の他の実施形態では、一つ以上の G P U を一つ以上のグラフィックスカード上に配設し、他の一つ以上の G P U をマザーボード上に配設することができる。

30

【 0 0 2 1 】

[0029] 以前に開発されたコンピュータシステムでは、G P U 1 3 0 は、A G P バスを経由してノースブリッジのようところでシステムプラットフォームプロセッサ 1 1 0 又は他のデバイスと通信していた。不都合なことに、A G P バスは、必要とされる速度で G P U 1 3 0 へデータを供給することができなかった。したがって、G P U の使用のためにフレームバッファ 1 4 0 が設けられていた。このメモリにより、データを A G P ボトルネックに渡す必要なしに、データへのアクセスが可能となった。

【 0 0 2 2 】

[0030] 現在では、P C I E 及びハイパートランスポートのようなより高速のデータ転送プロトコルを利用できるようになってきている。特に、改良 P C I E インターフェースが、NVIDIA Corporation によって開発されている。したがって、G P U 1 3 0 からシステムメモリ 1 2 0 までの帯域幅が大きく増大されてきている。かくして、本発明の実施形態は、フレームバッファ 1 4 0 を排除しようとするものである。フレームバッファを排除するのに使用できる別の方法及び回路の実施形態については、2 0 0 5 年 1 0 月 1 8 日に出願された共同出願係属中の「Zero Frame Buffer」を発明の名称とする米国特許出願第 1 1 / 2 5 3 4 3 8 号に開示されている。

40

【 0 0 2 3 】

[0031] 本発明の実施形態によって可能とされるフレームバッファの排除により、これらの D R A M をなくすのみならず、同様の付加的な節約をなすことができる。例えば、それらメモリへの電力供給を制御するのに典型的には電圧調整器が使用されており、電源のフィ

50

ルタリングを行なうのにキャパシタが使用されている。これらのDRAM、調整器及びキャパシタを排除することにより、コストの節約ができ、これにより、グラフィックスカードの部品表(BOM)を削減することができる。その上、ボードレイアウトが単純化され、ボードスペースが減少され、グラフィックスカードのテストが単純化される。これらの要因により、研究開発及び設計費、及びその他の工学及びテスト費が削減され、それにより、本発明の実施形態を組み入れたグラフィックスカードのためのグロスマージンが増大される。

#### 【0024】

[0032]本発明の実施形態は、ゼロフレームバッファグラフィックスプロセッサの性能を改善するのによく適しているが、限定又はオンチップメモリ又は限定ローカルメモリを有するようなグラフィックスプロセッサを含めてその他のグラフィックスプロセッサもまた、本発明の実施形態を組み入れることにより改善される。また、この実施形態は本発明の一つの実施形態を組み入れることによって改善される特定のタイプのコンピュータシステムを提供しているのであるが、他のタイプの電子システム又はコンピュータシステムも又改善することができる。例えば、ビデオ及びその他のゲームシステム、ナビゲーション、セットトップボックス、パチンコマシン並びにその他のタイプのシステムもまた、本発明の実施形態を組み入れることにより改善することができる。

10

#### 【0025】

[0033]また、ここに説明するこれらのタイプのコンピュータシステム及び他の電子システムは、今のところ普通のものであるが、他のタイプのコンピュータシステム及び他の電子システムが開発されているところである。また、将来においては、更に別のものが開発されてくるであろう。それらのうちの多くのももまた、本発明の実施形態を組み入れることによって改善できると考えられる。したがって、ここに列挙した特定の実施形態は、本来的に説明のためのものであり、これらは、本発明の可能な実施形態を限定するものでもなく、特許請求の範囲を限定するものでもない。

20

#### 【0026】

[0034]図2は、本発明の一つの実施形態を組み入れることによって改善される別のコンピュータシステムのブロック図である。このブロック図は、中央処理装置又はホストプロセッサ200、SPP210、システムメモリ220、グラフィックス処理装置230、MCP250、ネットワーク260並びに内部及び周辺デバイス270を含む。また、フレームバッファ、ローカル又はグラフィックスメモリ240が含まれているが、それは、排除されることを強調するため点線で示されている。

30

#### 【0027】

[0035]CPU200は、ホストバス205を経由してSPP210と通信し、メモリバス225を経由してシステムメモリ220にアクセスする。GPU230は、PCIバス235を通してSPP210と通信し、メモリバス245を通してローカルメモリと通信する。MCP250は、ハイパートランスポートバス255のような高速度接続を経由してSPP210と通信し、ネットワーク260並びに内部及び周辺デバイス270をそのコンピュータシステムの他の構成部分へ接続する。

#### 【0028】

[0036]前述したように、中央処理装置又はホストプロセッサ200は、Intel Corporation又は他のサプライヤーによって製造されている中央処理装置のうちの一つであって良く、当業者には良く知られているものである。グラフィックスプロセッサ230、統合グラフィックスプロセッサ210並びにメディア及び通信プロセッサ250は、NVIDIA Corporationによって与えられるのが好ましい。

40

#### 【0029】

[0037]図1及び図2におけるフレームバッファ140及び240を排除し、また、本発明の他の実施形態において他のフレームバッファを排除することは簡単なことではない。例えば、システムメモリにデータを記憶させたりシステムメモリからデータを読み取ったりするのに使用されるアドレスについての困難な事項が生ずる。

50



## 【 0 0 3 0 】

[0038] G P Uがデータを記憶するためローカルメモリを使用しているときには、そのローカルメモリは、厳密に、そのG P Uの制御下にある。典型的には、他の回路は、そのローカルメモリへアクセスできないものとされている。これにより、G P Uが適当と考えるどのような仕方でもアドレスを追尾し割り当てることができるようにされている。しかしながら、システムメモリは、複数の回路によって使用され、オペレーティングシステムによってスペースがそれらの回路に割り当てられている。オペレーティングシステムによってG P Uへ割り当てられたスペースは、一つの連続メモリセクションを形成するものでありうる。より多くの場合、G P Uへ割り当てられたスペースは、多くのブロック又はセクションへ分割されており、それらの幾つかは、異なるサイズを有していることがある。これらのブロック又はセクションは、初期アドレス、開始アドレス又はベースアドレス及びアドレスのメモリサイズ又はレンジによって記述できる。

10

## 【 0 0 3 1 】

[0039]グラフィックス処理装置が実際のシステムメモリアドレスを使用するのは難しく非効率的である。なぜならば、G P Uへ与えられるアドレスは、複数の独立したブロックにて割り当てられているからである。また、G P Uへ与えられるアドレスは、電力がターンオンされる毎に、又はメモリアドレスが別の仕方でも再割り当てされる毎に、変化することがある。G P U上で実行されるソフトウェアがシステムメモリにおける実際の物理アドレスとは独立している仮想アドレスを使用する方がはるかに容易である。詳述すると、G P Uは、メモリスペースを一つの大きな連続ブロックとして取り扱うが、一方、メモリは、幾つかのより小さい別々のブロックにてG P Uへ割り当てられている。したがって、データがシステムメモリへ書き込まれたりシステムメモリから読み取られたりするとき、G P Uによって使用される仮想アドレスとシステムメモリによって使用される物理アドレスとの間の変換が行われる。このような変換は、エントリーとして仮想アドレス及びそれらの対応する物理アドレス相当値を含むテーブルを使用して行うことができる。これらのテーブルは、ページテーブルと称され、一方、それらのエントリーは、ページテーブルエントリー(P T E)と称される。

20

## 【 0 0 3 2 】

[0040]これらのページテーブルは、G P Uに入れるには大き過ぎ、そうすることは、コスト制約上望ましくない。したがって、ページテーブルは、システムメモリに記憶される。都合の悪いことに、こうすることは、データがシステムメモリから必要とされる毎に、必要とされるページテーブルエントリーを検索するための第1の又は付加的なメモリアクセスが必要とされる。そして、必要とされるデータを検索するための第2のメモリアクセスが必要とされることを意味している。したがって、本発明の実施形態では、ページテーブルにおけるデータのうちの幾つかのものが、G P UのグラフィックスT L Bにキャッシュされる。

30

## 【 0 0 3 3 】

[0041]ページテーブルエントリーが必要とされ、そのページテーブルエントリーがG P UのグラフィックスT L Bにて利用できるときには、ヒットと称され、アドレス変換に進むことができる。そのページテーブルエントリーがG P UのグラフィックスT L Bに記憶されていない場合には、ミスと称される。この場合には、必要とされるページテーブルエントリーは、システムメモリにおけるページテーブルから検索される。

40

## 【 0 0 3 4 】

[0042]必要とされるページテーブルエントリーが検索された後は、この同じページテーブルエントリーが再び必要とされる可能性は高い。したがって、メモリアクセスの回数を減少させるため、そのページテーブルエントリーをグラフィックスT L Bに記憶させておくのが望ましい。キャッシュに空の場所がない場合には、最近使用されていないページテーブルエントリーに対して、この新しいページテーブルエントリーで上書き又は放逐することができる。本発明の種々な実施形態では、放逐前に、現在キャッシュされているエントリーがシステムメモリから読み取られた後にそのグラフィックス処理装置によって変更

50

されているかを判定するためのチェックがなされる。それが変更されている場合には、その新しいページテーブルエントリでそのグラフィックスTLBにて上書きする前に、その更新されたページテーブルエントリをシステムメモリへと書込み戻すようなライトバックオペレーションを行う。本発明の他の実施形態では、このようなライトバック手順は行われない。

**【0035】**

[0043]本発明の特定の実施形態では、ページテーブルは、システムが割り当てる最小粒度に基づいてインデックスを付与される。例えば、PTEは、最小で44KBブロック又はページを表すことができる。したがって、仮想アドレスを16KBで分割し、それからエントリのサイズで乗算することにより、ページテーブルにおける問題のインデックスが生成される。グラフィックスTLBのミス後、GPUは、ページテーブルエントリを見出すため前述のインデックスを使用する。この特定の実施形態では、ページテーブルエントリは、4KBより大きい一つ以上のブロックにマッピングすることができる。例えば、ページテーブルエントリは、最小で4つの4KBブロックにマッピングすることができ、また、4KBより大きく最大で総計256KBの4、8又は16ブロックにマッピングすることができる。このようなページテーブルエントリがキャッシュにロードされるとき、グラフィックスTLBは、単一PTEである単一グラフィックスTLBエントリを参照することにより、その256KB内に仮想アドレスを見出すことができる。この場合において、ページテーブル自体は、各々が少なくとも16KBにマッピングされる16バイトエントリとして構成される。したがって、その256KBページテーブルエントリは、仮想アドレススペースのその256KB内に入るすべてのページテーブルロケーションにコピーされている。したがって、この実施形態では、正確に同じ情報を有する16ページテーブルエントリがある。その256KB内のミスは、それらの同一のエントリのうちの一つを読み取る。

**【0036】**

[0044]前述したように、必要とされるページテーブルエントリがグラフィックスTLBにて利用できない場合には、そのエントリを検索するための付加的なメモリアクセスが必要とされる。データへの定常的に絶えずアクセスを必要とするような特定のグラフィックスファンクションの場合には、このような付加的なメモリアクセスは非常に望ましくないものである。例えば、グラフィックス処理装置は、必要とされる速度でイメージデータをモニタへ与えることができるようにディスプレイデータに対して信頼性のあるアクセスをする必要がある。過大なメモリアクセスが必要とされる場合には、その結果生ずる待ち時間のため、モニタへのピクセルデータの流れが中断されてしまい、それにより、グラフィックスイメージが乱れてしまうことがある。

**【0037】**

[0045]詳述すると、ディスプレイデータアクセスのためのアドレス変換情報がシステムメモリから読み取られる必要がある場合には、そのアクセスは、後のデータアクセスに対して直列的なものである。即ち、必要とされるディスプレイデータがどこに記憶されているかをGPUが知ることができるように、アドレス変換情報をメモリから読み取らなければならない。この付加的なメモリアクセスによって生ずる付加的な待ち時間により、ディスプレイデータがモニタへ与えられる速度が減少させられ、グラフィックスイメージが更に又乱されてしまう。また、これらの付加的なメモリアクセスにより、PCIEバスのトラフィックが増大させられ、システムメモリ帯域幅が浪費されてしまう。

**【0038】**

[0046]アドレス変換情報を検索するための付加的なメモリ読み取りは、グラフィックスTLBが空又はクリアされるとき電源投入又はその他のイベント時に特に起こりやすい。詳述すると、コンピュータシステムの電源投入時に、基本入出力システム(BIOS)は、GPUがその構成にローカルフレームバッファメモリを有していると予想する。したがって、従来のシステムでは、システムBIOSは、グラフィックスプロセッサによる使用のためシステムメモリにスペースを割り当てない。むしろ、GPUは、オペレーティング

10

20

30

40

50

システムから特定の量のシステムメモリスペースを要求する。メモリスペースがオペレーティングシステムによって割り当てられた後、GPUは、システムメモリのページテーブルにページテーブルエントリを記憶することができ、グラフィックSTLBは空である。ディスプレイデータが必要とされるとき、PTEに対する各要求においてミスが生じ、それにより、付加的なメモリアクセスが生ずことになる。

**【0039】**

[0047]したがって、本発明の実施形態によれば、グラフィックSTLBにページテーブルエントリをプリポピュレーションする。即ち、グラフィックSTLBは、ページテーブルエントリを必要とする要求がキャッシュミスとなる前に、それらページテーブルエントリで満たされる。このプリポピュレーションは、典型的には、少なくともディスプレイデータの検索のために必要とされるページテーブルエントリを含むが、その他のページテーブルエントリも又グラフィックSTLBにプリポピュレーションすることができる。更に、ページテーブルエントリが放逐されるのを防ぐため、幾つかのエントリをロックし又はその他の仕方で制限することができる。本発明の特定の実施形態では、ディスプレイデータのために必要とされるページテーブルエントリがロックされ又は制限されるが、他の実施形態では、その他のタイプのデータをロックし又は制限することができる。このような典型的な一つの実施形態を例示するフローチャートを次の図に示している。

**【0040】**

[0048]図3は、本発明の一つの実施形態によりシステムメモリに記憶されたディスプレイデータにアクセスする方法を例示するフローチャートである。この図は、他の添付図と同様に、例示の目的で示されており、本発明の可能な実施形態を限定するものでもなく、特許請求の範囲を限定するものでもない。また、この実施形態及びここに示す他の実施形態は、ディスプレイデータにアクセスするのに特によく適したものであるが、その他のタイプのデータアクセスもまた、本発明の実施形態を組み入れることにより改善することができる。

**【0041】**

[0049]この方法においては、GPU、又はより詳細には、GPU上で実行されるドライバ又はリソースマネージャにより、システムメモリから変換情報を検索する必要なしに、GPU自体に記憶された変換情報を使用して仮想アドレスを物理アドレスに変換することができる。これは、グラフィックSTLBに変換エントリを初期的にプリポピュレーション又はプリローディングすることによって行われる。それから、ディスプレイデータに関連したアドレスがロックされ、又は、その他の仕方で上書き又は放逐されないようにされる。

**【0042】**

[0050]詳述すると、ステップ310にて、コンピュータ又は他の電子システムが電源投入され、又は、再起動、パワーリセット又は同様のイベントを受ける。ステップ320にて、GPUに対して作動するドライバの部分であるリソースマネージャが、オペレーティングシステムからシステムメモリスペースを要求する。オペレーティングシステムは、ステップ330にてGPUに対してシステムメモリのスペースを割り当てる。

**【0043】**

[0051]この実施形態では、CPU上で作動するオペレーティングシステムが、フレームバッファ又はシステムメモリにおけるフレームバッファの割り当てを行っているが、本発明の種々な実施形態では、CPU又はシステムにおける他のデバイス上で実行されるドライバ又はその他のソフトウェアが、このようなタスクを行うようにすることができる。他の実施形態では、このタスクは、オペレーティングシステムとドライバ又は他のソフトウェアのうちの一つ以上のものとで分担される。ステップ340にて、リソースマネージャは、オペレーティングシステムからシステムメモリにおけるスペースに対する物理アドレス情報を受け取る。この情報は、典型的には、少なくとも、システムメモリにおける一つ以上のセクションのベースアドレス及びサイズ又はレンジを含む。

## 【 0 0 4 4 】

[0052]リソースマネージャは、このとき、GPUによって使用される仮想アドレスをシステムメモリによって使用される物理アドレスに変換するのに必要とされるページテーブルエントリーの数を制限するように、その情報を圧縮又は他の仕方で配列することができる。例えば、オペレーティングシステムによってGPUから割り当てられるシステムメモリスパースの別々ではあるが隣接するブロックを結合して、単一のベースアドレスをスタートアドレスとして使用し、仮想アドレスをインデックス信号として使用することができる。これを示す実施形態は、2005年3月10日に出願され「Memory Management for Virtual Address Space with Translation Units of Variable Range Size」を発明の名称とする出願係属中の共有の米国特許出願第11/077662号に開示されている。また、この実施形態では、このタスクは、GPU上で作動するドライバの部分であるリソースマネージャによって行われる。他の実施形態では、この実施形態及び他の実施形態において示されるこのタスク及びここに示す他のタスクは、他のソフトウェア、ファームウェア又はハードウェアによって行われるか、分担される。

10

## 【 0 0 4 5 】

[0053]ステップ350において、リソース管理プログラムは、変換エントリーをシステムメモリのページテーブルに書き込む。また、リソースマネージャは、グラフィックSTLBにそれらの変換エントリーのうちの少なくとも幾つかをプリロード又はプリポピュレーションする。ステップ360にて、グラフィックSTLBのうちの幾つか又はすべてをロックするか又は他の仕方で放逐されないようにする。本発明の特定の実施形態では、ディスプレイデータのためのアドレスは、ディスプレイ情報のためのアドレスがアドレス変換情報のための付加的なシステムメモリアクセスを必要とせずと与えられるようにするため、上書き又は放逐されないようにされる。

20

## 【 0 0 4 6 】

[0054]このようなロックは、本発明の実施形態に係る種々な方法を使用して行うことができる。例えば、多数のクライアントがグラフィックSTLBからデータを読み取ることができるような場合には、それらのクライアントのうちの一つ以上のものが、データを制限されたキャッシュロケーションへ書き込むことができず、プールされるか又は制限されていないかの多数のキャッシュラインのうちの一つへそれらデータを書き込まねばならないように制限することができる。より詳細については、2005年12月8日に出願され「Shared Cache with Client-Specific Replacement Policy」を発明の名称とする出願係属中の共有の米国特許出願第11/298256号に開示されている。他の実施形態では、グラフィックSTLBへ書き込むことのできる回路に制限をすることができるか、又は、フラグのようなデータをグラフィックSTLBにエントリーと共に記憶させることができる。例えば、幾つかのキャッシュラインの存在をグラフィックSTLBへ書き込むことのできる回路から隠すことができる。別の仕方として、フラグがセットされる場合に、その関連したキャッシュラインにおけるデータが上書き又は放逐されないようにすることができる。

30

## 【 0 0 4 7 】

[0055]ステップ370にて、ディスプレイデータ又は他のデータがシステムメモリから必要とされるとき、GPUによって使用される仮想アドレスは、グラフィックSTLBにおけるページテーブルエントリーを使用して物理アドレスに変換される。詳述すると、仮想アドレスがグラフィックSTLBへ与えられ、対応する物理アドレスが読み取られる。また、この情報がグラフィックSTLBに記憶されていない場合に、アドレス変換を行う前に、その情報は、システムメモリから要求される必要がある。

40

## 【 0 0 4 8 】

[0056]本発明の種々な実施形態では、グラフィックSTLBミスの影響を制限するための他の技法を使用することができる。詳述すると、付加的なステップを採用し、メモリアクセス待ち時間を減少させ、それにより、ディスプレイデータの供給に対するキャッシュ

50

ミスの影響を減少させるようにする。一つの解決策は、P C I E仕様の部分である仮想チャンネルV C 1を利用することである。グラフィックスT L Bミスが仮想チャンネルV C 1を使用する場合には、他の要求をバイパスして、必要とされるエントリーがより素早く検索されるようにすることができる。しかしながら、従来のチップセットでは、仮想チャンネルV C 1へのアクセスが許されない。NVIDIACorporationは、このような解決策を本発明に係る方法によって製品において実施することができるのであるが、他のデバイスとの相互運用性のため現在ではそうすることは望ましくない。しかし、将来においては、このような事情は変わるかもしれない。別の解決策としては、グラフィックスT L Bミスから生ずる要求を優先順位付けするか又は標識付けすることがある。例えば、要求に高優先度タグを付してフラグ付けすることができる。この解決策は、前述の解決策と同様に相互運用性の点で問題がある。

10

## 【 0 0 4 9 】

[0057]図4 Aから図4 Cは、本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示している。この特定の実施形態では、図1のコンピュータシステムが示されているが、図2に示すシステムのような他のシステムにおけるコマンド及びデータの転送も同様である。

## 【 0 0 5 0 】

[0058]図4 Aにおいて、システムの電源投入、リセット、再起動又はその他のイベント時に、G P Uは、システムメモリスぺースのための要求をオペレーティングシステムへ送る。また、この要求は、G P U上で動作するドライバから出され、詳述すると、ドライバのリソスマネージャ部分がこのような要求をなすことができる。しかしながら、他のハードウェア、ファームウェア又はソフトウェアにより、このような要求をなすこともできる。この要求は、システムプラットフォームプロセッサ4 1 0を通してG P U 4 3 0から中央処理装置4 0 0へと渡すことができる。

20

## 【 0 0 5 1 】

[0059]図4 Bにおいて、オペレーティングシステムは、フレームバッファ又はグラフィックスメモリ4 2 2として使用するためシステムメモリのスペースをG P Uに対して割り当てる。このフレームバッファ又はグラフィックスメモリ4 2 2に記憶されるデータは、ディスプレイデータ、即ち、表示のためのピクセル値、テクスチャ、テクスチャ記述子、シェーダープログラム命令及びその他のデータ及びコマンドを含むことができる。

30

## 【 0 0 5 2 】

[0060]この実施形態では、システムメモリ4 2 0における割り当てられたスペースであるフレームバッファ4 2 2は、連続するものとして示されている。他の実施形態又は例では、その割り当てられたスペースは、連続したものでなくともよく、即ち、それは、別々のもので、複数のセクションに分割されているものでもよい。

## 【 0 0 5 3 】

[0061]典型的には、システムメモリのセクションの一つ以上のベースアドレス及びレンジを含む情報が、G P Uへ渡される。また、本発明の特定の実施形態では、この情報は、G P U 4 3 0上で作動するドライバのリソスマネージャ部分に渡されるが、他のソフトウェア、ファームウェア又はハードウェアを使用することもできる。この情報は、システムプラットフォームプロセッサ4 1 0を経由してC P U 4 0 0からG P U 4 3 0へ渡すことができる。

40

## 【 0 0 5 4 】

[0062]図4 Cでは、G P Uは、システムメモリのページテーブルに変換エントリーを書き込む。また、G P Uは、グラフィックスT L Bに、これらの変換エントリーのうちの少なくとも幾つかをプリロードする。また、これらのエントリーは、G P Uによって使用される仮想アドレスをシステムメモリ4 2 0におけるフレームバッファ4 2 2によって使用される物理アドレスに変換する。

## 【 0 0 5 5 】

[0063]前述したように、グラフィックスT L Bにおけるエントリーのうちの幾つかは、

50

それらが放逐されたり上書きされたりできないように、ロック又はその他の仕方で制限することができる。また、本発明の特定の実施形態では、ピクセル又はディスプレイデータが記憶されているフレームバッファ422のロケーションを識別するアドレスを変換するエントリがロック又はその他の仕方で制限される。

【0056】

[0064]フレームバッファ422からデータにアクセスする必要があるときには、GPU430によって使用される仮想アドレスが、グラフィックスTLB432を使用して物理アドレスに変換される。このとき、これらの要求は、システムプラットフォームプロセッサ410へ転送され、システムプラットフォームプロセッサ410は、必要とされるデータを読み取り、それをGPU430へ戻す。

10

【0057】

[0065]前述の実施形態では、電源投入、又はその他のパワーリセット又は同様の状態に続いて、GPUは、システムメモリにおけるスペースのための要求をオペレーティングシステムへ送る。本発明の他の実施形態では、GPUがシステムメモリのスペースを必要とすることが知られており、要求を行う必要はない。この場合においては、電源投入、リセット、再起動又はその他の適当なイベントに続いて、システムBIOS、オペレーティングシステム、又は他のソフトウェア、ファームウェア又はハードウェアが、システムメモリのスペースを割り当てることができる。これは、モバイルアプリケーションのような制御環境において、特に適したことである。モバイルアプリケーションにおいては、GPUが容易に交換又は代用できず、デスクトップアプリケーションにおいてもしばしば同様である。

20

【0058】

[0066]GPUがシステムメモリにおいて使用すべきアドレスを既に知っているようにするか、又は、そのアドレス情報をシステムBIOS又はオペレーティングシステムによってGPUへ渡すようにすることができる。どちらの場合にも、メモリスペースは、メモリの連続した部分であってよく、この場合には、単一アドレス、即ち、ベースアドレスのみをGPUに知らせるか又は与えるだけでよい。別の仕方として、メモリスペースは、別々のもの又は連続していないものでもよく、その場合には、GPUに複数のアドレスを知らせるか又は与える必要がある。典型的には、メモリブロックサイズ又はレンジ情報のような他の情報もまた、GPUへ渡されるか又は知らされる。

30

【0059】

[0067]また、本発明の種々な実施形態では、システムメモリのスペースは、電源投入時にオペレーティングシステムによりシステムによって割り当てられ、GPUは、後でさらなるメモリのための要求をなすことができる。このような一つの実施形態では、システムBIOS及びオペレーティングシステムの両者が、GPUによる使用のためのシステムメモリのスペースを割り当てることができる。次の図は、システムBIOSが電源投入時にGPUのためのシステムメモリスペースを割り当てるようにプログラムされるような本発明の一つの実施形態の実施形態を示している。

【0060】

[0068]図5は、本発明の一つの実施形態によるシステムメモリにおけるディスプレイデータにアクセスする別の方法を例示するフローチャートである。また、本発明の実施形態はディスプレイデータへのアクセスによく適したものであるが、種々な実施形態によれば、このタイプ又は他のタイプのデータへのアクセスもできる。この実施形態において、システムBIOSは、電源投入時に、システムメモリのスペースをGPUによる使用のために割り当てる必要があることを知る。このスペースは、連続したものでも、連続していないものでもよい。また、この実施形態では、システムBIOSが、メモリ及びアドレス情報をGPUのドライバのリソースマネージャ又は他の部分へ渡すが、本発明の他の実施形態では、GPUのドライバのリソースマネージャ又は他の部分が、前もってそのアドレス情報を知っておくことができる。

40

【0061】

50

[0069] 詳述すると、ステップ510にて、コンピュータ又は他の電子システムが電源投入する。ステップ520にて、システムBIOS又はオペレーティングシステムの他の適当なソフトウェア、ファームウェア若しくはハードウェアが、GPUによる使用のためのシステムメモリのスペースを割り当てる。そのメモリスペースが連続したものである場合に、システムBIOSは、GPU上で作動するリソースマネージャ又はドライバにベースアドレスを与える。そのメモリスペースが隣接したものでない場合に、システムBIOSは、多数のベースアドレスを与える。各ベースアドレスは、典型的には、サイズ又はアドレスレンジ情報のようなメモリブロックサイズ情報を伴う。典型的には、メモリスペースは、カーブアウト、即ち、連続したメモリスペースである。この情報は、典型的には、アドレスレンジ情報を伴う。

10

## 【0062】

[0070] ステップ540にて、そのベースアドレス及びレンジがGPUの使用のために記憶される。その後、ステップ550にて、仮想アドレスは、仮想アドレスをインデックスとして使用して物理アドレスに変換することができる。例えば、本発明の特定の実施形態では、仮想アドレスは、その仮想アドレスをそのベースアドレスに加えることによって物理アドレスに変換することができる。

## 【0063】

[0071] 詳述すると、仮想アドレスを物理アドレスに変換すべきときには、レンジチェックが行われる。記憶されている物理ベースアドレスがゼロの仮想アドレスに対応するときには、その仮想アドレスがそのレンジ内にある場合に、仮想アドレスを物理ベースアドレスに加算することにより、仮想アドレスを変換することができる。同様に、記憶されている物理ベースアドレスがXの仮想アドレスに対応するときには、その仮想アドレスがそのレンジ内にある場合に、仮想アドレスを物理ベースアドレスに加算しXを減算することによって、仮想アドレスを変換することができる。その仮想アドレスがそのレンジ内でない場合には、前述したように、グラフィックスTLB又はページテーブルエントリを使用してその仮想アドレスを変換することができる。

20

## 【0064】

[0072] 図6は、本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示している。電源投入時に、システムBIOSは、GPU630による使用のためシステムメモリ620のスペース、即ち、カーブアウト622を割り当てる。

30

## 【0065】

[0073] GPU630は、システムメモリ620における割り当てられたスペース又はカーブアウト622のためのベースアドレス(又は複数のベースアドレス)を検索し記憶する。このデータは、グラフィックスTLB632に記憶することができ、又は、このデータは、他の場所、例えば、GPU630のハードウェアレジスタに記憶することができる。このアドレスは、カーブアウト622のレンジと共に、例えば、ハードウェアレジスタに記憶される。

## 【0066】

[0074] システムメモリ620におけるフレームバッファ622からデータを読み取るべきときには、GPU630によって使用される仮想アドレスは、その仮想アドレスをインデックスとして取り扱うことにより、システムメモリによって使用される物理アドレスに変換することができる。また、本発明の特定の実施形態では、カーブアウトアドレスレンジにおける仮想アドレスは、その仮想アドレスをそのベースアドレスに加えることにより物理アドレスに変換される。即ち、そのベースアドレスがゼロの仮想アドレスに対応する場合に、仮想アドレスは、前述したように、それらをベースアドレスに加えることによって物理アドレスに変換することができる。また、そのレンジの外の仮想アドレスは、前述したように、グラフィックスTLB及びページテーブルを使用して変換することができる。

40

## 【0067】

50

[0075] 図7は、本発明の一つの実施形態に係るグラフィックス処理装置のブロック図である。グラフィックス処理装置700のこのブロック図によれば、P C I E インターフェース710、グラフィックスパイプライン720、グラフィックスT L B 730及びロジック回路740が含まれる。P C I E インターフェース710は、P C I E バス750を経由してデータの送受信を行う。また、本発明の他の実施形態では、現在開発されている又は開発中の他のタイプのバスを使用することができ、また、将来開発される他のタイプのバスを使用することもできる。グラフィックス処理装置は、典型的には、一つの集積回路上に形成されるが、ある実施形態では、複数の集積回路にてG P U 700を構成することもできる。

【0068】

[0076] グラフィックスパイプライン720は、P C I E インターフェースからデータを受け取り、モニタ又は他のデバイス上に表示するためのデータを与える。グラフィックスT L B 730は、グラフィックスパイプライン720によって使用される仮想メモリアドレスをシステムメモリによって使用される物理メモリアドレスに変換するのに使用されるページテーブルエントリを記憶する。ロジック回路740は、グラフィックスT L B 730を制御し、そこに記憶されるデータのロック又は他の制限のためのチェックを行い、キャッシュからのデータの読取りキャッシュへのデータの書込みを行う。

【0069】

[0077] 図8は、本発明の一つの実施形態によるグラフィックスカードを例示する図である。このグラフィックスカード800は、グラフィックス処理装置810、バスコネクタ820及び第2のグラフィックスカードへのコネクタ830を含む。バスコネクタ820は、P C I E スロット、例えば、コンピュータシステムのマザーボードのP C I E オンスロットに嵌合するように設計されたP C I E コネクタであってもよい。第2のカードへのコネクタ830は、一つ以上の他のグラフィックスカードへのジャンパ又は他の接続に嵌合するように構成することができる。電力供給調整器及びキャパシタのような他のデバイスを含むことができる。このグラフィックスカードにはメモリデバイスは含まれていないことに注意されたい。

【0070】

[0078] 本発明の典型的な実施形態についての前述の記載は、例示的説明の目的でなされたものである。これら記載は、本発明の実施形態のすべてを説明し尽くそうとしているものでもなく、本発明をこれらの記載された詳細な構成に限定しようとしているものでもなく、前述の教示に徴して多くの変形態様がありうるものである。これら実施形態は、当業者が意図した特定の使用に適したような種々な変形態様及び種々な変形態様において本発明を最良に利用できるように本発明の原理及びその実際のアプリケーションを最良に説明するために、選択され記載されたものである。

【図面の簡単な説明】

【0071】

【図1】 本発明の一つの実施形態を組み入れることにより改善されるコンピュータシステムのブロック図である。

【図2】 本発明の一つの実施形態を組み入れることにより改善される別のコンピュータシステムのブロック図である。

【図3】 本発明の一つの実施形態によるシステムメモリに記憶されたディスプレイデータにアクセスする方法を例示するフローチャートである。

【図4 A】 本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示する。

【図4 B】 本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示する。

【図4 C】 本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示する。

【図5】 本発明の一つの実施形態によるシステムメモリにおけるディスプレイデータにア

10

20

30

40

50



クセスする別の方法を例示するフローチャートである。

【図6】本発明の一つの実施形態によるディスプレイデータにアクセスする方法中のコンピュータシステムにおけるコマンド及びデータの転送を例示する。

【図7】本発明の一つの実施形態にしたがうグラフィックス処理装置のブロック図である。

【図8】本発明の一つの実施形態によるグラフィックスカードを示す図である。

【符号の説明】

【0072】

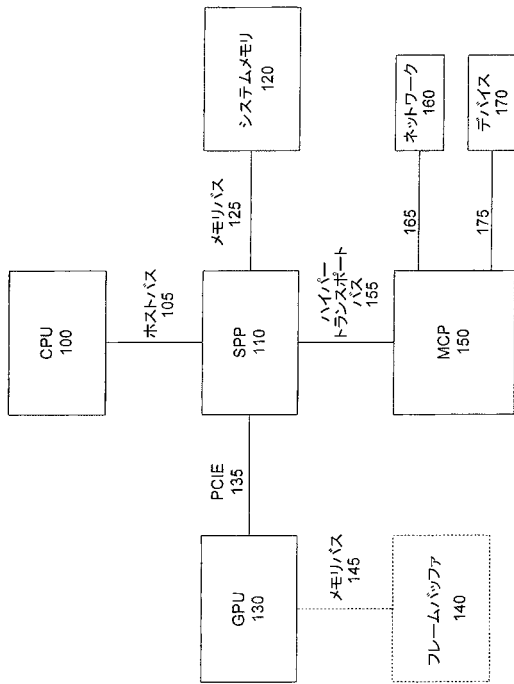
100・・・中央処理装置(CPU)、105・・・ホストバス、110・・・システムプラットフォームプロセッサ(SPP)、120・・・システムメモリ、125・・・メモリバス、130・・・グラフィックス処理装置(GPU)、135・・・PCIバス、140・・・フレームバッファ、145・・・メモリバス、150・・・メディア通信プロセッサ(MCP)、155・・・ハイパートランスポートバス、160・・・ネットワーク、170・・・内部及び周辺デバイス、200・・・CPU、205・・・ホストバス、210・・・SPP、220・・・システムメモリ、225・・・メモリバス、230・・・GPU、235・・・PCIバス、240・・・フレームバッファ、245・・・メモリバス、250・・・MCP、255・・・ハイパートランスポートバス、260・・・ネットワーク、270・・・内部及び周辺デバイス、400・・・CPU、405・・・ホストバス、410・・・SPP、420・・・システムメモリ、422・・・フレームバッファ又はページテーブル、425・・・メモリバス、430・・・GPU、432・・・グラフィックスTLB、435・・・PCIバス、450・・・MCP、460・・・ネットワーク、470・・・内部及び周辺デバイス、600・・・CPU、605・・・ホストバス、610・・・SPP、620・・・システムメモリ、622・・・カーブアウト、625・・・メモリバス、630・・・GPU、632・・・アドレス、レンジ、635・・・PCIバス、650・・・MCP、660・・・ネットワーク、670・・・内部及び周辺デバイス、700・・・グラフィックス処理装置、710・・・PCIインターフェース、720・・・グラフィックスパイプライン、730・・・グラフィックスTLB、740・・・ロジック回路、750・・・PCIバス、800・・・グラフィックスカード、810・・・グラフィックス処理装置、820・・・バスコネクタ、830・・・第2のカードへのコネクタ。

10

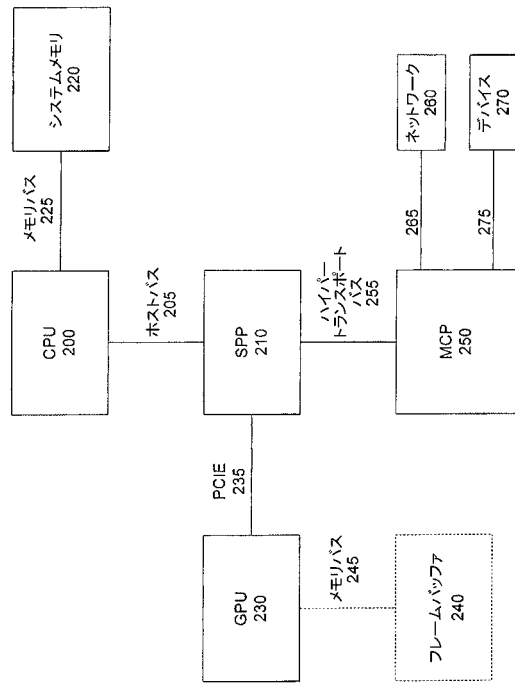
20

30

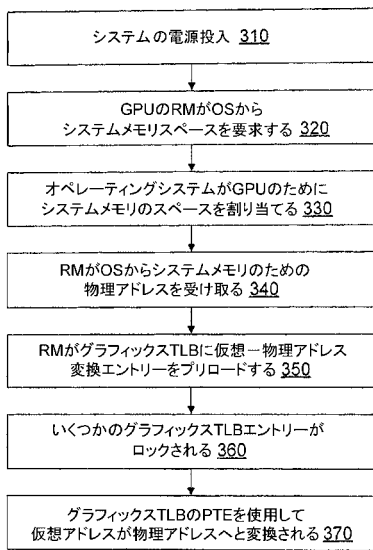
【図 1】



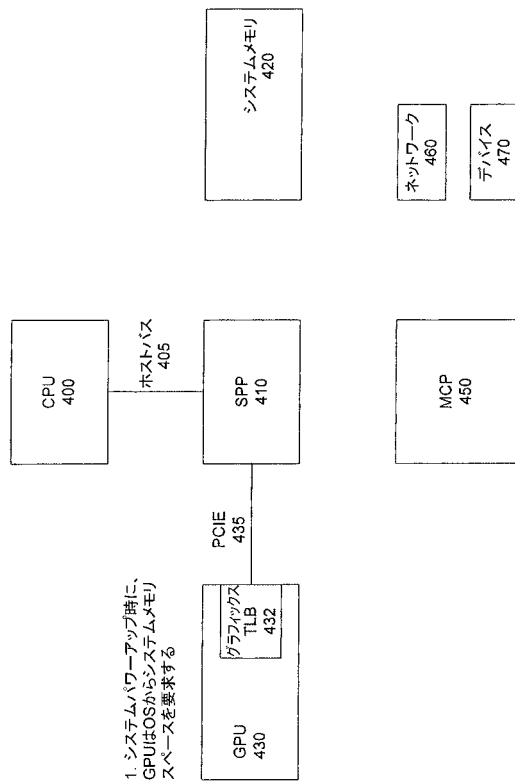
【図 2】



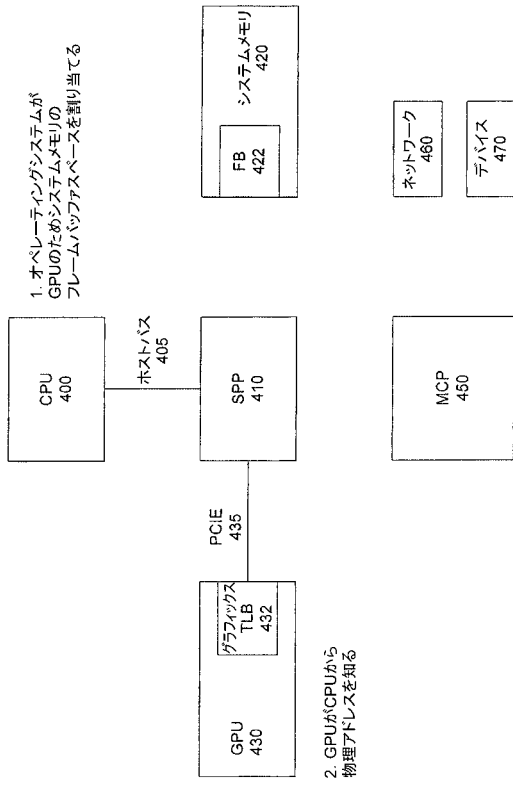
【図 3】



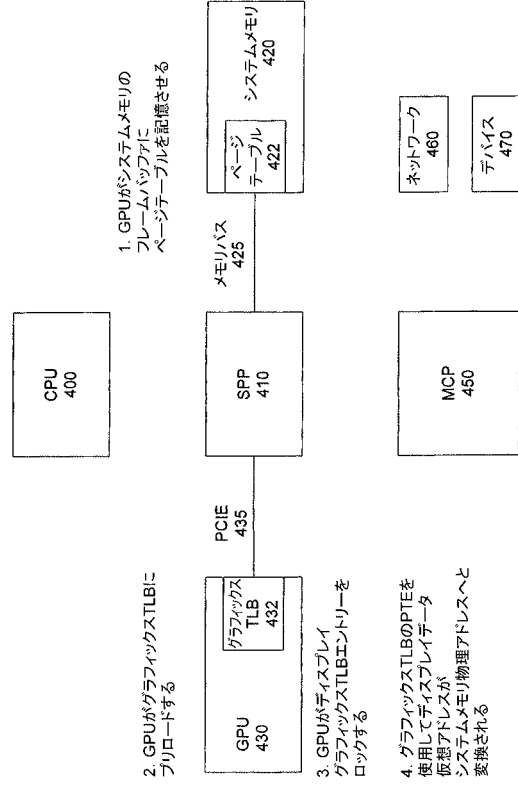
【図 4 A】



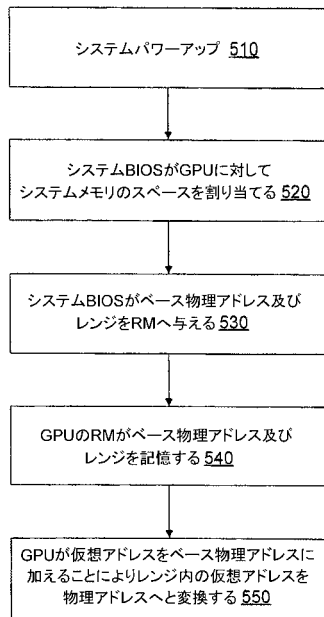
【 図 4 B 】



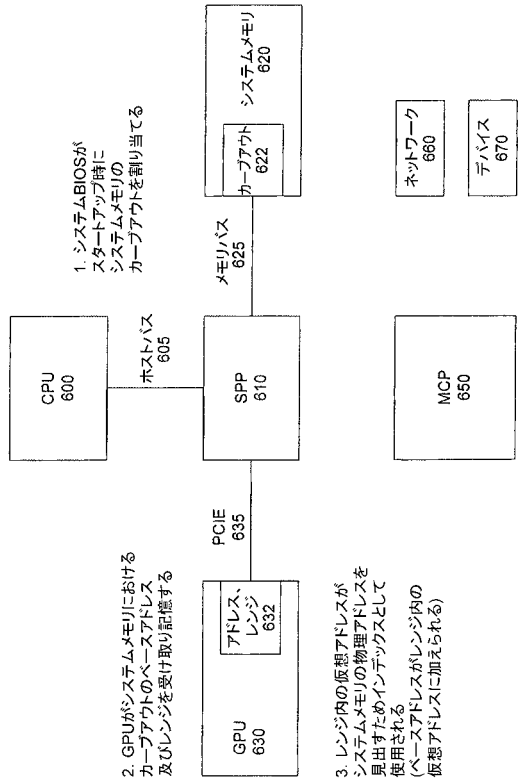
【 図 4 C 】



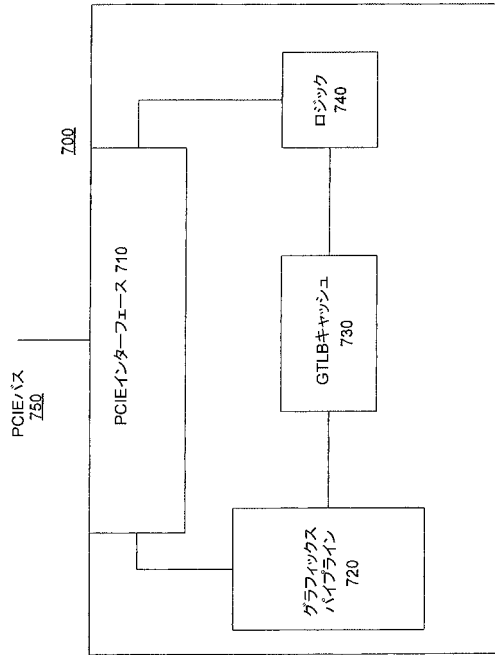
【 図 5 】



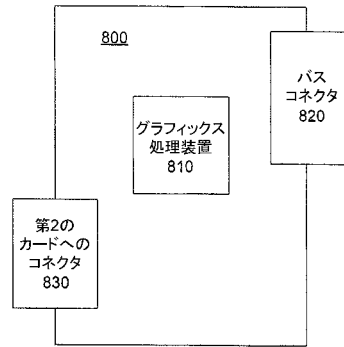
【 図 6 】



【図7】



【図8】



## フロントページの続き

- (72)発明者 ソニー エス． イエオ  
アメリカ合衆国， カリフォルニア州， サン ホゼ， シュライバー コート 1 2 1 4
- (72)発明者 ケヴィン ジェイ． クランズツシュ  
アメリカ合衆国， カリフォルニア州， キャンベル， ウェスト サニーオークス アヴェニ  
ュー 4 5 8
- (72)発明者 ゲリー ディー． ローレンセン  
アメリカ合衆国，カリフォルニア州，サン ホゼ， ハウククレスト サークル 3 1 5 1
- (72)発明者 ケイマン エル． ウー  
アメリカ合衆国， カリフォルニア州，ミルピタス， ラ パルマ プレイス 9 6 8
- (72)発明者 アシッシュ ケイ． カウル  
アメリカ合衆国，カリフォルニア州，サンタ クララ， アpartment 2 0 5， ヴィスタ  
クラブ サークル 1 5 1 6
- (72)発明者 コリン エス． ケース  
アメリカ合衆国， バーモント州， ハイド パーク， デイヴィス ヒル ロード 3 4 5
- (72)発明者 ステファン エー． ゴットスチャーク  
アメリカ合衆国， ノースカロライナ州，チャペル ヒル， フェアオークス サークル 4 2 2
- (72)発明者 デニス ケー． マ  
アメリカ合衆国， カリフォルニア州， サン ホゼ， ジェファーソン コート 6 2 4

審査官 高橋正徳

- (56)参考文献 特開平10-247163(JP,A)  
米国特許第06418523(US,B1)  
特開平02-039344(JP,A)  
特表2004-527044(JP,A)  
特開2006-195871(JP,A)  
特開2003-316646(JP,A)  
特開平10-275129(JP,A)  
特表2001-501758(JP,A)  
特開2001-022640(JP,A)  
特開平04-018650(JP,A)  
特開平11-167523(JP,A)  
米国特許第05949436(US,A)  
米国特許第05999743(US,A)  
特開平10-247138(JP,A)  
米国特許出願公開第2004/0268071(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
G06F 12/08 - 12/12