



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0075716
(43) 공개일자 2017년07월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) H01L 21/02 (2006.01)
H01L 21/306 (2006.01)
(52) CPC특허분류
H01L 21/76202 (2013.01)
H01L 21/02164 (2013.01)
(21) 출원번호 10-2017-7008459
(22) 출원일자(국제) 2015년10월27일
심사청구일자 없음
(85) 번역문제출일자 2017년03월28일
(86) 국제출원번호 PCT/US2015/057469
(87) 국제공개번호 WO 2016/069531
국제공개일자 2016년05월06일
(30) 우선권주장
14/525,543 2014년10월28일 미국(US)

(71) 출원인
마이크로칩 테크놀로지 인코포레이티드
미국 85224-6199 아리조나 캔들러 웨스트 캔들러
블러바드 2355
(72) 발명자
사토, 저스틴 히로키
미국, 오리건 97068, 웨스트 린, 세랭고 드라이브
21031
스툼, 그레고리 알렌
미국, 오리건 97089, 다마스커스, 사우스 이스트
마카누도 스트리트 17045
(74) 대리인
특허법인세신

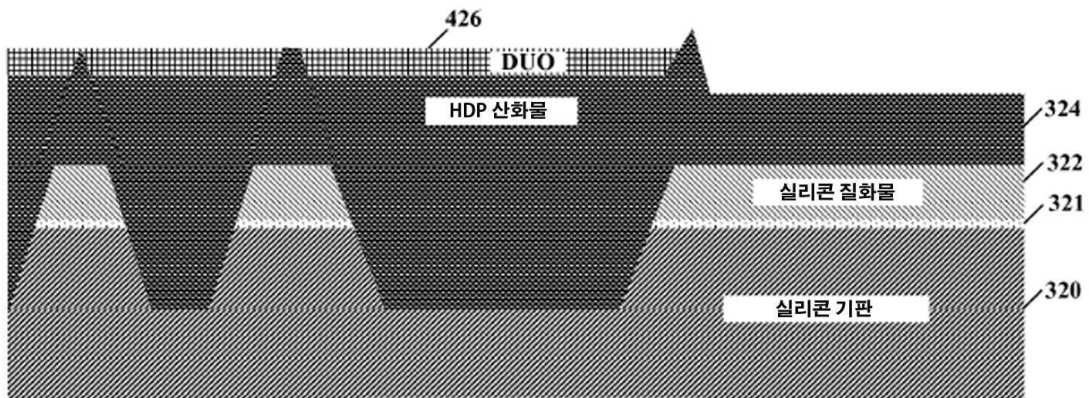
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **포토리소그래피가 없는 자기 정렬 리버스 활성 에칭을 위한 방법**

(57) 요약

얇은 트렌치 분리(STI)가 HDP 산화물로 채워진 후 부분적으로 평탄화된 유기 실리케이트(DUO) 층이 실리콘 웨이퍼 상의 고밀도 플라즈마(HDP) 산화물 층 위에 스핀 코팅된다. 그런 다음 DUO 층은 특정 선택도로 DUO 및 고밀도 플라즈마(HDP) 산화물을 에칭하도록 특별히 조정된 특수 공정을 사용하여 에칭된다. 웨이퍼 지형의 더 높은 영역(활성 Si 영역)들은 더 얇은 DUO를 가지며, 에칭 공정이 진행됨에 따라 이들 영역(활성 Si 영역)에서 HDP 산화물을 통해 에칭을 시작한다. 에칭 공정은 일정한 깊이에 도달한 후 및 실리콘 질화물 산화층을 터치 다운하기 전에 중단된다. DUO가 제거되고 표준 화학 기계적 연마(CMP)가 실리콘 웨이퍼 상에서 수행된다. CMP 단계 후에, 실리콘 질화물이 제거되어 필드 산화물들 사이에서 실리콘 기판이 노출된다.

대표도 - 도5



(52) CPC특허분류

H01L 21/0217 (2013.01)
H01L 21/02238 (2013.01)
H01L 21/02282 (2013.01)
H01L 21/30604 (2013.01)
H01L 21/31055 (2013.01)
H01L 21/31116 (2013.01)
H01L 21/31138 (2013.01)
H01L 21/76224 (2013.01)

명세서

청구범위

청구항 1

반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법으로서,

반도체 웨이퍼의 실리콘 기판 위에 패드 산화물을 침착하는 단계;

상기 패드 산화물 위에 활성 실리콘 질화물을 침착하는 단계;

상기 실리콘 기판에 얇은 트렌치 분리(STI) 웰들을 형성하는 단계;

상기 STI 웰들에 산화 라이너를 형성하는 단계- 상기 산화 라이너는 실리콘 기판이 노출되는 곳에만 형성됨-;

상기 실리콘 질화물 및 상기 STI 웰들 위에 산화물을 침착하는 단계;

상기 산화물 위에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 침착하는 단계;

건식 플라즈마 에칭을 수행하여 상기 산화물로부터 상기 DUO 층을 제거하는 단계;

화학 기계적 연마(CMP)를 수행하여 활성 실리콘 질화물을 덮는 모든 산화물을 제거하는 단계;

상기 활성 실리콘 질화물을 제거하는 단계- 상기 실리콘 기판의 일부는 상기 잔류 산화물 사이에서 노출되어 상기 실리콘 기판에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비됨-.

청구항 2

제1항에 있어서, 상기 패드 산화물은 실리콘 질화물인, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 3

제1항에 있어서, 상기 STI 웰들을 형성하는 단계는 상기 실리콘 기판을 에칭하여 상기 STI 웰들을 형성하는 단계를 포함하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 4

제1항에 있어서, 상기 산화 라이너는 실리콘 산화물인, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 5

제1항에 있어서, 산화 라이너 위에 산화물을 침착하는 단계는 상기 산화 라이너 위에 고밀도 플라즈마(HDP) 산화물을 침착하는 단계를 포함하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 6

제1항에 있어서, 상기 산화물 위에 DUO 층을 침착하는 단계는 상기 DUO 층을 상기 산화물 위에 스핀 코팅하는 단계를 포함하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 7

제1항에 있어서, 상기 산화물로부터 DUO 층을 제거하는 단계는 상기 DUO 층을 개방하기 위해 조정된 에칭을 수행하는 단계, 및 상기 DUO 층에 대한 짧은 선택적 에칭을 에칭하는 단계를 포함하고, 상기 반도체 웨이퍼는 산화물 에칭 장치에서 에칭되는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 8

제1항에 있어서, 상기 산화물로부터 DUO 층을 제거하는 단계는 다중 건식 플라즈마 에칭 단계를 포함하는, 반도체 웨이퍼의 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 9

제8항에 있어서, 상기 다중 건식 플라즈마 에칭 단계는 상기 산화물에 대해 비선택적으로 에칭하는 단계 및 상기 산화물에 대해 부분적으로 에칭하는 단계를 포함하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 10

제9항에 있어서, 상기 산화물에 대해 비선택적으로 에칭하는 단계는 CF₄, O₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 11

제9항에 있어서, 상기 산화물에 대해 부분적으로 에칭하는 단계는 C₅F₈, O₂, N₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용하는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 12

제1항에 있어서, 상기 산화물로부터 DUO 층을 제거하는 단계는 상기 건식 플라즈마 에칭을 수행하는 단계가 완료될 때까지 수행되는, 반도체 웨이퍼를 포토리소그래피 없는 자기 정렬 리버스 활성 에칭하는 방법.

청구항 13

다음의 단계들을 포함하는 공정에 의해 제조된 반도체 집적 회로;
 반도체 웨이퍼의 실리콘 기판 위에 패드 산화물을 침착하는 단계;
 상기 패드 산화물 위에 활성 실리콘 질화물을 침착하는 단계;
 상기 실리콘 기판에 얇은 트랜치 분리(STI) 웰들을 형성하는 단계;
 상기 STI 웰들에 산화 라이너를 형성하는 단계- 상기 산화 라이너는 상기 실리콘 기판이 노출되는 곳에만 형성됨-;
 상기 실리콘 질화물 및 STI 웰들 위에 산화물을 침착하는 단계;
 상기 산화물 위에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 침착하는 단계;
 건식 플라즈마 에칭을 수행하여 산화물로부터 DUO 층을 제거하는 단계;
 화학 기계적 연마(CMP)를 수행하여 활성 실리콘 질화물을 덮는 산화물 모두를 제거하는 단계; 및
 상기 활성 실리콘 질화물을 제거하는 단계- 상기 실리콘 기판의 일부는 잔여 산화물 사이에서 노출되고 실리콘 기판에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비됨-.

청구항 14

제13항에 있어서, 산화 라이너 위에 산화물을 침착하는 단계는 상기 산화 라이너 위에 고밀도 플라즈마(HDP) 산화물을 침착하는 단계를 포함하는, 공정.

청구항 15

제13항에 있어서, 상기 산화물로부터 DUO 층을 제거하는 단계는 DUO 층을 개방하기 위해 조정된 에칭을 수행하는 단계, 및 DUO 층에 대한 짧은 선택적 에칭을 에칭하는 단계를 포함하고, 상기 반도체 웨이퍼는 산화물 에칭 장치에서 에칭되는, 공정.

청구항 16

제13항에 있어서, 상기 산화물로부터 DUO 층을 제거하는 단계는 다중 단계 건식 플라즈마 에칭 단계들을 포함하

는, 공정.

청구항 17

제16항에 있어서, 상기 다중 단계 건식 플라즈마 에칭 단계는 산화물에 대해 비선택적으로 에칭하는 단계 및 산화물에 대해 부분적으로 에칭하는 단계를 포함하는, 공정.

청구항 18

제17항에 있어서, 상기 산화물에 대해 비선택적으로 에칭하는 단계는 CF₄, O₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용하는, 공정.

청구항 19

제17항에 있어서, 상기 산화물에 대해 부분적으로 에칭하는 단계는 C₅F₈, O₂, N₂ 및 Ar으로 구성된 그룹에서 선택된 가스를 사용하는, 공정.

청구항 20

제13항의 공정에 따라 처리된 표면을 갖는 반도체 웨이퍼.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로의 제조에 관한 것이고, 보다 구체적으로는, 포토리소그래피가 없는 자기 정렬 리버스 활성 에칭(reverse active etch)을 이용하는 반도체 집적 회로의 제조 방법에 관한 것이다.

배경 기술

[0002] 이미 패터닝된 활성 얇은 트렌치 분리막(STI)에 리버스활성 에칭 포토마스크를 정렬하기 위한 시도에 내재된 문제점이 있다. 리소그래피 공정에서의 작은 변동 및 에러로 인해, 오버랩이 본질적으로 생긴다(built-in). 리소그래피 마진(margin) 이외에, 이 공정 단계에서의 전형적인 고밀도 플라즈마(HPD) 산화물 필러(fill)는 HDP 산화물 공정의 특성으로 인해 경사진다. 이 경사로 인해 일정량의 오버랩이 HDP 필러의 각진 부분에 포토 레지스트를 인쇄하지 못하도록 한다.

발명의 내용

해결하려는 과제

[0003] 따라서, 필요한 것은 포토리소그래피를 이용하지 않고 정확한 리버스 활성 에칭 패터닝(reverse active etch patterning)을 수행하기 위한 개선된 방법이다.

과제의 해결 수단

[0004] 일 실시형태에 따르면, 반도체 웨이퍼의 포토리소그래피 없는 자기 정렬 리버스 활성 에칭을 위한 방법의 일 실시형태에 따르면, 상기 방법은 다음의 단계들을 포함할 수 있다: 반도체 웨이퍼의 실리콘 기판 위에 패드 산화물(pad oxide)을 침착하는 단계; 상기 패드 산화물 위에 활성 실리콘 질화물을 침착하는 단계; 실리콘 기판에 얇은 트렌치 분리(STI) 웰들을 형성하는 단계; 상기 STI 웰들에 산화 라이너를 형성하는 단계- 상기 산화 라이너는 실리콘 기판이 노출될 수 있는 곳에만 형성될 수 있음-; 상기 실리콘 질화물 및 상기 STI 웰들 위에 산화물을 침착하는 단계; 상기 산화물 위에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 침착하는 단계; 건식 플라즈마 에칭을 수행하여 상기 산화물로부터 상기 DUO 층을 제거하는 단계; 화학-기계적 연마(CMP)를 수행하여 활성 실리콘 질화물을 덮는 산화물 모두를 제거하는 단계; 및 상기 활성 실리콘 질화물을 제거하는 단계- 상기 실리콘 기판의 일부는 상기 잔류 산화물 사이에서 노출되어 상기 실리콘 기판에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비될 수 있음-.

[0005] 상기 방법의 추가 실시형태에 따르면, 상기 패드 산화물은 실리콘 질화물일 수 있다. 본 발명의 추가 실시형태에 따르면, 상기 STI 웰들을 형성하는 단계는 상기 실리콘 기판을 에칭하여 STI 웰들을 형성하는 단계를 포함할

수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화 라이너는 실리콘 산화물일 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화 라이너 위에 산화물을 침착하는 단계는 상기 산화 라이너 위에 고밀도 플라즈마(HDP) 산화물을 침착하는 단계를 포함할 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물 위에 (over) DUO 층을 침착하는 단계는 상기 DUO 층을 상기 산화물 위에 스핀 코팅하는 단계를 포함할 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물로부터 DUO 층을 제거하는 단계는 상기 DUO 층을 개방하기 위해 조정된 에칭(tuned etch)을 수행하는 단계, 및 상기 DUO 층에 대한 짧은 선택적 에칭(short selective etch)을 수행하는(etching) 단계를 포함할 수 있으며, 상기 반도체 웨이퍼는 산화물 에칭 장치에서 에칭될 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물로부터 DUO 층을 제거하는 단계는 다중 건식 플라즈마 에칭 단계들을 포함할 수 있다. 상기 방법의 추가 실시형태에 따르면, 다중 건식 플라즈마 에칭 단계는 산화물에 대해 비선택적으로 에칭하는 단계 및 산화물에 대해 부분적으로 에칭하는 단계를 포함할 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물에 대해 비선택적으로 에칭하는 단계는 CF₄, O₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용할 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물에 부분적으로 에칭하는 단계는 C₅F₈, O₂, N₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용할 수 있다. 상기 방법의 추가 실시형태에 따르면, 상기 산화물로부터 DUO 층을 제거하는 단계는 상기 건식 플라즈마 에칭을 수행하는 단계가 완료될 때까지 수행될 수 있다.

[0006] 공정에 의해 제조된 반도체 집적 회로의 다른 실시형태에 따르면, 반도체 웨이퍼의 실리콘 기판에 패드 산화물을 침착하는 단계; 상기 패드 산화물에 활성 실리콘 질화물을 침착하는 단계; 상기 실리콘 기판에 얇은 트렌치 분리(STI) 웰들을 형성하는 단계; 상기 STI 웰들에 산화 라이너를 형성하는 단계- 상기 산화 라이너는 상기 실리콘 기판이 노출될 수 있는 곳에만 형성될 수 있음-; 상기 실리콘 질화물 및 상기 STI 웰들 위에 산화물을 침착하는 단계; 상기 산화물 위에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 침착하는 단계; 건식 플라즈마 에칭을 수행하여 상기 산화물로부터 상기 DUO 층을 제거하는 단계; 화학-기계적 연마(CMP)를 수행하여 상기 활성 실리콘 질화물을 덮는 모든 산화물을 제거하는 단계; 및 상기 활성 실리콘 질화물을 제거하는 단계를 포함하며, 상기 실리콘 기판의 일부는 잔여 산화물 사이에서 노출되고 실리콘 기판에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비될 수 있다.

[0007] 공정의 추가 실시형태에 따르면, 상기 산화 라이너 위에 산화물을 침착하는 단계는 상기 산화 라이너 위에 고밀도 플라즈마(HDP) 산화물을 침착하는 단계를 포함할 수 있다. 상기 공정의 추가 실시형태에 따르면, 상기 산화물로부터 DUO 층을 제거하는 단계는 상기 DUO 층을 개방하기 위해 조정된 에칭(tuned etch)을 수행하는 단계, 및 상기 DUO 층에 대한 짧은 선택적 에칭을 수행하는 단계를 포함할 수 있으며, 반도체 웨이퍼는 산화물 에칭 장치에서 에칭될 수 있다. 상기 공정의 추가 실시형태에 따르면, 상기 산화물로부터 DUO 층을 제거하는 단계는 다중 단계 건식 플라즈마 에칭 단계들을 포함할 수 있다. 상기 공정의 추가 실시형태에 따르면, 상기 다중 단계 건식 플라즈마 에칭 단계는 산화물에 대해 비선택적으로 에칭하는 단계 및 산화물에 대해 부분적으로 에칭하는 단계를 포함할 수 있다. 상기 공정의 추가 실시형태에 따르면, 산화물에 대해 비선택적으로 에칭하는 단계는 CF₄, O₂ 및 Ar으로 이루어진 군에서 선택된 가스를 사용할 수 있다. 상기 공정의 추가 실시형태에 따르면, 산화물에 대해 부분적으로 에칭하는 단계는 C₅F₈, O₂, N₂ 및 Ar으로 구성된 그룹에서 선택된 가스를 사용할 수 있다.

[0008] 또 다른 실시형태에 따르면, 반도체 웨이퍼는 다음의 단계들에 따라서 처리된 표면을 가질 수 있다: 반도체 웨이퍼의 실리콘 기판 상에 패드 산화물을 침착하는 단계; 상기 패드 산화물에 활성 실리콘 질화물을 침착하는 단계; 실리콘 기판에 얇은 트렌치 분리(STI) 웰들을 형성하는 단계; 상기 STI 웰들에 산화 라이너를 형성하는 단계- 상기 산화 라이너는 상기 실리콘 기판이 노출될 수 있는 곳에만 형성될 수 있음-; 상기 실리콘 질화물 및 상기 STI 웰들 위에 산화물을 침착하는 단계; 상기 산화물 위에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 침착하는 단계; 건식 플라즈마 에칭을 수행하여 상기 산화물로부터 DUO 층을 제거하는 단계; 화학-기계적 연마(CMP)를 수행하여 상기 활성 실리콘 질화물을 덮는 산화물의 모두를 제거하는 단계; 및 상기 활성 실리콘 질화물을 제거하는 단계- 상기 실리콘 기판의 일부는 잔여 산화물 사이에서 노출되고 실리콘 기판에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비될 수 있음-.

도면의 간단한 설명

[0009] 본 발명의 보다 완전한 이해는 첨부된 도면과 관련되는 다음의 설명을 참조하여 얻어질 수 있다 :

도 1은 필드 산화물을 형성하고 실리콘 기판에서의 활성 트랜지스터 소자 도핑의 추가 처리를 위해 실리콘 기판을 노출시키는 데 사용되는 종래의 공정 제조 단계들의 개략적인 흐름도를 도시한다.

도 2는 특정 예시적인 실시형태에 따라, 필드 산화물을 형성하고 실리콘 기판에서의 활성 트랜지스터 소자 도핑의 추가 처리를 위해 실리콘 기판을 노출시키는 데 사용되는 공정 제조 단계의 개략적인 흐름도를 도시한다.

도 3은 본 발명의 교시에 따라, 산화물의 얇은 층 및 그 위에 침착된 실리콘 질화물 층을 갖는 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 3a는 도 3에 도시된 실리콘 웨이퍼의 얇은 트렌치 분리(STI) 에칭 단계 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 3b는 도 3 및 도 3a에 도시된 실리콘 웨이퍼의 얇은 트렌치 분리(STI) 에칭, 라이너 산화 및 고밀도 플라즈마(HDP) 침착의 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 4는 본 발명의 특정 예시적인 실시형태에 따른, 도 3에 도시된 실리콘 웨이퍼 상에 부분적으로 평탄화된 유기 실리콘레이트(DUO) 층을 스핀 코팅하는 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 5는 본 발명의 특정 예시적인 실시형태에 따른, 도 4에 도시된 실리콘 웨이퍼 상에 DUO를 에칭하는 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 6은 본 발명의 특정 예시적인 실시형태에 따른, 도 5에 도시된 실리콘 웨이퍼상의 DUO를 제거하는 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

도 7은 본 발명의 특정 예시적인 실시형태에 따른, 얇은 트렌치 분리(STI) 화학 기계적 연마(CMP)의 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다. 그리고

도 8은 본 발명의 특정 예시적인 실시형태에 따라, 실리콘 기판의 일부를 노출시키기 위해 실리콘 질화물을 제거하는 공정 단계들을 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다.

본 개시는 다양한 수정 및 대안적인 형태가 가능하지만, 본 개시의 특정 예시적인 실시형태가 도면에 도시되어 있으며 본 명세서에서 상세히 설명된다. 그러나, 본 명세서의 특정 예시적인 실시형태에 대한 설명은 본 명세서에 개시된 특정 형태로 본 개시를 한정하려는 것이 아니라, 반대로, 본 개시는 첨부된 청구범위에 의해 정의된 모든 변형 및 등가물을 포함하는 것으로 이해되어야 한다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 개시의 실시형태에 따르면, 리버스 활성 레벨 패터닝(reverse-active level patterning)을 수행하기 위해 어떠한 리소그래피도 요구되지 않는다. 대신, 부분적으로 평탄화된 유기 실리콘레이트(DUO)의 층이 얇은 트렌치 분리(STI) 충전 후에 웨이퍼 상에 스핀 코팅된다. 이후, 이 DUO 층은, 특정 선택도(selectivity)로 DUO 및 고밀도 플라즈마(HDP) 산화물을 에칭하도록 구체적으로 조정된 특수 공정을 사용하여 에칭된다. 웨이퍼 형상(topography)의 영역(활성 Si 영역)들이 클수록 더 얇은 DUO를 가지며, 에칭 공정이 진행됨에 따라 이들 영역(활성 Si 영역)들에서 HDP 산화물을 통해 에칭을 시작한다. 에칭 공정은 일정한 깊이가 얻어진 후에 중단된다. 이들 영역(활성 Si 영역)들은 리버스 마스크 포토 리소그래피에 의해 개방되고 이어서 에칭되었을 영역들과 동일하다(도 1의 단계 110 참조). DUO의 재료 특성은 본 개시의 특정 예시적인 실시형태에 따라 전술한 공정의 프론트-엔드 라인(front-end-of-line, FEOL) 적용을 가능하게 한다. 에칭 선택도를 유사하게 제어할 수 있다면, 다른 재료가 DUO 대신에 사용될 수 있다는 것이 본 개시의 범위 내이고 또한 착안될 수 있다.

[0011] 이제 도면을 참조하여, 특정 예시적인 실시형태의 세부 사항이 개략적으로 도시된다. 도면의 동일한 구성 요소는 동일한 번호로 표시되며, 유사한 요소는 다른 소문자의 접미사와 동일한 번호로 표시될 것이다.

[0012] 도 1을 참조하면, 필드 산화물을 형성하고 실리콘 기판에서 활성 트랜지스터 소자 도핑의 추가 처리를 위해 실리콘 기판을 노출시키는 데 사용되는 종래의 공정 제조 단계의 개략적인 흐름도가 도시되어 있다. 얇은 트렌치 분리(STI) 필드 산화물(FOX) 웰들(shallow trench isolation(STI) field oxide(FOX) wells)을 가지며 실리콘 기판에 활성 트랜지스터 소자 도핑의 준비가 되어 있는 실리콘 웨이퍼를 제조하기 위한 종래 기술의 프론트-엔드 라인(FEOL) 제조 공정은 다음 단계를 포함할 수 있다. 단계 (102)에서, 이 실리콘 웨이퍼(320)가 얇은 산화물 층(321)과 그 위에 침착된 실리콘 질화물 층(322)을 가진 후, 실리콘 웨이퍼의 표면을 패터닝 및 에칭하여 얇은 트렌치 분리(STI) 웰들을 생성한다. 단계 (104)에서, 실리콘 웨이퍼의 표면 및 상기 STI 웰들을 산화시켜 그 위에 라이너가 생성된다. 단계 (106)에서, 고밀도 플라즈마(HDP) 산화물을 산화된 라이너 상에 침착한다. 단계 (108)에서 리버스 활성 마스크를 수행한다. 단계 (110)에서 리버스 활성 에칭을 수행한다. 단계 (112)에서

리버스 활성 애쉬(reverse active ash)(O₂)를 수행한다. 단계 (114)에서, 실리콘 웨이퍼 상에 리버스 산 스트립(reverse acid strip)을 수행한다. 단계 (116)에서, 얇은 트렌치 분리(STI) 화학 기계적 연마(CMP)를 실리콘 웨이퍼의 표면 상에서 수행한다. 단계 (118)에서 상부 산화물 에칭을 수행한다. 단계 (120)에서 실리콘 웨이퍼의 질화물 스트립을 수행하고, 실리콘 웨이퍼 기관에서의 활성 트랜지스터 소자 도핑(active transistor element doping) 단계를 위해 준비된 실리콘 웨이퍼의 노출된 부분 및 STI 웰들에서의 필드 산화물을 남긴다.

[0013] 도 2를 참조하면, 특정한 예시적인 실시형태에 따라, 필드 산화물을 형성하고 실리콘 기관에서의 활성 트랜지스터 소자 도핑의 추가 처리를 위해 실리콘 기관을 노출시키는 데 사용되는 공정 제조 단계의 개략적인 흐름도가 도시되어 있다. 본 발명의 특정 예시적인 실시형태에 따르면, 얇은 트렌치 분리(STI) 필드 산화물(FOX) 웰을 가지며 실리콘 웨이퍼에서 활성 트랜지스터 소자 도핑을 위해 준비된 실리콘 웨이퍼를 제조하는 새롭고, 신규한 비자명한 프론트 엔드 라인(FEOL) 공정 제조는 다음의 단계들을 포함할 수 있다. 단계 (102), (104) 및 (106)는 상기 도 1에서 설명된 것과 실질적으로 동일하다. 또한, 이후에 참조된 요소 번호를 나타내는 도 3 내지 도 8을 참조한다. 본 발명의 특징은, 리버스 마스크의 포토리소그래피 공정이 제거되고; 그 대신에 단계 (208)가 고밀도 플라즈마(HDP) 산화물(324) 상에 침착되는 부분 평탄화 유기 실리케이트(DUO)(426)를 코팅함으로써 수행된다. 단계 (210)에서, 예를 들어, CF₄, C₄F₆, C₅F₈, C₄F₈, O₂, N₂, Ar 등과 같은 통상의 공정 가스를 사용하는 다중 단계 건식 플라즈마 에칭에 의해 DUO(426)는 에칭될 수 있지만, 이에 제한되지 않는다. 제1 하위 단계 (210a)는 산화물에 대해 비선택적(non-selective-to-oxide)(CF₄, O₂, Ar)일 수 있고 제2 하위 단계 (210b)는 산화물에 대해 부분적(partial-to-oxide)(C₅F₈, O₂, N₂, Ar)일 수 있다. 그 다음, 단계 (212) 및 단계 (214)에서, DUO(426)는, 예를 들어, 제한되지 않지만, 산화 애쉬(O₂) 및 HF 스트립을 각각 사용하여, 모든 잔여 중에서 영역 실리콘 질화물로부터 벗겨진다. 에칭 및 DUO 제거 후의 잔여 HDP(324)의 프로파일은 종래의 리버스 마스크 공정과 유사하다. 이어서, 웨이퍼는 다른 현재 기술의 반도체 집적 회로 제조 공정에서 행해지는 것과 마찬가지로 CMP, TOP OXIDE ETCH 및 NITRIDE STRIP을 거칠 수 있다.

[0014] 도 3을 참조하면, 본 발명의 개시 내용에 따라, 산화물의 얇은 층(321) 및 그 위에 침착된 실리콘 질화물 층(322)을 갖는 실리콘 웨이퍼(320)의 개략적인 입면 단면도가 도시되어 있다. 도 3a를 참조하면, 얇은 트렌치 분리(STI) 에칭 단계(323) 이후의 실리콘 웨이퍼(320)의 개략적인 입면 단면도가 도시되어 있다.

[0015] 도 3b를 참조하면, 도 3 및 도 3a에 도시된 실리콘 웨이퍼의 얇은 트렌치 분리(STI) 에칭, 라이너 산화 및 고밀도 플라즈마(HDP) 침착의 공정 단계들을 수행 한 후의 실리콘 웨이퍼의 개략적인 입면 단면도가 도시되어 있다. STI 에칭(323)이 완료된 후에(도 3a), HDP 산화물 층(324)이 실리콘 기관(320) 및 실리콘 질화물(322) 상에 침착될 수 있다. 라이너 산화가 수행되어, STI 에칭(323)에 의해 노출된 실리콘 기관(320)의 일부를 산화시킨다. 집적 회로 제조에 대한 통상의 기술을 갖고 본 발명의 이점을 아는 사람은 다른 산화 물질이 사용될 수 있는 것을 이해할 것이다. HDP 산화물 이외의 다른 산화물이 사용될 수 있고, 이들 산화물이 양호한 충전(fill) 특성을 갖는 한, 본 발명에서 고려된다. 예를 들어, 스핀-온-글래스 (spin-on-glass)도 사용될 수 있다. STI 에칭 프로파일 및 HDP 산화물(324) 침착은 불규칙한 형상(topography)을 갖는 실리콘 웨이퍼의 상부를 남긴다.

[0016] 도 4를 참조하면, 특정 예시적인 실시형태에 따라, 도 3에 도시된 실리콘 웨이퍼 상에 부분적으로 평탄화된 유기 실리케이트(DUO) 층을 스핀-코팅하는 공정 단계를 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도가 도시되어 있다. 웨이퍼 상에 포토리소그래피 마스크를 프린팅하여 리버스 활성 개구부(reverse active opening)를 노출시키는 대신에, DUO 층(426)을 HDP 산화물(324) 상에 스핀 코팅할 수 있으며, 이는 HDP 산화물에 어느 정도의 평탄화 효과를 제공한다. 보다 중요하게는, DUO 층(426)은 에칭 공정 가스 혼합(etch process gases mix)에 기초하여 실리콘 산화물에 대해 선택적이거나 비선택적일 수 있다. 바람직한 특성은 DUO 에칭 속도가 에칭되는 산화물에 대해 선택적이거나 비선택적이 되도록 조정될 수 있다는 것이다. 그것은 에칭(마스크 없음)만 사용하여 산화물 스택(stack)을 평탄화할 수 있게 한다.

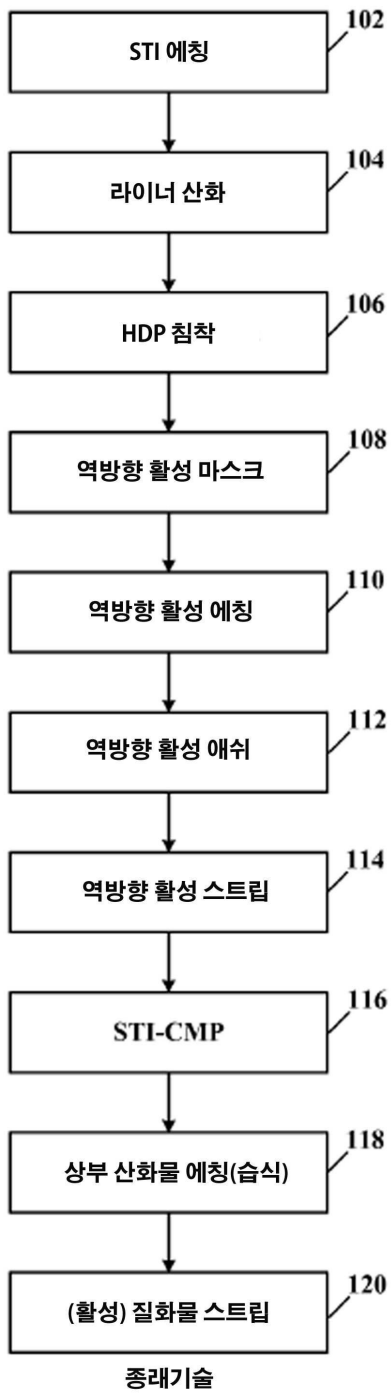
[0017] 도 5를 참조하면, 본 발명의 특정 예시적인 실시형태에 따라, 도 4에 도시된 실리콘 웨이퍼 상에서 DUO를 에칭하는 공정 단계를 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도가 도시되어 있다. 실리콘 웨이퍼를, 먼저 CF₄, O₂ 및 Ar의 혼합물을 사용하여 DUO(426)를 비선택적으로 에칭하는 플라즈마 에칭에 의해 산화물 에칭 장치에서 에칭할 수 있다. 그 다음, 제2 단계는 C₄F₆, C₅F₈, C₄F₈, O₂, N₂ 및/또는 Ar과 같은 가스를 사용하여 DUO(426) 위의(over) HDP 산화물(324)을 선택적으로 에칭할 수 있다. 에칭 공정은 실리콘 질화물(322)과 접촉하기 전에 특정 깊이로 도달할 때 중단된다. 이러한 제1 에칭은 (실리콘 질화물 위의) 활성 영역들로부터 DUO(426)를 제거하고 스택을 더 평탄화시키는 것을 돕는다. 그 다음, 제2 에칭은 CMP에 최적인, 대략의 두께로

활성 영역 위에 있는 상기 HDP를 에칭하려고 시도한다.

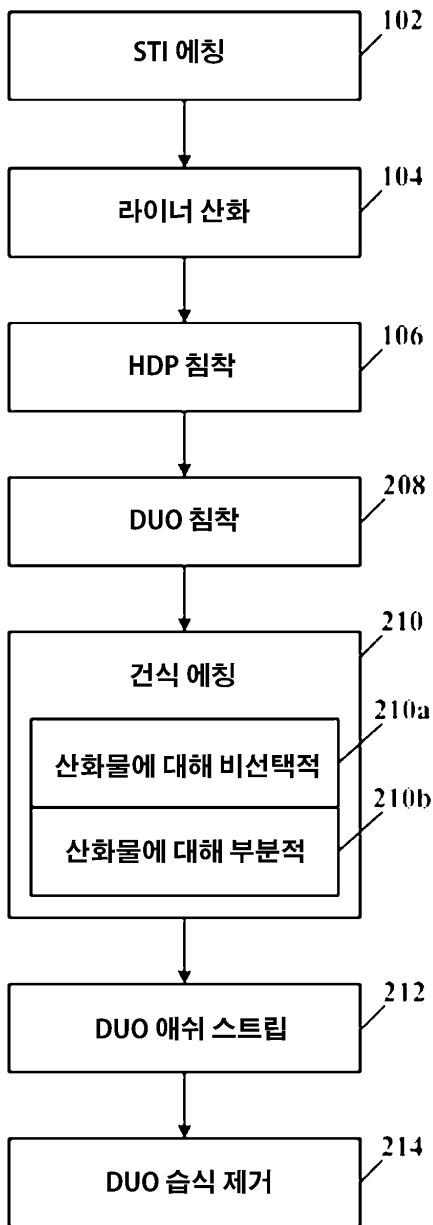
- [0018] 도 6은 본 발명의 특정 예시적인 실시형태에 따라, 도 5에 도시된 실리콘 웨이퍼 상의 DUO를 제거하는 공정 단계를 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도를 도시한다. DUO(426)은 건식 O₂ 애쉬(ash)와 HF 클린(clean)으로 제거될 수 있다.
- [0019] 도 7을 참조하면, 본 발명의 특정 예시적인 실시형태에 따라, 얇은 트렌치 분리(STI) 화학 기계적 연마(CMP)의 공정 단계를 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도가 도시되어 있다. STI CMP는 반도체 집적 회로 제조 분야의 당업자에게 잘 알려진 표준 반도체 집적 회로 공정이다. 이 단계에서, HDP 산화물(324)은 실질적으로 평탄화되고 실리콘 질화물 층(322)으로부터 제거된다.
- [0020] 도 8을 참조하면, 본 발명의 특정 예시적인 실시형태에 따라, 실리콘 기관의 일부를 노출시키기 위해 실리콘 질화물을 제거하는 공정 단계를 수행한 후의 실리콘 웨이퍼의 개략적인 입면 단면도가 도시되어 있다. 실리콘 질화물(322)은 열 인산 배쓰(hot phosphoric acid bath)를 사용하여 제거되어, 실리콘 기관(320)을 필드 산화물(FOX)(624) 사이에서 노출된 상태로 남겨두고 실리콘 기관에서의 활성 트랜지스터 소자 도핑 단계를 위해 준비될 수 있다.
- [0021] 진술한 집적 회로 제조 공정은 산화물 CMP와 같은 다른 제조 단계에서 사용될 수 있음이 본 발명의 범위 내에서 고려된다. 이 공정은 다른 단계에서 비용이 추가되므로 경제적이지 않을 수 있다. 라이너 산화는 실리콘 질화물이 아니다; 열 성장된 이산화 규소로 만들어진다. 주어진 STI 공정에 대한 충전 요건을 충족시킨다면 어떠한 산화물 침착 또는 충전도 사용될 수 있다. DUO는 충전을 위해 설계되었으며 다른 플라즈마 에칭 공정으로 선택도를 변경할 수 있는 특성을 갖기 때문에 상당히 특이적이다. 하부 반사 방지 코팅 BARC는 일부 공정을 위해 DUO 대신에 사용되었으며, 본 발명에 개시된 본 공정 응용에 적용 가능할 수 있다.
- [0022] 본 발명의 실시형태가 본 발명의 예시적인 실시형태를 참조하여 도시되고, 설명되고, 정의되었지만, 그러한 참조는 본 발명에 대한 제한을 의미하지 않으며, 그러한 제한은 추론되지 않는다. 개시된 대상은 당해 기술 분야의 통상의 지식을 가진 자에게 발생할 수 있고 본 발명의 이점을 갖고, 형태 및 기능에서 상당한 수정, 변경 및 등가물을 가질 수 있다. 이 발명의 도시되고 기술된 실시형태는 단지 예일 뿐이며, 본 발명의 범위를 소진하지 않는다.

도면

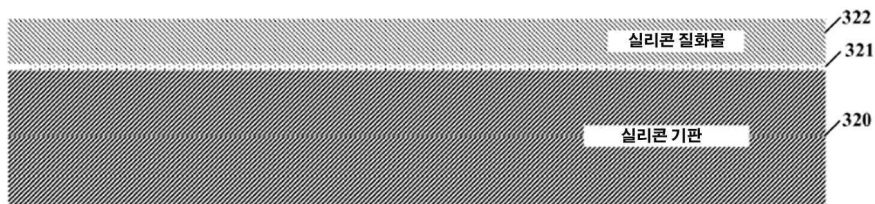
도면1



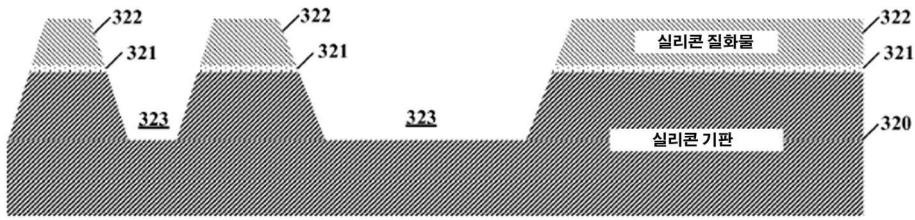
도면2



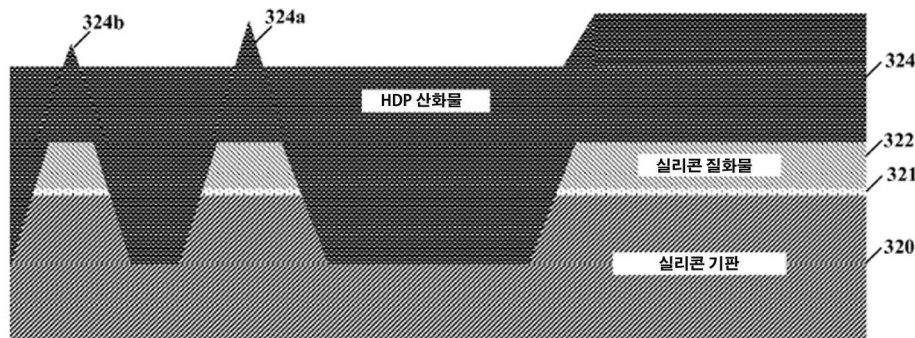
도면3



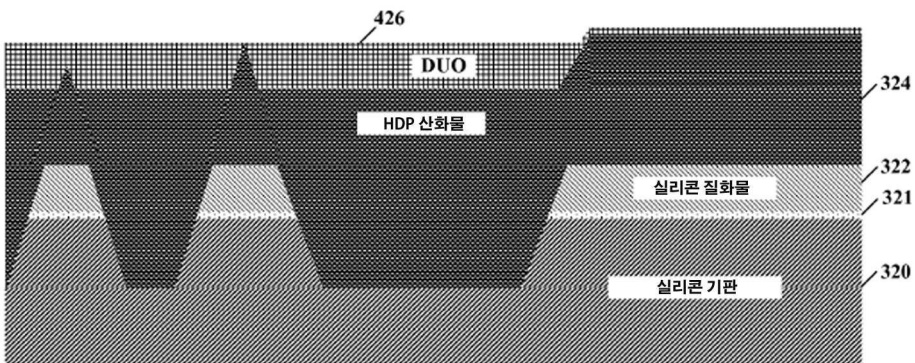
도면3a



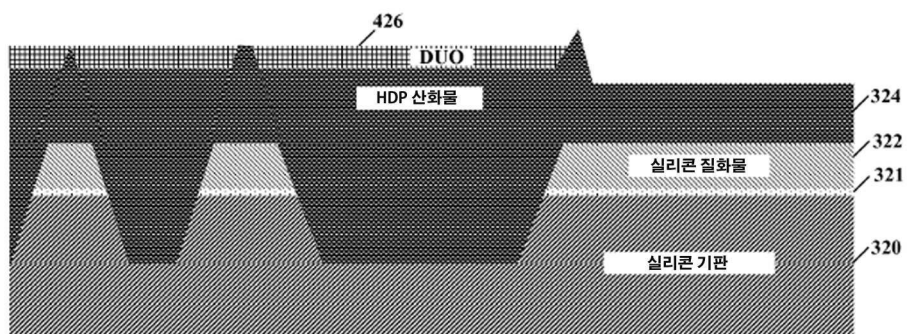
도면3b



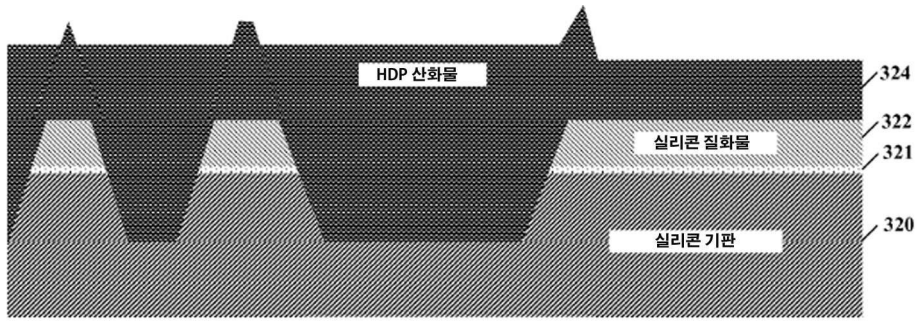
도면4



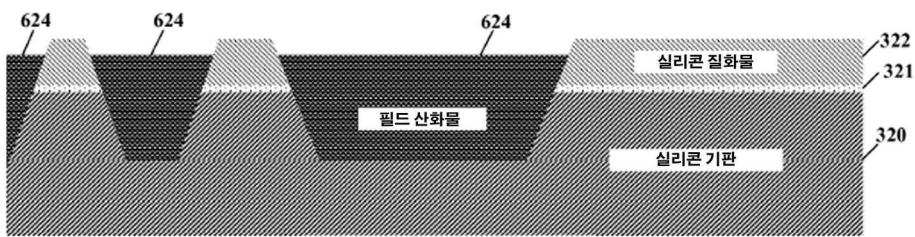
도면5



도면6



도면7



도면8

