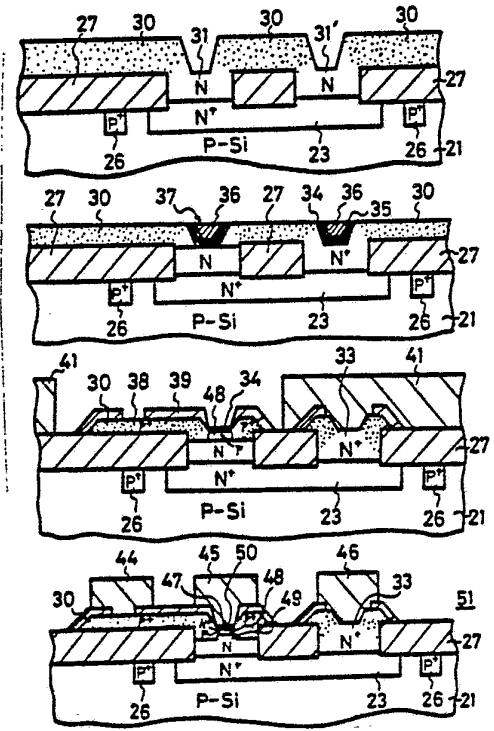


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ³ H01L 29/72	A1	(11) 国際公開番号 WO 84/ 04853 (43) 国際公開日 1984年12月6日 (06. 12. 84)
(21) 国際出願番号 PCT/JP84/00271 (22) 国際出願日 1984年5月25日 (25. 05. 84) (31) 優先権主張番号 特願昭58-92697 (32) 優先日 1983年5月26日 (26. 05. 83) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) ソニー株式会社 (SONY CORPORATION) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者; および (75) 発明者/ 出願人 (米国についてのみ) 大内 紀和 (OUCHI, Norikazu) [JP/JP] 梶沼 昭夫 (KAYANUMA, Akio) [JP/JP] 浅野 勝昭 (ASANO, Katsuaki) [JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 伊藤 貞 (ITO, Tei) 〒160 東京都新宿区西新宿1丁目8番1号 新宿ビル Tokyo, (JP)		(81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), NL (欧州特許), US. 添付公開書類 国際調査報告書 補正書
(54) Title: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE (54) 発明の名称 半導体装置の製法 (57) Abstract A primary object of the present invention is to manufacture a semiconductor device which has both a high performance and a high degree of integration. The method according to this invention comprises the steps of forming a semiconductor layer (30), (31), (31') provided with recesses in its surface, forming a nitride layer (35) within the recesses, forming an oxide layer (39) over the surface of the semiconductor layer (30) using the nitride layer (35) as a mask, removing the nitride layer (35), and introducing an impurity into the semiconductor layers (31), (31') using the oxide layer (39) as a mask. This method makes it possible to form smaller IC elements, and is most suitable for the manufacture of an IC device which has both a high performance and a high degree of integration.  (57) 要約 本発明は高性能、高集積度の半導体装置の製作を目的とする。本発明は、表面に凹部を有する半導体層(30)(31)(31')を形成する工程、この凹部内に窒化物層(35)を形成する工程、この窒化物層(35)をマスクに半導体層(30)表面に酸化物(39)を形成する工程、窒化物層(35)を除去する工程及び酸化物層(39)をマスクに半導体層(31)(31')に不純物を導入する工程を有する半導体装置の製法であって、素子のより微細化を可能にし、高性能、高集積度のICデバイスの作製に適用して好適である。		

情報としての用途のみ

PCTに基づいて公開される国際出願のパフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	LI	リヒテンシュタイン
AU	オーストラリア	LK	スリランカ
BE	ベルギー	LU	ルクセンブルグ
BR	ブラジル	MC	モナコ
CF	中央アフリカ共和国	MG	マダガスカル
CG	コンゴ	MR	モーリタニア
CH	スイス	MW	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノルウエー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SE	スウェーデン
FR	フランス	SN	セネガル
GA	ガボン	SU	ソビエト連邦
GB	イギリス	TD	チャード
HU	ハンガリー	TO	トーゴ
JP	日本	US	米国
KP	朝鮮民主主義人民共和国		

明 細 書

発明の名称 半導体装置の製法

技術分野

5 本発明は、半導体装置、特にバイポーラ・トランジスタの IC デバイスの製法に関する。

背景技術

従来の半導体集積回路 (IC) の素子分離法として、例えば選択酸化 (LOCOS) 法による分離がある。第 1 図は選択酸化法を使用して制作したバイポーラ・トランジスタ IC の要部断面図を示す。同図において、(1) は例えば P 形のシリコン半導体基体、(2) は N⁺ 形のコレクタ埋込層、(3) は N 形エピタキシャル成長層によるコレクタ領域、(4) はベース領域、(5) はエミッタ領域、(6) は選択酸化による SiO₂ 層、(7) はコレクタ電極取出し部である。また (C)、(E)、(B) は夫々コレクタ、エミッタ、ベースの各端子である。しかしこのバイポーラ・トランジスタ IC を制作するための選択酸化プロセスには、次のような問題点があった。即ち、第 1 図に示すようなバースビーク (1 μ 近くバースビークが侵入する) 及びバースヘッドが発生すること、選択酸化の際の窓開けとエミッタ領域の窓開けの際に夫々マスク合わせが必要であり、その場合合わせ精度及びバースビーク分を含めたトレランスが必要であること、ベース電極取出部とエミッタ電極取出部間が Al 電極のトレランスにより決まるため、狭くするのに限界があること、コレクタの寄生容量が活性領域 (所謂イントリンシック部) 以外の領域によって大きく影響されること、そして、これらによってセルサイズの微細化に限界があること等である。

10

15

20

25

一方、このような問題点を解決するために先に本出願人は、第 2 図に示すようなバイポーラ・トランジスタ IC が得られる製法を提案した (特願昭 58-62701 号参照)。この製法は先ず例えば



P形のシリコン半導体基体(1)にN⁺形のコレクタ埋込層(2)を形成して後、基体主面に絶縁膜例えばSiO₂膜(8)の所定部分即ちトランジスタの活性領域とコレクタ電極取出し部に対応する部分に選択的に窓孔(9)及び(10)を形成する。次にSiO₂膜(8)及び窓孔(9)、(10)を含む全面に気相成長を施し、窓孔(9)及び(10)内に単結晶シリコン(16)を、SiO₂膜(8)上に多結晶シリコン(17)を形成し、この後、単結晶シリコン(16)及び多結晶シリコン(17)を平坦化し、且つ選択的に多結晶シリコン(17)を除去する。そして一方の窓孔(9)内の単結晶シリコン(16)にN⁻形のコレクタ領域(3)、P形のベース領域(4)及びN⁺形のエミッタ領域(5)を形成し、多結晶シリコン(17)をベース電極取出部とし、また他方の窓孔(10)の単結晶シリコン(16)にN⁺形のコレクタ電極取出部を形成してバイポーラ・トランジスタICを得るようにしたものである。この製法によれば、バースビーク及びバースヘッドの発生がなく、コレクタの寄生容量の減少、セルサイズの縮小等が得られる。しかし、第2図で明らかなようにベース領域(4)、エミッタ領域(5)、エミッタ電極取出し部(11)の形成はセルフアライン化されているが、コレクタ領域(3)とベース領域(4)間の形成についてはL及びlの寸法差があってセルフアライン化されていないため、合わせ精度とトレランスが必要であった。

本発明は、上述の点に鑑み、選択酸化法による素子間分離の問題点を解決し、さらにコレクタ、ベース、エミッタの各領域及びエミッタ電極取出し部をセルフアラインにより形成して素子のより微細化を可能にし、高性能、高集積度のICデバイス装置を製作することができる半導体装置の製法を提供するものである。

発明の開示

本発明は、表面に凹部を有する半導体層を形成する工程、この凹部内に窒化物層を形成する工程、この窒化物層をマスクに半導

体層表面に酸化物層を形成する工程、窒化物層を除去する工程、及び酸化物層をマスクに半導体層に不純物を導入する工程を有する半導体装置の製法であって、素子のより微細化を可能にし、高性能、高集積度の I C デバイスを得る様にしたものである。

5 図面の簡単な説明

第 1 図及び第 2 図は従来の製法により製作したバイポーラ・トランジスタの断面図、第 3 図 A ~ M は本発明の実施例に係る工程順の断面図、第 4 図は本発明の説明に供する要部の拡大断面図である。

10 発明を実施するための最良の形態

以下、本発明の半導体装置の製法の実施例について、第 3 図を参照して説明する。なお、本例は N P N トランジスタ素子の場合であるが、P N P トランジスタ素子にも適用できること勿論である。

15 本実施例においては、先ず第 3 図 A に示すように、P 形のシリコン半導体基体 (21) に酸化膜 (SiO_2) (22) を形成した後、この酸化膜 (22) に窓開けをして基体 (21) に N 形不純物を拡散し、N 形のコレクタ埋込層 (23) を形成する。

次に、第 3 図 B に示すように、酸化膜 (22) をエッチング除去した後、薄い酸化膜 (SiO_2) (24) を形成し、この酸化膜 (24) 20 の上に被着したフォトリジスト (25) をマスクにして P 形の不純物を注入し、チャンネルストップ用の埋込層 (26) を形成する。

次に、第 3 図 C に示すように、基体 (21) に SiO_2 層 (27) を C V D (化学気相成長) 法により被着形成した後、反応性イオンエッチング (R I E) 等を使用してこの SiO_2 層 (27) の所要位置にすなわち活性領域とコレクタ電極取出し部に対応する部分に開口部 (28) 及び (29) を形成する。

次に、第 3 図 D に示すように SiH_4 を使用して気相成長を行い、

5 SiO₂ 層 (27) 上にN形が多結晶シリコン層 (30) を、開口部 (28) 及び (29) にN形の単結晶シリコンのエピタキシャル層 (31) 及び (31')を夫々形成する。この気相成長で形成された多結晶シリコン層 (30) とエピタキシャル層 (31) , (31')の厚さはほぼ等しいため、開口部 (28) 及び (29) 上に対応する部分は凹状になる。このような形状は、基板の面が (100) , (111) のいずれであっても得られる。

10 次に、第3図Eに示すようにフォトレジスト層 (32) をマスクにして開口部 (29) 内のエピタキシャル層 (31')にN形の不純物をイオン注入し、その後ドライブイン拡散を行って低抵抗のコレクタ電極取出し部 (33) を形成する。

15 次に、第3図Fに示すように、フォトレジスト (31) を除去した後、薄い酸化膜 (SiO₂) (34) とCVDによる窒化膜 (SiN) (35) を被着形成する。なお、この薄い酸化膜 (34) は厚さが200 ~ 500Å位が適当であるが、形成しないで装置を作製することもできる。

20 次に、第3図Gに示すように、フォトレジスト (36) を被着して基体 (21) の表面を平坦化した後、イオンミリング又は反応性イオンエッチングにより、多結晶シリコン層 (30) の途中まで削る。凹部 (37) の大きさは、通常数ミクロン平方以下であるため、容易に平坦化することができる。また、この際制御性よくエッチングすることができる。

25 次に、第3図Hに示すように、多結晶シリコン層 (30) にP形不純物をイオン注入する。この際、凹部 (37) の薄い酸化膜 (34) 、窒化膜 (35) 及びフォトレジスト (36) の積層体がイオン注入のストッパとなって、活性領域にはイオン注入されない。然る後、フォトレジスト (36) と所要領域の多結晶シリコン層 (30) を残して不要の多結晶シリコン層 (30) をエッチング除去し、ベース

電極取出し部 (38) を形成する。この多結晶シリコン層 (30) のエッチング後拡散のためのアニールを行う。この順序で処理すると、第 3 図 H のようにイオンミリングとイオン注入による損傷の影響で多結晶シリコン層 (30) がテーパ状にエッチングされるため、後の Al 配線の際有利な形状となる。逆に不要な多結晶シリコン層 (30) の除去前にアニールすると、多結晶シリコン層 (30) はテーパ状にエッチングされない。

次に、第 3 図 I に示すように、窒化膜 (35) をマスクにして多結晶シリコン層 (30) の表面に選択的に酸化膜 (SiO_2) (39) (膜厚 $\geq 3000 \text{ \AA}$ が適当) を形成した後、窒化膜 (35) を除去する。この窒化膜 (35) の除去で自動的にベース領域及びエミッタ領域を形成するための窓開けとコレクタ電極取出し部 (33) の窓開けができる。

次に、第 3 図 J に示すように、フォトレジスト (40) をマスクにして酸化膜 (39) にベース電極取出し部 (38) 用の窓開けを行い、同時にコレクタ電極取出し部 (33) 上の酸化膜 (39) の開口部分を若干広げる。

次に、第 3 図 K に示すように、フォトレジスト (41) でコレクタ電極取出し部 (33) をマスクして活性領域に P 形の不純物をイオン注入してベース領域 (48) を形成する。このとき同時にベース電極取出し部 (38) にもイオン注入される。この後、アニール処理を施す。

次に、第 3 図 L に示すように、凹部 (37) の酸化膜 (34) をエッチング除去した後、Al のつき抜け防止用の多結晶シリコン膜 (42) を CVD で形成し、必要に応じてこの多結晶シリコン膜 (42) の表面を薄く酸化する。次に、フォトレジスト (43) をマスクにしてベース領域 (48) に N 形の不純物例えばヒ素 As をイオン注入した後、外部拡散防止用の SiO_2 膜 (図示せず) を CVD

で形成し、次いでドライブイン拡散してエミッタ領域（47）を形成する。そしてこの SiO_2 膜のエッチング除去を行い、この後、アニール処理を施す。

次に、第3図Mに示すように、Alを蒸着した後、エッチングによりベース電極（44）、エミッタ電極（45）、コレクタ電極（46）を形成し、次でシンタリングを行い、目的のバイポーラ・トランジスタIC（51）を得る。

上記第3図Iに示す工程で、第4図に示す如くバースビーク部（60）の侵入が少いと後の第3図Lの酸化膜（34）を除去する工程で凹部の底部のみならず側部の酸化膜もエッチング除去され、その結果としてエミッタ領域とベース電極取出し部間が短絡し易くなり、実際の半導体装置へ応用する際の問題となる。上記実施例においては、下地の薄い酸化膜（34）を適当な厚さである200～500Åにしてこの問題を解決しているが、更に安定させるためには第3図Iに示す工程の後に、次のような工程を追加するのが良い。

即ち、CVDで Si_3N_4 層又は SiO_2 層を被着形成するかCVDで薄く堆積した被覆性の良い多結晶シリコン層を熱酸化した後、イオンミリング又は反応性イオンエッチングで削ると凹部の形状に基づき凹部の側面は削られないで底面のみが削られて窓開けすることができる。更に、この窓開けされた部分を直接窒化して、これをマスクにして選択酸化を行っても良い。

上述した本発明は、バースビーク及びバースヘッドが発生して問題となっていた従来の選択酸化法に代わる素子間分離方法であることに加えて、第3図Cの工程における SiO_2 層（27）に対する1回の窓開けで、以後コレクタ領域（49）、ベース領域（48）、エミッタ領域（47）、エミッタ電極取出し部（50）をセルフアラインにより形成する。このため、従来の製法と比較して素子のよ

り微細化を図ることができ、またコレクタの寄生容量を減少することができ、高性能、高集積度のバイポーラ・トランジスタ IC を製作することができる。特に、本製法によれば、最小線幅ルールが $2 \sim 3 \mu m$ であっても、1 ミクロン平方以下（即ちサブミクロン平方）のエミッタ領域を形成することが可能である。

本半導体装置の製法によれば、バースビーク及びバースヘッドの発生が問題である従来の選択酸化法に代わる素子分離法であることに加えて、コレクタ領域、ベース領域、エミッタ領域、エミッタ電極取出し部をセルフアラインにより形成することができる。

従って、従来の製法と比較して、同一の線幅ルールで、コレクタの寄生容量の減少（従って、活性領域以外の部分の減少）、セル・サイズの小型化及び1 ミクロン平方以下のエミッタ領域の製作等が可能になり、高集積度且つ高性能の半導体装置を製作することができる。

請 求 の 範 囲

1. 表面に凹部を有する半導体層を形成する工程と、該凹部内に窒化物層を形成する工程と、該窒化物層をマスクに上記半導体表面に酸化物層を形成する工程と、上記窒化物層を除去する工程と、上記酸化物層をマスクに上記半導体層に不純物を導入する工程とを有する半導体装置の製法。
2. 請求の範囲第1項記載の半導体装置の製法において、表面に凹部を有する基体上に上記半導体層を形成する半導体装置の製法。
3. 請求の範囲第2項記載の半導体装置の製法において、上記基体上に選択的に絶縁層を形成して表面に凹部を形成する半導体装置の製法。
4. 請求の範囲第1項記載の半導体装置の製法において、上記窒化物層をマスクに上記半導体層に不純物を導入する工程を有する半導体装置の製法。
5. 請求の範囲第1項記載の半導体装置の製法において、上記半導体層の凹部内側部に絶縁層を形成する工程を有する半導体装置の製法。
6. 凹凸を有する基体上に半導体層を形成する工程と、該半導体層上に窒化物層を形成する工程と、該窒化物層上に物質層を形成し、その表面を平坦化する工程と、上記物質層及び窒化物層をエッチングし、凹部上に該窒化物層が残るようにする工程と、該窒化物層をマスクに上記半導体層に不純物を導入する工程と、該窒化物層をマスクに上記半導体層表面に酸化物層を形成する工程と、該窒化物層を除去する工程と、上記酸化物層をマスクに上記半導体層に不純物を導入する工程を有する半導体装置の製法。

補正された請求の範囲
(国際事務局により1984年10月11日 (11. 10. 84) 受理)

1. 表面に凹部を有する半導体層を形成する工程と、該凹部内に窒化物層を形成する工程と、該窒化物層をマスクに上記半導体表面に酸化物層を形成する工程と、上記窒化物層を除去する工程と、上記酸化物層をマスクに上記半導体層に不純物を導入する工程とを有する半導体装置の製法。
2. 請求の範囲第1項記載の半導体装置の製法において、表面に凹部を有する基体上に上記半導体層を形成する半導体装置の製法。
3. 請求の範囲第2項記載の半導体装置の製法において、上記基体上に選択的に絶縁層を形成して表面に凹部を形成する半導体装置の製法。
4. 請求の範囲第1項記載の半導体装置の製法において、上記窒化物層をマスクに上記半導体層に不純物を導入する工程を有する半導体装置の製法。
5. 請求の範囲第1項記載の半導体装置の製法において、上記半導体層の凹部内側部に絶縁層を形成する工程を有する半導体装置の製法。
6. (補正後) 凹凸を有する基体上に半導体層を形成する工程と、該半導体層上に窒化物層を形成する工程と、該窒化物層上に物質層を形成してその表面をほぼ平坦化する工程と、上記半導体層の凹部内に上記物質層及び窒化物層を残すようにそれ以外の該物質層及び窒化物層を除去する工程と、該窒化物層をマスクに上記半導体層表面に酸化物層を形成する工程と、該窒化物層を除去する工程と、上記酸化物層をマスクに上記半導体層に不純物を導入する工程を有する半導体装置の製法。
7. (追加) 請求の範囲第6項記載の半導体装置の製法において、上記物質層又は窒化物層をマスクに上記半導体層に不純物を導



(置換え)

入する工程を有する半導体装置の製法。



FIG. 1

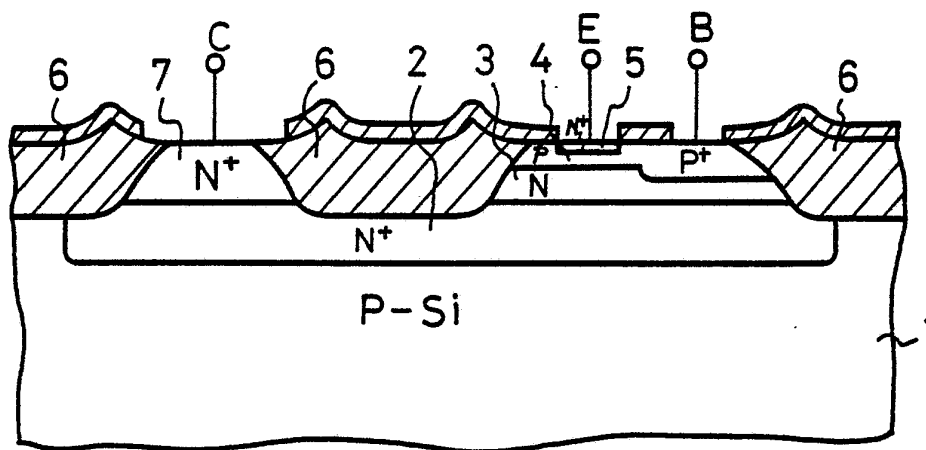


FIG. 2

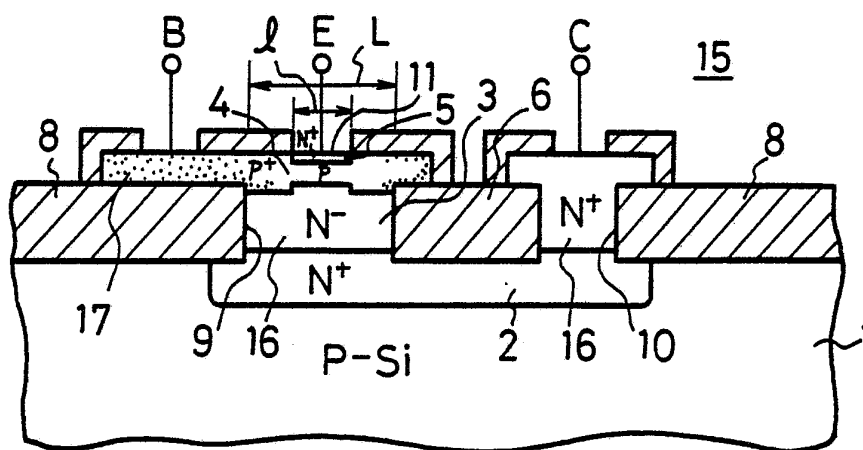


FIG. 3A

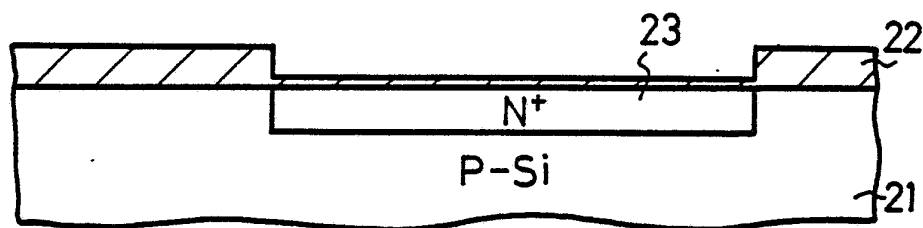


FIG. 3B

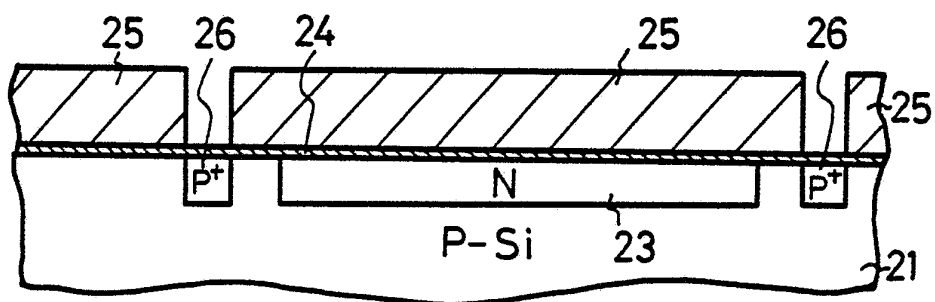


FIG. 3C

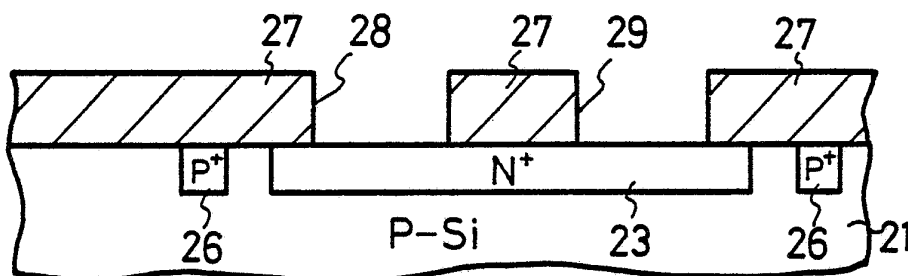


FIG. 3D

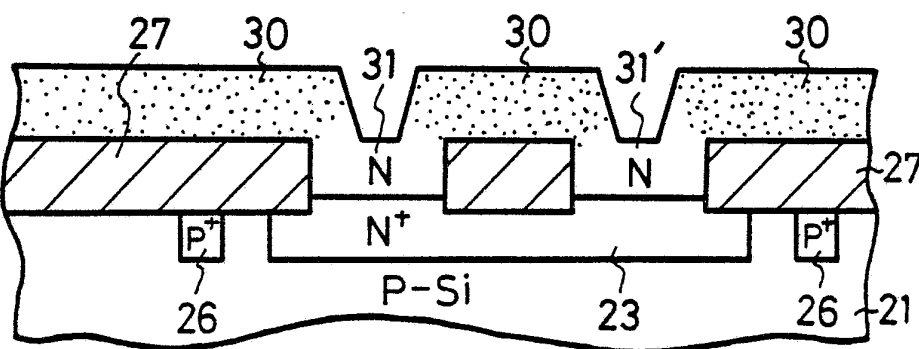


FIG. 3E

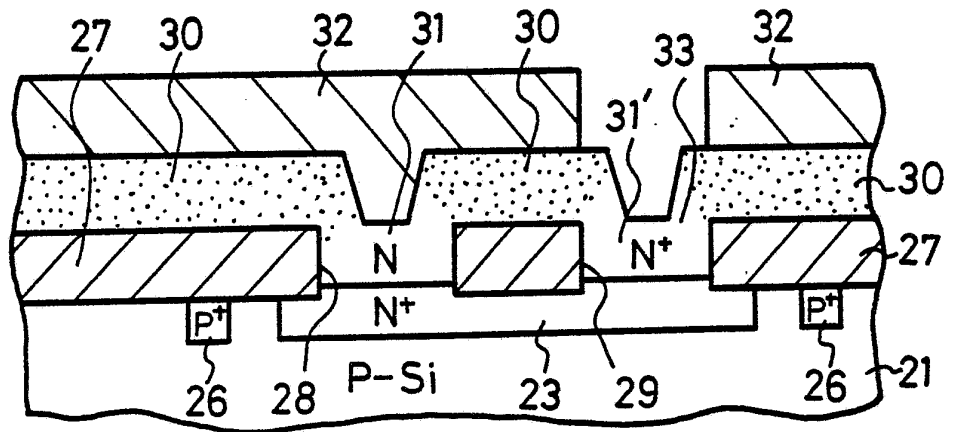


FIG. 3F

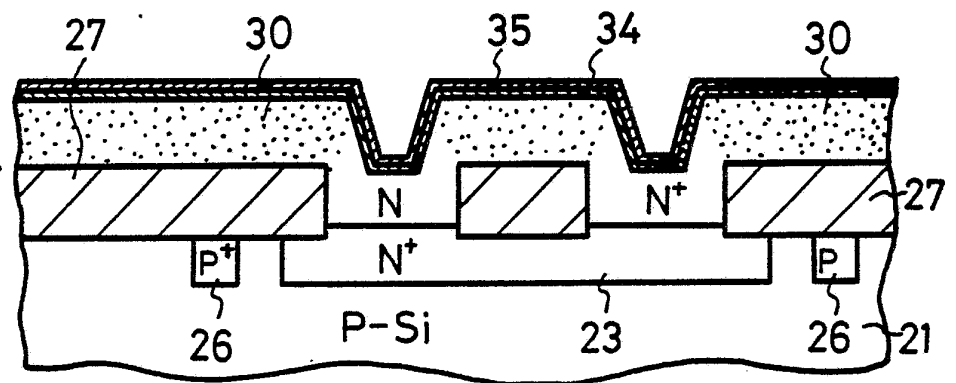


FIG. 3G

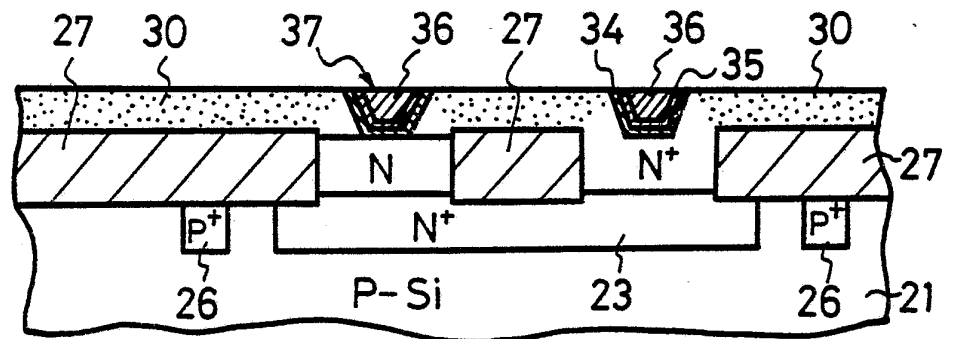


FIG. 3H

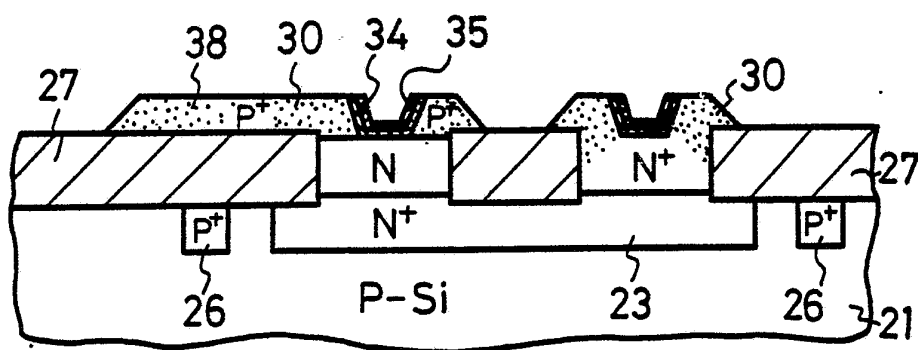


FIG. 3I

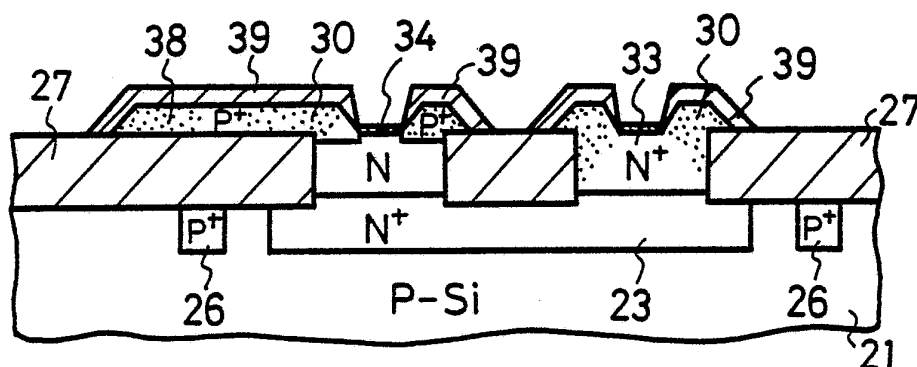


FIG. 3J

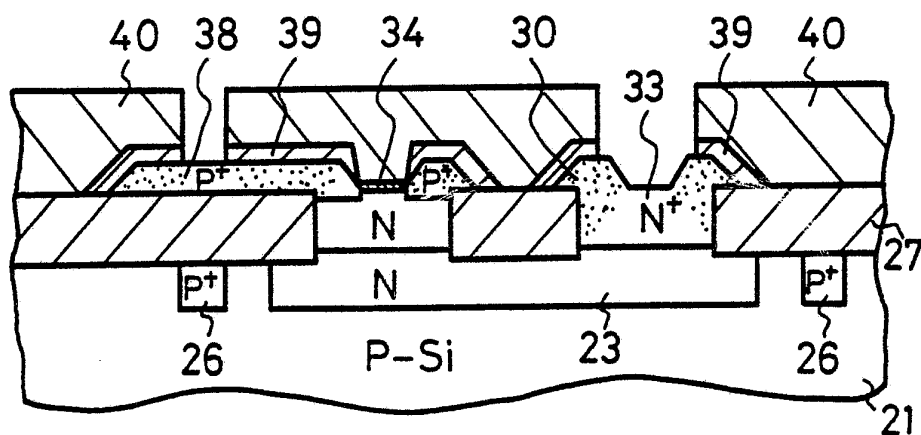


FIG. 3K

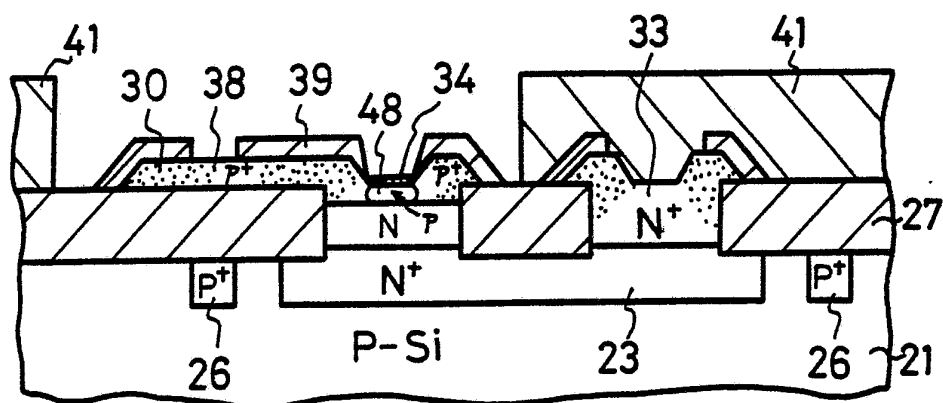


FIG. 3L

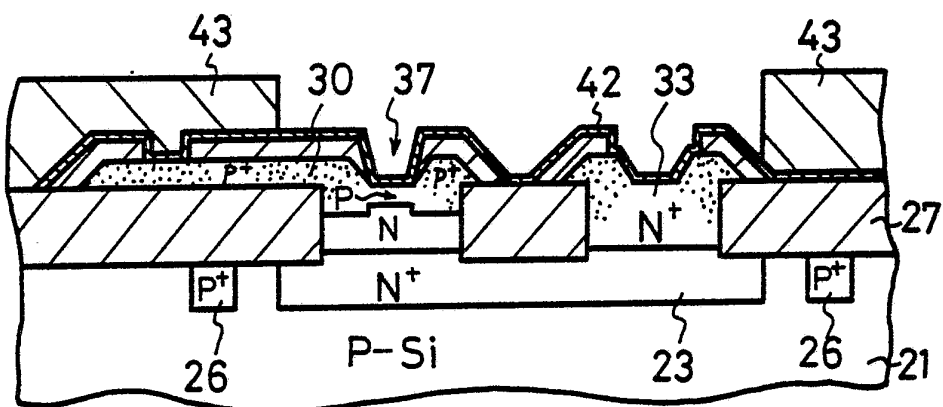


FIG. 3M

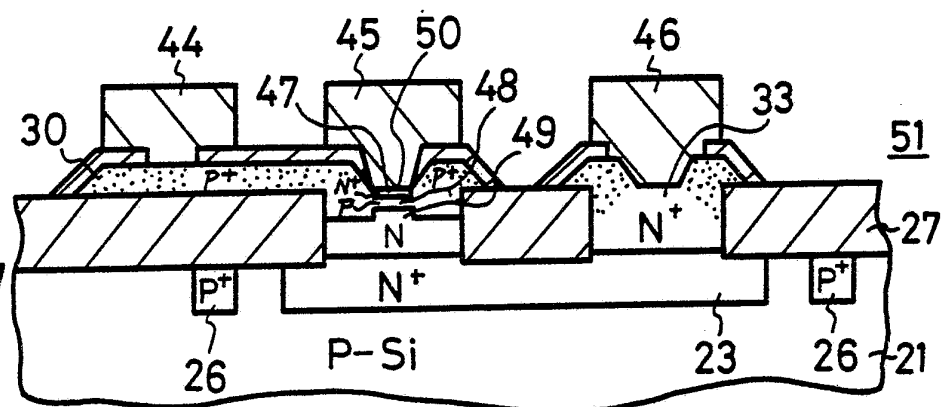
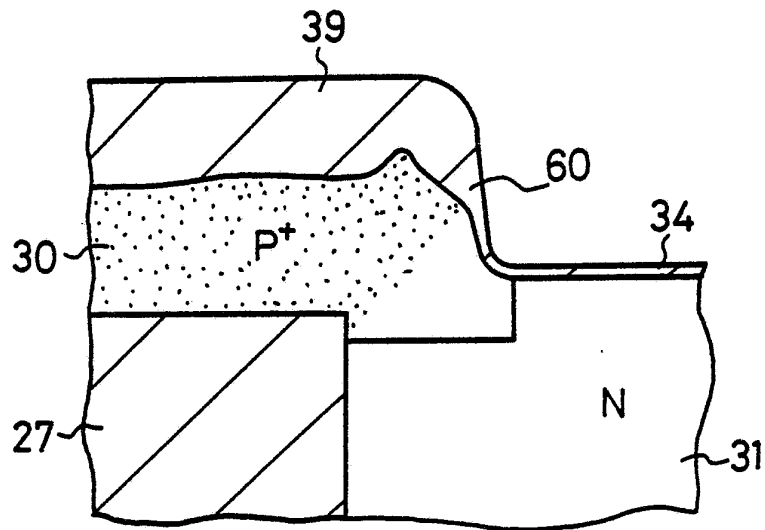


FIG. 4



参照符号	事 項
(1)	半導体基体
(2)	コレクタ埋込層
(3)	コレクタ領域
(4)	ベース領域
(5)	エミッタ領域
(6)	SiO ₂ 層
(21)	半導体層
(23)	コレクタ埋込層
(27)	SiO ₂ 層
(30)	多結晶シリコン層
(31)	単結晶シリコン層
(31')	単結晶シリコン層
(33)	コレクタ電極取出し部
(34)	酸化膜
(35)	窒化膜
(38)	ベース電極取出し部
(44)	ベース電極
(45)	エミッタ電極
(46)	コレクタ電極
(47)	エミッタ領域
(48)	ベース領域
(49)	コレクタ領域

INTERNATIONAL SEARCH REPORT

International Application No. PCT/JP84/00271

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC Int. Cl.³ H01L29/72		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
I P C	H01L29/72	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho		1960 - 1983
Kokai Jitsuyo Shinan Koho		1971 - 1983
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category ^a	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
Y	JP, A, 50-11676 (Hitachi, Ltd.) 6 April 1975 (06. 04. 75)	1 - 6
Y	JP, A, 55-39677 (Cho L.S.I. Gijutsu Kenkyu Kumiai), 19 March 1980 (19. 03. 80)	1 - 6
^a Special categories of cited documents: ¹⁵ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "G" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²		Date of Mailing of this International Search Report ²
July 5, 1984 (05. 07. 84)		July 16, 1984 (16. 07. 84)
International Searching Authority ¹		Signature of Authorized Officer ²⁰
Japanese Patent Office		

I. 発明の属する分野の分類			
国際特許分類 (IPC) Int. Cl. H01L29/72			
II. 国際調査を行った分野			
調査を行った最小限資料			
分類体系	分類記号		
I P C	H01L29/72		
最小限資料以外の資料で調査を行ったもの			
日本国実用新案公報		1960-1983	
日本国公開実用新案公報		1971-1983	
III. 関連する技術に関する文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		請求の範囲の番号
Y	JP, A, 50-11676 (株式会社 日立製作所) 6. 4月. 1975 (06. 04. 75)		1 ~ 6
Y	JP, A, 55-39677 (超エル・エス・アイ技術研究組合), 19. 3月. 1980 (19. 03. 80)		1 ~ 6
*引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献			
IV. 認 証			
国際調査を完了した日 05. 07. 84		国際調査報告の発送日 16. 07. 84	
国際調査機関 日本国特許庁 (ISA/JP)		権限のある職員 5 F 7 5 1 4 特許庁審査官 岡 和 久	