

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 1 月 20 日 (2005.1.20)

【公開番号】特開 2000-100171 (P2000-100171A)
 【公開日】平成 12 年 4 月 7 日 (2000.4.7)
 【出願番号】特願 平 10-270264
 【国際特許分類第 7 版】

G 1 1 C 11/409

G 1 1 C 11/41

【F I】

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 W

G 1 1 C 11/34 3 5 3 C

【手続補正書】

【提出日】平成 16 年 2 月 23 日 (2004.2.23)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のワード線と複数のビット線対と、それらの交差位置に配置されるメモリセルとを有するメモリデバイスにおいて、
 コラム方向に配置された第 1 のビット線対と第 2 のビット線対により共用され、該ビット線対を増幅するセンスアンプと、
 前記センスアンプと、第 1 及び第 2 のビット線対との間に設けられ、選択されたメモリセル側のビット線対を前記センスアンプに接続する第 1 及び第 2 のビット線トランスファゲートと、
 前記第 1 及び第 2 のビット線トランスファゲートの間に配置され、前記第 1 のビット線対と第 2 のビット線対により共用され、当該ビット線対にプリチャージレベルを供給するビット線クランパと、
 前記第 1 及び第 2 のビット線対にそれぞれ設けられ、該ビット線対間を短絡するビット線ショート回路とを有し、
前記ビット線クランパが、ビット線対間にショート用トランジスタを有することなく、前記プリチャージレベルの端子と前記ビット線対との間に設けられたクランパ用トランジスタを有し、
更に、前記第 1 及び第 2 のビット線トランスファを導通する第 1 及び第 2 のトランスファ制御信号を生成する第 1 及び第 2 のトランスファ制御回路を有し、前記第 1 及び第 2 のトランスファ制御信号に応答して、前記第 2 及び第 1 のビット線ショート回路が動作すること
 を特徴とするメモリデバイス。

【請求項 2】

請求項 1 において、

更に、前記第 1 及び第 2 のビット線対により共用され、前記ビット線対の信号をデータバス線対に供給するコラムゲートを有することを特徴とするメモリデバイス。

【請求項 3】

請求項 1 または 2 において、前記センスアンプを駆動するセンスアンプドライバが、複数のセンスアンプに共通に設けられたことを特徴とするメモリデバイス。

【請求項 4】

請求項 1 または 2 において、

更に、前記第 1 及び第 2 のビット線ショート回路をそれぞれ制御する第 1 及び第 2 のショート制御信号に従って、前記ビット線クランパを制御するクランパ制御信号が生成されることを特徴とするメモリデバイス。

【請求項 5】

請求項 1 において、

更に、第 1 の内部電源を有し、

前記センスアンプは、前記ビット線対の一方を前記第 1 の内部電源まで増幅し、

前記第 1 及び第 2 のビット線トランスファゲートが、前記センスアンプと前記第 1 及び第 2 のビット線対間に設けられたトランスファ用トランジスタで構成され、当該トランジスタを駆動するトランスファ制御信号が、前記第 1 の内部電源より高い電圧に制御され、前記クランパ用トランジスタを駆動するクランパ制御信号が、前記トランスファ制御信号より低い電圧に制御されることを特徴とするメモリデバイス。

【請求項 6】

請求項 1 において、

更に、第 1 の内部電源を有し、

前記センスアンプは、前記ビット線対の一方を前記第 1 の内部電源まで増幅し、

前記第 1 及び第 2 のビット線トランスファゲートが、前記センスアンプと前記第 1 及び第 2 のビット線対間に設けられたトランスファ用トランジスタで構成され、当該トランジスタを駆動するトランスファ制御信号が、前記第 1 の内部電源より高い電圧に制御され、前記ビット線ショート回路が、前記ビット線対間に設けられたショート用トランジスタで構成され、当該トランジスタを駆動するショート制御信号が、前記トランスファ制御信号より低い電圧に制御されることを特徴とするメモリデバイス。

【請求項 7】

コマンドデコードを行う第 1 のステージと、センスアンプの活性化を行う第 2 のステージと、データの入出力を行う第 3 のステージとがパイプライン構成をなし、前記センスアンプと第 3 のステージとの間で複数のデータをパラレルに転送するメモリデバイスにおいて

、ワード方向に分割して設けられ、複数のメモリセルと、複数のワード線と、複数のビット線対とをそれぞれ有する複数のサブセルマトリクスを有し、

前記サブセルマトリクスは、

コラム方向に配置された第 1 のビット線対と第 2 のビット線対により共用され、該ビット線対を増幅するセンスアンプと、

前記センスアンプと、第 1 及び第 2 のビット線対との間に設けられ、選択されたメモリセル側のビット線対を前記センスアンプに接続する第 1 及び第 2 のビット線トランスファゲートと、

前記第 1 及び第 2 のビット線トランスファゲートの間に配置され、前記第 1 のビット線対と第 2 のビット線対により共用され、当該ビット線対にプリチャージレベルを供給するビット線クランパと、

前記第 1 及び第 2 のビット線対にそれぞれ設けられ、該ビット線対間を短絡するビット線ショート回路とを有することを特徴とするメモリデバイス。

【請求項 8】

請求項 7 において、

更に、前記第 1 及び第 2 のビット線対により共用され、前記ビット線対の信号をデータバス線対に供給するコラムゲートを有することを特徴とするメモリデバイス。

【請求項 9】

請求項 7 または 8 において、

前記ビット線トランスファゲートを制御するトランスファ制御信号が、第 1 の電圧に駆動され、

前記ビット線クランパを制御するクランパ制御信号が、前記第 1 の電圧よりも低く駆動されることを特徴とするメモリデバイス。

【請求項 10】

請求項 7 または 8 において、

前記ビット線トランスファゲートを制御するトランスファ制御信号が、第 1 の電圧に駆動され、

前記ビット線ショート回路を制御するショート制御信号が、前記第 1 の電圧よりも低く駆動されることを特徴とするメモリデバイス。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

【課題を解決するための手段】

上記の目的を達成する為に、本発明は、複数のワード線と複数のビット線対と、それらの交差位置に配置されるメモリセルとを有するメモリデバイスにおいて、

コラム方向に配置された第 1 のビット線対と第 2 のビット線対により共用され、該ビット線対を増幅するセンスアンプと、

前記センスアンプと、第 1 及び第 2 のビット線対との間に設けられ、選択されたメモリセル側のビット線対を前記センスアンプに接続する第 1 及び第 2 のビット線トランスファゲートと、

前記第 1 及び第 2 のビット線トランスファゲートの間に配置され、前記第 1 のビット線対と第 2 のビット線対により共用され、当該ビット線対にプリチャージレベルを供給するビット線クランパと、

前記第 1 及び第 2 のビット線対にそれぞれ設けられ、該ビット線対間を短絡するビット線ショート回路とを有し、

前記ビット線クランパが、ビット線対間にショート用トランジスタを有することなく、前記プリチャージレベルの端子と前記ビット線対との間に設けられたクランパ用トランジスタを有し、

更に、前記第 1 及び第 2 のビット線トランスファを導通する第 1 及び第 2 のトランスファ制御信号を生成する第 1 及び第 2 のトランスファ制御回路を有し、前記第 1 及び第 2 のトランスファ制御信号に応答して、前記第 2 及び第 1 のビット線ショート回路が動作することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

更に、上記の発明において、第 1 の内部電源を有し、前記センスアンプは、前記ビット線対の一方を前記第 1 の内部電源まで増幅し、

前記第 1 及び第 2 のビット線トランスファゲートが、前記センスアンプと前記第 1 及び第 2 のビット線対間に設けられたトランスファ用トランジスタで構成され、当該トランジスタを駆動するトランスファ制御信号が、前記第 1 の内部電源より高い電圧に制御され、前記クランパ用トランジスタを駆動するクランパ制御信号が、前記トランスファ制御信号より低い電圧に制御されることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

上記の発明によれば、クランパ制御信号の生成の電力消費を少なくすることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

更に、上記の発明において、第1の内部電源を有し、前記センスアンプは、前記ビット線対の一方を前記第1の内部電源まで増幅し、

前記第1及び第2のビット線トランスファゲートが、前記センスアンプと前記第1及び第2のビット線対間に設けられたトランスファ用トランジスタで構成され、当該トランジスタを駆動するトランスファ制御信号が、前記第1の内部電源より高い電圧に制御され、前記ビット線ショート回路が、前記ビット線対間に設けられたショート用トランジスタで構成され、当該トランジスタを駆動するショート制御信号が、前記トランスファ制御信号より低い電圧に制御されることを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

上記の目的を達成するために、第2の発明は、コマンドデコードを行う第1のステージと、センスアンプの活性化を行う第2のステージと、データの入出力を行う第3のステージとがパイプライン構成をなし、前記センスアンプと第3のステージとの間で複数のデータをパラレルに転送するメモリデバイスにおいて、

ワード方向に分割して設けられ、複数のメモリセルと、複数のワード線と、複数のビット線対とをそれぞれ有する複数のサブセルマトリクスを有し、

前記サブセルマトリクスは、

コラム方向に配置された第1のビット線対と第2のビット線対により共用され、該ビット線対を増幅するセンスアンプと、

前記センスアンプと、第1及び第2のビット線対との間に設けられ、選択されたメモリセル側のビット線対を前記センスアンプに接続する第1及び第2のビット線トランスファゲートと、

前記第1及び第2のビット線トランスファゲートの間に配置され、前記第1のビット線対と第2のビット線対により共用され、当該ビット線対にプリチャージレベルを供給するビット線クランパと、

前記第1及び第2のビット線対にそれぞれ設けられ、該ビット線対間を短絡するビット線ショート回路とを有することを特徴とする。