

【特許請求の範囲】**【請求項 1】**

バスを介してデータを送信するバスマスタと、
前記バスを介してデータを受信するバススレーブと、
前記バススレーブで受信されたデータが転送されるメモリ装置と、
を備え、
前記バスマスタは、第 1 のクロックに同期してデータを送信し、
前記メモリ装置は、前記第 1 のクロックと非同期の関係にあるとともに前記第 1 のクロックより速い第 2 のクロックに同期して動作し、
前記バススレーブは、
前記バスに接続され、前記第 2 のクロックと同期の関係にあるとともに前記第 2 のクロックより遅い第 3 のクロックに同期してデータを受信する同期化手段と、
前記同期化手段で受信されたデータを前記第 2 のクロックに同期して前記メモリ装置へ転送することにより、前記第 3 のクロックに対応した速度から前記第 2 のクロックに対応した速度へデータの転送速度を高速化する高速化手段と、
を有する
ことを特徴とするメモリシステム。

10

【請求項 2】

前記同期化手段は、
前記バスに接続され、前記第 3 のクロックに同期してデータを受信して保持する第 1 のフリップフロップと、
前記第 3 のクロックに同期して、前記第 1 のフリップフロップから出力されたデータを保持する第 2 のフリップフロップと、
を有し、
前記高速化手段は、
前記第 2 のクロックに同期して、前記第 2 のフリップフロップから出力されたデータを保持する第 3 のフリップフロップを有する
ことを特徴とする請求項 1 に記載のメモリシステム。

20

【請求項 3】

前記第 3 のクロックの周期は、前記第 1 のフリップフロップがメタステーブル状態となる期間より長い
ことを特徴とする請求項 2 に記載のメモリシステム。

30

【請求項 4】

バスを介してデータを送信するバスマスタと、
前記バスを介してデータを受信するバススレーブと、
前記バススレーブで受信されたデータが転送されるメモリ装置と、
を備え、
前記バスマスタは、第 1 のクロックに同期してデータを送信し、
前記メモリ装置は、前記第 1 のクロックと非同期の関係にあるとともに前記第 1 のクロックより速い第 2 のクロックに同期して動作し、
前記バススレーブは、前記第 2 のクロックに同期してデータを受信する同期化手段を有し、
前記同期化手段は、
前記第 2 のクロックにおける異なる複数の位相に同期してデータを受信して複数のデータとして保持する保持手段と、
前記保持手段により保持された複数のデータから安定した 1 つのデータを選択する選択手段と、
を有する
ことを特徴とするメモリシステム。

40

【請求項 5】

50

前記保持手段は、
前記バスに接続され、前記第２のクロックに同期してデータを受信して保持する第４のフリップフロップと、
前記第２のクロックを論理的に反転した反転クロックを生成する反転手段と、
前記バスに接続され、前記反転クロックに同期してデータを受信して保持する第５のフリップフロップと、
を有する
ことを特徴とする請求項４に記載のメモリシステム。

【請求項６】

前記選択手段は、
前記第４のフリップフロップの出力と前記第５のフリップフロップの出力との論理和を演算する第１の演算手段と、
前記第４のフリップフロップの出力と前記第５のフリップフロップの出力との論理積を演算する第２の演算手段と、
前記第４のフリップフロップ又は前記第５のフリップフロップで受信されるデータのレベルに応じて、前記第１の演算手段の演算結果及び前記第２の演算手段の演算結果の一方を選択する演算結果選択手段と、
を有する
ことを特徴とする請求項５に記載のメモリシステム。

【請求項７】

メモリ装置を制御するとともに、バスを介してバスマスタから送信されたデータを前記メモリ装置へ転送するメモリコントローラであって、
前記バスマスタは、第１のクロックに同期してデータを送信し、
前記メモリ装置は、前記第１のクロックと非同期の関係にあるとともに前記第１のクロックより速い第２のクロックに同期して動作し、
前記メモリコントローラは、
前記バスに接続され、前記第２のクロックと同期の関係にあるとともに前記第２のクロックより遅い第３のクロックに同期してデータを受信する同期化手段と、
前記同期化手段で受信されたデータを前記第２のクロックに同期して前記メモリ装置へ転送することにより、前記第３のクロックに対応した速度から前記第２のクロックに対応した速度へデータの転送速度を高速化する高速化手段と、
を備えたことを特徴とするメモリコントローラ。

【請求項８】

前記同期化手段は、
前記バスに接続され、前記第３のクロックに同期してデータを受信して保持する第１のフリップフロップと、
前記第３のクロックに同期して、前記第１のフリップフロップから出力されたデータを保持する第２のフリップフロップと、
を有し、
前記高速化手段は、
前記第２のクロックに同期して、前記第２のフリップフロップから出力されたデータを保持する第３のフリップフロップを有する
ことを特徴とする請求項７に記載のメモリコントローラ。

【請求項９】

前記第３のクロックの周期は、前記第１のフリップフロップがメタステーブル状態となる期間より長い
ことを特徴とする請求項８に記載のメモリコントローラ。

【請求項１０】

メモリ装置を制御するとともに、バスを介してバスマスタから送信されたデータを前記メモリ装置へ転送するメモリコントローラであって、

前記バスマスタは、第 1 のクロックに同期してデータを送信し、

前記メモリ装置は、前記第 1 のクロックと非同期の関係にあるとともに前記第 1 のクロックより速い第 2 のクロックに同期して動作し、

前記メモリコントローラは、前記第 2 のクロックに同期してデータを受信する同期化手段を有し、

前記同期化手段は、

前記第 2 のクロックにおける異なる複数の位相に同期してデータを受信して複数のデータとして保持する保持手段と、

前記保持手段により保持された複数のデータから安定した 1 つのデータを選択する選択手段と、

10

を有する

ことを特徴とするメモリコントローラ。

【請求項 1 1】

前記保持手段は、

前記バスに接続され、前記第 2 のクロックに同期してデータを受信して保持する第 4 のフリップフロップと、

前記第 2 のクロックを論理的に反転した反転クロックを生成する反転手段と、

前記バスに接続され、前記反転クロックに同期してデータを受信して保持する第 5 のフリップフロップと、

20

を有する

ことを特徴とする請求項 1 0 に記載のメモリコントローラ。

【請求項 1 2】

前記選択手段は、

前記第 4 のフリップフロップの出力と前記第 5 のフリップフロップの出力との論理和を演算する第 1 の演算手段と、

前記第 4 のフリップフロップの出力と前記第 5 のフリップフロップの出力との論理積を演算する第 2 の演算手段と、

前記第 4 のフリップフロップ又は前記第 5 のフリップフロップで受信されるデータのレベルに応じて、前記第 1 の演算手段の演算結果及び前記第 2 の演算手段の演算結果の一方を選択する演算結果選択手段と、

30

を有する

ことを特徴とする請求項 1 1 に記載のメモリコントローラ。

【請求項 1 3】

バスを介してバスマスタから送信されたデータを受信するとともに、受信したデータを所定の装置へ転送する同期化装置であって、

前記バスマスタは、第 1 のクロックに同期してデータを送信し、

前記所定の装置は、前記第 1 のクロックと非同期の関係にあるとともに前記第 1 のクロックより速い第 2 のクロックに同期して動作し、

前記同期化装置は、

前記バスに接続され、前記第 2 のクロックと同期の関係にあるとともに前記第 2 のクロックより遅い第 3 のクロックに同期してデータを受信する同期化手段と、

40

前記同期化手段で受信されたデータを前記第 2 のクロックに同期して前記所定の装置へ転送することにより、前記第 3 のクロックに対応した速度から前記第 2 のクロックに対応した速度へデータの転送速度を高速化する高速化手段と、

を有する

ことを特徴とする同期化装置。

【請求項 1 4】

前記同期化手段は、

前記バスに接続され、前記第 3 のクロックに同期してデータを受信して保持する第 1 のフリップフロップと、

50

前記第 3 のクロックに同期して、前記第 1 のフリップフロップから出力されたデータを保持する第 2 のフリップフロップと、
を有し、

前記高速化手段は、

前記第 2 のクロックに同期して、前記第 2 のフリップフロップから出力されたデータを保持する第 3 のフリップフロップを有する
ことを特徴とする請求項 1 3 に記載の同期化装置。

【請求項 1 5】

前記第 3 のクロックの周期は、前記第 1 のフリップフロップがメタステーブル状態となる期間より長い

ことを特徴とする請求項 1 4 に記載の同期化装置。

【請求項 1 6】

バスを介してバスマスタから送信されたデータを受信するとともに、受信したデータを所定の装置へ転送する同期化装置であって、

前記バスマスタは、第 1 のクロックに同期してデータを送信し、

前記所定の装置は、前記第 1 のクロックと非同期の関係にあるとともに前記第 1 のクロックより速い第 2 のクロックに同期して動作し、

前記同期化装置は、前記第 2 のクロックに同期してデータを受信する同期化手段を有し、

、

前記同期化手段は、

前記第 2 のクロックにおける異なる複数の位相に同期してデータを受信して複数のデータとして保持する保持手段と、

前記保持手段により保持された複数のデータから安定した 1 つのデータを選択する選択手段と、

を有する

ことを特徴とする同期化装置。

【請求項 1 7】

前記保持手段は、

前記バスに接続され、前記第 2 のクロックに同期してデータを受信して保持する第 4 のフリップフロップと、

前記第 2 のクロックを論理的に反転した反転クロックを生成する反転手段と、

前記バスに接続され、前記反転クロックに同期してデータを受信して保持する第 5 のフリップフロップと、

を有する

ことを特徴とする請求項 1 6 に記載の同期化装置。

【請求項 1 8】

前記選択手段は、

前記第 4 のフリップフロップの出力と前記第 5 のフリップフロップの出力との論理和を演算する第 1 の演算手段と、

前記第 4 のフリップフロップの出力と前記第 5 のフリップフロップの出力との論理積を演算する第 2 の演算手段と、

前記第 4 のフリップフロップ又は前記第 5 のフリップフロップで受信されるデータのレベルに応じて、前記第 1 の演算手段の演算結果と前記第 2 の演算手段の演算結果とを選択する演算結果選択手段と、

を有する

ことを特徴とする請求項 1 7 に記載の同期化装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明の実施形態は、メモリシステム、メモリコントローラ、及び同期化装置に関する。

【背景技術】

【0002】

非同期転送されたデータがあるクロックに同期化する一般的な手法として、そのクロックで駆動する２段以上のフリップフロップで構成された回路でデータを受けるという技術がある。通常、メタステーブル状態となる期間よりも長い周期のクロックで同期化するので、フリップフロップの段数は２段として実使用上問題は発生しない。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献１】特開２００２－３００００９号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

１つの実施形態は、例えば、メタステーブル状態の伝播を低減できるメモリシステム、メモリコントローラ、及び同期化装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

１つの実施形態によれば、バスマスタとバススレーブとメモリ装置とを備えメモリシステムが提供される。バスマスタは、バスを介してデータを送信する。バススレーブは、バスを介してデータを受信する。メモリ装置は、バススレーブで受信されたデータが転送される。バスマスタは、第１のクロックに同期してデータを送信する。メモリ装置は、第２のクロックに同期して動作する。第２のクロックは、第１のクロックと非同期の関係にあるとともに、第１のクロックより速い。バススレーブは、同期化手段と高速化手段とを有する。同期化手段は、バスに接続され、第３のクロックに同期してデータを受信する。第３のクロックは、第２のクロックと同期の関係にあるとともに、第２のクロックより遅い。高速化手段は、同期化手段で受信されたデータを第２のクロックに同期してメモリ装置へ転送する。これにより、高速化手段は、第３のクロックに対応した速度から第２のクロックに対応した速度へデータの転送速度を高速化する。

20

30

【図面の簡単な説明】

【0006】

【図１】第１の実施形態にかかるメモリシステムの構成を示す図。

【図２】第１の実施形態におけるバススレーブＩ／Ｆの構成を示す図。

【図３】第１の実施形態におけるバススレーブＩ／Ｆの構成を示す図。

【図４】第１の実施形態におけるバススレーブＩ／Ｆの動作を示す図。

【図５】第２の実施形態にかかるメモリシステムの構成を示す図。

【図６】第２の実施形態におけるバススレーブＩ／Ｆの構成を示す図。

【図７】第２の実施形態におけるバススレーブＩ／Ｆの構成を示す図。

【図８】第２の実施形態におけるバススレーブＩ／Ｆの動作を示す図。

40

【図９】第２の実施形態におけるバススレーブＩ／Ｆの動作を示す図。

【図１０】第２の実施形態におけるバススレーブＩ／Ｆの動作を示す図。

【図１１】第２の実施形態におけるバススレーブＩ／Ｆの動作を示す図。

【図１２】比較例におけるバススレーブＩ／Ｆの構成を示す図。

【図１３】比較例におけるバススレーブＩ／Ｆの動作を示す図。

【発明を実施するための形態】

【0007】

バスマスタがバス及びメモリコントローラを介して高速メモリに接続されたメモリシステムでは、高速メモリに接続されたメモリコントローラ内のメモリＩ／Ｆに対して、高速メモリに対応した高速な動作速度で（効率よく）動作することが求められている。このと

50

き、メモリシステムにおいて、バスに接続されたメモリコントローラ内のバススレーブ I / F もメモリ I / F と同じ動作速度で動作させると、そのバススレーブ I / F は、メタステーブル状態となる期間より短い周期のクロックでデータを受け取る可能性がある。メタステーブル状態となる期間より短い周期のクロックでデータを受けると、メモリコントローラ内をメタステーブル状態の不安定なデータが次々に伝播され、メモリコントローラ内の素子の誤動作が発生する可能性がある。

【 0 0 0 8 】

以下に添付図面を参照して、実施形態にかかるメモリシステムを詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【 0 0 0 9 】

10

(第 1 の実施形態)

第 1 の実施形態にかかるメモリシステム 1 について図 1 を用いて説明する。図 1 は、メモリシステム 1 の構成を示す図である。

【 0 0 1 0 】

メモリシステム 1 は、ホスト装置 H A に対する外部記憶媒体として機能するものであり、例えば、SSD (Solid State Drive) 又はメモリカードである。ホスト装置 H A は、例えば、パーソナルコンピュータ又は CPU コアを含む。

【 0 0 1 1 】

近年の低消費電力化指向により、メモリシステム 1 内部の消費電力は抑えなければならないが、同時に性能の向上も図らねばならず、高速メモリ装置 6 0 を使わなければならない。メモリシステム 1 のシステムクロック周波数が低い場合であっても、高速メモリ装置 6 0 に対応したブロック (例えば、高速メモリコントローラ 5 0) はより高い周波数で動作させなければならない。

20

【 0 0 1 2 】

そこで、メモリシステム 1 は、低速バス 1 0、複数のバスマスタ 2 0 - 1 ~ 2 0 - n、高速メモリ装置 6 0、高速バス 4 0、高速メモリコントローラ (バススレーブ) 3 0、及びクロック生成部 7 0 を備える。なお、低速バス 1 0、複数のバスマスタ 2 0 - 1 ~ 2 0 - n、高速メモリコントローラ (バススレーブ) 3 0、及びクロック生成部 7 0 は、システムコントローラ 5 0 を構成している。

【 0 0 1 3 】

30

低速バス 1 0 は、複数のバスマスタ 2 0 - 1 ~ 2 0 - n と高速メモリコントローラ (バススレーブ) 3 0 とを接続しており、複数のバスマスタ 2 0 - 1 ~ 2 0 - n と高速メモリコントローラ 3 0 との間の通信を媒介している。低速バス 1 0 は、クロック ϕ CLK 1 に対応した速度でデータをそれぞれ転送する複数のライン 1 1 - 1 ~ 1 1 - 4 を有する。低速バス 1 0 は、例えば、AHB (Advanced High - Performance Bus) 規格に従ったバスであり、クロック ϕ CLK 1 に対応した速度は、例えば、1 0 0 M H z である。すなわち、低速バス 1 0 に供給されるバスクロックの周波数は、例えば、1 0 0 M H z である。

【 0 0 1 4 】

複数のバスマスタ 2 0 - 1 ~ 2 0 - n は、低速バス 1 0 に接続されている。各バスマスタ 2 0 - 1 ~ 2 0 - n は、バススレーブとしての高速メモリコントローラ 3 0 に対して、低速バス 1 0 を介したデータ転送を能動的に行う主体として機能する。すなわち、各バスマスタ 2 0 - 1 ~ 2 0 - n は、低速バス 1 0 を介してデータを高速メモリコントローラ 3 0 へ送信する。各バスマスタ 2 0 - 1 ~ 2 0 - n は、クロック ϕ CLK 1 に同期してデータを送信する。すなわち、各バスマスタ 2 0 - 1 ~ 2 0 - n によるデータの送信速度は、例えば、1 0 0 M H z である。

40

【 0 0 1 5 】

バスマスタ 2 0 - 1 は、例えば、SATA I / F である。例えば、バスマスタ 2 0 - 1 は、ホスト装置 H A から外部バス (SATA) 経由で受信した命令やデータなどに対応したデータ列を、低速バス 1 0、高速メモリコントローラ 3 0、及び高速バス 4 0 経由で高

50

速メモリ装置 60 に送信する。

【0016】

バスマスタ 20 - 2 は、例えば、CPU である。すなわち、バスマスタ 20 - 2 は、メモリシステム 1 の各構成要素を統括的に制御する。例えば、バスマスタ 20 - 2 は、ホスト装置 HA からバスマスタ (SATAI/F) 20 - 1 及び低速バス 10 経由で命令を受けた場合に、受けた命令に従った所定のコマンドを生成して、そのコマンドを示すデータ列を低速バス 10、高速メモリコントローラ 30、及び高速バス 40 経由で高速メモリ装置 60 に送信する。

【0017】

バスマスタ 20 - n は、例えば、DMA コントローラである。すなわち、バスマスタ 20 - n は、CPU を介さずにメモリ間のデータ転送を行う。例えば、バスマスタ 20 - n は、他のメモリ装置 (図示せず) から読み出したデータを、低速バス 10、高速メモリコントローラ 30、及び高速バス 40 経由で高速メモリ装置 60 に送信する。

【0018】

なお、各バスマスタ 20 - 1 ~ 20 - n は、NAND コントローラ、ECC モジュール、暗号化モジュールなどを含んでも良い。NAND コントローラは、図示しない NAND 型フラッシュメモリ (NAND メモリ) へのデータの書き込みや NAND メモリからのデータの読み出しを制御する。ECC モジュールは、NAND メモリから読み出されたデータや NAND メモリに書き込むべきデータに対して ECC 処理 (誤り訂正処理) を行う。

【0019】

高速メモリ装置 60 は、例えば、ホスト装置 HA と NAND メモリとの間でのデータ転送用のキャッシュ領域として、並びに、バスマスタ (CPU) 20 - 2 が使用する作業領域として機能する。高速メモリ装置 60 は、例えば、DRAM (Dynamic Random Access Memory)、又は FeRAM (Ferroelectric Random Access Memory)、MRAM (Magnetoresistive Random Access Memory)、PRAM など (Phase Change Random Access Memory) を含む。特に、高速メモリ装置 60 は、例えば、DDR3 - SDRAM であってもよい。

【0020】

高速メモリ装置 60 は、例えば、DDR3 - SDRAM である場合、最低動作周波数が 333 MHz である。すなわち、高速メモリ装置 60 に供給されるクロック ϕ CLK 2 の周波数は、例えば、333 MHz である。

【0021】

ここで、クロック ϕ CLK 2 は、上記のクロック ϕ CLK 1 を逡倍したものでなくクロック ϕ CLK 1 と非同期の関係にある。また、クロック ϕ CLK 2 は、クロック ϕ CLK 1 より速い。

【0022】

NAND メモリ (図示せず) は、複数のメモリセルがマトリクス状に配列されたメモリセルアレイを有し、個々のメモリセルは上位ページ及び下位ページを使用して多値記憶が可能である。NAND メモリでは、データの消去がブロック単位で行われるのに対して、データの書き込み及び読み出しがページ単位で行われる。ブロックは、複数のページをひとまとめにした単位である。また、NAND メモリでは、バスマスタ (CPU) 20 - 2 による内部的なデータ管理がクラスタ単位で行われ、データの更新がセクタ単位で行われる。この実施の形態では、ページは、複数のクラスタをひとまとめにした単位であるとし、クラスタは、複数のセクタをひとまとめにした単位であるとする。セクタは、ホスト装置 HA からのデータの最小アクセス単位であり、例えば、512 B のサイズを有する。ホスト装置 HA は、セクタ単位の LBA (Logical Block Addressing) によってアクセスするデータを指定する。

【0023】

高速バス40は、高速メモリコントローラ30と高速メモリ装置60とを接続しており、高速メモリコントローラ30と高速メモリ装置60との間の通信を媒介している。高速バス40は、クロック ϕ CLK2に対応した速度でデータをそれぞれ転送する複数のラインを有する。高速バス40は、例えば、AHB (Advanced High-Performance Bus) 規格に従ったバスであり、クロック ϕ CLK2に対応した速度は、例えば、333MHzである。すなわち、高速バス40に供給されるバスクロックの周波数は、例えば、333MHzである。

【0024】

高速メモリコントローラ30は、低速バス10を介して複数のバスマスタ20-1~20-nに接続されているとともに、高速バス40を介して高速メモリ装置60に接続されている。高速メモリコントローラ30は、バススレーブとして、バスマスタ20-1~20-nから送信されるデータを受動的に待ち、バスマスタ20-1~20-nによるデータ転送のサービスを受ける。すなわち、高速メモリコントローラ30は、クロック ϕ CLK2及びクロック ϕ CLK3を受け、それらのクロックを用いて、各バスマスタ20-1~20-nからデータを受信して高速メモリ装置60へ転送する。

10

【0025】

ここで、クロック ϕ CLK3は、クロック ϕ CLK2を所定の整数分の1に分周したのになっておりクロック ϕ CLK2と同期の関係にある(図4参照)。また、クロック ϕ CLK3は、クロック ϕ CLK2より遅い。なお、クロック ϕ CLK3は、クロック ϕ CLK1より遅くても良い。

20

【0026】

クロック生成部70は、クロック ϕ CLK2及びクロック ϕ CLK3を生成して高速メモリコントローラ30へ供給する。また、クロック生成部70は、クロック ϕ CLK2を高速メモリ装置60へ供給する。

【0027】

クロック生成部70では、例えば、外部から基準クロックを受けて、基準クロックをK1(整数)倍で通倍してクロック ϕ CLK2を生成するとともに、基準クロックをK2(整数、K2>K1)倍で通倍してクロック ϕ CLK3を生成する。あるいは、例えば、外部からクロック ϕ CLK2を受けて、クロック ϕ CLK2を所定の整数倍で通倍してクロック ϕ CLK3を生成する。あるいは、例えば、外部からクロック ϕ CLK3を受けて、クロック ϕ CLK3を所定の整数分の1に分周してクロック ϕ CLK2を生成する。

30

【0028】

次に、高速メモリコントローラ30内の構成について図1を用いて説明する。

【0029】

高速メモリコントローラ30は、複数のバススレーブインターフェース(複数の同期化装置)31-1~31-n、及びメモリインターフェース32を有する。

【0030】

複数のバススレーブインターフェース31-1~31-nは、それぞれ、低速バス10に接続されている。すなわち、各バススレーブインターフェース31は、例えば、低速バス10の各ライン11に接続されたI/F回路をライン11の本数分有している。

40

【0031】

メモリインターフェース32は、高速バス40に接続されている。例えば、メモリインターフェース32は、高速バス40の各ラインに接続されたI/F回路をラインの本数分有している。

【0032】

高速メモリコントローラ30では、図1に示すように、各バススレーブインターフェース31が高速のクロック ϕ CLK2とそれより遅いクロック ϕ CLK3との2つを用いて動作するのに対して、他の構成要素がクロック ϕ CLK3を用いずに高速のクロック ϕ CLK2を用いて動作する。例えば、メモリインターフェース32は、高速のクロック ϕ CLK2に同期して、各バススレーブインターフェース31から所定の構成要素経由でデー

50

タを受ける。また、メモリインターフェース 3 2 は、高速のクロック ϕ C L K 2 に同期して、データを高速バス 4 0 へ送信する。

【 0 0 3 3 】

次に、各バススレーブインターフェース 3 1 内の構成について図 2 及び図 3 を用いて説明する。図 2 及び図 3 は、それぞれ、バススレーブインターフェース 3 1 内における 1 つのライン 1 1 に接続された I / F 回路の構成を例示的に示しているものである。なお、バススレーブインターフェース 3 1 内における他のライン 1 1 に接続された I / F 回路についても図 2 及び図 3 に示すものと同様である。

【 0 0 3 4 】

バススレーブインターフェース 3 1 は、同期化部 3 3 及び高速化部 3 4 を有する。

10

【 0 0 3 5 】

同期化部 3 3 は、図 2 に示すように、ライン 1 1 を介してバスマスタ 2 0 におけるバスマスタインターフェース 2 1 に接続されている。バスマスタインターフェース 2 1 は、クロック ϕ C L K 1 に同期して、前段から受けたデータを保持するとともに、クロック ϕ C L K 1 に同期して、保持しているデータをライン 1 1 へ送信する。ライン 1 1 も、クロック ϕ C L K 1 に同期してデータを同期化部 3 3 へ送信する。同期化部 3 3 は、クロック生成部 7 0 (図 1 参照) からクロック ϕ C L K 3 を受ける。そして、同期化部 3 3 は、クロック ϕ C L K 3 に同期して、ライン 1 1 上のデータを受信する。また、同期化部 3 3 は、クロック ϕ C L K 3 に同期して、データを高速化部 3 4 へ転送する。クロック ϕ C L K 3 は、高速のクロック ϕ C L K 2 より遅いが、高速のクロック ϕ C L K 2 に対して同期した関係にある。これにより、同期化部 3 3 は、高速のクロック ϕ C L K 2 に対して非同期の速度で転送されてきたデータの転送速度を、高速のクロック ϕ C L K 2 に対して同期したものにする (同期化する) 。

20

【 0 0 3 6 】

具体的には、同期化部 3 3 は、図 3 に示すように、フリップフロップ (第 1 のフリップフロップ) 3 3 1 及びフリップフロップ (第 2 のフリップフロップ) 3 3 2 を有する。フリップフロップ 3 3 1 は、入力端子 D がライン 1 1 (ライン L A) に接続され、クロック端子 C K がクロック生成部 7 0 (図 1 参照) に接続され、出力端子 Q がフリップフロップ 3 3 2 に接続されている。フリップフロップ 3 3 2 は、入力端子 D がフリップフロップ 3 3 1 に接続され、クロック端子 C K がクロック生成部 7 0 (図 1 参照) に接続され、出力端子 Q が高速化部 3 4 に接続されている。

30

【 0 0 3 7 】

なお、バスマスタインターフェース 2 1 は、フリップフロップ 2 1 1 を有する。フリップフロップ 2 1 1 は、入力端子 D がバスマスタ 2 0 における前段に接続され、クロック端子 C K が第 2 のクロック生成部 (図示せず) に接続され、出力端子 Q がライン 1 1 に接続されている。

【 0 0 3 8 】

高速化部 3 4 は、図 2 に示すように、同期化部 3 3 に接続されている。高速化部 3 4 は、同期化部 3 3 により転送されたデータを、高速のクロック ϕ C L K 2 に同期して保持するとともに、高速のクロック ϕ C L K 2 に同期して、保持しているデータを後段へ転送する。すなわち、高速化部 3 4 は、同期化部 3 3 で受信されたデータを高速のクロック ϕ C L K 2 に同期して高速メモリ装置 6 0 側へ転送する。これにより、高速化部 3 4 は、データの転送速度を、クロック ϕ C L K 3 に対応した速度から高速のクロック ϕ C L K 2 に対応した速度へ高速化する。

40

【 0 0 3 9 】

具体的には、高速化部 3 4 は、図 3 に示すように、フリップフロップ (第 3 のフリップフロップ) 3 4 1 を有する。フリップフロップ 3 4 1 は、入力端子 D がフリップフロップ 3 3 2 に接続され、クロック端子 C K がクロック生成部 7 0 (図 1 参照) に接続され、出力端子 Q が後段に接続されている。

【 0 0 4 0 】

50

次に、各バススレーブインターフェース 3 1 の動作について図 4 を用いて説明する。図 4 は、バススレーブインターフェース 3 1 内における 1 つのライン 1 1 に接続された I / F 回路の動作を例示的に示しているものである。なお、バススレーブインターフェース 3 1 内における他のライン 1 1 に接続された I / F 回路の動作についても図 4 に示すものと同様である。

【 0 0 4 1 】

以下では、バスマスタインターフェース 2 1 とフリップフロップ 3 3 1 との間のライン 1 1 をライン L A とし、フリップフロップ 3 3 1 とフリップフロップ 3 3 2 との間のラインを L B とし、フリップフロップ 3 3 2 とフリップフロップ 3 4 1 との間のラインを L C とし、フリップフロップ 3 4 1 と後段との間のラインを L D とする。

10

【 0 0 4 2 】

タイミング t 1 において、フリップフロップ 3 3 1 は、クロック ϕ_{CLK3} の立ち上がり同期して、ライン L A 上のデータを保持する。このとき、データ ϕ_{LA} の送信に用いられたクロック ϕ_{CLK1} と、フリップフロップ 3 3 1 の用いるクロック ϕ_{CLK3} とが、互いに非同期の関係にある。クロック ϕ_{CLK1} は、例えば、100MHz の周波数を有する。クロック ϕ_{CLK3} は、例えば、166MHz の周波数を有し、クロック ϕ_{CLK1} を逡倍した関係にない。

【 0 0 4 3 】

そのため、ライン L A 上のデータ ϕ_{LA} は、L レベルから H レベルへ遷移するセットアップ時間の途中にある。すなわち、フリップフロップ 3 3 1 は、レベルの確定していないデータを保持するため、メタステーブル状態になり、その出力端子 G からライン L B へ振動したレベルのデータ ϕ_{LB} を出力する。

20

【 0 0 4 4 】

タイミング t 2 において、フリップフロップ 3 3 1 は、メタステーブル状態が治まり、安定した H レベルのデータ ϕ_{LB} をライン L B 上へ出力するようになる。

【 0 0 4 5 】

タイミング t 3 において、フリップフロップ 3 3 2 は、クロック ϕ_{CLK3} の立ち上がり同期して、ライン L B 上のデータ ϕ_{LB} を保持する。その直後、フリップフロップ 3 3 2 は、保持しているデータ ϕ_{LB} と同じレベルである H レベルの信号 ϕ_{LC} をライン L C へ出力する。

30

【 0 0 4 6 】

タイミング t 4 において、フリップフロップ 3 4 1 は、クロック ϕ_{CLK2} の立ち上がり同期して、ライン L C 上のデータ ϕ_{LC} を保持する。その直後、フリップフロップ 3 4 1 は、保持しているデータ ϕ_{LC} と同じレベルである H レベルの信号 ϕ_{LD} をライン L D へ出力する。これにより、データの転送速度が、クロック ϕ_{CLK3} に対応した速度から高速のクロック ϕ_{CLK2} に対応した速度へ高速化される。クロック ϕ_{CLK2} は、例えば、333MHz の周波数を有する。

【 0 0 4 7 】

図 4 に示すように、クロック ϕ_{CLK3} の周期は、フリップフロップ 3 3 1 がメタステーブル状態となる期間 T_{ms} よりも十分に長い。すなわち、フリップフロップ 3 3 1 がメタステーブル状態となる期間 T_{ms} は、フリップフロップ 3 3 1 の製造に用いられたプロセス値から計算により統計的に予測して決めておく。そして、クロック ϕ_{CLK3} の周期がその予測したメタステーブル状態となる期間 T_{ms} より長くなるように、高速のクロック ϕ_{CLK2} を分周したものとしてクロック ϕ_{CLK3} を決定する。これにより、フリップフロップ 3 3 1 のメタステーブル状態がフリップフロップ 3 3 2 へ伝播することが防止されている。

40

【 0 0 4 8 】

ここで、仮に、図 1 2 に示すように、各バススレーブインターフェース 9 3 1 の同期化部 9 3 3 において、3 段のフリップフロップ 9 3 3 1 ~ 9 3 3 3 がいずれも高速のクロック ϕ_{CLK2} に同期して動作する場合について考える。すなわち、複数の非同期関係にあ

50

るクロックを使用する半導体回路において、非同同期転送に伴うメタステーブル状態は避けることができない。すなわち、図 13 に示すタイミング t_{901} において、フリップフロップ 9331 は、ライン LA 上のレベルの確定していないデータ ϕ_{LA} を保持するため、メタステーブル状態になり、その出力端子 G からライン LB へ振動したレベルのデータ ϕ_{LB900} を出力する。さらに、半導体回路の高速化に伴い、メタステーブル状態となる期間より短い周期のクロックで非同同期信号を受ける場面も生じてきている。この場合の解決方法として、3 段以上のフリップフロップで受けるという方法がある。これは、メタステーブル状態の発生確率が設計段階で求められるため、段数を増やすことでその確率を下げ、次段の回路へメタステーブル状態の伝播を防ぐことができる、という考えの下に成り立っている。

10

【0049】

しかし、メタステーブル状態の期間 T_{ms} よりも短い周期で同期化しているため、1 段目のフリップフロップ 9331 からメタステーブル状態の不安定なデータ ϕ_{LB900} が収まるタイミング t_{902} より前のタイミング t_{903} において、2 段目のフリップフロップ 9332 がライン LB 900 上のデータを保持してしまう。これにより、2 段目のフリップフロップ 9332 でも再びメタステーブル状態が発生し、そのメタステーブル状態がタイミング t_{904} において 3 段目フリップフロップ 9333 へ伝播される。このように、高速メモリコントローラ 30 内でメタステーブル状態の信号を次々に後段へ伝播させてしまう傾向にあり、高速メモリコントローラ内の素子の誤動作が発生する可能性がある。

20

【0050】

それに対して、第 1 の実施形態では、各バススレーブインターフェース 31 において、同期化部 33 が、クロック ϕ_{CLK2} と同期の関係にあるとともにクロック ϕ_{CLK2} より遅いクロック ϕ_{CLK3} に同期してデータを受信するとともに、クロック ϕ_{CLK3} に同期してデータを高速化部 34 へ転送する。そして、高速化部 34 は、同期化部 33 で受信されたデータを高速のクロック ϕ_{CLK2} に同期して高速メモリ装置 60 へ転送することにより、クロック ϕ_{CLK3} に対応した速度からクロック ϕ_{CLK2} に対応した速度へデータの転送速度を高速化する。これにより、最終的なデータの転送速度をクロック ϕ_{CLK2} に対応した高速なものとしながら、非同同期転送されたデータを受信して転送する際のクロック ϕ_{CLK3} の周期をメタステーブル状態の期間 T_{ms} よりも十分に長いものとすることができる。この結果、高速メモリコントローラ 30 内におけるメタステーブル状態の伝播を低減できるので、高速メモリコントローラ 30 内の素子の誤動作も抑制できる。

30

【0051】

また、第 1 の実施形態では、例えば高速メモリ装置 60 の動作周波数が上がったとしても、高速化部 34 の再設計で済みバススレーブインターフェース 31 の全体を再設計する必要がないため、メモリシステム 1 の高性能化・高速化が容易である。また、再設計に伴う設計コスト及び製造コストの増大を抑制できる。

【0052】

また、第 1 の実施形態では、同期化部 33 が、低速バス 10 に接続されクロック ϕ_{CLK3} に同期してデータを受信して保持するフリップフロップ 331 と、フリップフロップ 331 から出力されたデータをクロック ϕ_{CLK3} に同期して保持するフリップフロップ 332 とを有する。また、高速化部 34 は、フリップフロップ 332 から出力されたデータを高速のクロック ϕ_{CLK2} に同期して保持するフリップフロップ 341 を有する。これにより、同期化部 33 及び高速化部 34 を簡易な構成で実現することができる。

40

【0053】

また、第 1 の実施形態では、同期化部 33 が同期化を行う際に用いるクロック ϕ_{CLK3} の周期は、フリップフロップ 331 がメタステーブル状態となる期間 T_{ms} よりも十分に長い。すなわち、クロック ϕ_{CLK3} の周期が予め統計的な予測により決定されたメタステーブル状態となる期間 T_{ms} より長くなるように、高速のクロック ϕ_{CLK2} を分周

50

したものとしてクロック $\phi CLK3$ を決定されている。これにより、フリップフロップ 331 のメタステーブル状態がフリップフロップ 332 へ伝播することを確実に低減できる。

【0054】

なお、第1の実施形態では、メタステーブル状態となる期間より短い周期のクロックで非同期信号を受ける場面の具体的な例として、高速メモリ装置とそれを制御する高速メモリコントローラとを搭載したメモリシステムについて例示的に説明したが、第1の実施形態の考え方は他のシステムに適用されても良い。すなわち、バスマスタ 20-1 ~ 20-n からバススレーブへ非同期のデータ転送が行われるとともに、バススレーブが複数のバススレーブインターフェース 31-1 ~ 31-n を有するような他のシステムに適用されても良い。

10

【0055】

(第2の実施形態)

次に、第2の実施形態にかかるメモリシステム 100 について図5 ~ 図7を用いて説明する。図5は、メモリシステム 100 の構成を示す図である。図6及び図7は、それぞれ、バススレーブインターフェース 131 内における1つのライン 11 に接続された I/F 回路の構成を例示的に示す図である。以下では、第1の実施形態と異なる点を中心に説明する。

【0056】

メモリシステム 100 は、高速メモリコントローラ (バススレーブ) 130 における各バススレーブインターフェース 131-1 ~ 131-n 内の構成が第1の実施形態と異なる。

20

【0057】

すなわち、クロック生成部 170 は、クロック $\phi CLK3$ を生成せずにクロック $\phi CLK2$ を生成する。高速メモリコントローラ 130 は、クロック $\phi CLK3$ (図1参照) を受けずにクロック $\phi CLK2$ をクロック生成部 170 から受ける。

【0058】

各バススレーブインターフェース 131 は、図6に示すように、高速化部 34 (図2参照) を有さず、同期化部 133 を有する。同期化部 133 は、保持部 133a 及び選択部 133b を有する。

30

【0059】

保持部 133a は、クロック $\phi CLK2$ における異なる複数の位相に同期してデータを受信して複数のデータとして保持する。例えば、保持部 133a は、クロック $\phi CLK2$ の立ち上がりに同期してデータを受信して保持し、その後、クロック $\phi CLK2$ の立ち下がりに同期してデータを受信して保持する。

【0060】

具体的には、保持部 133a は、図7に示すように、フリップフロップ (第4のフリップフロップ) 133a1、インバータ (反転手段) 133a2、及びフリップフロップ (第5のフリップフロップ) 133a3 を有する。フリップフロップ 133a1 は、入力端子 D がライン 11 (ライン LE) に接続され、クロック端子 CK がクロック生成部 170 (図5参照) に接続され、出力端子 Q が選択部 133b に接続されている。インバータ 133a2 は、入力端子がクロック生成部 170 (図5参照) に接続され、出力端子がフリップフロップ 133a3 に接続されている。フリップフロップ 133a3 は、入力端子 D がライン 11 (ライン LE) に接続され、クロック端子 CK がインバータ 133a2 に接続され、出力端子 Q が選択部 133b に接続されている。

40

【0061】

インバータ 133a2 は、クロック $\phi CLK2$ を反転して反転クロック $\phi / CLK2$ を生成し、反転クロック $\phi / CLK2$ をフリップフロップ 133a3 へ供給する (以下、/ は反転を意味する)。フリップフロップ 133a3 は、反転クロック $\phi / CLK2$ の立ち上がりに同期してデータを受信して保持するので、クロック $\phi CLK2$ の立ち下がりに同

50

期してデータを受信して保持することと等価な動作を行う。

【 0 0 6 2 】

選択部 1 3 3 b は、保持部 1 3 3 a により保持された複数のデータから、安定した 1 つのデータを選択する。

【 0 0 6 3 】

具体的には、選択部 1 3 3 b は、OR ゲート（第 1 の演算手段）1 3 3 b 1、AND ゲート（第 2 の演算手段）1 3 3 b 2、及びセクタ（演算結果選択手段）1 3 3 b 3 を有する。OR ゲート 1 3 3 b 1 は、第 1 の入力端子がフリップフロップ 1 3 3 a 1 の出力端子に接続され、第 2 の入力端子がフリップフロップ 1 3 3 a 3 の出力端子に接続され、出力端子がセクタ 1 3 3 b 3 に接続されている。AND ゲート 1 3 3 b 2 は、第 1 の入力端子がフリップフロップ 1 3 3 a 1 の出力端子に接続され、第 2 の入力端子がフリップフロップ 1 3 3 a 3 の出力端子に接続され、出力端子がセクタ 1 3 3 b 3 に接続されている。セクタ 1 3 3 b 3 は、「1」側の入力端子がOR ゲート 1 3 3 b 1 に接続され、「0」側の入力端子がAND ゲート 1 3 3 b 2 に接続され、制御端子がライン 1 1（ライン LE）に接続されている。

【 0 0 6 4 】

セクタ 1 3 3 b 3 は、フリップフロップ 1 3 3 a 1 又はフリップフロップ 1 3 3 a 3 で受信されるデータのレベルに応じて、OR ゲート 1 3 3 b 1 の演算結果及びAND ゲート 1 3 3 b 2 の演算結果の一方を選択する。セクタ 1 3 3 b 3 は、遷移後のデータのレベルがHレベルである場合、安定した方のHレベルのデータを選択する機能を有するOR ゲート 1 3 3 b 1 の演算結果を選択し、遷移後のデータのレベルがLレベルである場合、安定した方のLレベルのデータを選択する機能を有するAND ゲート 1 3 3 b 2 の演算結果を選択する。

【 0 0 6 5 】

また、各バススレーブインターフェース 1 3 1 の動作が、図 8 ~ 図 1 1 に示すように、第 1 の実施形態と異なる。図 8 ~ 図 1 1 は、各バススレーブインターフェース 1 3 1 の動作を示す波形図である。

【 0 0 6 6 】

以下では、バスマスタインターフェース 2 1 とフリップフロップ 1 3 3 a 1 及びフリップフロップ 1 3 3 a 3 との間のライン 1 1 をライン LE とし、フリップフロップ 1 3 3 a 1 とOR ゲート 1 3 3 b 1 及びAND ゲート 1 3 3 b 2 との間のラインを LF とし、フリップフロップ 1 3 3 a 3 とOR ゲート 1 3 3 b 1 及びAND ゲート 1 3 3 b 2 との間のラインを LG とし、セクタ 1 3 3 b 3 と後段との間のラインを LH とする。

【 0 0 6 7 】

図 8 に示すタイミング t 1 1 において、フリップフロップ 1 3 3 a 1 は、クロック ϕ CLK 2 の立ち上がりに同期して、ライン LE 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定していないデータを保持するため、メタステーブル状態になり、その出力端子 G からライン LF へ振動したレベルのデータ ϕ LF を出力する。

【 0 0 6 8 】

タイミング t 1 5 において、フリップフロップ 1 3 3 a 3 は、反転クロック ϕ / CLK 2 の立ち上がりに同期して、ライン LE 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定したデータを保持するため、メタステーブル状態にならず、その出力端子 G からライン LG へ安定したレベルのデータ ϕ LG を出力する。

【 0 0 6 9 】

その後、セクタ 1 3 3 b 3 は、受信されるデータ ϕ LE のレベルがHレベルであることに応じて、OR ゲート 1 3 3 b 1 の演算結果すなわちデータ ϕ LF とデータ ϕ LG との論理和を選択する。

【 0 0 7 0 】

タイミング t 1 6 において、セクタ 1 3 3 b 3 は、クロック ϕ CLK 2 の立ち上がり

に同期して、選択したデータを後段へデータ ϕ L H として転送する。

【 0 0 7 1 】

図 9 に示すタイミング t_{25} において、フリップフロップ 1 3 3 a 3 は、反転クロック ϕ / C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定していないデータを保持するため、メタステーブル状態になり、その出力端子 G からライン L G へ振動したレベルのデータ ϕ L G を出力する。

【 0 0 7 2 】

タイミング t_{21} において、フリップフロップ 1 3 3 a 1 は、クロック ϕ C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定したデータを保持するため、メタステーブル状態にならず、その出力端子 G からライン L F へ安定したレベルのデータ ϕ L F を出力する。

【 0 0 7 3 】

その後、セクタ 1 3 3 b 3 は、受信されるデータ ϕ L E のレベルが H レベルであることに応じて、O R ゲート 1 3 3 b 1 の演算結果すなわちデータ ϕ L F とデータ ϕ L G との論理和を選択する。

【 0 0 7 4 】

タイミング t_{26} において、セクタ 1 3 3 b 3 は、クロック ϕ C L K 2 の立ち上がり同期して、選択したデータを後段へデータ ϕ L H として転送する。

【 0 0 7 5 】

図 1 0 に示すタイミング t_{31} において、フリップフロップ 1 3 3 a 1 は、クロック ϕ C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定していないデータを保持するため、メタステーブル状態になり、その出力端子 G からライン L F へ振動したレベルのデータ ϕ L F を出力する。

【 0 0 7 6 】

タイミング t_{35} において、フリップフロップ 1 3 3 a 3 は、反転クロック ϕ / C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定したデータを保持するため、メタステーブル状態にならず、その出力端子 G からライン L G へ安定したレベルのデータ ϕ L G を出力する。

【 0 0 7 7 】

その後、セクタ 1 3 3 b 3 は、受信されるデータ ϕ L E のレベルが L レベルであることに応じて、A N D ゲート 1 3 3 b 2 の演算結果すなわちデータ ϕ L F とデータ ϕ L G との論理積を選択する。

【 0 0 7 8 】

タイミング t_{36} において、セクタ 1 3 3 b 3 は、クロック ϕ C L K 2 の立ち上がり同期して、選択したデータを後段へデータ ϕ L H として転送する。

【 0 0 7 9 】

図 1 1 に示すタイミング t_{45} において、フリップフロップ 1 3 3 a 3 は、反転クロック ϕ / C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定していないデータを保持するため、メタステーブル状態になり、その出力端子 G からライン L G へ振動したレベルのデータ ϕ L G を出力する。

【 0 0 8 0 】

タイミング t_{41} において、フリップフロップ 1 3 3 a 1 は、クロック ϕ C L K 2 の立ち上がり同期して、ライン L E 上のデータを保持する。このとき、フリップフロップ 1 3 3 a 1 は、レベルの確定したデータを保持するため、メタステーブル状態にならず、その出力端子 G からライン L F へ安定したレベルのデータ ϕ L F を出力する。

【 0 0 8 1 】

その後、セクタ 1 3 3 b 3 は、受信されるデータ ϕ L E のレベルが L レベルであるこ

10

20

30

40

50

とに応じて、ANDゲート133b2の演算結果すなわちデータ ϕ LFとデータ ϕ LGとの論理積を選択する。

【0082】

タイミングt46において、セクタ133b3は、クロック ϕ CLK2の立ち上がり
に同期して、選択したデータを後段へデータ ϕ LHとして転送する。

【0083】

以上のように、第2の実施形態では、保持部133aが、クロック ϕ CLK2における異なる複数の位相に同期してデータを受信して複数のデータとして保持する。これにより、クロック ϕ CLK2における複数の位相のうち1つの位相に同期したタイミングにおいて、受信されるべきデータのレベルが確定していなくても、それとずれたタイミングである他の位相に同期したタイミングであれば、受信されるべきデータのレベルが確定している可能性が高い。すなわち、クロック ϕ CLK2における複数の位相のうちのいずれかの位相に同期してレベルの確定されたデータを保持できる。そして、選択部133bは、保持部133aにより保持された複数のデータのうち、安定した1つのデータを選択して後段へ転送する。これにより、フリップフロップ133a1又はフリップフロップ133a3のメタステーブル状態が後段へ伝播されないようにすることができる。この結果、高速メモリコントローラ130内におけるメタステーブル状態の伝播を低減できるので、高速メモリコントローラ130内の素子の誤動作も抑制できる。

【0084】

また、第2の実施形態では、保持部133aが、低速バス10に接続されクロック ϕ CLK2に同期してデータを受信して保持するフリップフロップ133a1と、クロック ϕ CLK2を論理的に反転した反転クロック ϕ /CLK2を生成するインバータ133a2と、低速バス10に接続され反転クロック ϕ /CLK2に同期してデータを受信して保持するフリップフロップ133a3とを有する。これにより、クロック ϕ CLK2の立ち上がり及び立ち下がり
に同期してデータを受信して保持する保持部133aを、簡易な構成で実現できる。

【0085】

また、クロック ϕ CLK2及び反転クロック ϕ /CLK2でデータを受けるので、仮にタイミングによって一方がメタステーブル状態となった場合、もう一方は位相が半周期ずれるため、安定した信号を次段へ渡すことができる。

【0086】

また、第2の実施形態では、選択部133bが、フリップフロップ133a1の出力とフリップフロップ133a3の出力との論理和を演算するORゲート133b1と、フリップフロップ133a1の出力とフリップフロップ133a3の出力との論理積を演算するANDゲート133b2と、フリップフロップ133a1又はフリップフロップ133a3で受信されるデータのレベルに応じて、ORゲート133b1の演算結果及びANDゲート133b2の演算結果の一方を選択するセクタ133b3とを有する。これにより、保持部133aにより保持された複数のデータのうち安定した1つのデータを選択して後段へ転送する選択部133bを、簡易な構成で実現できる。

【0087】

なお、図7に示す構成は、ORゲート133b1とANDゲート133b2とが入れ替えられ、かつ、ラインLEとセクタ133b3の制御端子との間にインバータが挿入された構成であってもよい。この場合も、上記の第2の実施形態と同様の動作を実現できる。

【0088】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

10

20

30

40

50

○

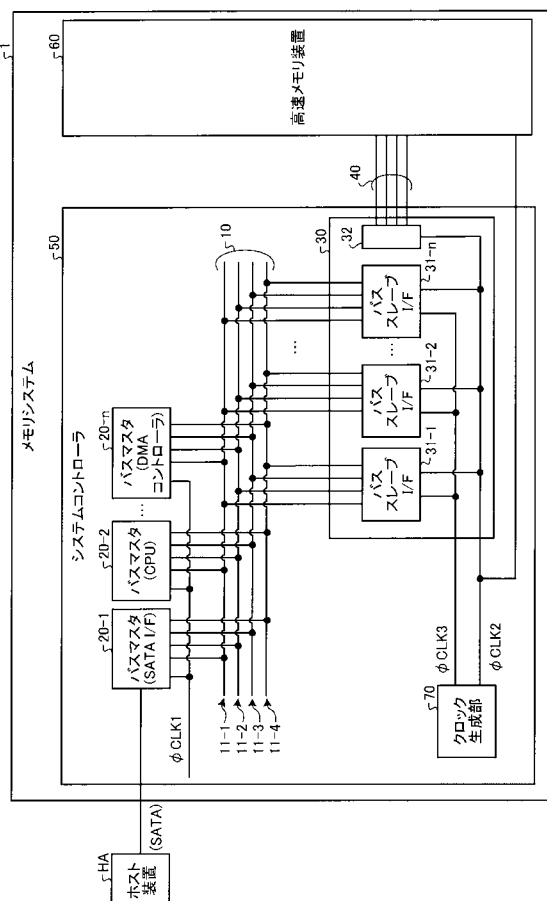
【符号の説明】

【 0 0 8 9 】

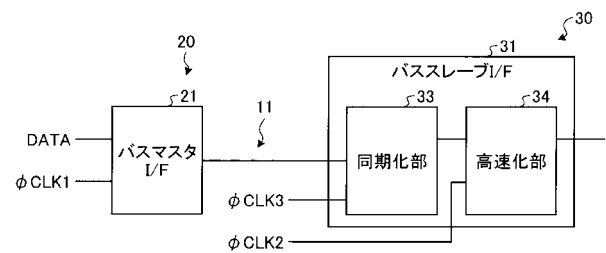
1、100 メモリシステム、10 低速バス、11-1~11-4、11 ライン、
20-1~20-n、20 バスマスタ、21 バスマスタインターフェース、30、1
30 高速メモリコントローラ、31-1~31-n、31、131-1~131-n、
131、931 バススレーブインターフェース、32 メモリインターフェース、33
、133 同期化部、34 高速化部、40 高速バス、60 高速メモリ装置、70、
170 クロック生成部、211、331、332、341、133a1、133a3、
9331~9333 フリップフロップ、133a 保持部、133a2 インバータ、
133b 選択部、133b1 ORゲート、133b2 ANDゲート、133b3
セクタ。

10

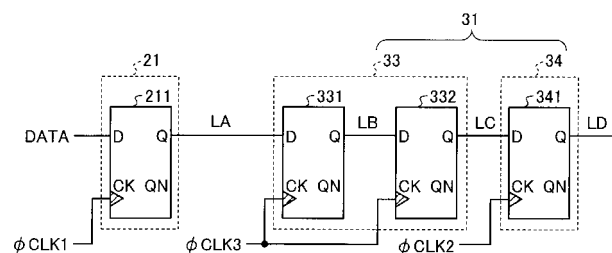
【 図 1 】



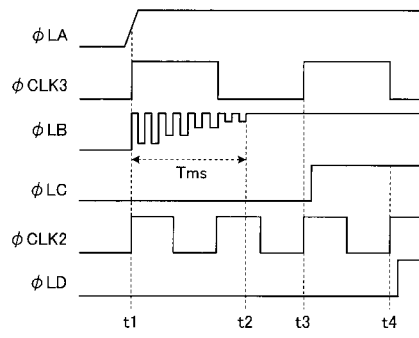
【圖 2】



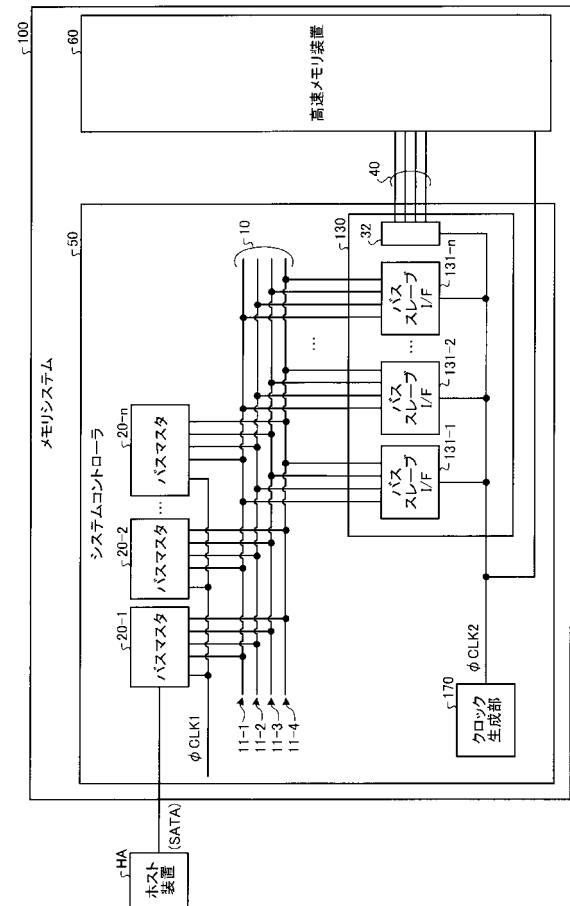
【 図 3 】



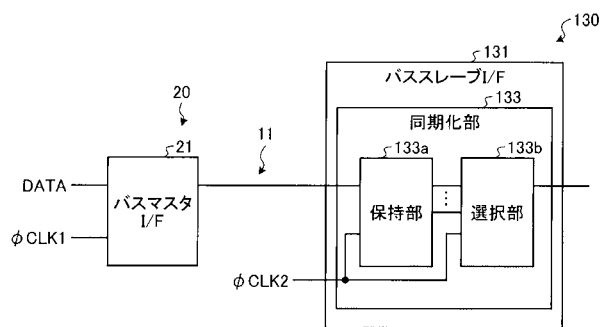
【図 4】



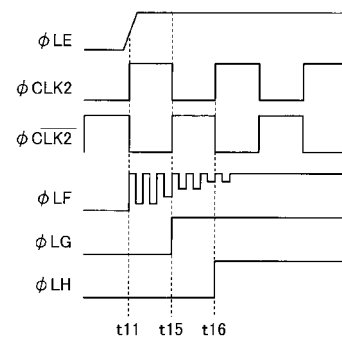
【図 5】



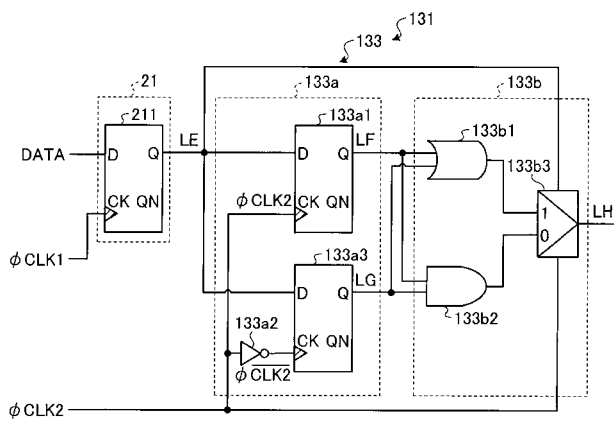
【図 6】



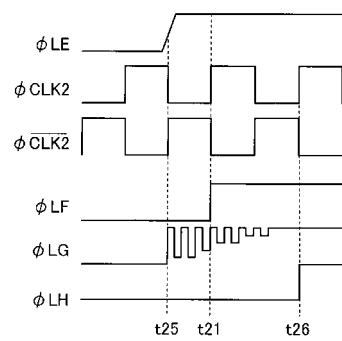
【図 8】



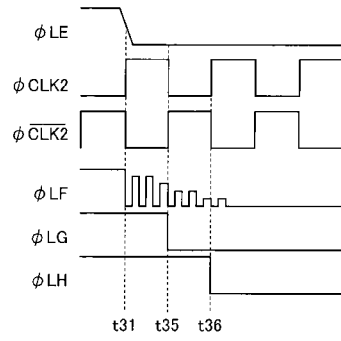
【図 7】



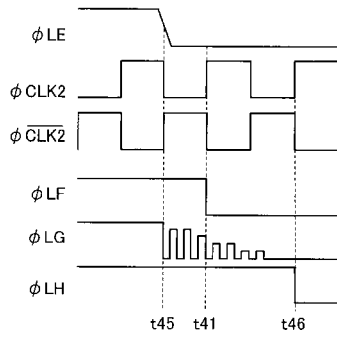
【図 9】



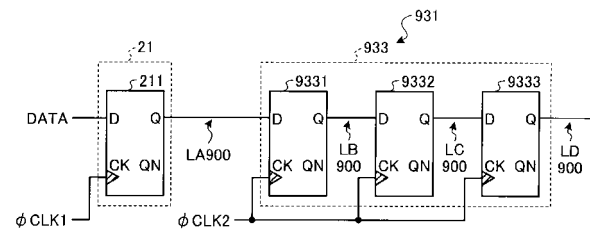
【図 10】



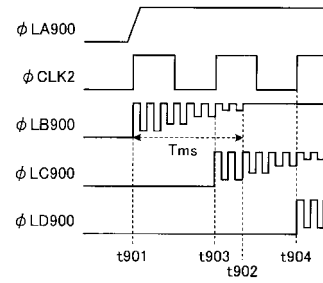
【図 11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 清水 敬
東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内