

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4558468号
(P4558468)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

| | |
|----------------------|----------------|
| (51) Int.Cl. | F 1 |
| HO4N 5/32 (2006.01) | HO4N 5/32 |
| HO4N 5/335 (2006.01) | HO4N 5/335 740 |
| GO1T 1/20 (2006.01) | GO1T 1/20 E |
| HO1L 27/14 (2006.01) | GO1T 1/20 G |
| | HO1L 27/14 K |

請求項の数 7 外国語出願 (全 11 頁)

| | |
|--------------|-------------------------------|
| (21) 出願番号 | 特願2004-354175 (P2004-354175) |
| (22) 出願日 | 平成16年12月7日 (2004.12.7) |
| (65) 公開番号 | 特開2005-223890 (P2005-223890A) |
| (43) 公開日 | 平成17年8月18日 (2005.8.18) |
| 審査請求日 | 平成19年12月6日 (2007.12.6) |
| (31) 優先権主張番号 | 10/707,348 |
| (32) 優先日 | 平成15年12月8日 (2003.12.8) |
| (33) 優先権主張国 | 米国(US) |

| | |
|-----------|--|
| (73) 特許権者 | 300019238 ジーイー・メディカル・システムズ・グローバル・テクノロジー・カンパニー・エルエルシー アメリカ合衆国・ウィスコンシン州・53188・ワウケシャ・ノース・グランドビュー・ブルバード・ダブリュー・710・3000 |
| (74) 代理人 | 100137545 弁理士 荒川 聰志 |
| (74) 代理人 | 100105588 弁理士 小倉 博 |
| (74) 代理人 | 100106541 弁理士 伊藤 信和 |

最終頁に続く

(54) 【発明の名称】分割走査線及び結合データ線のX線検出器

(57) 【特許請求の範囲】

【請求項1】

X線を受信する複数のピクセル(116)と、
 前記複数のピクセル(116)を作動する複数の分割走査線(112)と、
 前記X線を示す電荷を伝導する、相互に結合される少なくとも2つのデータ線を有する複数のデータ線(114)と、
 を備え、
 前記複数のデータ線(114)の少なくとも1つのデータ線が、
 第1のセットのピクセルに結合される第1の側(118)と
 第2のセットのピクセルに結合される第2の側(120)と、
 を含むことを特徴とするX線検出器。

【請求項2】

前記複数の分割走査線(112)が、交互のフルレンジスの分割走査線である請求項1に記載の検出器。

【請求項3】

前記複数のピクセル(116)が第1のグループ(122)のピクセルと第2のグループ(124)のピクセルとに分割され、前記第1のグループ(122)のピクセルと前記第2のグループ(124)のピクセルとは行毎にピクセルが交互に配置される請求項1又は2に記載の検出器。

【請求項4】

交互に配置された前記第1のグループ(122)のピクセルと前記第2のグループ(124)のピクセルとが共通のデータ線を共有する請求項3に記載の検出器。

【請求項5】

2次元に配置された前記複数のピクセル(116)の各行において、前記第1のグループ(122)のピクセルの全てが1つの分割走査線(112)に接続され、前記第2のグループ(124)のピクセルの全てが他の1つの分割走査線(112)に接続され、前記1つの分割走査線(112)と前記他の1つの分割走査線(112)が、前記各行の複数のピクセル(116)を挟んだ両側に配置される請求項3又は4に記載の検出器。

【請求項6】

前記1つの分割走査線(112)と接続する走査ドライバを備える第1の駆動回路構成と、前記他の1つの分割走査線(112)と接続する走査ドライバを備える第2の駆動回路構成と、

共通接地(78)に結合され、前記複数のピクセル(116)のアノード電圧を制御する電圧源(76)と、

前記複数のデータ線(114)と接続し、前記複数のピクセル(116)からの露光データを受ける読み出し回路構成(30)と、

を備える請求項5に記載の検出器。

【請求項7】

請求項1乃至6のいずれかに記載の検出器と、

X線ビーム(16)を生成するX線源(14)と、

前記検出器の読み出しの順序及び速度、並びにフォトダイオード共通バイアス電圧を制御するコントローラ(36)と、

前記検出器からの露光データに応答して画像を再構成する収集処理回路(34)と、

前記画像を表示するモニタ(26)と、

を備えるX線システム(10)。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、X線イメージング・システムに関する。より詳細には、本発明は、改良されたX線検出器及び該検出器を作動させる方法に関する。

【背景技術】

【0002】

X線システムは、典型的には、X線ビーム源及びX線検出器を含む。X線ビームは、X線源によって患者の関心領域にわたって配向され、検出器によって検出され、次いで、該検出器がX線ビームに対応する投影データを生成する。

【0003】

半導体X線検出器は、通常、スイッチとして機能する電界効果トランジスタ(FET)と、光を検出するフォトダイオードとからなるピクセルのアレイを有する。FET及びフォトダイオードは、アモルファスシリコンから構成され、その上にヨウ化セシウム(CsI)が堆積される。CsIは、X線ビーム源によって発生されるX線を吸収し、これを光エネルギーに変換して、その後該光エネルギーがフォトダイオードにより検出される。フォトダイオードは、これらの構成によりコンデンサとして機能し電荷の形態でエネルギーを蓄積する。

【0004】

検出器の初期化は、通常「検出器のスクラビング」又は単に「スクラビング」と呼ばれる技法により、X線照射の前に行われる。スクラビングの間に、各フォトダイオードは所定の初期電位にまで充電される。次いで、検出器はX線に照射され、該X線はCsIによって吸収される。CsIから放射される光は、X線の線束に比例し、フォトダイオードを部分的に放電させる。照射終了後、フォトダイオードの両端の電位は初期電位に回復され

る。各フォトダイオードを初期電位に回復させるのに必要な電荷量は、照射時間にわたって各ピクセルの範囲区域で積分される、各ピクセルによって検出されたX線線量に比例する。

【0005】

FETの能動スイッチングにより制御される検出器は、列毎に読み出されてスクラビングされる。読み出しは検出器によって生成される画像が有用なデータを含む場合には常に行われ、これは主に、画像が露光データ又はオフセット・データを含むときに行われる。スクラビングの間に収集されるデータは関心のあるものではないので破棄される。スクラビングは、休止期間の間にフォトダイオードの両端の適切な電圧バイアスを維持し、或いは場合によっては、フォトダイオードの遅延又は不完全な電荷回復の影響を軽減するために行われる。

10

【0006】

高速フレームレート対応用の最近のX線検出器は、分割データ線設計を有する場合が多い。X線検出器は、フォトダイオードのK行×N列のマトリクスからなる。データ線は、走査線の第1の半部分と第2の半部分とが存在するように分割される。各走査線は、各半部分にわたって延びて各データ線と交差する。各データ線は、1対のライン・セグメントを有するように分割され、各ライン・セグメントは第1の半部分又は第2の半部分の何れかに対応する。読み出し電子回路は、X線信号を表すフォトダイオードからの電荷を収集し、測定された電荷をデジタル形式に変換する。読み出し電子回路はデータ線の両方のセグメントに取付けられる。

20

【0007】

分割データ線設計は、2つの走査線が同時に作動することができるので、より高速の収集フレームレートに対応する。事実上、検出器は、単一の全体パネルでなく、2つの半部分のパネルを有するように読み出すことができるので、収集フレームレートは2倍になる。しかしながら、データ線セグメントの全てに対応するためには2倍の数の読み出しチャネルが必要とされ、これはコスト及び電力消費を増大させ信頼性を低下させる。読み出し電子回路の倍増により、検出器の電力消費及びそこで発生する熱が増大する。発熱量の増加は、熱除去装置によるコスト高をもたらす。

【0008】

また、読み出し回路の設計においては、電子ノイズ性能が重要である。低ノイズ性能を達成するための1つの技法は、名称が「Means of Selecting Low Noise Performance or Low Power Dissipation in the Analog Front End of a Custom Integrated Circuit」の米国特許第6,426,672号に説明されるように、バイアス電流を増加することである。このような実施は、フルオロスコピーなどの低線量X線画像を収集する用途に対しては有利とすることができます。バイアス電流を増加させることによって、電子ノイズは、低線量画像におけるX線量子ノイズを下回る程に低減される。これにより、電子ノイズによって劣化されない低線量X線画像を収集することが可能になる。

30

【特許文献1】米国特許第6,426,672号

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

従って、高速フレームレートに対応し、消費電力がより少なく、低ノイズ性能を有し、その内部での熱発生量を最低限に抑える改良されたX線検出器に対する必要性が存在する。

【課題を解決するための手段】

【0010】

本発明は、複数のX線検出器及び対応するX線システム、並びに各検出器を作動させる方法を提供する。X線を受信する複数のピクセルを含むX線検出器が提供される。X線検

50

出器は、ピクセルを作動する分割走査線とX線を示す電荷を伝導するデータ線とを含む。

【0011】

本発明の実施形態は幾つかの利点を提供する。本発明の実施形態によって提供される1つのそのような利点は、分割走査線を有する検出器が提供されることである。分割走査線の使用により、検出器読み取り時間が増大し、これは、読み出しチャンネルの数を減少させる。読み出しチャンネルの数が減少すると、X線検出器のコスト及び電力消費が低減されると同時に、信頼性が向上する。

【0012】

本発明の実施形態によって提供される別の利点は、非分割データ線を有する検出器が提供されることである。本発明の別の実施形態によって提供される更なる利点は、結合データ線を有する検出器が提供されることである。非分割データ線及び結合データ線を利用することにより、読み出し電子回路の量を低減することができ、上述の利点が得られる。

10

【0013】

更に、本発明の実施形態は、同時に読み取られるピクセルの種々の数を結合する能力により種々の程度の分解能に対応することができ、検出器を完全に読み取るのに要する時間を低減することができ、従って、要求される分解能が検出器の固有の分解能よりも低いときには、収集フレームレートが高められる。これにより、実質的にX線システムが分解能を損なうことなくフレームレートを高速にすることが可能となり、これは、特定の検出器設計の汎用性が広がる。

【発明を実施するための最良の形態】

20

【0014】

添付図と共に以下の詳細な説明を参照すると、付随する利点並びに本発明自体を最も良く理解されるであろう。

【0015】

次に、本発明をより完全に理解するために、添付図により詳細に示され且つ本発明の実施例を用いて以下に説明される実施形態を参照する。

【0016】

以下の図において、同じ参照符号が同じ構成要素を示すために使用される。本発明は、X線検出器、対応するX線システム、及び各々を作動させる方法に関するが、本発明は種々の目的に適合させることができ、以下の用途、すなわち、コンピュータ断層撮影(CT)システム、放射線療法又は放射線写真システム、X線イメージング・システム、及び当該技術分野で既知の他の用途に限定されるものではない。本発明は、放射線撮影検出器、カルジオグラフ検出器、又は当該技術分野で既知の他の検出器に適用することができる。

30

【0017】

以下の説明において、種々の動作パラメータ及び構成要素は、1つの構成された実施形態について説明される。これらの特定のパラメータ及び構成要素は、例証として含まれるものであり、限定を意味するものではない。

【0018】

次に図1を参照すると、本発明の実施形態による検出器アレイ又はX線検出器12を用いるX線イメージング・システム10の透視ブロック図が示される。システム10は、X線ビーム16を生成するX線源14を含み、該ビーム16は患者20の関心領域18を透過するように配向される。ビーム16は患者20の体内組織によって減弱され、検出器12によって受信される。

40

【0019】

検出器12は、複数のピクセル22に分割される。検出器12の作動中、ピクセル22は走査線29を介してスキャニング回路構成28によってスキャンされ、露光データが生成される。露光データは、データ線31を用いることにより、読み出し電子回路又は回路構成30によって、受け取られてデジタル化される。各ピクセル22は、対応するピクセル露光領域又はフォトダイオード領域にわたり受信したX線放射波の強度を独立して測定

50

し露光データを生成する。フォトダイオード共通バイアス又はチャージ回路32は、検出器12に電気的に結合され、ピクセル22のアノード電圧を制御する。

【0020】

収集制御及び画像処理回路34は、電源14、スキヤニング回路構成28、読み出し回路構成30、及びバイアス回路構成32に電気的に結合され、これらの動作と協働する。収集処理回路34は、露光データに応答して画像を再構成し、該画像はモニタ26上に表示される。

【0021】

コントローラ36は、読み出し回路構成30及びスキャン回路構成28の両方に電気的に結合される。コントローラ36は、読み出しの順序及び速度、並びにフォトダイオード共通バイアス電圧を制御する。コントローラ36は読み出し回路構成30の一部として示されているが、これは、フォトダイオード共通バイアス回路構成32、スキャン回路構成28、或いは画像処理回路34といった他の回路構成の一部とすることができます。

【0022】

収集処理回路34及びコントローラ36は、中央演算処理装置、メモリ(RAM及び/又はROM)、並びに関連する入力及び出力バスを有するコンピュータなどのマイクロプロセッサ・ベースとすることができます。収集回路34及びコントローラ36は、単に、当該技術分野で既知の論理状態装置又は論理回路から形成することができる。収集処理回路34及びコントローラ36は、中央主制御装置の一部、電子制御モジュールとすることができます、或いは、図のように、各々が独立型コントローラとすることができます。

【0023】

次に、図2を参照すると、本発明の実施形態に従って、分割走査線52と非分割結合データ線54とを有するX線検出器パネル50の概略プロック図が示される。検出器50は、電界効果トランジスタ(FET)56とフォトダイオード58とによって表されるピクセルを含み、該ピクセルの各々がそれぞれFET56及びフォトダイオード58を有する。走査線52は、FET56を作動させ、並びに特定の列セグメントの範囲内のフォトダイオード58を同時に充電可能とするために使用される。データ線54は、フォトダイオード58を充電するのに使用され、これによってフォトダイオード58からの露光データ又はオフセット・データを収集する。データ線54は、読み出し回路構成30によってフォトダイオードに電荷を回復させるのに使用される。各走査線52が作動されると、作動された走査線上のピクセル内のフォトダイオードは同時に初期電荷に回復される。各データ線54は、関連する読み出しチャンネル(図示せず)を有し、該チャンネルから収集処理回路34が露光データを受け取る。

【0024】

検出器50は、左半部分60と右半部分62とを備えた分割デザインを有する。左半部分60のピクセルは、駆動回路構成Aに結合される。右半部分62のピクセルは、駆動回路構成Bに結合される。左半部分60の各ピクセルは、右半部分62のピクセルと共に共通のデータ線に結合される。半部分60及び62の各々は、ピクセル、走査線52、及びデータ線54の対応するセットを有し、その幾つかの実施例を以下に述べる。任意の数のセットが存在することができ、該セットは種々の寸法のものとすることができます。走査線52は、左半部分60のピクセルが駆動回路構成Aのスキャン63に結合され、且つ右半部分62のピクセルが駆動回路構成Bの走査ドライバ64に結合されるように分割される。

【0025】

本発明の1つの実施形態において、右半部分62内のピクセルは左半部分62のピクセルの後で読み取られ、左半部分62と右半部分64との間で交互に行われる。検出器を読み取る方法に関して、1つの順序の実施例が提供され上述されたが、当該技術分野で既知の他の読み取りシーケンスを用いることができる。

【0026】

図2の実施形態において、データ線54は、以下のように結合される。すなわち、データ

10

20

30

40

50

タ線 K はデータ線 $K + 1$ に結合され、データ線 $K - 1$ はデータ線 $K + 2$ に結合され、データ線 $K - 2$ はデータ線 $K + 3$ に結合される、などである。第1の半部分 60 のデータ線 $K - 2$ 、 $K - 1$ 、及び K は、接続部 65 を介して、第2の半部分 62 のデータ線 $K + 1$ 、 $K + 2$ 、及び $K + 3$ に結合され、各接続部 65 は互いに交差しないようにされる。データ線 $K - 2$ 、 $K - 1$ 、及び K は、データ線の第1のセットを形成し、データ線 $K + 1$ 、 $K + 2$ 、及び $K + 3$ は、データ線の第2のセットを形成する。第1の半部分 60 のピクセルは、第1のピクセル・スキャンのセットの一部であり、第2の半部分 62 のピクセルは、第2のピクセル・スキャンのセットの一部である。結合データ線 54 は、実質的に単一のデータ線を形成する。例えば、データ線 $K - 1$ 及び K は、データ線 $K - 1$ 及び K の各々の長さの少なくとも 2 倍の長さを有する単一データ線を形成する。各データ線 54 は特定の接続パターンを用いて結合されているが、これらは当該技術分野で既知である種々の他の接続パターンを用いて結合することができる。

【0027】

接続部 65 は、図のように検出器内部に形成することができ、或いは、当該技術分野で既知の他の技法を用いて形成することができる。例えば、接続部 65 は、分離した回路基板内に形成することができ、電線（図示せず）を用いて検出器 50 に結合される。該電線は、読み出し回路構成 30 と走査ドライバ 63 及び 64 とを検出器 50 に結合するために使用することができる電線（同様に図示せず）と同様のものである。

【0028】

データ線 54 は、検出器 50 全体にわたり連続して延びて結合されるので、非分割走査線及び分割データ線設計を用いる従来のシステムに優る、4 分の 1 の量の読み出し電子回路を用いる。分割データ線設計を用いるシステムは、通常、各分割データ線に対して 1 対の読み出し電子回路を使用する。4 分の 1 の読み出し電子回路を用いることにより、検出器の電力消費量並びに検出器から発生する熱が有意に低減される。検出器 50 によって消費される電力が小さいので、検出器 50 への電力配分がより容易である。検出器 50 への給電にバッテリーなどの電源装置が使用される場合には、検出器 50 からの電力需要が少ないため、より軽量の電源装置となる。また、検出器 50 の消費電力がより少ないので、検出器 50 の冷却がより簡略化される。加えて、読み出し電子回路の量が低減され且つ検出器 50 を冷却するために使用されるハードウェアが簡略化されるので、検出器 50 及び対応する回路構成は共に可搬性が改良され且つ信頼性が向上される。このことは、より少なくより軽量の構成要素、及び検出器 50 に関連する構成要素がより少ないと起因する。

【0029】

従って、長さが重複しているフルレンジスのデータ線 54 の組込みは、検出器 50 の読み取りにおいて柔軟性と容易さを向上させる。走査線 52 に沿った左半部分 60 と右半部分 62 との間の交互のピクセルにより、検出器 50 を 1 つより多い方法で読み取ることが可能となる。或いは、右半部分 52 の前に左半部分 60 を読み取ることができ、或いは逆もまた同様である。これは、更に詳細に後述される。

【0030】

例示的な目的において、検出器 50 のピクセルは、列及び行において直角に配列されるが、勿論、他の配列を用いてもよい。各列は、走査線 52 によって指定され、各行はデータ線 54 によって指定される。検出器 50 は、走査線 N 及びデータ線 K によって示される、近似的に中心にあるピクセルを有する。特定の数のピクセルが示されているが、検出器 50 は任意の数のピクセルを有することができる。

【0031】

FET 56 は、ゲート端子 66、ドレイン端子 67、及びソース端子 68 を有する。走査線 52 は、ゲート端子 66 と駆動回路構成 A1 及び B1 との間に結合される。データ線 54 は、ドレイン端子 67 と積分器 70 との間に結合される。

【0032】

フォトダイオード 58 の各々はカソード 72 とアノード 74 とを有する。カソード 72

10

20

30

40

50

はソース端子 6 8 に結合される。アノード 7 4 は共通接点 7 7 で電圧源 7 6 に結合され、共通接点電位を有する。電圧源は、共通接地 7 8 に結合される。F E T 5 6 の各々が理想スイッチとして機能すると仮定すると、データ線 5 4 の電位差によって形成されるフォトダイオードの両端の電位は、積分器 7 0 及び共通電位によって制御されるので、フォトダイオード・バイアスと呼ぶことができる。

【 0 0 3 3 】

F E T 5 6 の使用において、当該技術分野で既知のように、検出器 5 0 に対する電気接点の数が低減される。F E T 5 6 を使用しなければ、フォトダイオード 5 8 の各々の電荷を回復させるのに各ピクセルにつき少なくとも 1 つの接点が必要とされ、実質的に単一の検出器で製造することができるピクセル数が制限される。F E T 5 6 は、必要な接点の数を、検出器 5 0 の周囲に沿ったピクセルの数、すなわち列及び行の数だけにまで減少させる。

10

【 0 0 3 4 】

フォトダイオード 5 8 の両端の電圧は、一般にバイアス回路 3 2 によって制御される。フォトダイオード 5 8 が充電されるバイアス電圧は、共通接点 7 7 の電圧レベルとそれとのフォトダイオードデータ線の電圧レベルとの間の差に等しい。フォトダイオード 5 8 が容量性電荷を蓄えるため、これらには逆バイアスがかけられ、その結果フォトダイオードのアノードは共通接点 7 7 に結合され、該共通接点はデータ線 5 4 よりも負の電圧を有する。

【 0 0 3 5 】

20

一方で、フォトダイオードのバイアスを誘起し且つこれと直接関連する共通接点 7 7 の電位は、コントローラ 3 6 によって制御される。コントローラ 3 6 は電気的にデータ線 5 4 、スキャン回路構成 2 8 、及び共通接点 7 7 に結合される。コントローラ 3 6 は、要求される用途に従って共通接点を変えることができる。

【 0 0 3 6 】

次に図 3 を参照すると、本発明の別の実施形態による、分割走査線 1 1 2 と、非分割結合データ線 1 1 4 とを有し、ピクセル 1 1 6 がデータ線 1 1 4 の第 1 の側 1 1 8 と第 2 の側 1 2 0 との両方に結合されている、X 線検出器 1 1 0 の平面図が示されている。走査線 1 1 2 は、交互のフルレンジスの分割走査線であり、駆動回路構成 A 2 及び B 2 の走査ドライバ 1 2 1 に結合される。データ線 1 1 4 はデータ線 5 4 のようなフルレンジスのデータ線であるが、データ線 1 1 4 が存在する数はデータ線 5 4 が存在する数の半分である。

30

【 0 0 3 7 】

ピクセル 1 1 6 は分割デザインで配列されるが、ピクセル 1 1 6 は左半部分と右半部分とに分割されているのではなく、図 2 の実施形態におけるピクセルのように、ピクセル 1 1 6 は第 1 のグループ 1 2 2 と第 2 のグループ 1 2 4 とに分割されている。第 1 のグループ 1 2 2 と第 2 のグループ 1 2 4 とは行毎にピクセルが交互にされる。

【 0 0 3 8 】

走査線 1 1 2 が、該走査線 1 1 2 に平行に延びる横軸（図示せず）に沿った任意の所との列に沿ったピクセルの半分の数に結合されてこれを制御するので、走査線 1 1 2 は分割と見なされる。例えば、走査線 1 2 6 は、ピクセル 1 2 8 に沿って延びるが、ピクセル 1 3 0 に結合するのみである。走査線 1 1 2 の接続部ピッチは上述の検出器 5 0 とほぼ同じである。走査線 1 3 2 のような隣接する走査線が、互いに離間して配置されて示されるが、隣接走査線は、互いの上に「積重ねる」ことができ、フォトダイオード充填ファクターを最大にするようにされる。隣接走査線が積重ねられると、該隣接積重ね走査線は、検出器 1 1 0 の平面に直交する方向に間隔を置いて配置され、又は絶縁材料によって分離される。分離又は絶縁材料は、積重ねられていない走査線 1 1 2 の間の分離と同様に、隣接走査線間の伝導性接続が確実に存在しないようにする。

40

【 0 0 3 9 】

ピクセル 1 2 2 及び 1 2 4 が共通データ線を共有するので、データ線 1 1 4 の半分の数が使用される。データ線 1 1 4 の接続ピッチは、上述の検出器 5 0 の接続ピッチのほぼ半

50

分である。接続ピッチが半分であることにより、製造許容寸法が緩和されるので、検出器の製造がより容易になる。データ線 114 の長さは、データ線 114 が検出器 110 の長さだけ延びて、どのような他のデータ線とも結合されないことから、データ線 54 の半分の長さである。従って、データ線 114 は、データ線 54 及び従来技術のデータ線と比較して、静電容量及び抵抗が低減される。静電容量及び抵抗が低減されることにより、読み出しチャンネルが低ノイズ性能となる。

【0040】

検出器 50 及び 110 は、交互モード或いは「ピン」モードで作動することができる。該ピン・モードは、1 回の読み取りにおいて複数のピクセルを結合することを意味し、これは以下に更に詳細に説明する。交互モードは、ピン・モードより高い分解能を与え、ピン・モードはより高速の収集フレームレートに対応するものである。 10

【0041】

交互モードにおいて、図 2 及び図 3 の実施形態に関しては、駆動回路構成 A1 又は A2 が最初に作動された後、駆動回路構成 B1 又は B2 が作動される。左半部分 60 又は第 1 のグループの第 1 のピクセルが読み取られ、その後、第 1 のピクセルと同じデータ線上にあり右半部分 62 又は第 2 のグループの第 2 のピクセルが読み取られる。或いは、走査ドライバ回路構成 A1 又は A2 の全てが順番に作動された後、走査ドライバ回路構成 B1 又は B2 の何れかを作動させることができる。図 4 の実施形態に関して、同じ分割走査線及び同じ結合データ線上のピクセルは、上述と同様の連続的技法を用いて読み取ることができる。 20

【0042】

ピン・モードにおいては、複数の走査ドライバが同時に作動される。例えば、図 2 の実施形態に関して、駆動回路構成 A1 の 2 つの走査ドライバが同時に作動され、続いて駆動回路構成 B1 の 2 つの走査ドライバが同時に作動される。従って、1 つの読み出しチャンネルが左半部分 60 の 2 つのピクセルからの電荷を同時に収集することができ、その後、右半部分 62 の 2 つのピクセルからの電荷が同時に収集される。更に、2 つの隣接する読み出しチャンネルからの信号が、読み出し電子回路又は該読み出し電子回路の次の電子回路の何れかによってデジタル方式で結合され、結果として 4 つより小さいピクセルの結合によって形成される単一の大きなピクセルが得られる。この 4 つのピクセルは、実質的に個々のピクセルと同じアスペクト比を含む 2×2 の四角形を形成する。2 つのピクセルの個々の電荷は、2 つの共通データ線の各々上で結合され、アナログ加算方式で収集される。個々の電荷が結合されると、次いで、隣接データ線からのデジタルデータがデジタル的に加算される。 30

【0043】

上述の実施形態において、ピクセルのピニングは、視野寸法が減少することなく、空間分解能を犠牲にして収集フレームレートを増大させる。ピン・モードを使用して結果として得られる画像のデータ収集量は少なく、従って必要とされる画像記憶スペースは小さい。図 3 の実施形態において、駆動回路構成 A2 から 2 つ及び駆動回路構成 B2 から 2 つの 4 つの走査線は、同時に作動される。これは、図 3 における 2 つの隣接する列に沿ってピクセルを作動させるような方法で行われる。換言すれば、各データ線上の 4 つのピクセルが同時に読み取られ、単独のアナログ信号結合をもたらし、読み出し電子回路或いは他の場所のデジタル加算回路構成を必要としない。従って、その際、上述の実施形態は、ピン・モードで使用されるときに更に電力消費及びコストが低減される。 40

【0044】

図 4 を参照すると、本発明の複数の実施形態による X 線検出器を作動させる方法が示される。ステップ 150 において、検出器 50 及び 110 のピクセルのような検出器のピクセルは 1 つ又はそれ以上の分割走査線を介して作動される。該ピクセルはスクラビング又は読み取りが行われ、これにより、読み出し電子回路からの電荷が、データ線を介して各ピクセルを所与の電位に充電することが可能になる。ステップ 152 において、検出器のフォトダイオードは照射され X 線を受信する。ステップ 154 において、X 線の範囲が、 50

結合データ線 5 4 及びデータ線 1 1 4 などの、1つ又はそれ以上の非分割データ線によって読み取られ、或いはこれを介して表示される。

【 0 0 4 5 】

上述の各ステップは例証としての実施例であることが意図されており、該各ステップは、用途に応じて同期的、連続的、同時的、或いは異なった順序で実行することができる。

【 0 0 4 6 】

本発明は、種々の用途に適用することができる複数のX線検出器を提供する。X線検出器は、種々の程度、レベル、並びに分解能の量、ピクセル接続ピッチ量、走査ドライバチャネル数、読み出し回路構成チャネル数、ノイズ性能量、データ線静電容量及び抵抗の量、電力消費量、及び発熱量を有する。本発明の実施形態の検出器は、従来技術の検出器に優る、少ない量の読み出し回路構成、少ない電力消費、少ない発熱量、及び軽量な検出器及び電源装置、並びに、改良されたノイズ性能及び信頼性を提供する。

10

【 0 0 4 7 】

本発明を1つ又はそれ以上の実施形態に関連して説明してきたが、説明された特定の機構及び技法は本発明の原理の単なる例証に過ぎず、添付の請求項によって定義される本発明の概念及び範囲を逸脱することなく、説明された方法及び装置に対して多くの修正を行うことができることは理解されるべきである。

【図面の簡単な説明】

【 0 0 4 8 】

【図1】本発明の実施形態によるX線検出器を用いるX線イメージング・システムの透視プロック図。

20

【図2】本発明の実施形態による分割走査線と非分割結合データ線とを有する、X線検出器の概略プロック図。

【図3】本発明の別の実施形態による、分割走査線とデータ線の両側を結合するピクセルを有する非分割結合データ線とを有するX線検出器の概略プロック図。

【図4】本発明の複数の実施形態によるX線検出器を作動させる方法を示す論理フロー図。

【 符号の説明】

【 0 0 4 9 】

5 0 X線検出器パネル

30

5 2 走査線

5 4 データ線

5 6 電界効果トランジスタ(F E T)

5 8 フォトダイオード

6 0 左半部分

6 2 右半部分

6 3 駆動回路構成Aのスキャン

6 4 駆動回路構成Bの走査ドライバ

6 5 接続部

6 6 ゲート端子

6 7 ドレイン端子

6 8 ソース端子

7 0 積分器

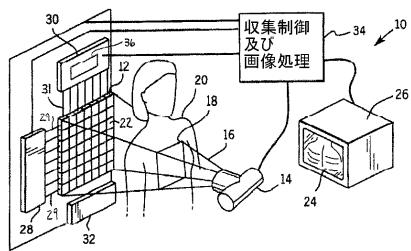
7 6 電圧源

7 7 共通接点

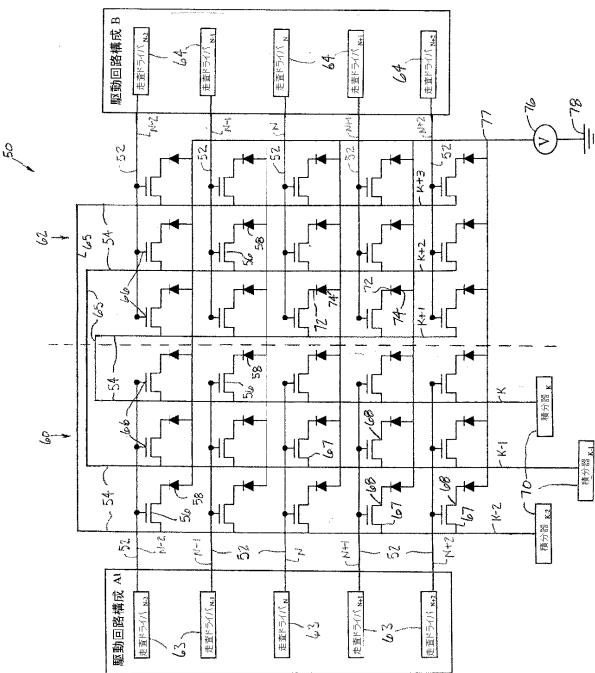
7 8 共通接地

40

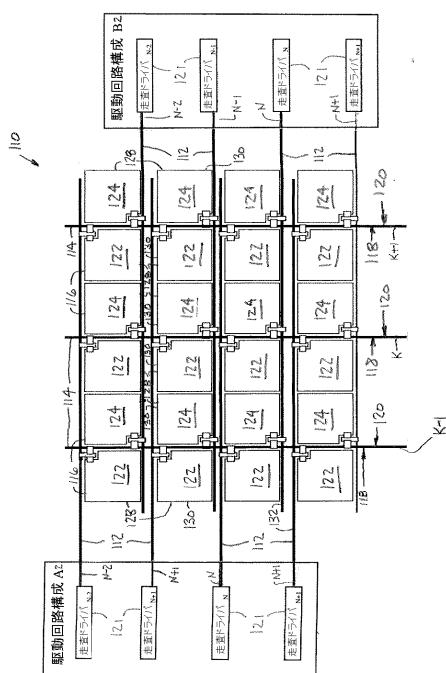
【 四 1 】



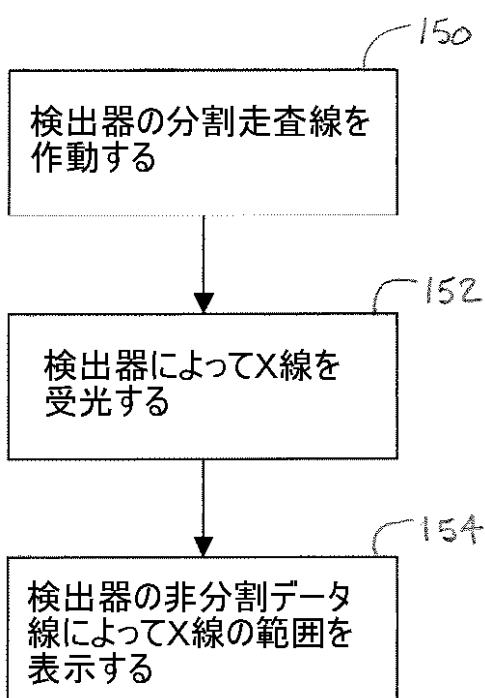
【 図 2 】



【 义 3 】



【図4】



フロントページの続き

(74)代理人 100129779

弁理士 黒川 俊久

(72)発明者 スコット・ウィリアム・ペトリック

アメリカ合衆国、ウィスコンシン州、サセックス、センチュリー・コート、エヌ77・ダブリュー
24677番

審査官 石坂 博明

(56)参考文献 特開2001-024209 (JP, A)

特開平10-275906 (JP, A)

特開2001-326857 (JP, A)

特開平04-180374 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/32, 5/335

G01T 1/20

H01L 27/14