



등록특허 10-2378443



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월25일
(11) 등록번호 10-2378443
(24) 등록일자 2022년03월21일

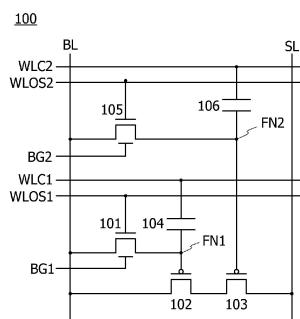
- (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2021.01) *G11C 11/405* (2006.01)
G11C 11/406 (2006.01) *G11C 11/4063* (2006.01)
G11C 11/408 (2006.01) *G11C 11/409* (2015.01)
G11C 7/16 (2015.01) *H01L 27/115* (2017.01)
- (52) CPC특허분류
G11C 7/1006 (2013.01)
G11C 11/405 (2013.01)
- (21) 출원번호 10-2015-0034851
(22) 출원일자 2015년03월13일
심사청구일자 2020년03월13일
(65) 공개번호 10-2015-0107672
(43) 공개일자 2015년09월23일
(30) 우선권주장
JP-P-2014-051497 2014년03월14일 일본(JP)
JP-P-2014-069626 2014년03월28일 일본(JP)
- (56) 선행기술조사문헌
KR1020120023570 A*
(뒷면에 계속)
- 전체 청구항 수 : 총 7 항
- (54) 발명의 명칭 반도체 장치 및 그 구동 방법, 및 전자 기기
- 심사관 : 박소정

(57) 요 약

본 발명은 멀티레벨 데이터의 기록과 판독을 수행할 수 있는 신규 반도체 장치를 제공한다.

비트선, 전원선, 제 1 노드, 제 2 노드, 제 1 트랜지스터~제 4 트랜지스터, 제 1 용량 소자, 및 제 2 용량 소자를 갖는 메모리 셀이며, 2개로 분할된 멀티레벨 데이터 중 하나를 제 1 트랜지스터를 통하여 제 1 노드에 기록하고, 다른 쪽을 제 2 트랜지스터를 통하여 제 2 노드에 기록한다. 제 3 트랜지스터의 게이트는 제 1 노드에 접속되고, 제 4 트랜지스터의 게이트는 제 2 노드에 접속된다. 또한, 제 3 트랜지스터 및 제 4 트랜지스터는 비트선과 전원선 사이의 도통 상태를 제어한다. 제 1 트랜지스터 및 제 2 트랜지스터는 반도체층에 산화물 반도체가 사용되는 것이 바람직하다.

대 표 도



(52) CPC특허분류

G11C 11/406 (2013.01)
G11C 11/4063 (2013.01)
G11C 11/4085 (2013.01)
G11C 11/409 (2018.05)
G11C 7/1012 (2013.01)
G11C 7/16 (2018.05)
H01L 27/11551 (2013.01)
H01L 27/1156 (2013.01)

(56) 선행기술조사문현

JP2011249782 A
KR1020110105730 A
KR1020120022601 A
US20120063208 A1

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터 및 제 2 트랜지스터와;

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 상의 제 1 용량 소자와;

상기 제 1 용량 소자 상의 제 3 트랜지스터와;

상기 제 3 트랜지스터 상의 제 4 트랜지스터와;

상기 제 4 트랜지스터 상의 제 2 용량 소자를 포함하고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자 및 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 4 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 1 단자 및 상기 제 2 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 3 트랜지스터의 제 2 단자 및 상기 제 4 트랜지스터의 제 2 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 2 단자는 상기 제 2 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 제 2 트랜지스터의 제 2 단자는 제 1 선에 전기적으로 접속되고,

상기 제 1 용량 소자의 제 2 단자는 제 2 선에 전기적으로 접속되고,

상기 제 2 용량 소자의 제 2 단자는 제 3 선에 전기적으로 접속되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 p채널형 트랜지스터인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각은 n채널형 트랜지스터인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 3 트랜지스터 및 상기 제 4 트랜지스터 각각은 채널에 산화물 반도체를 포함하는, 반도체 장치.

청구항 7

반도체 장치에 있어서,

반도체 기판 내의 채널 형성 영역을 포함하고, 상기 채널 형성 영역은 실리콘을 포함하는 제 1 트랜지스터와;
상기 제 1 트랜지스터 및 상기 반도체 기판 상의 제 1 절연층으로서, 제 1 개구를 포함하는 상기 제 1 절연층과;
상기 제 1 절연층 상의 용량 소자와;
상기 용량 소자 상의 제 2 절연층으로서, 제 2 개구를 포함하는 상기 제 2 절연층과;
상기 제 2 절연층 상의 제 2 트랜지스터로서, 채널이 형성되는 상기 제 2 트랜지스터의 반도체 층은 산화물 반도체를 포함하는 상기 제 2 트랜지스터와;
상기 제 2 트랜지스터 상의 제 3 절연층으로서, 제 3 개구를 포함하는 상기 제 3 절연층과;
상기 제 3 절연층 상의 제 3 트랜지스터로서, 채널이 형성되는 상기 제 3 트랜지스터의 반도체 층은 산화물 반도체를 포함하는 상기 제 3 트랜지스터와;
상기 제 3 절연층 상의 도전층을 포함하고,
상기 제 1 트랜지스터는 상기 제 2 트랜지스터에 전기적으로 접속되고,
상기 제 1 트랜지스터는 상기 제 3 트랜지스터에 전기적으로 접속되고,
상기 제 1 트랜지스터는 상기 용량 소자에 전기적으로 접속되고,
상기 제 2 트랜지스터는 상기 용량 소자에 전기적으로 접속되고,
상기 도전층은 상기 제 1 개구, 상기 제 2 개구, 및 상기 제 3 개구 내의 도전성 금속들을 통해 상기 반도체 기판에 전기적으로 접속되는, 반도체 장치.

청구항 8

반도체 장치에 있어서,
반도체 기판 내의 채널 형성 영역을 포함하고, 상기 반도체 기판은 실리콘을 포함하는 제 1 트랜지스터와;
상기 제 1 트랜지스터 및 상기 반도체 기판 상의 제 1 절연층으로서, 제 1 개구를 포함하는 상기 제 1 절연층과;
상기 제 1 절연층 상의 용량 소자와;
상기 용량 소자 상의 제 2 절연층으로서, 제 2 개구를 포함하는 상기 제 2 절연층과;
상기 제 2 절연층 상의 제 2 트랜지스터로서, 채널이 형성되는 상기 제 2 트랜지스터의 반도체 층은 산화물 반도체를 포함하는 상기 제 2 트랜지스터와;
상기 제 2 절연층 상의 제 1 도전층으로서, 제 3 개구를 포함하는 상기 제 1 도전층과;
상기 제 2 트랜지스터 및 상기 반도체 층 상의 제 3 절연층으로서, 제 4 개구를 포함하는 상기 제 3 절연층과;
상기 제 3 절연층 상의 제 3 트랜지스터로서, 채널이 형성되는 상기 제 3 트랜지스터의 반도체 층은 산화물 반도체를 포함하는 상기 제 3 트랜지스터와;
상기 제 3 절연층 상의 제 2 도전층을 포함하고,
상기 제 1 트랜지스터는 상기 제 2 트랜지스터에 전기적으로 접속되고,
상기 제 1 트랜지스터는 상기 제 3 트랜지스터에 전기적으로 접속되고,
상기 제 1 트랜지스터는 상기 용량 소자에 전기적으로 접속되고,
상기 제 2 트랜지스터는 상기 용량 소자에 전기적으로 접속되고,
상기 제 2 도전층은 상기 제 1 개구, 상기 제 2 개구, 상기 제 3 개구, 및 상기 제 4 개구 내의 도전성 금속들을 통해 상기 반도체 기판에 전기적으로 접속되는, 반도체 장치.

청구항 9

전자 기기에 있어서,

제 1 항, 제 7 항 및 제 8 항 중 어느 한 항에 따른 반도체 장치와;

표시 장치, 마이크로폰, 스피커, 조작 키, 및 하우징 중 적어도 하나를 포함하는, 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 또한, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 및 이들의 구동 방법에 관한 것이다. 특히, 본 발명의 일 형태는, 산화물 반도체를 포함하는 반도체 장치, 표시 장치, 또는 발광 장치에 관한 것이다.

[0002] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 표시 장치, 전기 광학 장치, 반도체 회로, 및 전자 기기는 반도체 장치를 갖는 경우가 있다.

배경 기술

[0003] 실리콘(Si)을 반도체층에 사용한 트랜지스터와, 산화물 반도체(Oxide Semiconductor: OS)를 반도체층에 사용한 트랜지스터를 조합하여 데이터의 유지를 가능하게 한 반도체 장치가 관심을 끌고 있다(특허문현 1 참조).

[0004] 근년, 취급되는 데이터의 양이 증대됨에 따라, 큰 기억 용량을 갖는 반도체 장치가 요구되고 있다. 이러한 상황에서, 상술한 특허문현 1에는, 멀티레벨 데이터를 기억하고 이 데이터를 관독하는 반도체 장치에 대하여 개시(開示)되어 있다. 또한, 명세서 중에서는 특별히 언급하지 않는 한, 멀티레벨 데이터란 j 비트(j 는 2 이상의 자연수임)의 데이터를 가리킨다.

선행기술문헌

특허문현

[0005] (특허문현 0001) 일본국 특개 2012-256400호 공보

발명의 내용

해결하려는 과제

[0006] 예를 들어, 특허문현 1에 기재된 반도체 장치에서는, 하나의 트랜지스터를 사용하여 멀티레벨 데이터의 기록을 수행하지만, 멀티레벨 데이터의 비트수가 증가되면 각 데이터에 대응하는 전위와 전위의 차이가 작아지므로, 데이터를 관독할 때에 전위의 판정이 어려워지고 잘못된 값을 판독할 가능성이 있다.

[0007] 본 발명의 일 형태는, 멀티레벨 데이터의 기록과 관독을 수행할 수 있는 반도체 장치를 제공하는 것, 또는 멀티레벨 데이터의 기록과 관독을 수행할 수 있는 반도체 장치의 구동 방법을 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한, 복수의 과제의 기재는 서로의 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이를 과제를 모두 해결할 필요는 없다. 또한, 열거한 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이고, 이를 과제도 본 발명의 일 형태의 과제가 될 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 비트선, 전원선, 제 1 워드선, 제 2 워드선, 제 1 트랜지스터~제 4 트랜지스터, 제 1 용량 소자, 제 2 용량 소자, 제 1 유지 노드, 및 제 2 유지 노드를 갖는 반도체 장치이다. 제 1 유지 노드에는 제 1 트랜지스터를 통하여 제 1 데이터가 공급된다. 제 2 유지 노드에는 제 2 트랜지스터를 통하여 제 2 데이터가 공급된다. 제 3 트랜지스터의 게이트는 제 1 유지 노드에 전기적으로 접속된다. 제 3 트랜지스터의 소스 및

드레인 중 한쪽은 비트선에 전기적으로 접속된다. 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 전원선에 전기적으로 접속된다. 제 4 트랜지스터의 게이트는 제 2 유지 노드에 전기적으로 접속된다. 제 1 용량 소자의 제 1 단자는 제 1 유지 노드에 전기적으로 접속된다. 제 1 용량 소자의 제 2 단자는 제 1 워드선에 전기적으로 접속된다. 제 2 용량 소자의 제 1 단자는 제 2 유지 노드에 전기적으로 접속된다. 제 2 용량 소자의 제 2 단자는 제 2 워드선에 전기적으로 접속된다. 제 1 데이터 및 제 2 데이터는, 2레벨 또는 멀티레벨 데이터로 이루어진다. 제 1 트랜지스터 및 제 2 트랜지스터는 반도체층에 산화물 반도체를 포함한다.

- [0010] 상기 형태에서 제 3 트랜지스터 및 제 4 트랜지스터는 p채널형 트랜지스터이다.
- [0011] 상기 형태에서 제 3 트랜지스터 및 제 4 트랜지스터는 n채널형 트랜지스터이다.
- [0012] 본 발명의 일 형태는, 상기 형태에 따른 반도체 장치와, 표시 장치, 마이크로폰, 스피커, 조작 키, 또는 하우징을 구비하는 전자 기기이다.
- [0013] 본 명세서 등에서, 트랜지스터란, 게이트(게이트 단자 또는 게이트 전극)와 드레인과 소스를 포함하는 적어도 3 개의 단자를 갖는 소자를 말한다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역이 포함되고, 드레인과 채널 영역과 소스를 통하여 전류를 흘릴 수 있는 것이다.
- [0014] 여기서, 소스와 드레인은, 트랜지스터의 구조 또는 동작 조건 등에 따라 변하기 때문에, 어느 쪽이 소스 또는 드레인인지를 한정하는 것은 곤란하다. 그래서, 소스로서 기능하는 부분 및 드레인으로서 기능하는 부분을 소스 또는 드레인이라고 부르지 않고, 소스 및 드레인 중 한쪽을 제 1 전극으로 표기하고, 소스 및 드레인 중 다른 쪽을 제 2 전극으로 표기하는 경우가 있다.
- [0015] 본 명세서에서 사용되는 '제 1', '제 2', 및 '제 3'이라는 서수사는 구성 요소의 혼동을 피하기 위한 것에 불과하고, 수적으로 한정하는 것은 아님을 부기한다.
- [0016] 또한 본 명세서에서 'A와 B가 접속된다'라는 어구는 A와 B가 직접 접속되는 경우뿐만 아니라, A와 B가 전기적으로 접속되는 경우를 포함한다. 여기서, 'A와 B가 전기적으로 접속된다'라는 어구는 A와 B 사이에 어떠한 전기적 작용을 갖는 대상물이 존재할 때 A와 B 사이에서의 전기 신호의 수수(授受)가 가능한 경우를 말한다.
- [0017] 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 각각 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와, Z1의 다른 일부가 X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와, Z2의 다른 일부가 Y와 각각 직접 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.
- [0018] 예를 들어, 'X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 각각 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 다만, 이러한 표현 방법은 일레이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 가리킨다.
- [0019] 본 명세서에서 '위에', '아래에' 등 배치를 나타내는 어구는 도면을 참조하여 구성 요소들의 위치 관계를 설명하기 위하여 편의상 사용된다. 또한, 구성 요소들의 위치 관계는, 각 구성 요소를 묘사하는 방향에 따라서 적절히 바뀐다. 따라서, 명세서에서 사용하는 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.
- [0020] 본 명세서에서 오프 전류란, 특별히 언급이 없는 한, 트랜지스터가 오프 상태일 때의 드레인 전류를 말한다. 오프 상태란, 특별히 언급이 없는 한, n채널형 트랜지스터의 경우는 게이트-소스간의 전위차(V_{GS})가 문턱 전압(V_{th})보다 낮은 상태, p채널형 트랜지스터의 경우는 V_{GS} 가 V_{th} 보다 높은 상태를 말한다. 예를 들어, n채널형 트

랜지스터의 오프 전류란, V_{GS} 가 V_{th} 보다 낮을 때의 드레인 전류를 말하는 경우가 있다. 트랜지스터의 오프 전류는 V_{GS} 에 의존하는 경우가 있다. 따라서, '트랜지스터의 오프 전류가 $10^{-21}A$ 이하이다'란 트랜지스터의 오프 전류가 $10^{-21}A$ 이하가 되는 V_{GS} 의 값이 존재하는 것을 말하는 경우가 있다.

[0021] 또한, 트랜지스터의 오프 전류는 드레인-소스간의 전위차(V_{DS})에 존재하는 경우가 있다. 본 명세서에서 오프 전류는, 특별히 언급이 없는 한, V_{DS} 의 절대값이 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V일 때의 오프 전류를 말하는 경우가 있다. 또는, 상기 트랜지스터가 포함되는 반도체 장치 등에 요구되는 신뢰성에서 사용되는 V_{DS} , 또는 상기 트랜지스터가 포함되는 반도체 장치 등에서 사용되는 V_{DS} 에서의 오프 전류를 나타내는 경우가 있다.

발명의 효과

[0022] 본 발명의 일 형태에 의하여, 멀티레벨 데이터의 기록과 판독을 수행할 수 있는 반도체 장치를 제공하는 것, 또는 멀티레벨 데이터의 기록과 판독을 수행할 수 있는 반도체 장치의 구동 방법을 제공할 수 있게 된다. 또한, 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있게 된다.

[0023] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한, 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이고, 명세서, 도면, 및 청구항 등의 기재로부터 상술한 것들 이외의 효과가 추출될 수 있다.

도면의 간단한 설명

[0024] 도 1은 메모리 셀의 일례를 도시한 회로도.

도 2는 메모리 셀의 동작의 일례를 도시한 타이밍 차트.

도 3은 메모리 셀의 동작의 일례를 도시한 타이밍 차트.

도 4는 메모리 셀의 일례를 도시한 회로도.

도 5는 메모리 셀의 동작의 일례를 도시한 타이밍 차트.

도 6은 메모리 셀의 동작의 일례를 도시한 타이밍 차트.

도 7은 반도체 장치의 일례를 도시한 회로 블록도.

도 8은 반도체 장치의 일례를 도시한 회로 블록도.

도 9는 행 선택 드라이버의 일례를 도시한 회로 블록도.

도 10은 열 선택 드라이버의 일례를 도시한 회로 블록도.

도 11은 A/D 컨버터의 일례를 도시한 회로 블록도.

도 12는 반도체 장치의 일례를 도시한 단면도.

도 13은 트랜지스터의 일례를 도시한 상면도 및 단면도.

도 14는 트랜지스터의 일례를 도시한 단면도 및 밴드도.

도 15는 산화물 반도체의 단면의 고분해능 TEM 이미지 및 국소적인 푸리에(Fourier) 변환 이미지.

도 16은 산화물 반도체막의 나노빔 전자 회절 패턴을 나타낸 도면, 및 투과 전자 회절 측정 장치의 일례를 도시한 도면.

도 17은 전자 조사에 의한 결정부의 변화를 나타낸 도면.

도 18은 투과 전자 회절 측정에 의한 구조 해석의 일례를 도시한 도면, 및 평면의 고분해능 TEM 이미지.

도 19는 전자 기기의 일례를 도시한 도면.

도 20은 RF 태그의 일례를 도시한 도면.

도 21은 메모리 셀의 일례를 도시한 회로도.

도 22는 메모리 셀의 일례를 도시한 회로도.

도 23은 메모리 셀의 일례를 도시한 회로도.

도 24는 반도체 장치의 일례를 도시한 회로 블록도.

도 25는 반도체 장치의 일례를 도시한 회로 블록도.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 다양한 형태로 실시할 수 있으며, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0026] 또한, 도면에 있어서, 크기, 층의 두께, 또는 영역은, 명료화를 위해서 과장되어 있는 경우가 있다. 따라서, 본 발명의 실시형태는 반드시 그 스케일에 한정되지 않는다. 또한 도면은, 이상적인 예를 모식적으로 도시한 것이며, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들어, 노이즈에 의한 신호, 전압, 또는 전류의 편차, 또는 타이밍의 어긋남에 의한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다. 또한, 이하에서 설명하는 실시형태에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 다른 도면간에서 공통적으로 사용하고 그 반복 설명은 생략한다.

[0027] (실시형태 1)

[0028] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치에 포함되는 메모리 셀의 회로 구성 및 그 동작에 대하여 도 1~도 3을 참조하여 설명한다.

[0029] 《메모리 셀의 구성예》

[0030] 도 1은 본 발명의 일 형태에 따른 메모리 셀(100)의 회로도이다.

[0031] 도 1에 도시된 메모리 셀(100)은 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 용량 소자(104), 트랜지스터(105), 용량 소자(106), 노드(FN1), 및 노드(FN2)를 갖는다. 또한, 메모리 셀(100)은 비트선(BL), 전원선(SL), 워드선(WLC1), 워드선(WLC1), 워드선(WLC2), 및 워드선(WLC2)에 전기적으로 접속된다.

[0032] 트랜지스터(101)의 게이트는 워드선(WLOS1)에 전기적으로 접속되고, 트랜지스터(101)의 소스 및 드레인 중 한쪽은 비트선(BL)에 전기적으로 접속되고, 트랜지스터(101)의 소스 및 드레인 중 다른 쪽은 노드(FN1)에 전기적으로 접속되고, 트랜지스터(101)의 제 2 게이트는 신호(BG1)가 공급되는 배선에 전기적으로 접속된다.

[0033] 트랜지스터(102)의 게이트는 노드(FN1)에 전기적으로 접속되고, 트랜지스터(102)의 소스 및 드레인 중 한쪽은 비트선(BL)에 전기적으로 접속되고, 트랜지스터(102)의 소스 및 드레인 중 다른 쪽은 트랜지스터(103)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다.

[0034] 트랜지스터(103)의 게이트는 노드(FN2)에 전기적으로 접속되고, 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 전원선(SL)에 전기적으로 접속된다.

[0035] 용량 소자(104)의 한쪽 단자는 워드선(WLC1)에 전기적으로 접속되고, 용량 소자(104)의 다른 쪽 단자는 노드(FN1)에 전기적으로 접속된다.

[0036] 트랜지스터(105)의 게이트는 워드선(WLOS2)에 전기적으로 접속되고, 트랜지스터(105)의 소스 및 드레인 중 한쪽은 비트선(BL)에 전기적으로 접속되고, 트랜지스터(105)의 소스 및 드레인 중 다른 쪽은 노드(FN2)에 전기적으로 접속되고, 트랜지스터(105)의 제 2 게이트는 신호(BG2)가 공급되는 배선에 전기적으로 접속된다.

[0037] 용량 소자(106)의 한쪽 단자는 워드선(WLC2)에 전기적으로 접속되고, 용량 소자(106)의 다른 쪽 단자는 노드(FN2)에 전기적으로 접속된다.

[0038] 노드(FN1)는 2레벨 또는 멀티레벨의 데이터를 유지하는 기능을 갖는다. 즉, 노드(FN1)는 M비트(2^M 레벨, M은 1 이상의 자연수임)의 데이터를 유지하는 기능을 갖는다. 구체적으로는, 2비트의 데이터이면 4레벨(2^2)의 데이터

이며, 4단계의 전압 중 어느 하나를 갖는 신호이다.

[0039] 마찬가지로, 노드(FN2)는 2레벨 또는 멀티레벨의 데이터를 유지하는 기능을 갖는다. 즉, 노드(FN2)는 N비트(2^N 레벨, N은 1 이상의 자연수임)의 데이터를 유지하는 기능을 갖는다.

[0040] 상기 M비트의 데이터 및 N비트의 데이터는 비트선에 공급된다. 또한, 상기 M비트의 데이터는 트랜지스터(101)를 통하여 비트선으로부터 노드(FN1)에 공급된다. 또한, 상기 N비트의 데이터는 트랜지스터(105)를 통하여 비트선으로부터 노드(FN2)에 공급된다.

[0041] 본 명세서에서, 노드(FN1) 또는 노드(FN2)의 전위가 비트선(BL)의 전압에 따른 전위가 되는 것을 '메모리 셀에 데이터를 기록(공급)한다'라고 한다. 또한, 비트선(BL)의 전위가 노드(FN1) 또는 노드(FN2)의 전위에 따른 전위가 되는 것을 '메모리 셀로부터 데이터를 판독한다'라고 한다.

[0042] 워드선(WLOS1), 워드선(WLOS2)에는 기록 신호가 공급된다.

[0043] 기록 신호란, 비트선(BL)의 전위를 노드(FN1) 또는 노드(FN2)에 공급하기 위하여 트랜지스터(101) 또는 트랜지스터(105)를 온 상태로 하는 신호를 말한다.

[0044] 워드선(WLC1), 워드선(WLC2)에는 판독 신호가 공급된다.

[0045] 판독 신호란, 메모리 셀로부터 데이터를 선택적으로 판독하기 위하여 용량 소자(104)의 한쪽 단자 또는 용량 소자(106)의 한쪽 단자에 공급되는 신호를 말한다.

[0046] 트랜지스터(101) 및 트랜지스터(105)는 n채널형 트랜지스터로서 설명하기로 한다. 또한, 트랜지스터(102) 및 트랜지스터(103)는 p채널형 트랜지스터로서 설명하기로 한다.

[0047] 트랜지스터(101) 및 트랜지스터(105)는 온 상태와 오프 상태가 전환됨으로써, 데이터 기록을 제어하는 스위치로서 기능한다. 또한, 오프 상태가 유지됨으로써, 기록된 데이터에 따른 전위를 유지하는 기능을 갖는다.

[0048] 또한, 트랜지스터(101) 및 트랜지스터(105)에는, 오프 상태일 때 소스와 드레인 사이를 흐르는 전류(오프 전류)가 낮은 트랜지스터가 사용되는 것이 바람직하다. 여기서 오프 전류가 낮다는 것은, 실온에서 소스와 드레인 사이의 전압을 10V로 한 경우에 채널 폭 $1\mu\text{m}$ 당 정규화된 오프 전류가 $10 \times 10^{-21} \text{ A}$ 이하인 것을 말한다. 이와 같이 오프 전류가 낮은 트랜지스터로서는, 반도체층에 산화물 반도체가 포함되는 트랜지스터를 들 수 있다.

[0049] 도 1에 도시된 메모리 셀(100)의 구성에서는 오프 상태를 유지함으로써, 기록된 데이터에 따른 전위를 유지한다. 따라서, 노드(FN1) 및 노드(FN2)에서의 전하 이동을 수반하는 전위 변동을 억제하는 스위치로서, 오프 전류가 낮은 트랜지스터가 사용되는 것이 특히 바람직하다.

[0050] 트랜지스터(102), 트랜지스터(103)는 노드(FN1), 노드(FN2)의 전위에 따라 비트선(BL)과 전원선(SL) 사이에 전류를 흘리는 기능을 갖는다.

[0051] 또한, 트랜지스터(102) 및 트랜지스터(103)에는 문턱 전압의 편차가 작은 트랜지스터가 사용되는 것이 바람직하다. 여기서, 문턱 전압의 편차가 작은 트랜지스터란, 트랜지스터가 동일 공정으로 제작되는 경우에, 허용되는 문턱 전압 차이가 100mV 이내인 트랜지스터를 말한다. 구체적으로는 채널이 단결정 실리콘으로 형성되는 트랜지스터를 들 수 있다.

[0052] 또한, 트랜지스터(101) 및 트랜지스터(105)의 제 2 게이트는 각각 트랜지스터(101) 및 트랜지스터(105)의 문턱 전압을 제어하는 기능, 또는 트랜지스터(101) 및 트랜지스터(105)의 온 전류를 향상시키는 기능을 갖지만, 경우에 따라서는 생략하여도 좋다.

[0053] 《타이밍 차트》

[0054] 다음에, 메모리 셀(100)의 동작의 일례를 도 2 및 도 3의 타이밍 차트를 사용하여 설명한다.

[0055] 도 2 및 도 3에 도시된 타이밍 차트는, 메모리 셀(100)의 비트선(BL), 전원선(SL), 워드선(WLOS1), 워드선(WLC1), 노드(FN1), 워드선(WLOS2), 워드선(WLC2), 노드(FN2)의 전위 변화를 나타낸 것이다. 도 2는 메모리 셀(100)에 데이터를 기록할 때의 타이밍 차트, 도 3은 도 2에서 메모리 셀(100)에 기록된 데이터를 판독할 때의 타이밍 차트를 도시한 것이다.

[0056] 도 2 및 도 3에서, 전원선(SL), 워드선(WLOS1), 워드선(WLOS2)에는 고전원 전위로서 전위(V_{H1})가 공급되고, 저

전원 전위로서 전위(V_{GND})가 공급된다. 또한, 전위(V_{GND})는 접지 전위(GND)로 하여도 좋다. 또한, 전위(V_{H1})를 H레벨 전위, 전위(V_{GND})를 L레벨 전위라고 부르는 경우도 있다. 또한, 워드선(WLOS1) 및 워드선(WLOS2)에는 전위(V_{GND})보다 낮은 전위($-V_{L1}$)가 공급될 수도 있다. 전위($-V_{L1}$)는 음의 전위($-V_{L1} < 0V$)인 것이 바람직하다.

[0057] 도 2 및 도 3에서, 워드선(WLC1), 워드선(WLC2)에는 고전원 전위로서 전위(V_{H2})가 공급되고, 저전원 전위로서 전위(V_{GND})가 공급된다. 또한, 전위(V_{GND})는 접지 전위(GND)로 하여도 좋다. 또한, 전위(V_{H2})를 H레벨 전위, 전위(V_{GND})를 L레벨 전위라고 부르는 경우도 있다. 또한, 워드선(WLC1) 및 워드선(WLC2)에는 전위(V_{GND})보다 낮은 전위($-V_{L2}$)가 공급될 수도 있다. 전위($-V_{L2}$)는 음의 전위($-V_{L2} < 0V$)인 것이 바람직하다.

[0058] <기록 동작>

[0059] 도 2의 타이밍 차트를 사용하여, 메모리 셀(100)의 기록 동작에 대하여 설명한다.

[0060] 도 2에는 기간(p0)~기간(p3)의 4개의 기간이 도시되고, 기간(p0)은 초기 기간, 기간(p1)은 노드(FN1)에 데이터를 기록하는 기간, 기간(p2)은 노드(FN2)에 데이터를 기록하는 기간, 기간(p3)은 기록된 데이터를 유지하는 기간을 각각 나타낸다. 또한, 도 2에 도시된 시각(T0)~시각(T8)은 동작 타이밍을 설명하기 위하여 부기한 것이다.

[0061] 우선, 기간(p0)에서, 비트선(BL)은 V_{GND} 로 초기화되고, 전원선(SL)은 V_{GND} 를 유지하고, 워드선(WLOS1)에는 L레벨 전위가 공급되고, 워드선(WLC1)에는 H레벨 전위가 공급되고, 워드선(WLOS2)에는 L레벨 전위가 공급되고, 워드선(WLC2)에는 H레벨 전위가 공급된다.

[0062] 다음에, 시각(T0)에서, 워드선(WLOS1)의 전위는 L레벨로부터 H레벨로 변화되고, 워드선(WLC1)의 전위는 H레벨로부터 L레벨로 변화된다. 이 때, 트랜지스터(101)는 온 상태가 되어 비트선(BL)과 노드(FN1) 사이의 접속이 도통 상태가 되고, 노드(FN1)는 전위(V_{GND})로 초기화된다.

[0063] 다음에, 시각(T1)에서, 비트선(BL)에 전위(V_1)가 공급되고, 비트선(BL)과 도통 상태에 있는 노드(FN1)에도 전위(V_1)가 기록된다.

[0064] 또한, 도 2 및 도 3의 타이밍 차트에서 해칭 패턴으로 나타낸 부분은, 해칭 패턴의 범위의 전위가 공급되는 것, 즉 멀티레벨 데이터가 공급되는 것을 뜻한다. 예를 들어, 노드(FN1)에 4비트의 데이터를 기록하는 경우에는, 전위(V_1)는 $2^4 = 16$ 레벨의 전위가 될 수 있다.

[0065] 다음에, 시각(T2)에서, 워드선(WLOS1)의 전위를 L레벨로 하고, 트랜지스터(101)를 오프 상태로 한 후에, 시각(T3)에서 비트선(BL)의 전위를 V_{GND} 로 초기화한다. 이 때, 노드(FN1)는 전기적으로 부유 상태이므로 전위(V_1)를 유지한다.

[0066] 다음에, 시각(T4)에서, 워드선(WLC1)의 전위를 H레벨로 하고, 용량 결합에 의하여 노드(FN1)의 전위를 $V_1 + V_{H2}$ 까지 상승시킨다. 노드(FN1)의 전위를 높게 유지함으로써, p채널형 트랜지스터(102)는 오프 상태를 유지하고 비트선(BL)과 전원선(SL) 사이에 흐르는 누설 전류를 방지할 수 있다. 또한, 동시에 워드선(WLOS2)의 전위를 L레벨로부터 H레벨로 변화시키고, 워드선(WLC2)의 전위를 H레벨로부터 L레벨로 변화시킨다. 이 때, 트랜지스터(105)는 온 상태가 되어, 노드(FN2)는 초기화된다.

[0067] 또한, 워드선(WLC1)의 전위를 용량 소자(104)를 통하여 노드(FN1)에 공급하기 위해서는, 용량 소자(104)의 용량은 트랜지스터(101)의 게이트 용량보다 충분히 크고 트랜지스터(102)의 게이트 용량보다 충분히 큰 것이 바람직하다. 본 실시형태에서는 설명을 단순하게 하기 위하여, 워드선(WLC1)에 공급된 전위는 그대로 노드(FN1)에 공급되는(예를 들어, 워드선(WLC1)에 전위(V_{H2})를 공급하면, 노드(FN1)의 전위는 전위(V_1)로부터 전위($V_1 + V_{H2}$)로 상승됨) 것으로 하여 설명하였지만, 용량 소자(104)의 용량, 트랜지스터(101)의 게이트 용량, 트랜지스터(102)의 게이트 용량의 대소 관계에 따라서는, 워드선(WLC1)에 공급된 전위는 그대로 노드(FN1)에 공급되지 않는 경우가 있다.

[0068] 다음에, 시각(T5)에서, 비트선(BL)에 전위(V_2)가 공급되고, 노드(FN2)에 전위(V_2)가 기록된다. 또한, 전위(V_2)는 멀티레벨 데이터가 될 수 있다. 예를 들어, 노드(FN2)에 4비트의 데이터를 기록하는 경우에는 전위(V_2)는

$2^4=16$ 레벨의 전위가 될 수 있다.

[0069] 다음에, 시각(T6)에서, 워드선(WLOS2)의 전위를 H레벨로부터 L레벨로 변화시켜 트랜지스터(105)를 오프 상태로 하고, 시각(T7)에서 비트선(BL)의 전위를 V_{GND} 로 초기화한다. 이 때, 노드(FN2)는 전기적으로 부유 상태이기 때문에 전위(V_2)를 유지한다.

[0070] 다음에, 시각(T8)에서, 워드선(WLC2)의 전위를 L레벨로부터 H레벨로 하고, 용량 결합에 의하여 노드(FN2)의 전위를 V_2+V_{H2} 로 상승시킨다. 노드(FN2)의 전위를 높게 유지함으로써 p채널형 트랜지스터(103)는 오프 상태를 유지하고, 비트선(BL)으로부터 전원선(SL)으로 누설 전류가 흐르는 것을 방지할 수 있다.

[0071] 또한, 워드선(WLC2)의 전위를 용량 소자(106)를 통하여 노드(FN2)에 공급하기 위해서는, 용량 소자(106)의 용량은 트랜지스터(105)의 게이트 용량보다 충분히 크고 트랜지스터(103)의 게이트 용량보다 충분히 큰 것이 바람직하다. 본 실시형태에서는 설명을 단순하게 하기 위하여, 워드선(WLC2)에 공급된 전위는 그대로 노드(FN2)에 공급되는(예를 들어, 워드선(WLC2)에 전위(V_{H2})를 공급하면, 노드(FN2)의 전위는 전위(V_2)로부터 전위(V_2+V_{H2})로 상승됨) 것으로 하여 설명하였지만, 용량 소자(106)의 용량, 트랜지스터(105)의 게이트 용량, 트랜지스터(103)의 게이트 용량의 대소 관계에 따라서는, 워드선(WLC2)에 공급된 전위는 그대로 노드(FN2)에 공급되지 않는 경우가 있다.

[0072] 시각(T8) 이후의 기간(p3)에서는, 노드(FN1), 노드(FN2)에 기록된 데이터가 각각 유지되어 있다.

[0073] 상술한 바와 같이, 도 2의 타이밍 차트를 사용하여 설명한 기록 동작에 의하여, 노드(FN1) 및 노드(FN2)에 멀티레벨 데이터를 기록할 수 있다.

[0074] 또한, 기간(p1)에서, 워드선(WLOS1)에 공급되는 전위(V_{H1})는 전위(V_1)에 트랜지스터(101)의 문턱 전압을 더한 전위보다 높은 전위인 것이 바람직하다. 예를 들어, 전위(V_1)가 3V인 경우, 트랜지스터(101)의 문턱 전압을 1V로 하면, 전위(V_{H1})는 4V(3V+1V) 이상인 것이 바람직하다. 왜냐하면, 비트선(BL)으로부터 노드(FN1)에 3V의 전위를 기록할 때, 워드선(WLOS1)의 전위가 4V 미만이면, 노드(FN1)의 전위가 3V에 도달하기 전에 트랜지스터(101)의 게이트-소스간의 전위차(V_{GS})가 문턱 전압 이하가 되어, 트랜지스터(101)는 오프 상태가 되고 노드(FN1)에 3V의 전위를 기록하지 못하기 때문이다.

[0075] 마찬가지로, 기간(p2)에서, 워드선(WLOS2)에 공급되는 전위(V_{H1})는, 전위(V_2)에 트랜지스터(105)의 문턱 전압을 더한 전위보다 높은 전위인 것이 바람직하다.

[0076] 또한, 본 명세서에서 V_{GS} 란, 소스를 기준으로 할 때의 게이트-소스간의 전위차를 말한다. 예를 들어, 소스에 1V, 게이트에 3V의 전위가 공급되는 경우에는 V_{GS} 는 2V이다. 예를 들어, 소스에 3V, 게이트에 1V의 전위가 공급되는 경우에는 V_{GS} 는 -2V이다.

[0077] <판독 동작>

[0078] 도 3의 타이밍 차트를 사용하여, 메모리 셀(100)에 기록된 데이터의 판독 동작에 대하여 설명한다.

[0079] 도 3에는 기간(p3)~기간(p6)의 4개의 기간이 도시되고, 기간(p3)은 도 2의 기간(p3)에서 유지되는 데이터를 계속해서 유지하는 기간, 기간(p4)은 노드(FN1)의 데이터를 판독하는 기간, 기간(p5)은 노드(FN2)의 데이터를 판독하는 기간, 기간(p6)은 데이터를 유지하는 기간을 각각 나타낸다. 또한, 도 3에 도시된 시각(T9)~시각(T13)은 동작의 타이밍을 설명하기 위하여 부기한 것이다.

[0080] 우선, 시각(T9)에서 비트선(BL)이 전위(V_{BL})로 충전(프리차지)된다.

[0081] 다음에, 시각(T10)에서 비트선(BL)을 전기적으로 부유 상태로 한다. 즉, 비트선(BL)은 전하의 충전 또는 방전에 의하여 전위가 변동되는 상태가 된다. 이 상태는 비트선(BL)에 전위를 공급하는 스위치를 오프 상태로 함으로써 실현된다.

[0082] 또한, 시각(T10)에서는, 워드선(WLC1)의 전위가 H레벨로부터 L레벨로 저하되고, 용량 결합에 의하여 노드(FN1)의 전위도 전위(V_1+V_{H2})로부터 전위(V_1)로 저하된다. 노드(FN1)의 전위가 저하되면, p채널형 트랜지스터(102)의

V_{GS} 의 절대값은 커지고, 트랜지스터(102)는 온 상태가 된다. 또한 동시에, 워드선(WLC2)의 전위가 H레벨로부터 전위($-V_{L2}$)로 저하되고, 용량 결합에 의하여 노드(FN2)의 전위도 전위(V_2+V_{H2})로부터 전위(V_2-V_{L2})로 저하된다. 노드(FN2)의 전위가 저하되면, p채널형 트랜지스터(103)의 V_{GS} 의 절대값은 커지고, 트랜지스터(103)는 온 상태가 된다. 트랜지스터(102)와 트랜지스터(103)의 양쪽이 온 상태가 되면, 비트선(BL)과 전원선(SL) 사이는 도통 상태가 되어 전류가 흐르고, 비트선(BL)의 전하가 방전되어 비트선(BL)의 전위는 저하된다.

[0083] 방전에 의하여 비트선(BL)의 전위가 저하되면, 트랜지스터(102)의 V_{GS} 의 절대값과 트랜지스터(103)의 V_{GS} 의 절대값은 양쪽 모두 저하된다. 어느 한쪽 트랜지스터의 V_{GS} 가 그 트랜지스터의 문턱 전압과 같게 된 시점에서 방전이 완료되고, 비트선(BL)의 전위는 일정한 전위로 수렴된다. 기간(p4)에서는, 노드(FN2)에 노드(FN1)보다 낮은 전위가 공급되어 있기 때문에, 트랜지스터(103)는 트랜지스터(102)보다 V_{GS} 의 절대값이 크다. 즉, 트랜지스터(103)는 트랜지스터(102)보다 채널 저항이 낮고 온 전류가 크다. 따라서, 비트선(BL)의 방전이 시작되면, 트랜지스터(102)의 V_{GS} 가 먼저 문턱 전압에 도달하고, 트랜지스터(102)는 먼저 오프 상태가 된다.

[0084] 트랜지스터(102)가 오프 상태가 되면, 비트선(BL)은 일정한 전위(전위(V_1'))로 수렴된다. 이 전위(V_1')는 대략 노드(FN1)의 전위에서 트랜지스터(102)의 문턱 전압을 뺀 값으로 얻을 수 있다. 즉, 비트선(BL)의 전위(V_1')는 노드(FN1)의 전위의 고저가 반영된 값이라 할 수 있다. 이 전위차를 사용하여 데이터를 판정함으로써, 노드(FN1)에 기록된 멀티레벨 데이터를 판독할 수 있다.

[0085] 또한, 시각(T10)에서는, 워드선(WLOS2)의 전위를 L레벨로부터 $-V_{L1}$ 로 변화시킨다. 이로써, 비트선(BL) 또는 노드(FN2)의 전위 변화로 인하여 트랜지스터(105)가 온 상태가 되는 것을 방지한다.

[0086] 다음에, 시각(T11)에서, 다시 비트선(BL)의 전위를 전위(V_{BL})로 복원시켜 프리차지를 수행한다. 또한 동시에, 모든 워드선의 전위, 노드(FN1)의 전위, 노드(FN2)의 전위를 기간(p3)의 상태로 되돌리고, 트랜지스터(102), 트랜지스터(103)를 오프 상태로 한다.

[0087] 다음에, 시각(T12)에서 비트선(BL)을 전기적으로 부유 상태로 한다. 이 상태는 비트선(BL)에 전위를 공급하는 스위치를 오프 상태로 함으로써 실현된다.

[0088] 또한, 시각(T12)에서는, 워드선(WLC1)의 전위가 H레벨로부터 전위($-V_{L2}$)로 변화되고, 워드선(WLC2)의 전위가 H레벨로부터 L레벨로 변화된다. 이 때, 용량 결합에 의하여, 노드(FN1)의 전위는 전위(V_1+V_{H2})로부터 전위(V_1-V_{L2})로 저하되고, 노드(FN2)의 전위는 전위(V_2+V_{H2})로부터 전위(V_2)로 저하된다. 그 결과, 트랜지스터(102), 트랜지스터(103)는 온 상태가 되어 비트선(BL)과 전원선(SL) 사이는 도통 상태가 되고, 비트선(BL)의 전하가 방전되어 비트선(BL)의 전위는 저하된다.

[0089] 기간(p5)에서는, 노드(FN1)에 노드(FN2)보다 낮은 전위가 공급되어 있기 때문에, 트랜지스터(102)는 트랜지스터(103)보다 V_{GS} 의 절대값이 크다. 즉, 트랜지스터(102)는 트랜지스터(103)보다 채널 저항이 낮고 온 전류가 크다. 따라서, 비트선(BL)의 방전이 시작되면, 트랜지스터(103)의 V_{GS} 가 먼저 문턱 전압에 도달하고, 트랜지스터(103)는 먼저 오프 상태가 된다.

[0090] 트랜지스터(103)가 오프 상태가 되면, 비트선(BL)은 일정한 전위(전위(V_2'))로 수렴된다. 이 전위(V_2')는 대략 노드(FN2)의 전위에서 트랜지스터(103)의 문턱 전압을 뺀 값으로 얻을 수 있다. 즉, 비트선(BL)의 전위(V_2')는 노드(FN2)의 전위의 고저가 반영된 값이라 할 수 있다. 이 전위차를 사용하여 데이터를 판정함으로써, 노드(FN2)에 기록된 멀티레벨 데이터를 판독할 수 있다.

[0091] 또한, 시각(T12)에서는, 워드선(WLOS1)의 전위를 L레벨로부터 $-V_{L1}$ 로 변화시킨다. 이로써, 비트선(BL) 또는 노드(FN2)의 전위 변화로 인하여 트랜지스터(105)가 온 상태가 되는 것을 방지한다.

[0092] 다음에, 시각(T13)에서, 비트선(BL)을 V_{GND} 로 초기화하고, 모든 워드선의 전위, 노드(FN1)의 전위, 노드(FN2)의 전위를 기간(p3)의 상태로 되돌리고, 트랜지스터(102), 트랜지스터(103)를 오프 상태로 하여 노드(FN1), 노드(FN2)의 전위를 유지한다.

[0093] 상술한 바와 같이, 도 3의 타이밍 차트를 사용하여 설명한 판독 동작에 의하여, 노드(FN1) 및 노드(FN2)에 기록

된 멀티레벨 데이터를 판독할 수 있다.

[0094] 예를 들어, 8비트의 데이터(즉 $256(=2^8)$ 레벨의 전위)를 하나의 노드에 기록하는 경우를 생각해본다. 이 경우, 1레벨의 전위의 폭을 0.17V로 하면, 데이터를 유지하는 노드에 공급되는 전위의 폭은 $0.17V \times 256 = 43.52V$ 이다. 즉, 하나의 노드에 8비트의 데이터를 기억하기 위해서는, 약 45V의 전원 전위를 메모리 셀에 공급할 필요가 있지만, 전원 전위가 이러한 값이 되면 트랜지스터 파괴를 일으키기 때문에, 현실적인 값이 아니다.

[0095] 한편, 본 실시형태에 기재된 메모리 셀(100)에 8비트의 데이터를 기록하는 경우, 8비트의 데이터를 4비트의 데이터와 4비트의 데이터의 2개로 분할하고, 한쪽을 노드(FN1)에 기억시키고, 다른 쪽을 노드(FN2)에 기억시킬 수 있다. 따라서, 하나의 노드에는 $16(=2^4)$ 레벨의 전위가 공급된다. 1레벨의 전위의 폭을 0.17V로 하면, 하나의 노드에 공급되는 전위의 폭은 $0.17V \times 16 = 2.72V$ 이다. 이것은 메모리 셀을 구동하는 데 현실적인 값이다.

[0096] 상술한 바와 같이, 본 발명의 일 형태에 따른 메모리 셀(100)을 사용함으로써, 8비트의 데이터를 기억하는 반도체 장치를 제공할 수 있게 된다.

[0097] 또한, 메모리 셀(100)이 기억할 수 있는 데이터의 비트수는 8비트에 한정되지 않고, 다양한 비트수의 데이터를 기억할 수 있다. 예를 들어, 노드(FN1)에 M비트(2^M 레벨)의 데이터를 기억시키고, 노드(FN2)에 N비트(2^N 레벨)의 데이터를 기억시킨 경우, 메모리 셀(100)은 $M+N$ 비트(2^{M+N} 레벨)의 데이터를 기억할 수 있게 된다.

[0098] 도 1의 메모리 셀(100)은 도 21의 (A)에 도시된 회로도와 같이, 트랜지스터(101)의 제 2 게이트와 트랜지스터(105)의 제 2 게이트에 공통의 신호(BG)를 공급하여도 좋다.

[0099] 도 1의 메모리 셀(100)은 도 22의 (A)에 도시된 회로도와 같이 구성되어도 좋다. 도 22의 (A)에 도시된 회로도는 2개의 비트선(비트선(BL1)과 비트선(BL2))을 갖는 점, 및 트랜지스터(101)와 트랜지스터(105)가 공통의 워드선(WLOS)에 접속되는 점에서 도 1의 회로도와는 다르다. 또한, 도 22의 (A)에 도시된 트랜지스터(101)의 제 2 게이트 및 트랜지스터(105)의 제 2 게이트에, 도 21의 (A)의 경우와 마찬가지로 공통의 신호를 공급하여도 좋다. 또한, 경우에 따라서는 이를 제 2 게이트를 생략하여도 좋다.

[0100] 도 1의 메모리 셀(100)은 도 23의 (A)에 도시된 회로도와 같이 구성되어도 좋다. 도 23의 (A)에 도시된 회로도는 트랜지스터(107), 용량 소자(108), 트랜지스터(109), 노드(FN3), 워드선(WLOS3), 워드선(WLC3)을 갖는 점에서 도 1의 회로도와는 다르다. 또한, 도 23의 (A)에 도시된 트랜지스터(101)의 제 2 게이트, 트랜지스터(105)의 제 2 게이트, 및 트랜지스터(107)의 제 2 게이트에 도 21의 (A)의 경우와 마찬가지로 공통의 신호를 공급하여도 좋다. 또한, 경우에 따라서는 이를 제 2 게이트를 생략하여도 좋다.

[0101] 또한, 본 실시형태에 기재된 구성, 방법 등을 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0102] (실시형태 2)

[0103] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치가 갖는 메모리 셀의 회로 구성 및 그 동작에 대하여 4~6을 참조하여 설명한다.

[0104] <메모리 셀의 구성예>

[0105] 도 4는 본 발명의 일 형태에 따른 메모리 셀(110)의 회로도이다.

[0106] 도 4에 도시된 메모리 셀(110)에서는 트랜지스터(101), 트랜지스터(112), 트랜지스터(113), 용량 소자(104), 트랜지스터(105), 용량 소자(106), 노드(FN1), 및 노드(FN2)를 갖는다. 또한, 메모리 셀(110)은 비트선(BL), 전원선(SL), 워드선(WLC1), 워드선(WLOS1), 워드선(WLC2), 및 워드선(WLOS2)에 전기적으로 접속된다.

[0107] 메모리 셀(110)은 실시형태 1에 기재된 메모리 셀(100)의 트랜지스터(102), 트랜지스터(103)를 n채널형 트랜지스터인 트랜지스터(112), 트랜지스터(113)로 각각 치환한 것이다. 이하에서는, 트랜지스터(101), 트랜지스터(112), 트랜지스터(113), 트랜지스터(105)는 n채널형 트랜지스터인 것으로 하여 설명하기로 한다.

[0108] 트랜지스터(112), 트랜지스터(113)는 노드(FN1), 노드(FN2)의 전위에 따라 비트선(BL)과 전원선(SL) 사이에 전류를 흘리는 기능을 갖는다.

[0109] 또한, 트랜지스터(112) 및 트랜지스터(113)에는 문턱 전압의 편차가 작은 트랜지스터가 사용되는 것이 바람직하다. 여기서, 문턱 전압의 편차가 작은 트랜지스터란, 트랜지스터가 동일 공정으로 제작되는 경우에, 허용되는

문턱 전압 차이가 100mV 이내인 트랜지스터를 말한다. 구체적으로는 채널이 단결정 실리콘으로 형성되는 트랜지스터를 들 수 있다.

[0110] 메모리 셀(110)의 다른 구성 요소에 관한 자세한 내용은 메모리 셀(100)의 기재를 참조하면 좋다.

[0111] <타이밍 차트>

[0112] 다음에, 메모리 셀(110)의 동작의 일례를 도 5 및 도 6의 타이밍 차트를 사용하여 설명한다.

[0113] 도 5 및 도 6에 도시된 타이밍 차트는, 메모리 셀(110)의 비트선(BL), 전원선(SL), 워드선(WLOS1), 워드선(WLC1), 노드(FN1), 워드선(WLOS2), 워드선(WLC2), 노드(FN2)의 전위 변화를 나타낸 것이다. 도 5는 메모리 셀(110)에 데이터를 기록할 때의 타이밍 차트, 도 6은 도 5에서 메모리 셀(110)에 기록된 데이터를 판독할 때의 타이밍 차트를 도시한 것이다.

[0114] 도 5 및 도 6에서, 전원선(SL)에는 고전원 전위로서 전위(V_{H0})가 공급되고, 저전원 전위로서 전위(V_{GND})가 공급된다. 또한, 전위(V_{GND})는 접지 전위(GND)로 하여도 좋다. 또한, 전위(V_{H0})를 H레벨 전위, 전위(V_{GND})를 L레벨 전위라고 부르는 경우도 있다.

[0115] 도 5 및 도 6에서, 워드선(WLOS1) 및 워드선(WLOS2)에는 고전원 전위로서 전위(V_{H1})가 공급되고, 저전원 전위로서 전위(V_{GND})가 공급된다. 또한, 전위(V_{GND})는 접지 전위(GND)로 하여도 좋다. 또한, 전위(V_{H1})를 H레벨 전위, 전위(V_{GND})를 L레벨 전위라고 부르는 경우도 있다. 또한, 워드선(WLOS1) 및 워드선(WLOS2)에는 전위(V_{GND})보다 낮은 전위($-V_{L1}$)가 공급될 수도 있다. 전위($-V_{L1}$)는 음의 전위($-V_{L1} < 0V$)인 것이 바람직하다.

[0116] 도 5 및 도 6에서, 워드선(WLC1) 및 워드선(WLC2)에는 고전원 전위로서 전위(V_{H2})가 공급되고, 저전원 전위로서 전위(V_{GND})가 공급된다. 또한, 전위(V_{GND})는 접지 전위(GND)로 하여도 좋다. 또한, 전위(V_{H2})를 H레벨 전위, 전위(V_{GND})를 L레벨 전위라고 부르는 경우도 있다. 또한, 워드선(WLC1) 및 워드선(WLC2)에는 전위(V_{GND})보다 낮은 전위($-V_{L2}$)가 공급될 수도 있다. 전위($-V_{L2}$)는 음의 전위($-V_{L2} < 0V$)인 것이 바람직하다.

[0117] <기록 동작>

[0118] 도 5의 타이밍 차트를 사용하여, 메모리 셀(110)의 기록 동작의 일례에 대하여 설명한다.

[0119] 도 5에는 기간(p0)~기간(p3)의 4개의 기간이 도시되고, 기간(p0)은 초기 기간, 기간(p1)은 노드(FN1)에 데이터를 기록하는 기간, 기간(p2)은 노드(FN2)에 데이터를 기록하는 기간, 기간(p3)은 기록된 데이터를 유지하는 기간을 각각 나타낸다. 또한, 도 5에 도시된 시각(T0)~시각(T8)은 동작 타이밍을 설명하기 위하여 부기한 것이다.

[0120] 우선, 기간(p0)에서, 비트선(BL) 및 전원선(SL)은 전위(V_{GND})로 초기화되고, 워드선(WLOS1)에는 전위($-V_{L1}$)가 공급되고, 워드선(WLC1)에는 전위($-V_{L2}$)가 공급되고, 워드선(WLOS2)에는 전위($-V_{L1}$)가 공급되고, 워드선(WLC2)에는 전위($-V_{L2}$)가 공급된다.

[0121] 다음에, 시각(T0)에서, 워드선(WLOS1)에 H레벨 전위가 공급되고, 워드선(WLC1)에 L레벨 전위가 공급된다. 이 때, 트랜지스터(101)는 온 상태가 되어 비트선(BL)과 노드(FN1) 사이가 도통 상태가 되고, 노드(FN1)는 전위(V_{GND})로 초기화된다.

[0122] 다음에, 시각(T1)에서, 비트선(BL)에 전위(V_1)가 공급되고, 비트선(BL)과 도통 상태에 있는 노드(FN1)에도 전위(V_1)가 기록된다.

[0123] 또한, 도 5 및 도 6의 타이밍 차트에서 해칭 패턴으로 나타낸 부분은, 해칭 패턴의 범위의 전위가 공급되는 것, 즉 멀티레벨 데이터가 공급되는 것을 뜻한다. 예를 들어, 노드(FN1)에 4비트의 데이터가 기록되는 경우에는, 전위(V_1)는 $2^4=16$ 레벨의 전위가 될 수 있다.

[0124] 또한, 시각(T1)에서 트랜지스터(112)의 오프 상태를 유지하기 위하여, 전원선(SL)에 H레벨 전위가 공급된다. 이 때, 전원선(SL)에 공급되는 전위(V_{H0})는 비트선(BL) 및 노드(FN1)에 공급되는 전위(V_1)보다 높은 것이 바람직

하다. 전위(V_{H0})가 상술한 조건을 만족시킴으로써, 트랜지스터(112)의 V_{GS} 를 0V로 유지할 수 있다.

[0125] 다음에, 시각(T2)에서, 워드선(WLOS1)에 L레벨 전위가 공급되어 트랜지스터(101)는 오프 상태가 된다.

[0126] 다음에, 시각(T3)에서, 비트선(BL) 및 전원선(SL)은 전위(V_{GND})로 초기화된다. 이 때, 노드(FN1)는 전기적으로 부유 상태가 되어 전위(V_1)를 유지한다.

[0127] 다음에, 시각(T4)에서, 워드선(WLOS2)에 H레벨 전위가 공급되고, 워드선(WLC2)에 L레벨 전위가 공급된다. 이 때, 트랜지스터(105)는 온 상태가 되어 비트선(BL)과 노드(FN2) 사이가 도통 상태가 되고, 노드(FN2)는 전위(V_{GND})로 초기화된다.

[0128] 또한, 시각(T4)에서, 워드선(WLC1)에 전위($-V_{L2}$)가 공급되고, 노드(FN1)에 전위(V_1-V_{L2})가 공급된다. 노드(FN1)의 전위가 낮게 유지되면, n채널형 트랜지스터(112)는 오프 상태를 유지하고 비트선(BL)과 전원선(SL) 사이에 흐르는 누설 전류를 차단한다. 이 때, 트랜지스터(101)가 온 상태가 되는 것을 방지하기 위하여, 전위($-V_{L1}$)가 워드선(WLOS1)에 공급된다.

[0129] 또한, 워드선(WLC1)의 전위를 용량 소자(104)를 통하여 노드(FN1)에 공급하기 위해서는, 용량 소자(104)의 용량은 트랜지스터(101)의 게이트 용량보다 충분히 크고 트랜지스터(112)의 게이트 용량보다 충분히 큰 것이 바람직하다. 본 실시형태에서는 설명을 단순하게 하기 위하여, 워드선(WLC1)에 공급된 전위는 그대로 노드(FN1)에 공급되는(예를 들어, 워드선(WLC1)의 전위가 전위(V_{GND})로부터 전위($-V_{L2}$)로 변화되면, 노드(FN1)의 전위는 전위(V_1)로부터 전위(V_1-V_{L2})로 변화됨) 것으로 하여 설명하였지만, 용량 소자(104)의 용량, 트랜지스터(101)의 게이트 용량, 트랜지스터(112)의 게이트 용량의 대소 관계에 따라서는, 워드선(WLC1)에 공급된 전위는 그대로 노드(FN1)에 공급되지 않는 경우가 있다.

[0130] 다음에, 시각(T5)에서, 비트선(BL)에 전위(V_2)가 공급되고, 노드(FN2)에 전위(V_2)가 기록된다. 또한, 전위(V_2)는 멀티레벨 데이터가 될 수 있다. 예를 들어, 노드(FN2)에 4비트의 데이터를 기록하는 경우에는 전위(V_2)는 $2^4=16$ 레벨의 전위가 될 수 있다.

[0131] 또한, 시각(T5)에서, 트랜지스터(113)의 오프 상태를 유지하기 위하여, 전원선(SL)에 H레벨 전위가 공급된다. 이 때, 전원선(SL)에 공급되는 전위(V_{H0})는 비트선(BL) 및 노드(FN1)에 공급되는 전위(V_2)보다 높은 것이 바람직하다. 전위(V_{H0})가 상술한 조건을 만족시킴으로써, 트랜지스터(113)의 V_{GS} 를 0V로 유지할 수 있다.

[0132] 다음에, 시각(T6)에서, 워드선(WLOS2)에 L레벨 전위가 공급되어 트랜지스터(105)는 오프 상태가 된다.

[0133] 다음에, 시각(T7)에서, 비트선(BL) 및 전원선(SL)은 전위(V_{GND})로 초기화된다. 이 때, 노드(FN2)는 전기적으로 부유 상태가 되어 전위(V_2)를 유지한다.

[0134] 또한, 시각(T8)에서, 워드선(WLC2)에 전위($-V_{L2}$)가 공급되고, 노드(FN2)에 전위(V_2-V_{L2})가 공급된다. 노드(FN2)의 전위가 낮게 유지되면, n채널형 트랜지스터(113)는 오프 상태를 유지하고 비트선(BL)과 전원선(SL) 사이에 흐르는 누설 전류를 차단한다. 또한, 트랜지스터(105)가 온 상태가 되는 것을 방지하기 위하여, 전위($-V_{L1}$)가 워드선(WLOS2)에 공급된다.

[0135] 또한, 워드선(WLC2)의 전위를 용량 소자(106)를 통하여 노드(FN2)에 공급하기 위해서는, 용량 소자(106)의 용량은 트랜지스터(105)의 게이트 용량보다 충분히 크고 트랜지스터(113)의 게이트 용량보다 충분히 큰 것이 바람직하다. 본 실시형태에서는 설명을 단순하게 하기 위하여, 워드선(WLC2)에 공급된 전위는 그대로 노드(FN2)에 공급되는(예를 들어, 워드선(WLC2)의 전위가 전위(V_{GND})로부터 전위($-V_{L2}$)로 변화되면, 노드(FN2)의 전위는 전위(V_2)로부터 전위(V_2-V_{L2})로 변화된다) 것으로 하여 설명하였지만, 용량 소자(106)의 용량, 트랜지스터(105)의 게이트 용량, 트랜지스터(113)의 게이트 용량의 대소 관계에 따라서는, 워드선(WLC2)에 공급된 전위는 그대로 노드(FN2)에 공급되지 않는 경우가 있다.

[0136] 시각(T8) 이후의 기간(p3)에서는, 노드(FN1) 및 노드(FN2)에 기록된 데이터가 각각 유지되어 있다.

[0137] 상술한 바와 같이, 도 5의 타이밍 차트를 사용하여 설명한 기록 동작에 의하여, 노드(FN1) 및 노드(FN2)에 멀티

레벨 데이터를 기록할 수 있다.

[0138] 또한, 기간(p1)에서, 워드선(WLOS1)에 공급되는 전위(V_{H1})는 전위(V_1)에 트랜지스터(101)의 문턱 전압을 더한 전위보다 높은 전위인 것이 바람직하다.

[0139] 마찬가지로, 기간(p2)에서, 워드선(WLOS2)에 공급되는 전위(V_{H1})는, 전위(V_2)에 트랜지스터(105)의 문턱 전압을 더한 전위보다 높은 전위인 것이 바람직하다.

[0140] 『판독 동작』

[0141] 도 6의 타이밍 차트를 사용하여, 메모리 셀(110)에 기록된 데이터의 판독 동작에 대하여 설명한다.

[0142] 도 6에는 기간(p3)~기간(p6)의 4개의 기간이 도시되고, 기간(p3)은 도 5의 기간(p3)에서 유지되는 데이터를 계속해서 유지하는 기간, 기간(p4)은 노드(FN1)의 데이터를 판독하는 기간, 기간(p5)은 노드(FN2)의 데이터를 판독하는 기간, 기간(p6)은 데이터를 유지하는 기간을 각각 나타낸다. 또한, 도 6에 도시된 시각(T9)~시각(T15)은 동작의 타이밍을 설명하기 위하여 부기한 것이다.

[0143] 우선, 시각(T9)에서, 워드선(WLOS1)에 L레벨 전위가 공급되고, 워드선(WLC1)에 L레벨 전위가 공급되고, 용량 결합에 의하여 노드(FN1)의 전위가 전위(V_1-V_{L2})로부터 전위(V_1)로 상승된다. 노드(FN1)의 전위가 상승되면, n채널형 트랜지스터(112)의 V_{GS} 가 크게 되고, 트랜지스터(112)는 온 상태가 된다.

[0144] 또한, 시각(T9)에서, 워드선(WLOS2)에 L레벨 전위가 공급되고, 워드선(WLC2)에 H레벨 전위가 공급되고, 용량 결합에 의하여 노드(FN2)의 전위가 전위(V_2-V_{L2})로부터 전위(V_2+V_{H2})로 상승된다. 노드(FN2)의 전위가 상승되면, n채널형 트랜지스터(113)의 V_{GS} 가 크게 되고, 트랜지스터(113)는 온 상태가 된다.

[0145] 다음에, 시각(T10)에서 비트선(BL)을 전기적으로 부유 상태로 한다. 즉, 비트선(BL)은 전하의 충전 또는 방전에 의하여 전위가 변동되는 상태가 된다. 이 상태는 비트선(BL)에 전위를 공급하는 스위치를 오프 상태로 함으로써 실현된다.

[0146] 또한, 시각(T10)에서, 전원선(SL)에 H레벨 전위를 공급한다. 전원선(SL)에 H레벨 전위가 공급되면, 비트선(BL)과 전원선(SL) 사이에 전위차가 생기고, 전원선(SL)으로부터 비트선(BL)으로 전류가 흐른다. 비트선(BL)이 충전되어 비트선(BL)의 전위는 상승된다.

[0147] 충전에 의하여 비트선(BL)의 전위가 상승되면, 트랜지스터(112)의 V_{GS} 와 트랜지스터(113)의 V_{GS} 는 양쪽 모두 저하된다. 어느 한쪽 트랜지스터의 V_{GS} 가 그 트랜지스터의 문턱 전압과 같게 된 시점에서 충전이 완료되고, 비트선(BL)의 전위는 일정한 전위로 수렴된다. 기간(p4)에서는, 노드(FN2)에 노드(FN1)보다 높은 전위가 공급되어 있기 때문에, 트랜지스터(113)는 트랜지스터(112)보다 V_{GS} 가 크다. 즉, 트랜지스터(113)는 트랜지스터(112)보다 채널 저항이 낮고 온 전류가 크다. 따라서, 비트선(BL)의 충전이 시작되면, 트랜지스터(112)의 V_{GS} 가 먼저 문턱 전압에 도달하고, 트랜지스터(112)는 먼저 오프 상태가 된다.

[0148] 트랜지스터(112)가 오프 상태가 되면, 비트선(BL)은 일정한 전위(전위(V_1'))로 수렴된다. 이 전위(V_1')는 대략 노드(FN1)의 전위에서 트랜지스터(112)의 문턱 전압을 뺀 값으로 얻을 수 있다. 즉, 비트선(BL)의 전위(V_1')는 노드(FN1)의 전위의 고저가 반영된 값이라 할 수 있다. 이 전위차를 사용하여 데이터를 판정함으로써, 노드(FN1)에 기록된 멀티레벨 데이터를 판독할 수 있다.

[0149] 다음에, 시각(T11)에서, 비트선(BL) 및 전원선(SL)이 전위(V_{GND})로 초기화된다.

[0150] 다음에, 시각(T12)에서, 워드선(WLC1)에 H레벨 전위가 공급되고, 용량 결합에 의하여 노드(FN1)의 전위가 전위(V_1)로부터 전위(V_1+V_{H2})로 상승된다. 또한 동시에, 워드선(WLC2)에 L레벨 전위가 공급되고, 노드(FN2)의 전위는 전위(V_2+V_{H2})로부터 전위(V_2)로 저하된다. 트랜지스터(112) 및 트랜지스터(113)는 양쪽 모두 온 상태가 된다.

[0151] 다음에, 시각(T13)에서, 비트선(BL)은 전기적으로 부유 상태가 된다.

[0152] 또한 동시에, 시각(T13)에서, 전원선(SL)에 H레벨 전위가 공급된다. 전원선(SL)의 전위가 H레벨이 되면, 비트

선(BL)과 전원선(SL) 사이에 전위차가 생기고, 전원선(SL)으로부터 비트선(BL)으로 전류가 흐른다. 비트선(BL)이 충전되어 비트선(BL)의 전위는 상승된다.

[0153] 충전에 의하여 비트선(BL)의 전위가 상승되면, 트랜지스터(112)의 V_{GS} 와 트랜지스터(113)의 V_{GS} 는 양쪽 모두 저하된다. 어느 한쪽 트랜지스터의 V_{GS} 가 그 트랜지스터의 문턱 전압과 같게 된 시점에서 충전이 완료되고, 비트선(BL)의 전위는 일정한 전위로 수렴된다. 기간(p5)에서는, 노드(FN1)에 노드(FN2)보다 높은 전위가 공급되어 있기 때문에, 트랜지스터(112)는 트랜지스터(113)보다 V_{GS} 가 크다. 즉, 트랜지스터(112)는 트랜지스터(113)보다 채널 저항이 낮고 온 전류가 크다. 따라서, 비트선(BL)의 충전이 시작되면, 트랜지스터(113)의 V_{GS} 가 먼저 문턱 전압에 도달하고, 트랜지스터(113)는 먼저 오프 상태가 된다.

[0154] 트랜지스터(113)가 오프 상태가 되면, 비트선(BL)은 일정한 전위(전위(V_2'))로 수렴된다. 이 전위(V_2')는 대략 노드(FN2)의 전위에서 트랜지스터(113)의 문턱 전압을 뺀 값으로 얻을 수 있다. 즉, 비트선(BL)의 전위(V_2')는 노드(FN2)의 전위의 고저가 반영된 값이라 할 수 있다. 이 전위차를 사용하여 데이터를 판정함으로써, 노드(FN2)에 기록된 멀티레벨 데이터를 판독할 수 있다.

[0155] 다음에, 시각(T14)에서, 비트선(BL) 및 전원선(SL)이 전위(V_{GND})로 초기화된다.

[0156] 다음에, 시각(T15)에서, 도 6에 도시된 모든 배선 및 노드에 기간(p3)과 같은 전위가 공급되고, 노드(FN1) 및 노드(FN2)의 전위가 유지된다.

[0157] 상술한 바와 같이, 도 6의 타이밍 차트를 사용하여 설명한 판독 동작에 의하여, 노드(FN1) 및 노드(FN2)에 기록된 멀티레벨 데이터를 판독할 수 있다.

[0158] 예를 들어, 8비트의 데이터(즉 $256(=2^8)$ 레벨의 전위)를 하나의 노드에 기록하는 경우를 생각해본다. 이 경우, 1레벨의 전위의 폭을 0.17V로 하면, 데이터를 유지하는 노드에 공급되는 전위의 폭은 $0.17V \times 256 = 43.52V$ 이다. 즉, 하나의 노드에 8비트의 데이터를 기억하기 위해서는, 약 45V의 전원 전위를 메모리 셀에 공급할 필요가 있지만, 전원 전위가 이러한 값이 되면 트랜지스터 파괴를 일으키기 때문에, 현실적인 값이 아니다.

[0159] 한편, 본 실시형태에 기재된 메모리 셀(110)에 8비트의 데이터를 기록하는 경우, 8비트의 데이터를 4비트의 데이터와 4비트의 데이터의 2개로 분할하고, 한쪽을 노드(FN1)에 기억시키고, 다른 쪽을 노드(FN2)에 기억시킬 수 있다. 따라서, 하나의 노드에는 $16(=2^4)$ 레벨의 전위가 공급된다. 1레벨의 전위의 폭을 0.17V로 하면, 하나의 노드에 공급되는 전위의 폭은 $0.17V \times 16 = 2.72V$ 이다. 이것은 메모리 셀을 구동하는 데 현실적인 값이다.

[0160] 상술한 바와 같이, 본 발명의 일 형태에 따른 메모리 셀(110)을 사용함으로써, 8비트의 데이터를 기억하는 반도체 장치를 제공할 수 있게 된다. 또한, 메모리 셀(110)이 기억할 수 있는 데이터의 비트수는 8비트에 한정되지 않고, 다양한 비트수의 데이터를 기억할 수 있다. 예를 들어, 노드(FN1)에 M비트(2^M 레벨)의 데이터를 기억시키고, 노드(FN2)에 N비트(2^N 레벨)의 데이터를 기억시킨 경우, 메모리 셀(110)은 $M+N$ 비트(2^{M+N} 레벨)의 데이터를 기억할 수 있게 된다.

[0161] 도 4의 메모리 셀(110)은 도 21의 (B)에 도시된 회로도와 같이, 트랜지스터(101)의 제 2 게이트와 트랜지스터(105)의 제 2 게이트에 공통의 신호(BG)를 공급하여도 좋다.

[0162] 도 4의 메모리 셀(110)은 도 22의 (B)에 도시된 회로도와 같이 구성되어도 좋다. 도 22의 (B)에 도시된 회로도는 2개의 비트선(비트선(BL1)과 비트선(BL2))을 갖는 점, 및 트랜지스터(101)와 트랜지스터(105)가 공통의 워드선(WLOS)에 접속되는 점에서 도 4의 회로도와는 다르다. 또한, 도 22의 (B)에 도시된 트랜지스터(101)의 제 2 게이트 및 트랜지스터(105)의 제 2 게이트에, 도 21의 (B)의 경우와 마찬가지로 공통의 신호를 공급하여도 좋다. 또한, 경우에 따라서는 이를 제 2 게이트를 생략하여도 좋다.

[0163] 도 4의 메모리 셀(110)은 도 23의 (B)에 도시된 회로도와 같이 구성되어도 좋다. 도 23의 (B)에 도시된 회로도는 트랜지스터(107), 용량 소자(108), 트랜지스터(114), 노드(FN3), 워드선(WLOS3), 워드선(WLC3)을 갖는 점에서 도 4의 회로도와는 다르다. 또한, 도 23의 (B)에 도시된 트랜지스터(101)의 제 2 게이트, 트랜지스터(105)의 제 2 게이트, 및 트랜지스터(107)의 제 2 게이트에 도 21의 (B)의 경우와 마찬가지로 공통의 신호를 공급하여도 좋다. 또한, 경우에 따라서는 이를 제 2 게이트를 생략하여도 좋다.

- [0164] 또한, 본 실시형태에서, 본 발명의 일 형태에 대하여 설명하였다. 또는, 다른 실시형태에서 본 발명의 일 형태에 대하여 설명한다. 다만, 본 발명의 일 형태는 이들에 한정되지 않는다. 예를 들어, 본 발명의 일 형태를 메모리 셀에 적용한 경우의 예를 기재하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 경우에 따라서 또는 상황에 따라서, 본 발명의 일 형태는 메모리 셀에 적용하지 않아도 좋다. 예를 들어, 본 발명의 일 형태는 다른 기능을 갖는 회로에 적용하여도 좋다.
- [0165] 또한, 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0166] (실시형태 3)
- [0167] 본 실시형태에서는, 실시형태 1에서 설명한 구동 방법을 수행할 수 있는 반도체 장치의 일례에 대하여 도면을 사용하여 설명한다.
- [0168] <반도체 장치의 구성예>
- [0169] 도 7은, 실시형태 1에서 설명한 메모리 셀(100)을 갖는 반도체 장치의 구성예를 도시한 블록도이다.
- [0170] 도 7에 도시된 반도체 장치(500)는, 도 4에 도시된 메모리 셀(100)이 복수로 제공된 메모리 셀 어레이(501), 행 선택 드라이버(502), 열 선택 드라이버(503), 및 A/D 컨버터(504)를 갖는다. 또한, 반도체 장치(500)는 m 행(m 은 2 이상의 자연수임) n 열(n 은 2 이상의 자연수임)의 매트릭스 형태로 제공된 메모리 셀(100)을 갖는다. 또한, 도 7에는, ($m-1$)번째 행의 메모리 셀(100)에 접속된 워드선으로서 워드선(WLOS1[$m-1$]), 워드선(WLC1[$m-1$]), 워드선(WLOS2[$m-1$]), 워드선(WLC2[$m-1$])을 도시하고, m 번째 행의 메모리 셀(100)에 접속된 워드선으로서 워드선(WLOS1[m]), 워드선(WLC1[m]), 워드선(WLOS2[m]), 워드선(WLC2[m])을 도시하고, ($n-1$)번째 열의 메모리 셀(100)에 접속된 비트선(BL[$n-1$]), n 번째 열의 메모리 셀(100)에 접속된 비트선(BL[n]), ($n-1$)번째 열의 메모리 셀(100) 및 n 번째 열의 메모리 셀(100)에 접속된 전원선(SL)을 도시하였다.
- [0171] 도 7에 도시된 메모리 셀 어레이(501)에서는 도 4에 도시된 메모리 셀(100)이 매트릭스 형태로 제공되어 있다. 또한, 메모리 셀(100)이 갖는 각 구성은 도 4와 마찬가지이고, 도 4에 대한 설명을 원용하기로 하여 설명을 생략한다.
- [0172] 또한, 도 7에는 메모리 셀 어레이(501)에서 인접하는 메모리 셀들이 공통의 전원선(SL)에 접속된 구성을 도시하였다. 이 구성을 사용함으로써, 전원선(SL)이 차지하던 면적만큼 면적을 축소할 수 있다. 따라서, 이 구성이 사용된 반도체 장치에서는 단위 면적당 기억 용량이 향상될 수 있다.
- [0173] 행 선택 드라이버(502)는 각 행에서의 메모리 셀(100)의 트랜지스터(101) 및 트랜지스터(105)를 선택적으로 온 상태로 하는 기능, 및 각 행에서의 메모리 셀(100)의 노드(FN1) 및 노드(FN2)의 전위를 선택적으로 변화시키는 기능을 갖는 회로이다. 행 선택 드라이버(502)를 구비함으로써, 반도체 장치(500)는 메모리 셀(100)에 대한/로부터의 데이터 기록/판독을 행마다 선택하여 수행할 수 있게 된다.
- [0174] 열 선택 드라이버(503)는 각 열에서의 메모리 셀(100)의 노드(FN1) 및 노드(FN2)에 선택적으로 데이터를 기록하는 기능, 비트선(BL)의 전위를 초기화하는 기능, 및 비트선(BL)을 전기적으로 부유 상태로 하는 기능을 갖는 회로이다. 구체적으로는, 멀티레벨 데이터에 대응하는 전위 및 전위(V_{GND})를 스위치를 통하여 비트선(BL)에 공급하는 회로이다. 열 선택 드라이버(503)를 구비함으로써, 반도체 장치(500)는 메모리 셀(100)에 대한/로부터의 데이터 기록/판독을 열마다 선택하여 수행할 수 있게 된다.
- [0175] A/D 컨버터(504)는 아날로그레벨인 비트선(BL)의 전위를 디지털레벨로 변환하여 외부로 출력하는 기능을 갖는 회로이다. 구체적으로는, 플래시형 A/D 컨버터를 갖는 회로이다. A/D 컨버터(504)를 구비함으로써, 반도체 장치(500)는 메모리 셀(100)로부터 판독된 데이터에 대응하는 비트선(BL)의 전위를 외부로 출력할 수 있다.
- [0176] 또한, A/D 컨버터(504)는 플래시형 A/D 컨버터인 것으로 하여 설명하지만, 축차 비교형, 멀티 슬로프형, 멜타시그마형의 A/D 컨버터를 사용하여도 좋다.
- [0177] 도 8은 도 7의 메모리 셀(100)을, 실시형태 2에서 설명한 메모리 셀(110)로 치환한 것이다. 자세한 내용은 도 7에 대한 기재를 참조하면 좋다.
- [0178] 도 7 및 도 8에 도시된 반도체 장치(500)는 도 24에 도시된 블록도와 같이 구성되어도 좋다. 도 24에 도시된 블록도는 같은 워드선에 접속된 트랜지스터의 제 2 게이트가 공통의 배선에 접속되는 경우를 나타낸다. 워드선

(WLOS1[m-1])에 접속된 트랜지스터의 제 2 게이트는 신호(BG1[m-1])가 공급되는 배선에 접속된다. 워드선 (WLOS2[m-1])에 접속된 트랜지스터의 제 2 게이트는 신호(BG2[m-1])가 공급되는 배선에 접속된다. 워드선 (WLOS1[m])에 접속된 트랜지스터의 제 2 게이트는 신호(BG1[m])가 공급되는 배선에 접속된다. 워드선 (WLOS2[m])에 접속된 트랜지스터의 제 2 게이트는 신호(BG2[m])가 공급되는 배선에 접속된다. 신호(BG1[m-1])와 신호(BG2[m-1])는 공통의 신호이어도 좋고, 서로 다른 신호이어도 좋다. 마찬가지로, 신호(BG1[m])와 신호(BG2[m])는 공통의 신호이어도 좋고, 서로 다른 신호이어도 좋다.

[0179] 도 7 및 도 8에 도시된 반도체 장치(500)는 도 25에 도시된 블록도와 같이 구성되어도 좋다. 도 25에 도시된 블록도는, 메모리 셀 어레이(501)에 포함되는 모든 제 2 게이트가 공통의 배선에 접속되고, 공통의 신호(BG)가 공급되어 있다.

[0180] <행 선택 드라이버의 구성 예>

[0181] 도 9는, 도 7 및 도 8에서 설명한 행 선택 드라이버(502)의 구성 예를 도시한 블록도이다.

[0182] 도 9에 도시된 행 선택 드라이버(502)는 디코더(517) 및 판독 기록 제어 회로(518)를 갖는다. 판독 기록 제어 회로(518)는 워드선(WLOS1), 워드선(WLC1), 워드선(WLOS2), 워드선(WLC2)에 접속되고, 각 행마다 제공된다.

[0183] 디코더(517)는 워드선이 제공되는 행을 선택하기 위한 신호를 출력하는 기능을 갖는 회로이다. 구체적으로는, 어드레스 신호(Address)가 입력되고, 상기 어드레스 신호(Address)에 따라 임의의 행의 판독 기록 제어 회로(518)를 선택하는 회로이다. 디코더(517)를 구비함으로써, 행 선택 드라이버(502)는 임의의 행을 선택하여, 데이터의 기록 또는 판독을 수행할 수 있다.

[0184] 판독 기록 제어 회로(518)는 디코더(517)에 의하여 선택된 워드선을 갖는 행에서의 기록 워드 신호 또는 판독 워드 신호를 선택적으로 출력하는 기능을 갖는 회로이다. 구체적으로 판독 기록 제어 회로(518)는, 기록 제어 신호(Write_CONT) 및 판독 제어 신호(Read_CONT)가 입력되고, 이 신호에 따라 기록 신호 또는 판독 신호를 선택적으로 출력하는 회로이다. 판독 기록 제어 회로(518)를 구비함으로써, 행 선택 드라이버(502)는 디코더(517)에 의하여 선택된 행에서의 기록 워드 신호 또는 판독 워드 신호를 선택하여 출력할 수 있다.

[0185] <열 선택 드라이버의 구성 예>

[0186] 도 10은, 도 7 및 도 8에서 설명한 열 선택 드라이버(503)의 구성 예를 도시한 블록도이다.

[0187] 도 10에 도시된 열 선택 드라이버(503)는 디코더(521), 래치 회로(522), D/A 컨버터(523), 스위치 회로(524), 및 트랜지스터(526)를 갖는다. 이들 각 회로 및 트랜지스터는 열마다 제공된다. 또한, 각 열의 스위치 회로(524) 및 트랜지스터(526)는 비트선(BL)에 접속된다.

[0188] 디코더(521)는 비트선(BL)이 제공되는 열을 선택하고, 입력되는 데이터를 할당하여 출력하는 기능을 갖는 회로이다. 구체적으로는, 어드레스 신호(Address) 및 데이터(Data)가 입력되고, 상기 어드레스 신호(Address)에 따라 임의의 열의 래치 회로(522)에 데이터(Data)를 출력하는 회로이다. 디코더(521)를 구비함으로써, 열 선택 드라이버(503)는 임의의 열을 선택하여 데이터 기록을 수행할 수 있다.

[0189] 또한, 디코더(521)에 입력되는 데이터(Data)는 k비트의 디지털 데이터이다. k비트의 디지털 데이터는 비트마다 '1' 또는 '0'의 2레벨의 데이터로 나타내어지는 신호이다. 구체적으로는, 2비트의 디지털 데이터이면 '00', '01', '10', '11'로 나타내어지는 데이터이다.

[0190] 래치 회로(522)는 입력되는 데이터(Data)를 일시적으로 기억하는 기능을 갖는 회로이다. 구체적으로는, 래치 신호(W_LAT)가 입력되고, 기억된 데이터(Data)를 상기 래치 신호(W_LAT)에 따라 D/A 컨버터(523)에 출력하는 플립플롭 회로이다. 래치 회로(522)를 구비함으로써, 열 선택 드라이버(503)는 임의의 타이밍에 데이터 기록을 수행할 수 있다.

[0191] D/A 컨버터(523)는 입력되는 디지털레벨의 데이터(Data)를 아날로그레벨의 데이터(V_{data})로 변환하는 기능을 갖는 회로이다. 구체적으로 D/A 컨버터(523)는, 데이터(Data)의 비트수가 3비트이면, 복수의 전위(V0)~전위(V7)의 8단계의 전위 중 어느 전위로 변환하여 스위치 회로(524)에 출력하는 회로이다. D/A 컨버터(523)를 구비함으로써, 열 선택 드라이버(503)는 메모리 셀(110)에 기록하는 데이터를 멀티레벨 데이터에 대응하는 전위로 할 수 있다.

[0192] 또한, D/A 컨버터(523)로부터 출력되는 데이터(V_{data})는 상이한 전압값으로 나타내어지는 데이터이다. 2비트의

데이터의 경우에는, 0.5V, 1.0V, 1.5V, 2.0V의 4레벨의 데이터가 될 수 있고, 어느 한 전압으로 표시되는 데이터라고 할 수 있다.

[0193] 스위치 회로(524)는 입력되는 데이터(V_{data})를 비트선(BL)에 공급하는 기능, 및 비트선(BL)을 전기적으로 부유 상태로 하는 기능을 갖는 회로이다. 구체적으로는, 아날로그 스위치와 인버터를 구비하고, 스위치 제어 신호(Write_SW)에 의한 제어로 데이터(V_{data})를 비트선(BL)에 공급하고, 그 후 아날로그 스위치를 오프 상태로 함으로써 전기적으로 부유 상태로 하는 회로이다. 스위치 회로(524)를 구비함으로써, 열 선택 드라이버(503)는 데이터(V_{data})를 비트선(BL)에 공급한 후, 비트선(BL)을 전기적으로 부유 상태로 유지할 수 있다.

[0194] 트랜지스터(526)는 초기화하기 위한 전위(V_{GND})를 비트선(BL)에 공급하는 기능, 및 비트선(BL)을 전기적으로 부유 상태로 하는 기능을 갖는 회로이다. 구체적으로는, 초기화 제어 신호(Init_EN)에 의한 제어로 전위(V_{GND})를 비트선(BL)에 공급하고, 그 후 비트선(BL)을 전기적으로 부유 상태로 하는 스위치이다. 트랜지스터(526)를 구비함으로써, 열 선택 드라이버(503)는 전위(V_{GND})를 비트선(BL)에 공급한 후, 비트선(BL)을 전기적으로 부유 상태로 유지할 수 있다.

[0195] <A/D 컨버터의 구성예>

[0196] 도 11은 도 8에서 설명한 A/D 컨버터(504)의 구성예를 도시한 블록도이다.

[0197] 도 11에 도시된 A/D 컨버터(504)는 콤퍼레이터(531), 인코더(532), 래치 회로(533), 및 버퍼(534)를 갖는다. 이를 각 회로 및 트랜지스터는 열마다 제공된다. 또한, 각 열의 버퍼(534)는 데이터(Dout)를 출력한다.

[0198] 콤퍼레이터(531)는 비트선(BL)의 전위와, 참조 전압(Vref0)~참조 전압(Vref6)의 전위의 고저를 비교하여, 비트선(BL)의 전위가 멀티레벨 데이터 중 어느 데이터에 대응하는 전위인지를 판정하는 기능을 갖는 회로이다. 구체적으로는, 복수의 콤퍼레이터(531)를 구비하고, 각 콤퍼레이터(531)에 비트선(BL)의 전위와, 상이한 참조 전압(Vref0)~참조 전압(Vref6)이 공급되고, 비트선(BL)의 전위가 어느 전위 사이에 있는지를 판정하는 회로이다. 콤퍼레이터(531)를 구비함으로써, A/D 컨버터(504)는 비트선(BL)의 전위가 멀티레벨 데이터 중 어느 데이터에 대응하는 전위인지를 판정할 수 있다.

[0199] 또한, 일례로서 도 11에 도시된 참조 전압(Vref0)~참조 전압(Vref6)은 멀티레벨 데이터가 3비트, 즉 8레벨의 데이터인 경우에 공급되는 전위이다.

[0200] 인코더(532)는 콤퍼레이터(531)로부터 출력되는 비트선(BL)의 전위를 판정하는 신호에 따라, 멀티비트의 디지털 신호를 생성하는 기능을 갖는 회로이다. 구체적으로는, 복수의 콤퍼레이터(531)로부터 출력되는 H레벨 또는 L레벨의 신호에 따라 부호화를 수행하고, 디지털 신호를 생성하는 회로이다. 인코더(532)를 구비함으로써, A/D 컨버터(504)는 메모리 셀(110)로부터 판독된 데이터를 디지털레벨의 데이터로 할 수 있다.

[0201] 래치 회로(533)는 입력되는 디지털레벨의 데이터를 일시적으로 기억하는 기능을 갖는 회로이다. 구체적으로는, 래치 신호(LAT)가 입력되고, 기억된 데이터를 상기 래치 신호(LAT)에 따라 버퍼(534)에 출력하는 플립플롭 회로이다. 래치 회로(533)를 구비함으로써, A/D 컨버터(504)는 임의의 타이밍에 데이터 출력을 수행할 수 있다. 또한, 래치 회로(533)는 생략할 수 있다.

[0202] 버퍼(534)는 래치 회로(533)로부터 출력되는 데이터를 증폭시켜 출력 신호(Dout)로서 출력하는 기능을 갖는 회로이다. 구체적으로는, 짹수 단의 인버터 회로를 구비한 회로이다. 버퍼(534)를 구비함으로써, A/D 컨버터(504)는 디지털 신호에 대한 노이즈를 저감할 수 있다. 또한, 버퍼(534)는 생략할 수 있다.

[0203] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0204] (실시형태 4)

[0205] 본 실시형태에서는, 메모리 셀(100) 및 메모리 셀(110)의 회로를 실현할 수 있는 반도체 장치의 일례에 대하여도 12를 사용하여 설명한다.

[0206] <반도체 장치의 구성예>

[0207] 도 12에 도시된 반도체 장치는 기판(2000), 트랜지스터(101), 트랜지스터(122), 트랜지스터(123), 트랜지스터(105), 용량 소자(104), 용량 소자(106), 절연막(2001), 절연막(2002), 절연막(2003), 절연막(2004), 절연막

(2005), 절연막(2006), 절연막(2007), 절연막(2008), 플러그(2101), 플러그(2102), 플러그(2103), 플러그(2104), 플러그(2105), 플러그(2106), 플러그(2107), 플러그(2108), 배선(2301), 배선(2302), 배선(2501), 배선(2502), 도전막(2701), 및 도전막(2702)을 갖는다.

[0208] 또한, 도 12에서 메모리 셀(100)을 실현하는 경우, 이하의 설명에서는 트랜지스터(122)를 트랜지스터(102)로 치환하고, 트랜지스터(123)를 트랜지스터(103)로 치환하면 좋다. 마찬가지로, 도 12에서 메모리 셀(110)을 실현하는 경우, 이하의 설명에서는 트랜지스터(122)를 트랜지스터(112)로 치환하고, 트랜지스터(123)를 트랜지스터(113)로 치환하면 좋다.

[0209] 트랜지스터(122) 및 트랜지스터(123)는 게이트 전극(2205), 게이트 절연막(2204), 측벽 절연층(2206), 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(2203), LDD(Lightly Doped Drain) 영역이나 확장 영역(extension region)으로서 기능하는 불순물 영역(2202), 및 채널 형성 영역(2201)을 갖는다.

[0210] 용량 소자(104)는 제 1 전극(2401), 제 2 전극(2402), 및 절연막(2403)을 갖는다.

[0211] 용량 소자(106)는 제 1 전극(2601), 제 2 전극(2602), 및 절연막(2603)을 갖는다.

[0212] 도전막(2701)은 트랜지스터(101)의 소스 전극 또는 드레인 전극과 동일한 도전막을 가공하는 공정을 거쳐 형성된 도전막과, 트랜지스터(101)의 반도체층과 동일한 반도체층을 가공하는 공정을 거쳐 형성된 반도체층으로 구성된다.

[0213] 도전막(2702)은 트랜지스터(105)의 소스 전극 또는 드레인 전극과 동일한 도전막을 가공하는 공정을 거쳐 형성된 도전막과, 트랜지스터(105)의 반도체층과 동일한 반도체층을 가공하는 공정을 거쳐 형성된 반도체층으로 구성된다.

[0214] 또한, 도 12에서, 같은 계층에 복수의 플러그가 존재하는 경우, 대표하는 하나에만 부호를 부기하고, 나머지는 이 부호를 병용하기로 한다. 마찬가지로, 같은 계층에 복수의 배선이 존재하는 경우, 대표하는 하나에만 부호를 부기하고, 나머지는 이 부호를 병용하기로 한다. 마찬가지로, 같은 계층에 복수의 도전막이 존재하는 경우, 대표하는 하나에만 부호를 부기하고, 나머지는 이 부호를 병용하기로 한다.

[0215] 도 12에는, 비트선(BL), 전원선(SL), 워드선(WLOS1), 워드선(WLOS2), 워드선(WLC1), 및 워드선(WLC2)에 각각 접속되는 단자가 도시되어 있다.

[0216] 도 12에 도시된 반도체 장치에서는, 기판(2000) 위에 트랜지스터(122) 및 트랜지스터(123)가 제공되고, 트랜지스터(122), 트랜지스터(123) 위에 용량 소자(104)가 제공되고, 용량 소자(104) 위에 트랜지스터(101)가 제공되고, 트랜지스터(101) 위에 트랜지스터(105)가 제공되고, 트랜지스터(105) 위에 용량 소자(106)가 제공되어 있다. 또한, 이들 소자의 상하 관계는 상술한 것에 한정되지 않는다. 예를 들어, 트랜지스터(101) 위에 용량 소자(106)를 제공하고, 용량 소자(106) 위에 트랜지스터(105)를 제공하여도 좋다.

[0217] 기판(2000)으로서는 실리콘이나 탄소화 실리콘을 사용한 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 저마늄을 사용한 화합물 반도체 기판, SOI(Silicon on Insulator) 기판 등을 사용할 수 있다. 반도체 기판을 사용하여 형성된 트랜지스터는 고속 동작이 용이하다. 또한, 기판(2000)으로서 p형 단결정 실리콘 기판을 사용한 경우, 기판(2000)의 일부에 n형을 부여하는 불순물 원소를 첨가하여 n형 웨이퍼를 형성하고, n형 웨이퍼에 형성된 영역에 p형 트랜지스터를 형성할 수도 있다. n형을 부여하는 불순물 원소로서는 인(P), 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는 봉소(B) 등을 사용할 수 있다.

[0218] 또한, 기판(2000)은 절연 기판 또는 금속 기판 위에 반도체막을 제공한 것이어도 좋다. 상기 금속 기판으로서는, 스테인리스 · 스틸 기판, 스테인리스 · 스틸 · 포일을 갖는 기판, 텅스텐 기판, 텅스텐 · 포일을 갖는 기판 등을 들 수 있다. 상기 절연 기판으로서, 예를 들어 유리 기판, 석영 기판, 플라스틱 기판, 가요성 기판, 접합 필름, 섬유상의 재료를 포함하는 종이, 또는 기재 필름(base material) 등을 들 수 있다. 유리 기판의 일례로서는, 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리, 또는 소다라임 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에터셀론(PES)으로 대표되는 폴리스틱, 또는 아크릴 등 가요성을 갖는 합성 수지 등이 있다. 접합 필름의 일례로서는, 폴리프로필렌, 폴리에스터, 폴리불화 바이닐, 또는 폴리염화 바이닐 등이 있다. 기재 필름의 일례로서는, 폴리에스터, 폴리아마이드, 폴리이미드, 아라미드, 에폭시, 무기 증착 필름, 또는 종이류 등이 있다.

[0219] 또한, 어떠한 기판을 사용하여 반도체 소자를 형성하고, 그 후 다른 기판으로 반도체 소자를 전치하여도 좋다. 반도체 소자가 전치되는 기판의 일례로서는, 상술한 바와 같은 기판에 더하여, 종이 기판, 셀로판 기판, 아라미

드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(견(silk), 캠(cotton), 삼(hemp)), 합성 섬유(나일론, 폴리우레탄, 폴리에스터) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등을 들 수 있다. 이와 같은 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 파괴되기 어려운 장치의 제작, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0220] 트랜지스터(122) 및 트랜지스터(123)에서는 채널에 제 1 반도체 재료를 사용하는 것이 바람직하다. 또한, 트랜지스터(101) 및 트랜지스터(105)에서는 채널에 제 2 반도체 재료를 사용하는 것이 바람직하다. 제 1 반도체 재료와 제 2 반도체 재료는 서로 다른 밴드 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료는 산화물 반도체 이외의 반도체 재료(실리콘(스트레인드 실리콘을 포함함), 저마늄, 실리콘 저마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 유기 반도체 등)로 하고, 제 2 반도체 재료는 산화물 반도체로 할 수 있다. 반도체 재료로서 단결정 실리콘 등을 사용한 트랜지스터는, 고속 동작이 용이하다. 한편으로, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 낮다.

[0221] 트랜지스터(101) 및 트랜지스터(105)의 자세한 내용에 대해서는 실시형태 4에서 설명한다.

[0222] 트랜지스터(122) 및 트랜지스터(123)로서 실리사이드(실리사이드)를 갖는 트랜지스터나, 측벽 절연층(2206)을 갖지 않는 트랜지스터를 사용하여도 좋다. 실리사이드(실리사이드)를 갖는 구조이면, 소스 영역 및 드레인 영역을 더 저저항화할 수 있어 반도체 장치의 고속화가 가능하다. 또한 저전압으로 동작할 수 있기 때문에 반도체 장치의 소비 전력을 저감시키는 것이 가능하다.

[0223] 트랜지스터(122) 및 트랜지스터(123)는 n채널형 트랜지스터 및 p채널형 트랜지스터 중 어느 것이어도 좋고 회로에 따라 적절한 트랜지스터를 사용하면 좋다. 또한, 불순물 영역(2203)의 불순물 농도는 불순물 영역(2202)보다 높다. 게이트 전극(2205) 및 측벽 절연층(2206)을 마스크로 사용하여 불순물 영역(2203) 및 불순물 영역(2202)을 자기정합적으로 형성할 수 있다.

[0224] 트랜지스터(122) 및 트랜지스터(123)에 실리콘계 반도체 재료를 사용한 경우, 절연막(2001) 및 절연막(2002)은 수소를 포함하는 것이 바람직하다. 수소를 포함하는 절연막을 트랜지스터(122) 및 트랜지스터(123) 위에 제공하고, 가열 처리를 수행함으로써 이를 절연막 내의 수소에 의하여 반도체막 내의 댕글링 본드가 종단되고, 트랜지스터(122) 및 트랜지스터(123)의 신뢰성을 향상시킬 수 있다.

[0225] 절연막(2001) 및 절연막(2002)으로서는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋고, 적층 또는 단층으로 제공한다.

[0226] 트랜지스터(101) 및 트랜지스터(105)에 산화물 반도체를 사용한 경우, 상술한 절연막(2001) 및 절연막(2002) 내의 수소는 산화물 반도체 내에 캐리어를 생성하는 요인 중 하나가 되기 때문에, 트랜지스터(101) 및 트랜지스터(105)의 신뢰성을 저하시킬 수 있다. 따라서, 트랜지스터(101) 및 트랜지스터(105)와, 트랜지스터(122) 및 트랜지스터(123) 사이에, 수소의 확산을 방지하는 기능을 갖는 절연막(2003), 절연막(2006)을 제공하는 것은 특히 효과적이다. 절연막(2003), 절연막(2006)에 의하여, 하층에 수소를 가둠으로써 트랜지스터(122) 및 트랜지스터(123)의 신뢰성이 향상됨과 동시에, 하층으로부터 상층으로의 수소 확산이 억제됨으로써 트랜지스터(101) 및 트랜지스터(105)의 신뢰성도 향상시킬 수 있다.

[0227] 절연막(2003) 및 절연막(2006)으로서는, 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 사용할 수 있다. 특히, 산화 알루미늄막은 수소나 수분 등 불순물 및 산소가 막을 투과하지 않도록 차단(블로킹)하는 효과가 높아 바람직하다.

[0228] 절연막(2004) 및 절연막(2007)에는, 절연막(2003) 및 절연막(2006)과 마찬가지로, 물이나 수소가 확산되기 어려운 재료를 사용하는 것이 바람직하다. 또한, 산소를 투과시키기 어려운 재료를 사용하는 것이 특히 바람직하다. 산소를 투과시키기 어려운 절연막으로 산화물 반도체막을 덮음으로써, 산화물 반도체막으로부터 상기 절연막을 통과하여 산소가 방출되는 것을 억제할 수 있다.

[0229] 또한, 물이나 수소를 투과시키기 어려운 절연막(2004), 절연막(2007)에 의하여, 산화물 반도체에 불순물인 물이나 수소가 외부로부터 혼입되는 것을 억제할 수 있고, 트랜지스터(101), 트랜지스터(105)의 전기 특성 편차가 억제되어 신뢰성이 높은 트랜지스터를 실현할 수 있다.

- [0230] 절연막(2005)은 트랜지스터(101)를 보호하는 기능을 갖고, 절연막(2008)은 트랜지스터(105)를 보호하는 기능을 갖는다. 절연막(2005) 및 절연막(2008)에는, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용할 수 있다. 또한, 절연막(2005) 및 절연막(2008)은 상술한 재료의 적층이어도 좋고, 절연막(2005) 및 절연막(2008)은 경우에 따라서는 제공하지 않아도 좋다.
- [0231] 배선(2301)은 트랜지스터(101)의 제 2 게이트 전극으로서 기능한다. 배선(2301)에는 일정한 전위가 공급되어 있어도 좋고, 트랜지스터(101)의 제 1 게이트 전극과 같은 전위나 같은 신호가 공급되어 있어도 좋다. 배선(2302)은 트랜지스터(105)의 제 2 게이트 전극으로서 기능한다. 배선(2302)에는 일정한 전위가 공급되어 있어도 좋고, 트랜지스터(105)의 제 1 게이트 전극과 같은 전위나 같은 신호가 공급되어 있어도 좋다. 또한, 배선(2301) 및 배선(2302)은 경우에 따라서는 생략하여도 좋다.
- [0232] 플러그(2101)~플러그(2108)는 구리(Cu), 텅스텐(W), 몰리브데넘(Mo), 금(Au), 알루미늄(Al), 망가니즈(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크로뮴(Cr), 납(Pb), 주석(Sn), 철(Fe), 코발트(Co)의 저저항 재료로 이루어지는 단체나 합금, 또는 이들 중 어느 것을 주성분으로 하는 화합물을 포함하는 도전막의 단층 또는 적층으로 하는 것이 바람직하다. 특히, 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용접 재료를 사용하는 것이 바람직하다. 또한, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 또한, Cu-Mn 합금을 사용하면, 산소를 포함하는 절연체와의 계면에 산화 망가니즈가 형성되고, 산화 망가니즈가 Cu의 확산을 억제하는 기능을 가지므로 바람직하다.
- [0233] 배선(2301), 배선(2302), 배선(2501), 배선(2502), 용량 소자(104)의 제 1 전극(2401), 용량 소자(104)의 제 2 전극(2402), 용량 소자(106)의 제 1 전극(2601), 및 용량 소자(106)의 제 2 전극(2602)은, 구리(Cu), 텅스텐(W), 몰리브데넘(Mo), 금(Au), 알루미늄(Al), 망가니즈(Mn), 타이타늄(Ti), 탄탈럼(Ta), 니켈(Ni), 크로뮴(Cr), 납(Pb), 주석(Sn), 철(Fe), 코발트(Co)의 저저항 재료로 이루어지는 단체나 합금, 또는 이들 중 어느 것을 주성분으로 하는 화합물을 포함하는 도전막의 단층 또는 적층으로 하는 것이 바람직하다. 특히, 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용접 재료를 사용하는 것이 바람직하다. 또한, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 또한, Cu-Mn 합금을 사용하면, 산소를 포함하는 절연체와의 계면에 산화 망가니즈가 형성되고, 산화 망가니즈가 Cu의 확산을 억제하는 기능을 가지므로 바람직하다.
- [0234] 용량 소자(104)의 절연막(2403) 및 용량 소자(106)의 절연막(2603)으로서는 유전율이 높은 절연막을 사용하는 것이 바람직하다. 예를 들어, 이들 절연막에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연막을 사용할 수 있다. 또한, 절연막(2403) 및 절연막(2603)은 상술한 재료의 적층이어도 좋다. 또한, 이들 절연막은 란타넘(La), 질소, 지르코늄(Zr) 등을 불순물로서 포함하여도 좋다.
- [0235] 또한, 도 12에서, 부호 및 해칭 패턴이 사용되지 않는 영역은 절연체로 구성된 영역을 나타낸다. 이들 영역에는, 산화 알루미늄, 질화산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 하나 이상을 포함하는 절연체를 사용할 수 있다. 또한, 상기 영역에는, 폴리이미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 페놀 수지 등의 유기 수지를 사용할 수도 있다.
- [0236] 또한, 트랜지스터(122) 및 트랜지스터(123)는 플레이너형 트랜지스터뿐만 아니라, 다양한 타입의 트랜지스터로 할 수 있다. 예를 들어, FIN(핀)형, TRI-GATE(트라이 게이트)형 등의 트랜지스터 등으로 할 수 있다.
- [0237] 도 4에 도시된 메모리 셀(110)을 도 12에 도시된 구성으로 함으로써, 메모리 셀 하나가 차지하는 면적을 작게 할 수 있다. 또한, 메모리 셀(110)은 멀티레벨 데이터를 기억할 수 있기 때문에, 도 12에 도시된 구성으로 함으로써, 작은 면적으로 고밀도의 정보량을 기억할 수 있는 반도체 장치를 제공할 수 있다.
- [0238] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0239] (실시형태 5)

[0240] <산화물 반도체 트랜지스터의 구성예>

[0241] 본 실시형태에서는, 도 12에 도시된 트랜지스터(101) 및 트랜지스터(105)에 적용할 수 있는, 채널에 산화물 반도체층이 사용된 트랜지스터(이하, OS(Oxide Semiconductor) 트랜지스터)의 일례에 대하여 도 13~도 18을 사용하여 설명한다.

[0242] 도 13의 (A)~(C)는 OS 트랜지스터의 상면도 및 단면도이다. 도 13의 (A)는 상면도이고, 도 13의 (B)는 도 13의 (A)에 도시된 일점 쇄선 A1-A2 방향의 단면에 상당하고, 도 13의 (C)는 도 13의 (A)에 도시된 일점 쇄선 B1-B2 방향의 단면에 상당한다. 도 13의 (A)~(C)에서는 도면을 명료화하기 위하여 일부 요소를 확대, 축소, 또는 생략하였다. 또한, 일점 쇄선 A1-A2 방향을 채널 길이 방향, 일점 쇄선 B1-B2 방향을 채널 폭 방향이라고 부르는 경우가 있다.

[0243] 또한, 채널 길이란, 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역 중 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한, 한 트랜지스터의 채널 길이가 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 한 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 그러므로, 본 명세서에서 채널 길이란, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0244] 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 마주보는 부분의 길이를 가리킨다. 또한, 한 트랜지스터의 채널 폭이 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 한 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 그러므로 본 명세서에서 채널 폭이란, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0245] 또한, 트랜지스터의 구조에 따라서는 실제로 채널이 형성되는 영역에서의 채널 폭(이하에서 '실효적인 채널 폭'으로 부름)과, 트랜지스터의 상면도에 도시된 채널 폭(이하에서 '외견상 채널 폭'으로 부름)이 상이하게 되는 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에 도시된 외견상 채널 폭보다 크게 되고, 이로 인한 영향이 무시할 수 없을 정도가 되는 경우가 있다. 예를 들어, 미세하고 입체적인 구조를 갖는 트랜지스터에서는 반도체의 상면에 형성되는 채널 영역의 비율에 대한 반도체의 측면에 형성되는 채널 영역의 비율이 크게 되는 경우가 있다. 이 경우에는 상면도에 도시된 외견상 채널 폭보다 실제로 채널이 형성되는 실효적인 채널 폭이 크게 된다.

[0246] 그런데, 입체적인 구조를 갖는 트랜지스터는 실효적인 채널 폭을 실측하여 어렵잖기 어려운 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 어렵잖기 위해서는 가정으로서 반도체의 형상을 미리 알아야 한다. 따라서 반도체의 형상을 정확히 확인할 수 없는 경우에는 실효적인 채널 폭을 정확히 측정하기 어렵다.

[0247] 그러므로, 본 명세서에서는 트랜지스터의 상면도에서 반도체와 게이트 전극이 중첩되는 영역에서의 소스와 드레인이 마주보는 부분의 길이를 가리키는 외견상 채널 폭을 'Surrounded Channel Width(SCW)'라고 부르는 경우가 있다. 또한, 본 명세서에서는 단순히 채널 폭으로 기재한 경우에는 SCW 또는 외견상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서는 단순히 채널 폭으로 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, SCW 등은 단면 TEM 이미지 등을 취득하여 이 화상을 해석하는 등에 의하여 값을 결정할 수 있다.

[0248] 또한, 트랜지스터의 전계 효과 이동도나 채널 폭당 전류값 등을 산출할 때, SCW를 사용하여 계산하는 경우가 있다. 이 경우에는 실효적인 채널 폭을 사용하여 계산하는 경우와는 상이한 값이 될 수 있다.

[0249] OS 트랜지스터는 절연막(651) 위의 절연막(652)과, 제 1 산화물 반도체(661) 및 제 2 산화물 반도체(662)가 순차적으로 절연막(652) 위에 형성된 적층과, 상기 적층의 일부에 전기적으로 접속되는 소스 전극(671) 및 드레인 전극(672)과, 상기 적층의 일부, 소스 전극(671)의 일부, 및 드레인 전극(672)의 일부를 덮는 제 3 산화물 반도체(663)와, 상기 적층의 일부, 소스 전극(671)의 일부, 드레인 전극(672)의 일부, 및 제 3 산화물 반도체(663)의 일부와 중첩되는 게이트 절연막(653) 및 게이트 전극(673)과, 소스 전극(671) 및 드레인 전극(672), 및 게이트 전극(673) 위의 절연막(654)과, 절연막(654) 위의 절연막(655)을 갖는다. 또한, 제 1 산화물 반도체(661), 제 2 산화물 반도체(662), 및 제 3 산화물 반도체(663)를 합쳐서 산화물 반도체(660)라고 호칭한다.

[0250] 또한, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또

는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 제공된다.

[0251] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)와 접한다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 적어도 일부(또는 전체)와 접한다.

[0252] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 전기적으로 접속된다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 일부(또는 전체)에 전기적으로 접속된다.

[0253] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 근접하여 배치된다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 일부(또는 전체)에 근접하여 배치된다.

[0254] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 옆쪽에 배치된다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 일부(또는 전체)의 옆쪽에 배치된다.

[0255] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 대해 비스듬한 위쪽에 배치된다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 일부(또는 전체)에 대해 비스듬한 위쪽에 배치된다.

[0256] 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 위쪽에 배치된다. 또는, 소스 전극(671)(및/또는 드레인 전극(672))의 적어도 일부(또는 전체)는 제 2 산화물 반도체(662)(및/또는 제 1 산화물 반도체(661)) 등의 반도체층의 일부(또는 전체)의 위쪽에 배치된다.

[0257] 또한, 트랜지스터의 '소스'나 '드레인'의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀔 수 있다. 그러므로, 본 명세서에서는 '소스'나 '드레인'이라는 용어는 서로 바꿔 사용할 수 있다.

[0258] 본 발명의 일 형태에 따른 트랜지스터는, 채널 길이가 10nm 이상 1000nm 이하, 바람직하게는 20nm 이상 500nm 이하, 더 바람직하게는 30nm 이상 300nm 이하인 톱 게이트 구조이다.

[0259] 이하에서, 본 실시형태에 따른 반도체 장치에 포함되는 구성 요소에 대하여 자세히 설명한다.

[0260] <하지 절연막>

[0261] 절연막(651) 및 절연막(652)은 절연막(651) 아래로부터의 불순물 확산을 방지하는 역할뿐만 아니라, 산화물 반도체(660)에 산소를 공급하는 역할도 가질 수 있다. 그러므로, 절연막(651) 및 절연막(652)은 산소를 포함하는 절연막인 것이 바람직하고, 화학양론적 조성보다 많은 산소를 포함하는 절연막이면 더 바람직하다. 예를 들어, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 원자로 환산한 산소의 방출량이 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 이상인 막으로 한다. 또한, 이 TDS 분석 시의 막의 표면 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위인 것이 바람직하다. 또한, 도 12에 도시된 바와 같이, 절연막(651) 아래에 다른 디바이스가 형성되는 경우에는, 절연막(651) 및 절연막(652)은 표면이 평탄하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 수행하는 것이 바람직하다.

[0262] 절연막(651) 및 절연막(652)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 등의 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등의 질화물 절연막, 또는 이들의

혼합 재료를 사용하여 형성할 수 있다.

[0263] <산화물 반도체>

[0264] 산화물 반도체(660)에는 대표적으로는 In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Ti, Ga, Y, Zr, La, Ce, Nd, Sn, 또는 Hf)이 사용된다. 특히 산화물 반도체(660)로서는 In-M-Zn 산화물을 사용하는 것이 바람직하다.

[0265] 다만, 산화물 반도체(660)는 인듐을 포함하는 산화물에 한정되지 않는다. 산화물 반도체(660)에는 예를 들어 Zn 산화물, Zn-Sn 산화물, Ga 산화물, Ga-Sn 산화물을 사용하여도 좋다.

[0266] 산화물 반도체(660)에 스퍼터링법으로 제작된 In-M-Zn 산화물을 사용하는 경우, In-M-Zn 산화물을 성막하기 위하여 사용되는 타깃의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 타깃의 금속 원소의 원자수비는 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$ 가 바람직하다. 또한, 성막되는 산화물 반도체(660)의 원자수비는 각각, 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.

[0267] 다음에, 제 1 산화물 반도체(661), 제 2 산화물 반도체(662), 및 제 3 산화물 반도체(663)의 적층으로 구성되는 산화물 반도체(660)의 기능 및 그 효과에 대하여 도 14의 (B)에 도시된 에너지 밴드 구조도를 사용하여 설명한다. 도 14의 (A)는 도 13의 (B)에 도시된 OS 트랜지스터의 채널 부분을 확대한 도면이고, 도 14의 (B)는 도 14의 (A)에 도시된 쇄선 C1-C2 부분의 에너지 밴드 구조를 도시한 것이다. 즉, 도 14의 (B)는 OS 트랜지스터의 채널 형성 영역의 에너지 밴드 구조를 도시한 것이다.

[0268] 도 14의 (B)에서 Ec652, Ec661, Ec662, Ec663, Ec653은 각각, 절연막(652), 제 1 산화물 반도체(661), 제 2 산화물 반도체(662), 제 3 산화물 반도체(663), 게이트 절연막(653)의 전도대 하단의 에너지를 나타낸다.

[0269] 여기서, 진공 준위와 전도대 하단의 에너지 차이(전자 친화력이라고도 함)는, 진공 준위와 가전자대 상단의 에너지 차이(이온화 퍼텐셜이라고도 함)로부터 에너지 갭을 뺀 값이다. 또한, 에너지 갭은 분광 엘립스미터 (HORIBA JOBIN YVON사제 UT-300)를 사용하여 측정할 수 있다. 또한, 진공 준위와 가전자대 상단의 에너지 차이는, 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(ULVAC PHI사제 VersaProbe)를 사용하여 측정할 수 있다.

[0270] 또한, 원자수비가 $In:Ga:Zn=1:3:2$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.5eV, 전자 친화력은 약 4.5eV이다. 또한, 원자수비가 $In:Ga:Zn=1:3:4$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.4eV, 전자 친화력은 약 4.5eV이다. 또한, 원자수비가 $In:Ga:Zn=1:3:6$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.3eV, 전자 친화력은 약 4.5eV이다. 또한, 원자수비가 $In:Ga:Zn=1:6:2$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.9eV, 전자 친화력은 약 4.3eV이다. 또한, 원자수비가 $In:Ga:Zn=1:6:8$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.5eV, 전자 친화력은 약 4.4eV이다. 또한, 원자수비가 $In:Ga:Zn=1:6:10$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.5eV, 전자 친화력은 약 4.5eV이다. 또한, 원자수비가 $In:Ga:Zn=1:1:1$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 3.2eV, 전자 친화력은 약 4.7eV이다. 또한, 원자수비가 $In:Ga:Zn=3:1:2$ 인 스퍼터링 타깃을 사용하여 형성한 In-Ga-Zn 산화물의 에너지 갭은 약 2.8eV, 전자 친화력은 약 5.0eV이다.

[0271] 절연막(652) 및 게이트 절연막(653)은 절연체이기 때문에, Ec653과 Ec652는 Ec661, Ec662, 및 Ec663보다 진공 준위에 가깝다(전자 친화력이 작다).

[0272] 또한, Ec661은 Ec662보다 진공 준위에 가깝다. 구체적으로는, Ec661은, Ec662보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하 진공 준위에 가까운 것이 바람직하다.

[0273] 또한, Ec663은 Ec662보다 진공 준위에 가깝다. 구체적으로는, Ec663은, Ec662보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 또한 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 가까운 것이 바람직하다.

[0274] 또한, 제 1 산화물 반도체(661)와 제 2 산화물 반도체(662)의 계면 균방, 및 제 2 산화물 반도체(662)와 제 3 산화물 반도체(663)의 계면 균방에서는, 혼합 영역이 형성되어 있기 때문에, 전도대 하단의 에너지는 연속적으

로 변화된다. 즉, 이들 계면에서 준위는 존재하지 않거나, 거의 존재하지 않는다.

[0275] 따라서, 상기 에너지 밴드 구조를 갖는 적층 구조에서, 전자는 제 2 산화물 반도체(662) 내를 주로 이동하게 된다. 그러므로, 제 1 산화물 반도체(661)와 절연막(652)의 계면, 또는 제 3 산화물 반도체(663)와 게이트 절연막(653)의 계면에 준위가 존재하더라도, 상기 준위는 전자의 이동에 거의 영향을 주지 않는다. 또한, 제 1 산화물 반도체(661)와 제 2 산화물 반도체(662)의 계면, 및 제 3 산화물 반도체(663)와 제 2 산화물 반도체(662)의 계면에 준위가 존재하지 않거나, 거의 존재하지 않기 때문에, 상기 영역에서 전자의 이동을 저해할 일도 없다. 따라서, 상기 산화물 반도체의 적층 구조를 갖는 OS 트랜지스터는, 높은 전계 효과 이동도를 실현할 수 있다.

[0276] 또한, 도 6에 도시된 바와 같이, 제 1 산화물 반도체(661)와 절연막(652)의 계면, 및 제 3 산화물 반도체(663)와 게이트 절연막(653)의 계면 근방에는, 불순물이나 결함에 기인한 트랜지스터 트랩 준위 Et600이 형성될 수 있지만, 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)가 있음으로써, 제 2 산화물 반도체(662)와 상기 트랩 준위의 거리를 떨어뜨릴 수 있다.

[0277] 특히, 본 실시형태에 예시된 OS 트랜지스터는 채널 폭 방향에서, 제 2 산화물 반도체(662)의 상면과 측면이 제 3 산화물 반도체(663)와 접하고, 제 2 산화물 반도체(662)의 하면이 제 1 산화물 반도체(661)와 접하여 형성된다(도 13의 (C) 참조). 이와 같이, 제 2 산화물 반도체(662)가 제 1 산화물 반도체(661)와 제 3 산화물 반도체(663)에 의하여 덮인 구성으로 함으로써, 상기 트랩 준위의 영향을 더 저감할 수 있다.

[0278] 다만, Ec661 또는 Ec663과 Ec662 사이의 에너지 차이가 작은 경우, 제 2 산화물 반도체(662)의 전자가 상기 에너지 차이를 넘어 트랩 준위에 도달하는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 절연막의 계면에 마이너스의 고정 전하가 생기고, 트랜지스터의 문턱 전압은 플러스 방향으로 변동한다.

[0279] 따라서, Ec661 및 Ec663과, Ec662와의 에너지 차이를 각각 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되고, 트랜지스터의 전기 특성을 양호하게 할 수 있기 때문에 바람직하다.

[0280] 또한, 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)의 밴드 갭은 제 2 산화물 반도체(662)의 밴드 갭보다 넓은 것이 바람직하다.

[0281] 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)에는 예를 들어, Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 제 2 산화물 반도체(662)의 재료보다 높은 원자수비로 포함하는 재료를 사용할 수 있다. 구체적으로는 상기 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 상술한 원소는 산소와 강하게 결합하기 때문에, 산소 결손이 산화물 반도체에 생기는 것을 억제하는 기능을 갖는다. 즉, 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)는 제 2 산화물 반도체(662)보다 산소 결손이 생기기 어렵다고 할 수 있다.

[0282] 또한, 제 3 산화물 반도체(663)가 In을 포함하면, In이 게이트 절연막(653)으로 확산되어 게이트 누설을 일으키는 경우가 있다. 따라서, 제 3 산화물 반도체(663)는 In을 포함하지 않는 재료를 사용하는 것이 바람직하다. 예를 들어, 산화 갈륨 등이 바람직하다.

[0283] 또한, 제 1 산화물 반도체(661), 제 2 산화물 반도체(662), 및 제 3 산화물 반도체(663)가 인듐, 아연, 및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 포함하는 In-M-Zn 산화물인 경우, 제 1 산화물 반도체(661)의 원자수비를 In:M:Zn=x₁:y₁:z₁, 제 2 산화물 반도체(662)의 원자수비를 In:M:Zn=x₂:y₂:z₂, 제 3 산화물 반도체(663)의 원자수비를 In:M:Zn=x₃:y₃:z₃으로 하면, y₁/x₁ 및 y₃/x₃은 y₂/x₂보다 큰 것이 바람직하다. y₁/x₁ 및 y₃/x₃은 y₂/x₂보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 이 경우에 제 2 산화물 반도체(662)에서 y₂가 x₂ 이상이면 트랜지스터의 전기적 특성을 안정화시킬 수 있다. 다만, y₂가 x₂의 3배 이상이 되면, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y₂는 x₂의 3배 미만인 것이 바람직하다.

[0284] 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)의 Zn 및 O를 제외한 In 및 M의 원자수 비율은 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다. 또한, 제 2 산화물 반도체(662)의 Zn 및 O를 제외한 In 및 M의 원자수 비율은 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다.

[0285] 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상

50nm 이하로 한다. 또한, 제 2 산화물 반도체(662)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 산화물 반도체(662)의 두께는 제 1 산화물 반도체(661) 및 제 3 산화물 반도체(663)보다 두꺼운 것이 바람직하다.

[0286] 또한, 산화물 반도체를 채널로서 사용하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는 산화물 반도체 중의 불순물 농도를 저감하여, 산화물 반도체를 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, 실질적으로 진성이란, 산화물 반도체의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만인 것, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만인 것, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만인 것을 가리킨다.

[0287] 또한, 산화물 반도체에서 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체 내에서 불순물 준위의 형성에 기여한다. 상기 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 제 1 산화물 반도체(661), 제 2 산화물 반도체(662), 및 제 3 산화물 반도체(663)의 총 내나 각 계면에서의 불순물 농도를 저감시키는 것이 바람직하다.

[0288] 산화물 반도체를 진성 또는 실질적으로 진성으로 하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 분석에서 예를 들어, 산화물 반도체 중 어느 깊이 또는 어느 영역에서 실리콘 농도를 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만으로 한다. 또한, 예를 들어 산화물 반도체 중 어느 깊이 또는 어느 영역에서 수소 농도를 $2 \times 10^{20}/\text{atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}/\text{atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하로 한다. 또한, 예를 들어 산화물 반도체 중 어느 깊이 또는 어느 영역에서 질소 농도를 $5 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17}/\text{atoms}/\text{cm}^3$ 이하로 한다.

[0289] 또한, 산화물 반도체가 결정을 포함하는 경우, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체의 결정성을 저하시키는 경우가 있다. 산화물 반도체의 결정성을 저하시키지 않기 위해서는, 예를 들어 산화물 반도체 중 어느 깊이 또는 어느 영역에서 실리콘 농도가 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만인 부분을 포함하면 좋다. 또한, 예를 들어 산화물 반도체 중 어느 깊이 또는 어느 영역에서 탄소 농도가 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만인 부분을 포함하면 좋다.

[0290] 또한, 상술한 바와 같이 고순도화된 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터의 오프 전류는 매우 낮다. 예를 들어, 소스와 드레인 사이의 전압을 0.1V, 5V, 또는 10V 정도로 한 경우에, 트랜지스터의 채널 폭으로 정규화된 오프 전류를 수yA/ μm ~수zA/ μm 까지 저감할 수 있게 된다.

[0291] 본 실시형태에 예시된 OS 트랜지스터는, 산화물 반도체(660)를 채널 폭 방향으로 전기적으로 둘러싸도록 게이트 전극(673)이 형성되기 때문에, 산화물 반도체(660)에는 수직 방향으로부터의 게이트 전계에 더하여, 측면 방향으로부터의 게이트 전계가 인가된다(도 13의 (C) 참조). 즉, 산화물 반도체에 게이트 전계가 전체적으로 인가되어, 전류는 채널이 되는 제 2 산화물 반도체(662) 전체에 흐르게 되므로, 온 전류를 더 높일 수 있다.

[0292] <게이트 전극>

[0293] 게이트 전극(673)은 크로뮴(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브데늄(Mo), 탄탈럼(Ta), 타이타늄(Ti), 텅스텐(W), 망가니즈(Mn), 니켈(Ni), 철(Fe), 코발트(Co), 루테늄(Ru)으로부터 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 게이트 전극(673)은 단층 구조이어도 2층 이상의 적층 구조이어도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 타이타늄막 위에 알루미늄막을 적층하고 그 위에 타이타늄막을 형성하는 3층 구조, Cu-Mn 합금막의 단층 구조, Cu-Mn 합금막 위에 Cu막을 적층하는 2층 구조, Cu-Mn 합금막 위에 Cu막을 적층하고 그 위에 Cu-Mn 합금막을 적층하는 3층 구조 등이 있다. 특히, Cu-Mn 합금막은 전기 저항이 낮고, 산소를 포함하는 질연막과의 계면에 산화 망가니즈가 형성되고, Cu의 확산을 방지할 수 있어 바람직하다.

- [0294] 또한, 게이트 전극(673)에는 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 침가된 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상기 금속 원소의 적층 구조로 할 수도 있다.
- [0295] <게이트 절연막>
- [0296] 게이트 절연막(653)으로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 하나 이상 포함한 절연막을 사용할 수 있다. 또한, 게이트 절연막(653)은 상술한 재료의 적층이어도 좋다. 또한, 게이트 절연막(653)에 란타넘(La), 질소, 지르코늄(Zr) 등을 불순물로서 포함하여도 좋다.
- [0297] 또한, 게이트 절연막(653)의 적층 구조의 일례에 대하여 설명한다. 게이트 절연막(653)은 예를 들어 산소, 질소, 실리콘, 하프늄 등을 포함한다. 구체적으로는, 산화 하프늄, 및 산화 실리콘 또는 산화질화 실리콘을 포함하면 바람직하다.
- [0298] 산화 하프늄은 산화 실리콘이나 산화질화 실리콘에 비하여 비유전율이 높다. 따라서, 등가 산화막 두께에 대하여 물리적인 막 두께를 크게 할 수 있기 때문에, 등가 산화막 두께를 10nm 이하 또는 5nm 이하로 한 경우에도 터널 전류로 인한 누설 전류를 작게 할 수 있다. 즉, 오프 전류가 낮은 트랜지스터를 실현할 수 있다.
- [0299] <소스 전극 및 드레인 전극>
- [0300] 소스 전극(671) 및 드레인 전극(672)은 게이트 전극(673)과 같은 재료를 사용하여 제작할 수 있다. 특히, Cu-Mn 합금막은 전기 저항이 낮고, 산화물 반도체(660)와의 계면에 산화 망가니즈가 형성되고, Cu의 확산을 방지할 수 있어 바람직하다.
- [0301] <보호 절연막>
- [0302] 절연막(654)은 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등을 차단할 수 있는 기능을 갖는다. 절연막(654)을 제공함으로써, 산화물 반도체(660)로부터 외부로의 산소 확산, 외부로부터 산화물 반도체(660)로의 산소, 물 등의 침입을 방지할 수 있다. 절연막(654)으로서는 예를 들어 질화물 절연막을 사용할 수 있다. 상기 질화물 절연막으로서는, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등이 있다. 또한, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 차단 효과를 갖는 질화물 절연막 대신에, 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막을 제공하여도 좋다. 산소, 수소, 물 등의 차단 효과를 갖는 산화물 절연막으로서는, 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄 등이 있다.
- [0303] 산화 알루미늄막은 수소, 수분 등의 불순물과 산소를 투과시키지 않는 차단 효과가 높기 때문에 절연막(654)에 적용하는 데에 바람직하다. 따라서, 산화 알루미늄막은 트랜지스터의 제작 공정 중 및 제작한 후에서, 트랜지스터의 전기 특성의 변동 요인이 되는 수소나 수분 등의 불순물이 산화물 반도체(660)로 흡입되거나, 산화물 반도체(660)를 구성하는 주성분 재료인 산소가 산화물 반도체로부터 방출되거나, 하지 절연막(652)으로부터 산소가 쓸데없이 방출되는 것을 방지하는 효과를 갖는 보호막으로서 사용하는 데에 적합하다. 또한, 산화 알루미늄막에 포함되는 산소를 산화물 반도체 내에 확산시키는 것도 가능하다.
- [0304] <산화물 반도체의 결정 구조>
- [0305] 다음에, OS 트랜지스터에 적용 가능한 산화물 반도체의 결정 구조에 대하여 설명한다.
- [0306] 또한, 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0307] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0308] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

- [0309] 우선, CAAC-OS막에 대하여 설명한다.
- [0310] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막의 하나이다.
- [0311] 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상(bright-field image) 및 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 결정부가 확인된다. 한편, 고분해능 TEM 이미지에서도 결정부끼리의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0312] 시료면에 실질적으로 평행한 방향으로부터 CAAC-OS막 단면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0313] 한편, 시료면에 실질적으로 수직인 방향으로부터 CAAC-OS막 평면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0314] 도 15의 (A)는 CAAC-OS막 단면의 고분해능 TEM 이미지이다. 또한, 도 15의 (B)는 도 15의 (A)를 더 확대한 단면의 고분해능 TEM 이미지이며 이해를 용이하게 하기 위하여 원자 배열을 강조 표시한 것이다.
- [0315] 도 15의 (C)는, 도 15의 (A) 중 A-O-A'간에서 동그라미로 둘러싼 영역(직경 약 4nm)의 국소적인 푸리에 변환 이미지이다. 도 15의 (C)로부터, 각 영역에서 c축 배향성을 확인할 수 있다. 또한, A-O간과 O-A'간에서는 c축 방향이 다르기 때문에 다른 그레인인 것이 시사된다. 또한, A-O간에서는 c축의 각도가 14.3°, 16.6°, 26.4°로 조금씩 연속적으로 변화하고 있음을 알 수 있다. 마찬가지로, O-A'간에서는 c축의 각도가 -18.3°, -17.6°, -15.9°로 조금씩 연속적으로 변화하고 있음을 알 수 있다.
- [0316] 또한, CAAC-OS막에 대하여 전자 회절을 수행하면, 배향성을 나타내는 스폷(회점)이 관측된다. 예를 들어, CAAC-OS막의 상면에 대하여 예컨대 1nm 이상 30nm 이하의 전자빔을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 수행하면, 스폷이 관측된다(도 16의 (A) 참조).
- [0317] 단면의 고분해능 TEM 이미지 및 평면의 고분해능 TEM 이미지를 보면, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0318] 또한, CAAC-OS막에 포함되는 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. 다만, CAAC-OS막에 포함되는 복수의 결정부가 연결됨으로써 하나의 큰 결정 영역을 형성하는 경우가 있다. 예를 들어 평면의 고분해능 TEM 이미지에서 2500nm^2 이상, $5\mu\text{m}^2$ 이상, 또는 $1000\mu\text{m}^2$ 이상의 결정 영역이 관찰되는 경우가 있다.
- [0319] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막의 구조 해석을 수행하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에서 유래하기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 CAAC-OS막의 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0320] 한편, c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS막의 해석을 수행하면, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에서 유래한다. InGaZnO_4 의 단결정 산화물 반도체막의 경우, 2θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 측(Φ축)으로 하여 시료를 회전시키면서 분석(Φ 스캔)하면, (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우, 2θ 를 56° 근방에 고정하고 Φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0321] 상술한 것으로부터, CAAC-OS막의 상이한 결정부들간에서는 a축 및 b축은 배향이 불규칙하지만, c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되며, c축 배향성이 있는 것을 알 수 있다. 따라서, 상술한 단면의 고분해능 TEM 관찰로부터 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 ab면에

평행한 면이다.

[0322] 또한, 결정부는 CAAC-OS막을 성막하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않는 경우도 있다.

[0323] 또한, CAAC-OS막 내에서, c축 배향된 결정부의 분포가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우, 상면 근방의 영역에서는 괴형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, 불순물이 첨가된 CAAC-OS막에서는, 불순물이 첨가된 영역이 변질되어, c축 배향된 결정부의 비율이 다른 영역이 부분적으로 형성되는 경우도 있다.

[0324] 또한, out-of-plane법에 의한 $InGaZnO_4$ 의 결정을 갖는 CAAC-OS막의 해석을 수행하면, 2θ 가 31° 근방일 때 나타나는 피크에 더하여, 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0325] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등, 산화물 반도체막의 주성분 이외의 원소이다. 특히 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(실리콘 등)는, 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0326] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 또는 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0327] 불순물 농도가 낮으며 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는, 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)이 되는 일이 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출할 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0328] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.

[0329] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0330] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, 예를 들어 nc-OS막의 고분해능 TEM 이미지에서는 결정 입체가 명확히 확인되지 않는 경우가 있다.

[0331] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막에서는 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, 분석 방법에 따라서는 nc-OS막은 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상)의 전자빔을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기와 가깝거나 프로브 직경이 결정부보다 작은 전자빔을 사용하는 나노빔 전자 회절을 nc-OS막에 대하여 수행하면, 스포트이 관측된다. 또한, nc-OS막에 대하여 나노빔 전자 회절을 수행하면, 원을 그리듯이(환형

으로) 회도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노빔 전자 회절을 수행하면, 환형의 영역 내에 복수의 스포이 관측되는 경우가 있다(도 16의 (B) 참조).

[0332] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막에서는 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0333] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.

[0334] 비정질 산화물 반도체막은, 막 중에서의 원자 배열이 불규칙하고, 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 그 일례이다.

[0335] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서는 결정부가 확인되지 않는다.

[0336] XRD 장치를 사용하여 비정질 산화물 반도체막의 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대하여 전자 회절을 수행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대하여 나노빔 전자 회절을 수행하면, 스포이 관측되지 않고, 헤일로 패턴이 관측된다.

[0337] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막의 중간의 물성을 나타내는 구조를 갖는 경우가 있다. 이러한 구조를 갖는 산화물 반도체막을 특히 amorphous-like OS(amorphous-like Oxide Semiconductor)막이라고 부른다.

[0338] amorphous-like OS막의 고분해능 TEM 이미지에서는 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역을 갖는다. amorphous-like OS막은 TEM 관찰 정도의 미량의 전자 조사에 의해서도 결정화되어 결정부의 성장이 관찰되는 경우가 있다. 한편, 양질의 nc-OS막이라면, TEM 관찰 정도의 미량의 전자 조사에 의한 결정화는 거의 관찰되지 않는다.

[0339] 또한, amorphous-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지에서 계측할 수 있다. 예를 들어, InGaZnO_4 의 결정은 층상 구조를 가지며, In-0층 사이에 Ga-Zn-0층을 2층 구비한다. InGaZnO_4 의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는다. 따라서, 이들 근접하는 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석에 의하여 그 값이 0.29nm 로 산출된다. 그러므로, 고분해능 TEM 이미지에서 관찰되는 격자 줄무늬(lattice fringe)에 착안하여, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 개소에서는 각 격자 줄무늬가 InGaZnO_4 의 결정의 ab면에 대응하는 것으로 간주한다. 그 격자 줄무늬가 관찰되는 영역의 최대 길이를 amorphous-like OS막 및 nc-OS막의 결정부의 크기로 한다. 또한, 결정부의 크기가 0.8nm 이상인 것을 선택적으로 평가한다.

[0340] 도 17은 고분해능 TEM 이미지로부터 amorphous-like OS막 및 nc-OS막의 결정부(20개소~40개소)의 평균 크기의 변화를 조사한 예이다. 도 17을 보면, amorphous-like OS막은 전자의 누적 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, TEM 관찰 초기에 크기가 1.2nm 정도이었던 결정부는, 누적 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 이 되면 크기가 2.6nm 정도까지 성장한 것을 알 수 있다. 한편, 양질의 nc-OS막은 전자 조사 시작 시점으로부터 전자의 누적 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 이 될 때까지의 범위에서 전자의 누적 조사량에 관계없이 결정부의 크기에 변화가 없는 것을 알 수 있다.

[0341] 또한, 도 17에 도시된 amorphous-like OS막 및 nc-OS막의 결정부의 크기의 변화를 선형 근사하여, 전자의 누적 조사량 $0\text{e}^-/\text{nm}^2$ 까지를 외삽(extrapolation)하면, 결정부의 평균 크기가 양의 값을 취하는 것을 알 수 있다. 그러므로, amorphous-like OS막 및 nc-OS막의 결정부가 TEM 관찰 전부터 존재하는 것을 알 수 있다.

[0342] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이여도 좋다.

[0343] 산화물 반도체막이 복수의 구조를 갖는 경우, 나노빔 전자 회절을 사용함으로써 구조 해석이 가능해지는 경우가 있다.

[0344] 전자총실(10)과, 전자총실(10) 아래의 광학계(12)와, 광학계(12) 아래의 시료실(14)과, 시료실(14) 아래의 광학

계(16)와, 광학계(16) 아래의 관찰실(20)과, 관찰실(20)에 설치된 카메라(18)와, 관찰실(20) 아래의 필름실(22)을 갖는 투과 전자 회절 측정 장치를 도 16의 (C)에 도시하였다. 카메라(18)는 관찰실(20) 내부를 향하도록 설치된다. 또한, 필름실(22)을 갖지 않아도 된다.

[0345] 또한, 도 16의 (C)에 도시된 투과 전자 회절 측정 장치 내부의 구조를 도 16의 (D)에 도시하였다. 투과 전자 회절 측정 장치 내부에서는 전자총실(10)에 설치된 전자총으로부터 방출된 전자가, 광학계(12)를 통하여 시료실(14)에 배치된 물질(28)에 조사된다. 물질(28)을 통과한 전자는, 광학계(16)를 통하여 관찰실(20) 내부에 설치된 형광판(32)에 입사한다. 형광판(32)에서는, 입사한 전자의 강도에 따른 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.

[0346] 카메라(18)는 형광판(32)을 향하여 설치되고, 형광판(32)에 나타난 패턴을 촬영할 수 있다. 카메라(18)의 렌즈 중앙, 및 형광판(32) 중앙을 통과하는 직선과 형광판(32) 상면이 이루는 각도는, 예를 들어, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하로 한다. 상기 각도가 작을수록, 카메라(18)로 촬영되는 투과 전자 회절 패턴은 변형이 커진다. 다만, 미리 상기 각도를 알고 있으면, 얻어진 투과 전자 회절 패턴의 변형을 보정할 수도 있다. 또한, 카메라(18)를 필름실(22)에 설치하여도 좋은 경우가 있다. 예를 들어, 카메라(18)를 필름실(22)에, 전자(24)의 입사 방향과 대향하도록 설치하여도 좋다. 이 경우, 형광판(32) 이면으로부터 변형이 적은 투과 전자 회절 패턴을 촬영할 수 있다.

[0347] 시료실(14)에는, 시료인 물질(28)을 고정하기 위한 홀더가 설치된다. 홀더는 물질(28)을 통과하는 전자를 투과시키는 구조를 갖는다. 홀더는 예를 들어, 물질(28)을 X축, Y축, Z축 등으로 이동시키는 기능을 가져도 좋다. 홀더의 이동 기능은 예를 들어, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1 μ m 이하 등의 범위에서 이동시키는 정밀도를 가지면 좋다. 이를 범위는 물질(28)의 구조에 따라 최적의 범위를 설정하면 좋다.

[0348] 다음에, 상술한 투과 전자 회절 측정 장치를 사용하여 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.

[0349] 예를 들어, 도 16의 (D)에 도시한 바와 같이 나노빔인 전자(24)를 물질에 조사하는 위치를 변화시킴으로써(스캔 함으로써), 물질의 구조가 변화되는 모습을 확인할 수 있다. 이 때, 물질(28)이 CAAC-OS막이면, 도 16의 (A)에 나타낸 바와 같은 회절 패턴이 관측된다. 또는 물질(28)이 nc-OS막이면, 도 16의 (B)에 나타낸 바와 같은 회절 패턴이 관측된다.

[0350] 그런데, 물질(28)이 CAAC-OS막일 때도, 부분적으로 nc-OS막 등과 같은 회절 패턴이 관측되는 경우가 있다. 따라서, CAAC-OS막의 질은, 일정 범위에서의 CAAC-OS막의 회절 패턴이 관측되는 영역의 비율(CAAC화율이라고도 함)로 나타낼 수 있는 경우가 있다. 예를 들어, 양질의 CAAC-OS막이면, CAAC화율은 50% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상, 더욱 바람직하게는 95% 이상이 된다. 또한, CAAC-OS막과 상이한 회절 패턴이 관측되는 영역의 비율을 비CAAC화율로 표기한다.

[0351] 일례로서, 성막 직후(as-sputtered로 표기함), 또는 산소를 포함하는 분위기에서의 450°C 가열 처리 후의 CAAC-OS막을 갖는 각 시료의 상면을 스캔하면서 투과 전자 회절 패턴을 취득하였다. 여기서는, 5nm/초의 속도로 60초간 스캔하면서 회절 패턴을 관측하고, 관측된 회절 패턴을 0.5초마다 정지(靜止) 화상으로 변환함으로써 CAAC화율을 도출하였다. 또한, 전자빔으로서는, 프로브 직경이 1nm인 나노빔을 사용하였다. 또한, 같은 측정을 6개의 시료에 대하여 수행하였다. 그리고 CAAC화율의 산출에는 6개의 시료에서의 평균값을 사용하였다.

[0352] 각 시료의 CAAC화율을 도 18의 (A)에 나타내었다. 성막 직후의 CAAC-OS막의 CAAC화율은 75.7%(비CAAC화율은 24.3%)이었다. 또한, 450°C 가열 처리 후의 CAAC-OS막의 CAAC화율은 85.3%(비CAAC화율은 14.7%)이었다. 성막 직후와 비교하면 450°C 가열 처리 후의 CAAC화율이 높은 것을 알 수 있다. 즉, 높은 온도(예를 들어 400°C 이상)에서의 가열 처리에 의하여, 비CAAC화율이 낮아지는(CAAC화율이 높아지는) 것을 알 수 있다. 또한, 가열 처리의 온도가 500°C 미만인 경우에도 CAAC화율이 높은 CAAC-OS막이 얻어지는 것을 알 수 있다.

[0353] 여기서, CAAC-OS막과 다른 회절 패턴의 대부분은 nc-OS막과 같은 회절 패턴이었다. 또한, 측정 영역에서 비정질 산화물 반도체막은 확인할 수 없었다. 따라서, 가열 처리에 의하여, nc-OS막과 같은 구조를 갖는 영역이, 인접하는 영역의 구조의 영향을 받아서 재배열하여, CAAC화된 것이 시사된다.

[0354] 도 18의 (B) 및 (C)는, 성막 직후 및 450°C 가열 처리 후의 CAAC-OS막 평면의 고분해능 TEM 이미지이다. 도 18의 (B)와 (C)를 비교하면, 450°C 가열 처리 후의 CAAC-OS막은 막질이 더 균일한 것을 알 수 있다. 즉, 높은 온

도에서의 가열 처리에 의하여, CAAC-OS막의 막질이 향상되는 것을 알 수 있다.

[0355] 이러한 측정 방법을 사용하면, 복수의 구조를 갖는 산화물 반도체막의 구조 해석이 가능해지는 경우가 있다.

[0356] 본 실시형태에 기재된 구성, 방법 등은 다른 실시형태에 기재된 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0357] (실시형태 6)

[0358] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적 단말, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이를 전자 기기의 구체적인 예를 도 19에 도시하였다.

[0359] 도 19의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 구비한다. 또한, 도 19의 (A)에 도시된 휴대형 게임기는 2 개의 표시부(표시부(903)와 표시부(904))를 구비하지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.

[0360] 도 19의 (B)는 휴대 정보 단말이며, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 구비한다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의하여 접속되고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경할 수 있다. 제 1 표시부(913)에서의 영상을, 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914)의 적어도 하나에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토센서로도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.

[0361] 도 19의 (C)는 노트북 퍼스널 컴퓨터이며, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 구비한다.

[0362] 도 19의 (D)는 전기 냉동 냉장고이고, 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 구비한다.

[0363] 도 19의 (E)는 비디오 카메라이며, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 구비한다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은 접속부(946)에 의하여 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경이 가능하다. 표시부(943)에 표시되는 영상을, 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0364] 도 19의 (F)는 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 구비한다.

[0365] 또한, 본 실시형태는 본 명세서에서 기재하는 다른 실시형태와 적절히 조합할 수 있다.

[0366] (실시형태 7)

[0367] 본 실시형태에서는 본 발명의 일 형태에 따른 RF 태그의 사용예에 대하여 도 20을 사용하면서 설명한다. RF 태그의 용도는 다방면에 걸치며, 예를 들어, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전 면허증이나 주민등록증 등(도 20의 (A) 참조)), 기록 매체(DVD나 비디오 테이프 등(도 20의 (B) 참조)), 포장용 용기류(포장지나 병 등(도 20의 (C) 참조)), 탈 것들(자전거 등(도 20의 (D) 참조)), 개인 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전, 또는 휴대 전화기) 등의 물품, 또는 각 물품에 달리는 태그(도 20의 (E) 및 (F) 참조) 등에 제공하여 사용할 수 있다.

[0368] 본 발명의 일 형태에 따른 RF 태그(4000)는 표면에 부착시키거나 내장시켜 물품에 고정한다. 예를 들어, 책의

경우 종이에 내장하고, 유기 수지로 이루어진 패키지의 경우 상기 유기 수지에 내장하여, 각 물품에 고정한다. 본 발명의 일 형태에 따른 RF 태그(4000)는 소형, 박형, 경량이기 때문에, 물품에 고정된 후에도 그 물품 자체의 디자인성을 유지할 수 있다. 또한, 지폐, 동전, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따른 RF 태그(4000)를 제공함으로써 인증 기능을 제공할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 개인 소지품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RF 태그를 부착함으로써, 검품 시스템 등 시스템의 효율화를 도모할 수 있다. 또한, 탈 것들에도, 본 발명의 일 형태에 따른 RF 태그를 부착함으로써, 도난 등에 대한 보안성을 높일 수 있다.

[0369] 상술한 바와 같이, 본 발명의 일 형태에 따른 RF 태그를 본 실시형태에 예로 든 각 용도에 사용함으로써, 정보의 기록이나 판독을 포함한 동작 전력을 저감할 수 있기 때문에, 최대 통신 거리를 길게 할 수 있다. 또한, 전력이 차단된 상태에서도 정보를 매우 오랫동안 유지할 수 있기 때문에, 기록이나 판독의 빈도가 낮은 용도에도 적합하게 사용할 수 있다.

[0370] 본 실시형태는 본 명세서에 기재된 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

- [0371] 10: 전자총실
- 12: 광학계
- 14: 시료실
- 16: 광학계
- 18: 카메라
- 20: 관찰실
- 22: 필름실
- 24: 전자
- 28: 물질
- 32: 형광판
- 101: 트랜지스터
- 104: 용량 소자
- 105: 트랜지스터
- 106: 용량 소자
- 107: 트랜지스터
- 108: 용량 소자
- 110: 메모리 셀
- 112: 트랜지스터
- 113: 트랜지스터
- 114: 트랜지스터
- 500: 반도체 장치
- 501: 메모리 셀 어레이
- 502: 행 선택 드라이버
- 503: 열 선택 드라이버

504: A/D 컨버터

517: 디코더

518: 제어 회로

521: 디코더

522: 래치 회로

523: D/A 컨버터

524: 스위치 회로

526: 트랜지스터

531: 콤판레이터

532: 인코더

533: 래치 회로

534: 버퍼

651: 절연막

652: 절연막

653: 게이트 절연막

654: 절연막

655: 절연막

660: 산화물 반도체

661: 산화물 반도체

662: 산화물 반도체

663: 산화물 반도체

671: 소스 전극

672: 드레인 전극

673: 게이트 전극

901: 하우징

902: 하우징

903: 표시부

904: 표시부

905: 마이크로폰

906: 스피커

907: 조작 키

908: 스타일러스

911: 하우징

912: 하우징

913: 표시부

914: 표시부

- 915: 접속부
916: 조작 키
921: 하우징
922: 표시부
923: 키보드
924: 포인팅 디바이스
931: 하우징
932: 냉장실용 도어
933: 냉동실용 도어
941: 하우징
942: 하우징
943: 표시부
944: 조작 키
945: 렌즈
946: 접속부
951: 차체
952: 차륜
953: 대시보드
954: 라이트
2000: 기판
2001: 절연막
2002: 절연막
2003: 절연막
2004: 절연막
2005: 절연막
2006: 절연막
2007: 절연막
2008: 절연막
2101: 플러그
2102: 플러그
2103: 플러그
2104: 플러그
2105: 플러그
2106: 플러그
2107: 플러그
2108: 플러그

2201: 채널 형성 영역

2202: 불순물 영역

2203: 불순물 영역

2204: 케이트 절연막

2205: 케이트 전극

2206: 측벽 절연층

2301: 배선

2302: 배선

2401: 전극

2402: 전극

2403: 절연막

2501: 배선

2502: 배선

2601: 전극

2602: 전극

2603: 절연막

2701: 도전막

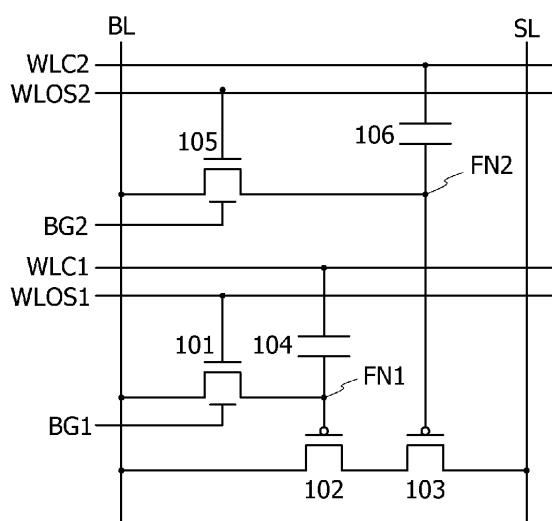
2702: 도전막

4000: RF 태그

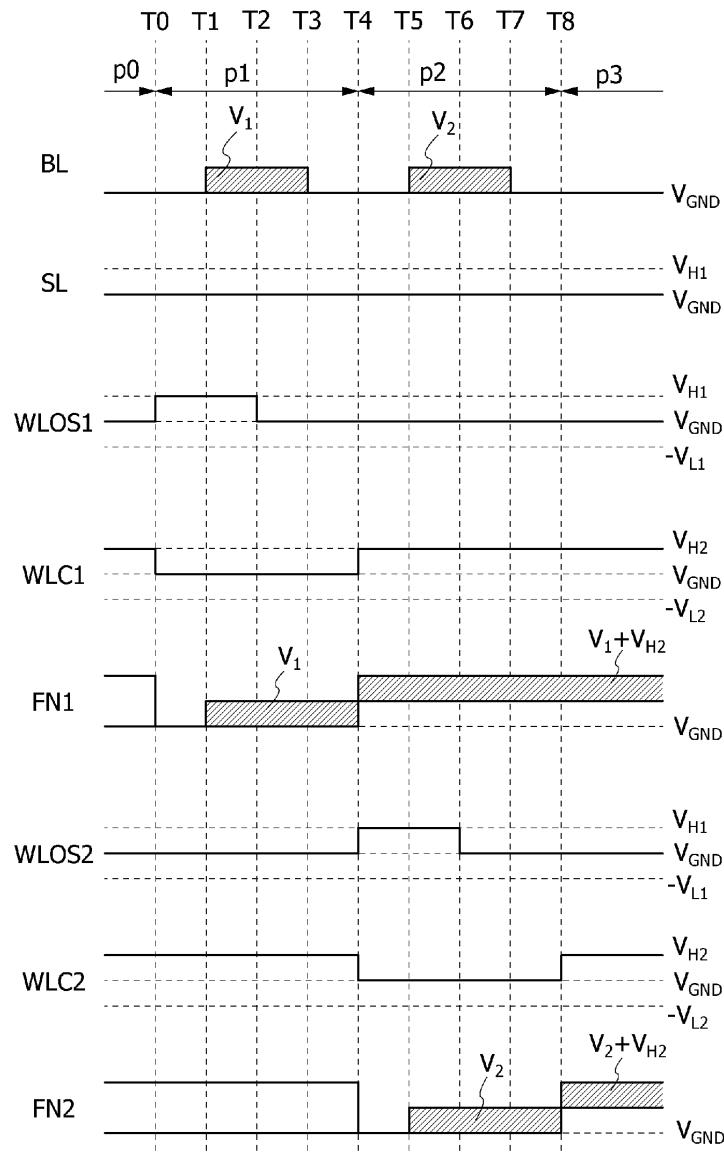
도면

도면1

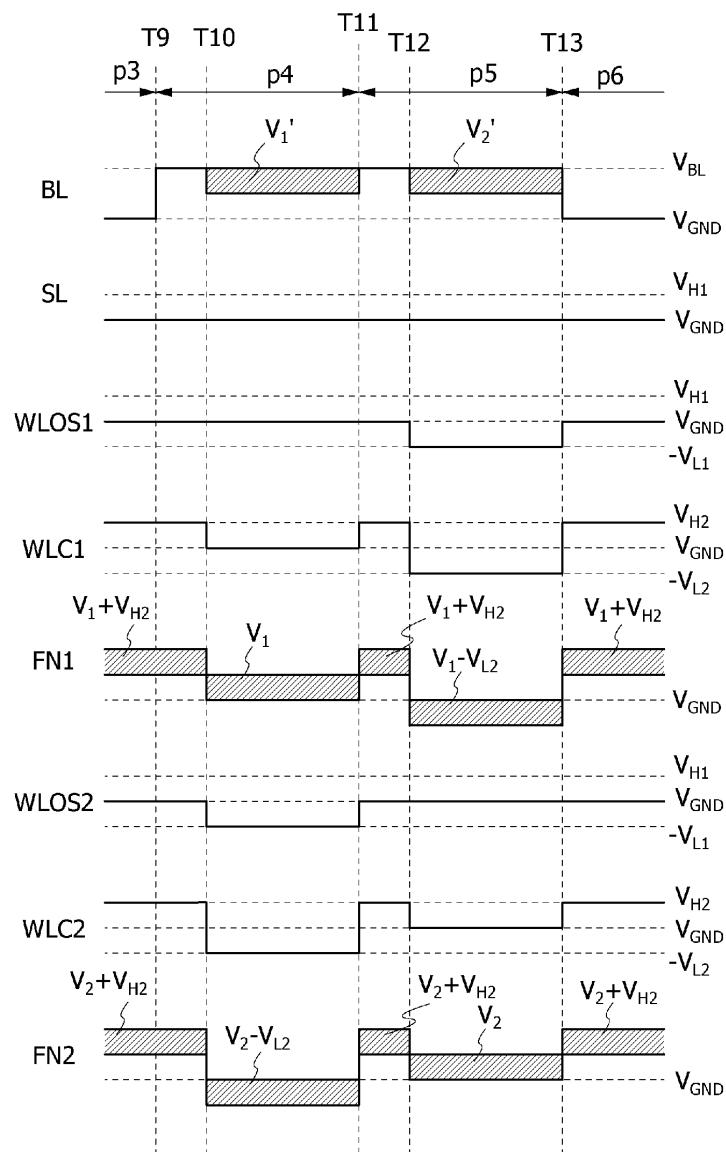
100



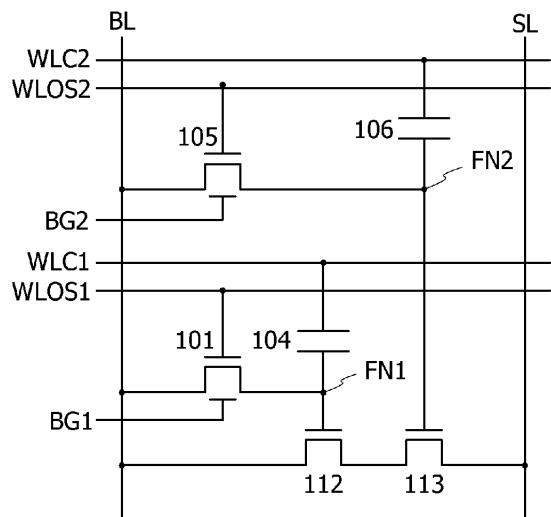
도면2



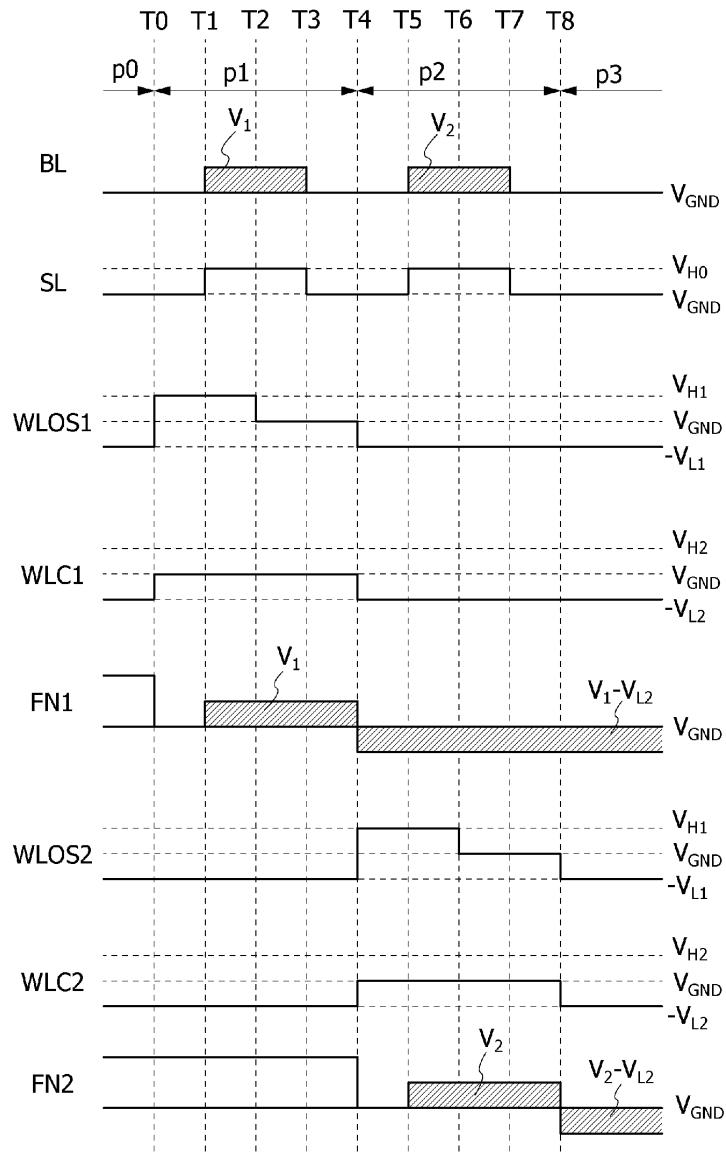
도면3



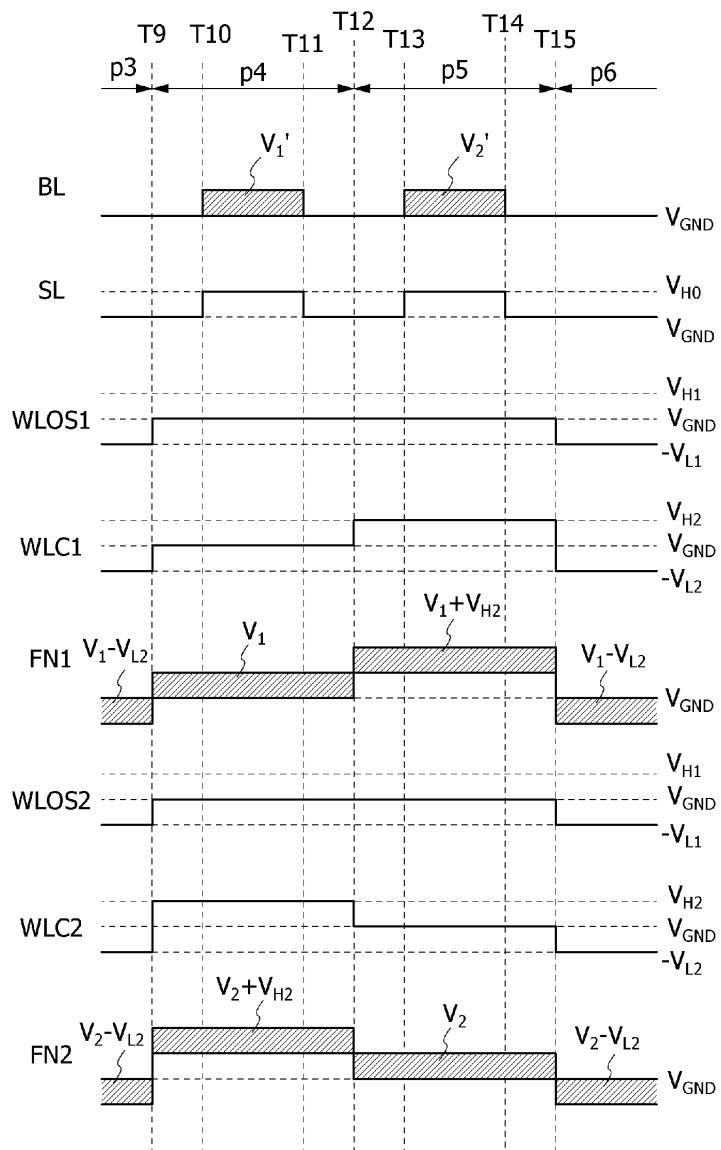
도면4

110

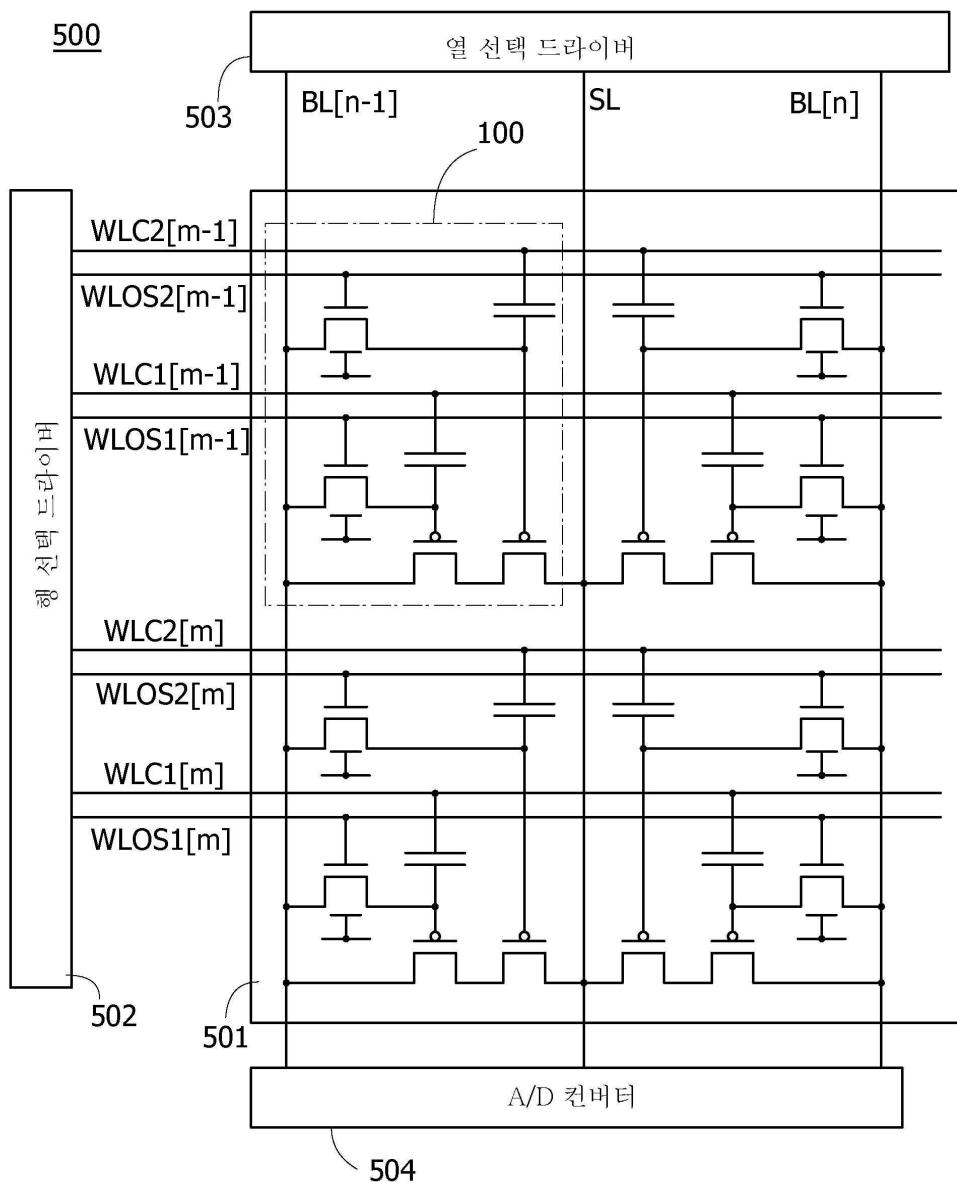
도면5



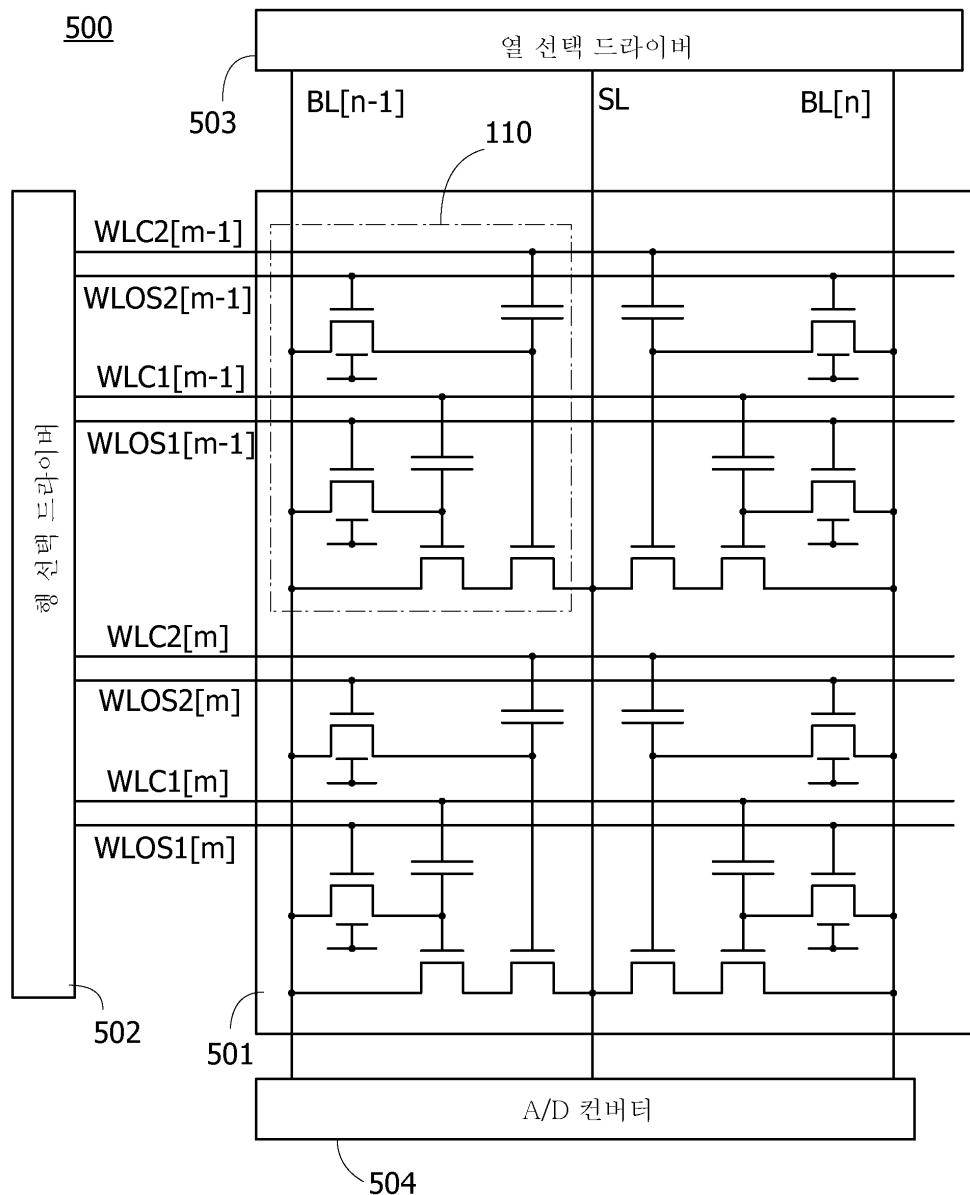
도면6



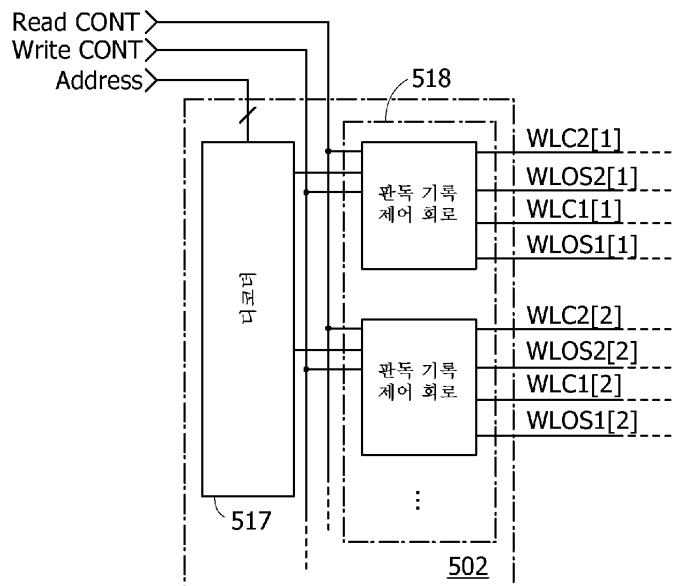
도면7



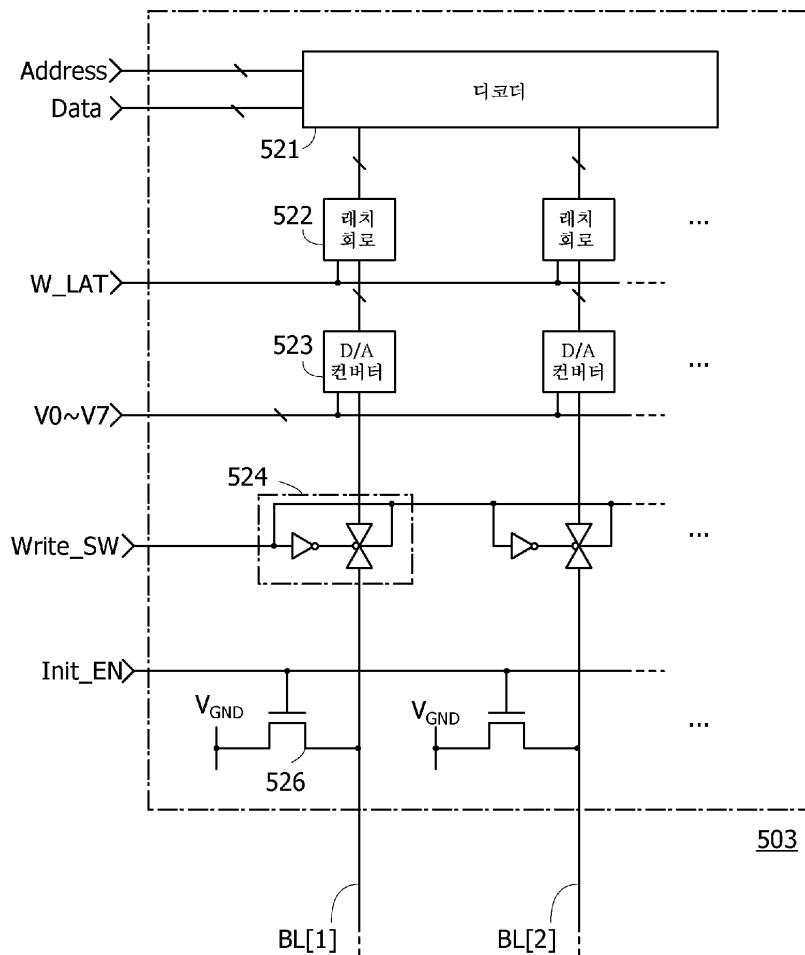
도면8



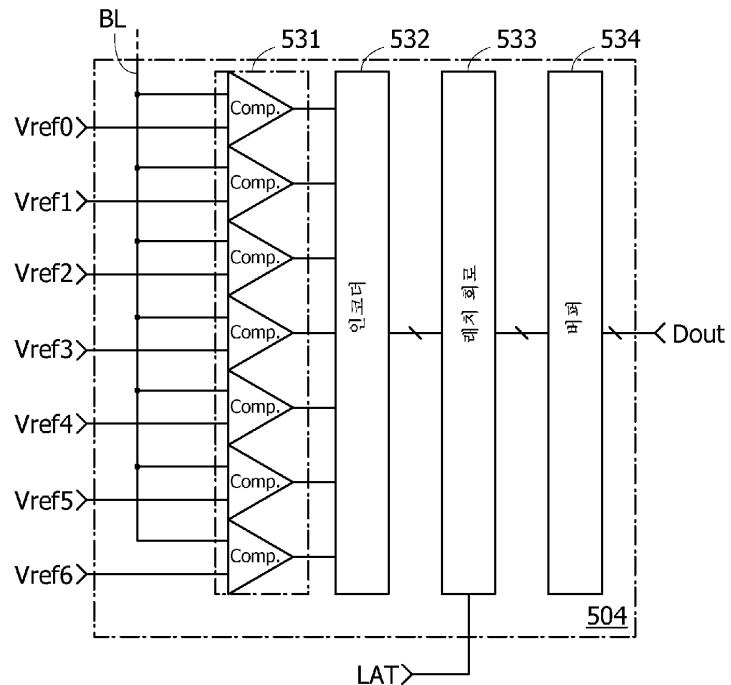
도면9



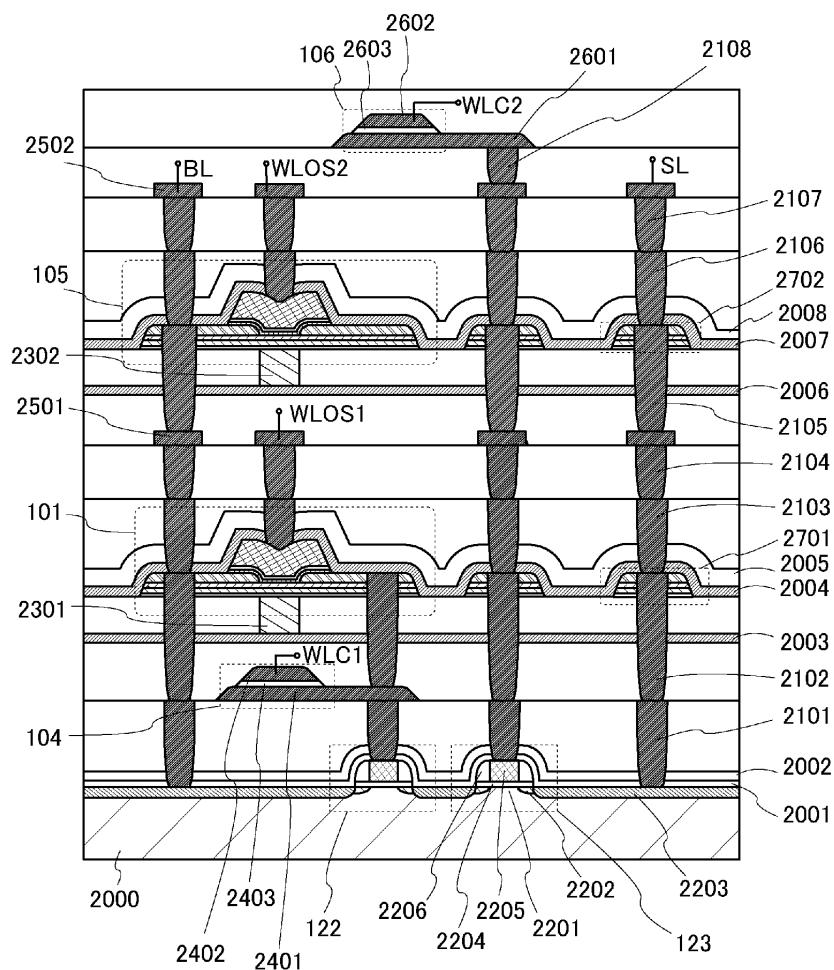
도면10



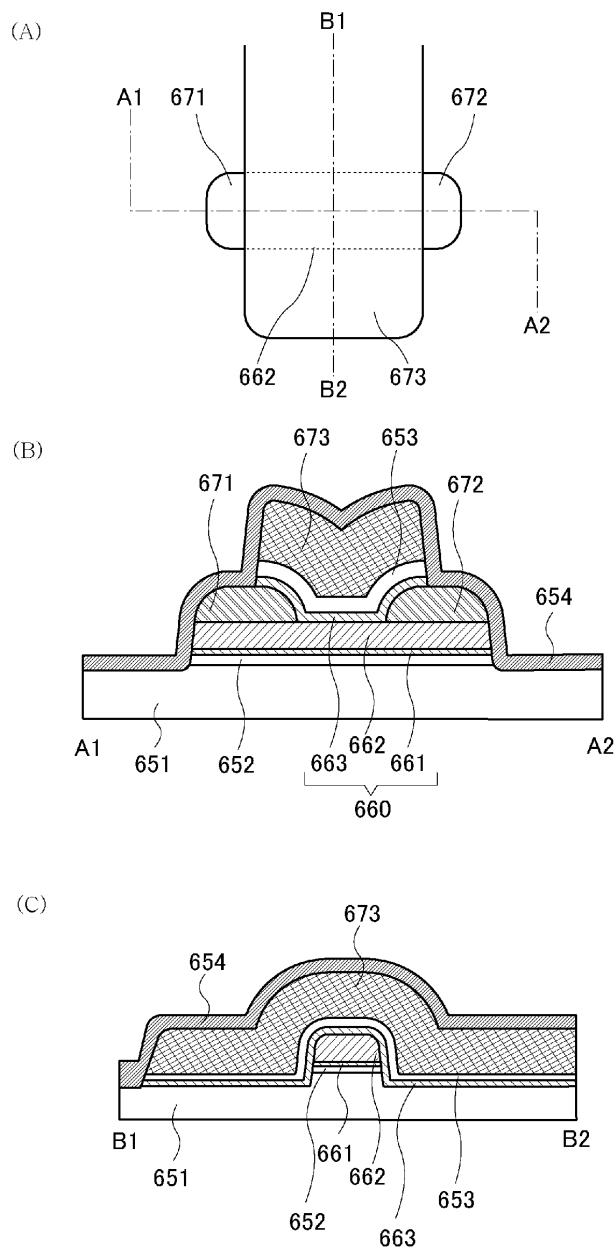
도면11



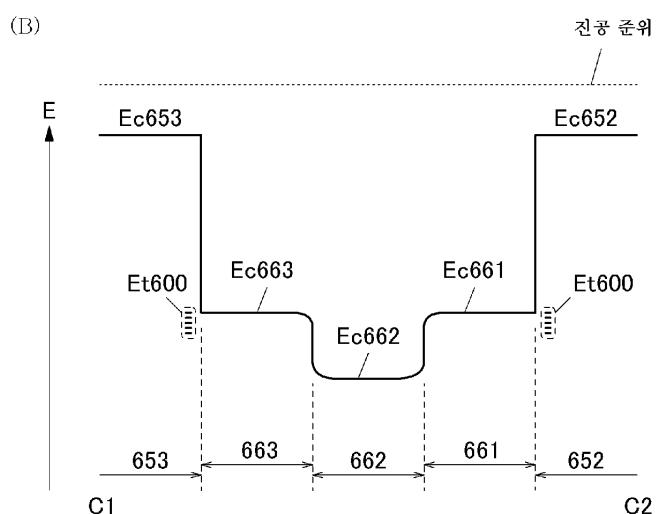
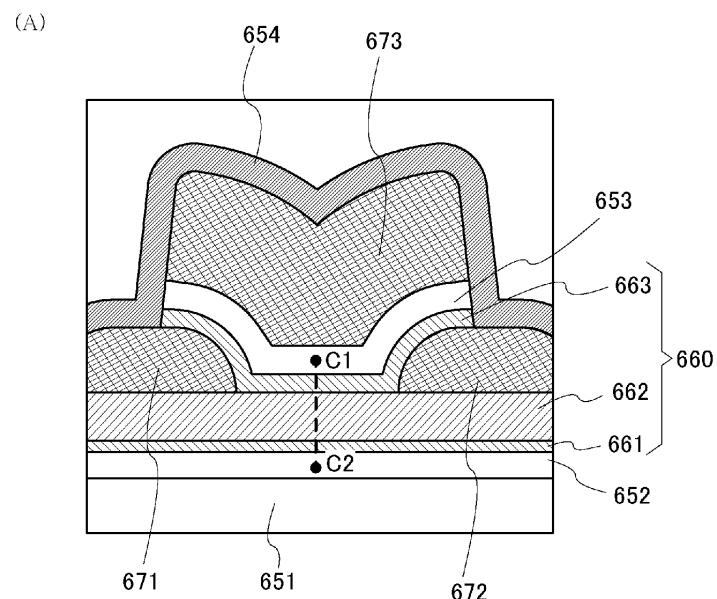
도면12



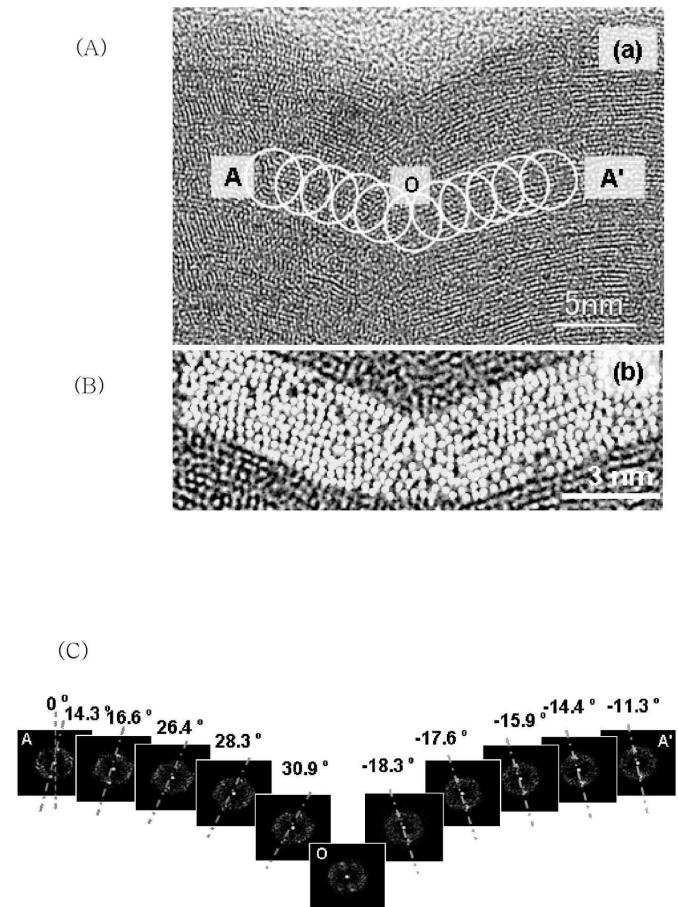
도면13



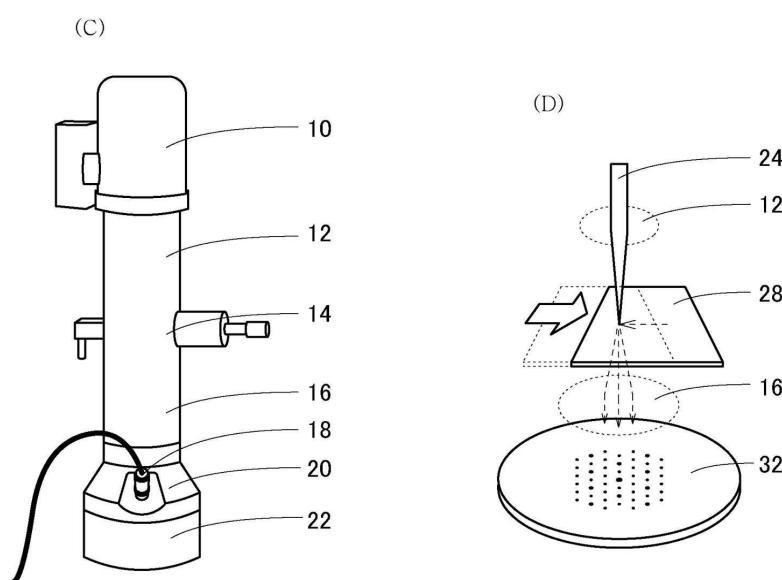
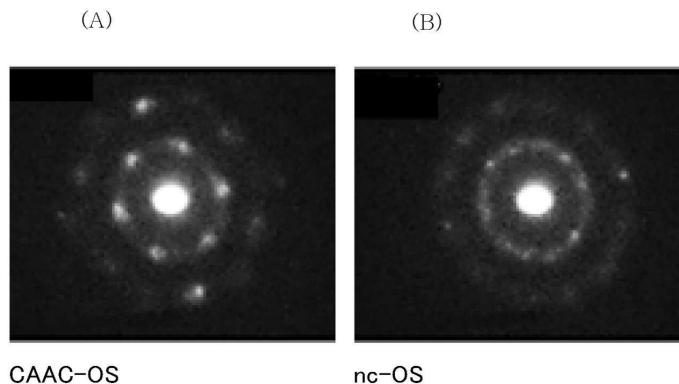
도면14



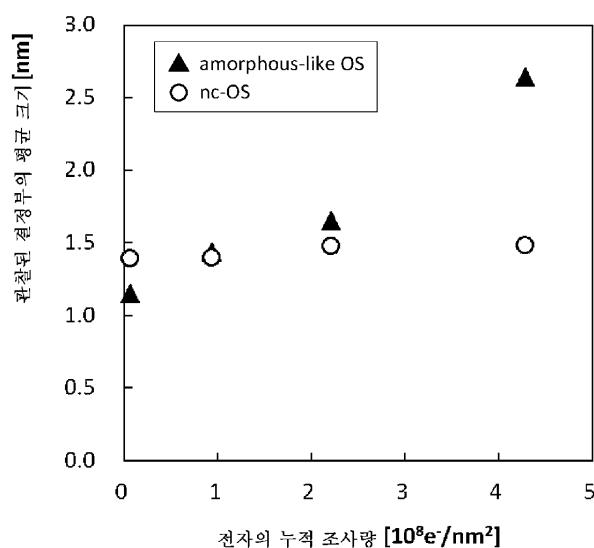
도면15



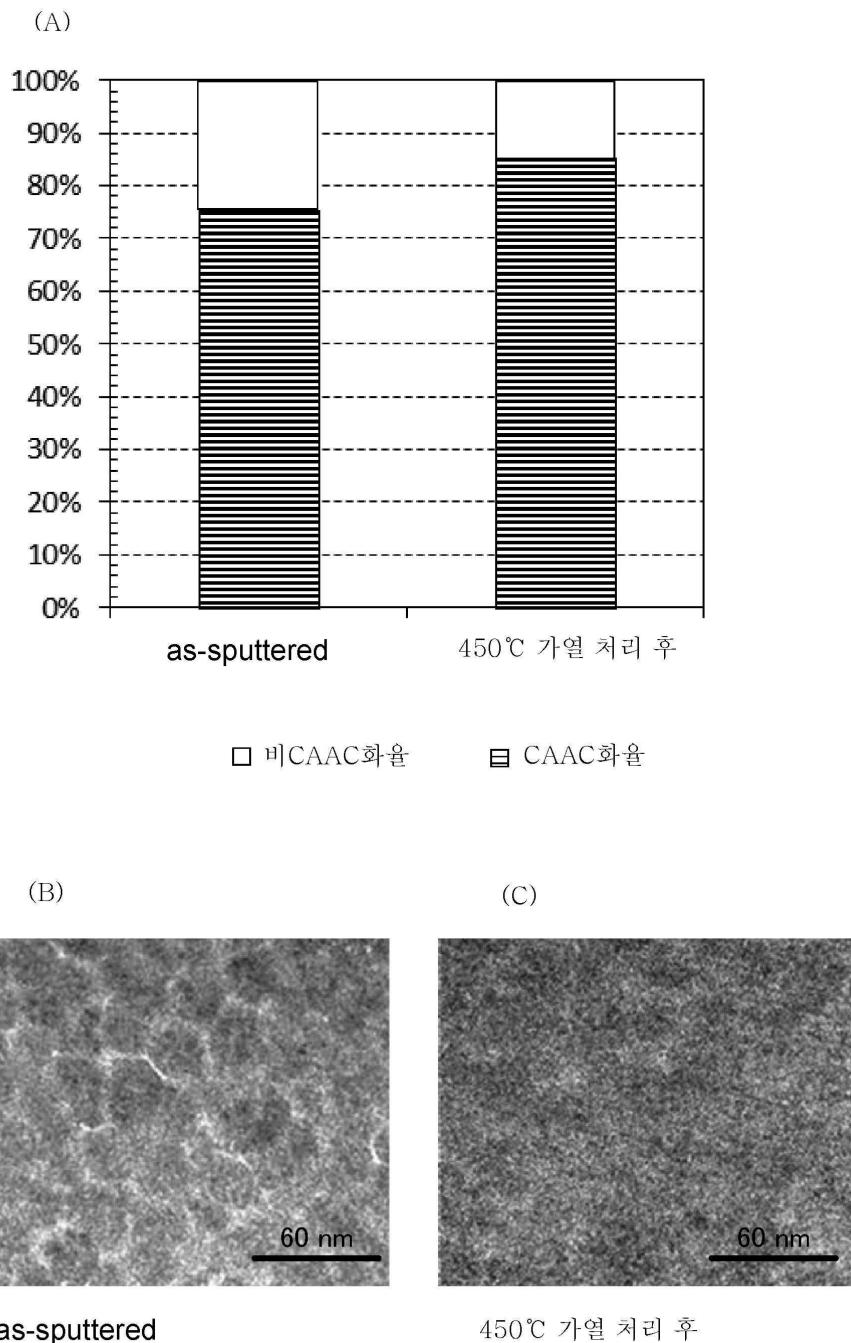
도면16



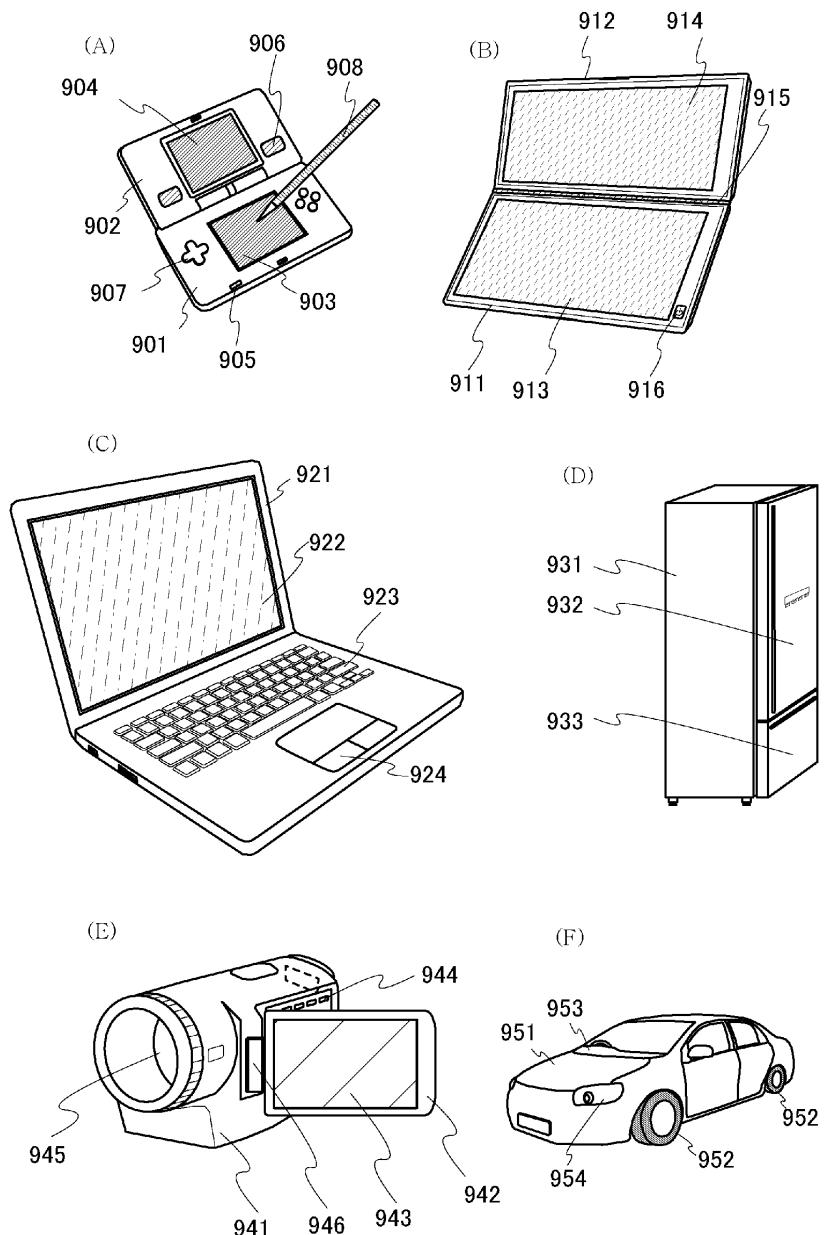
도면17



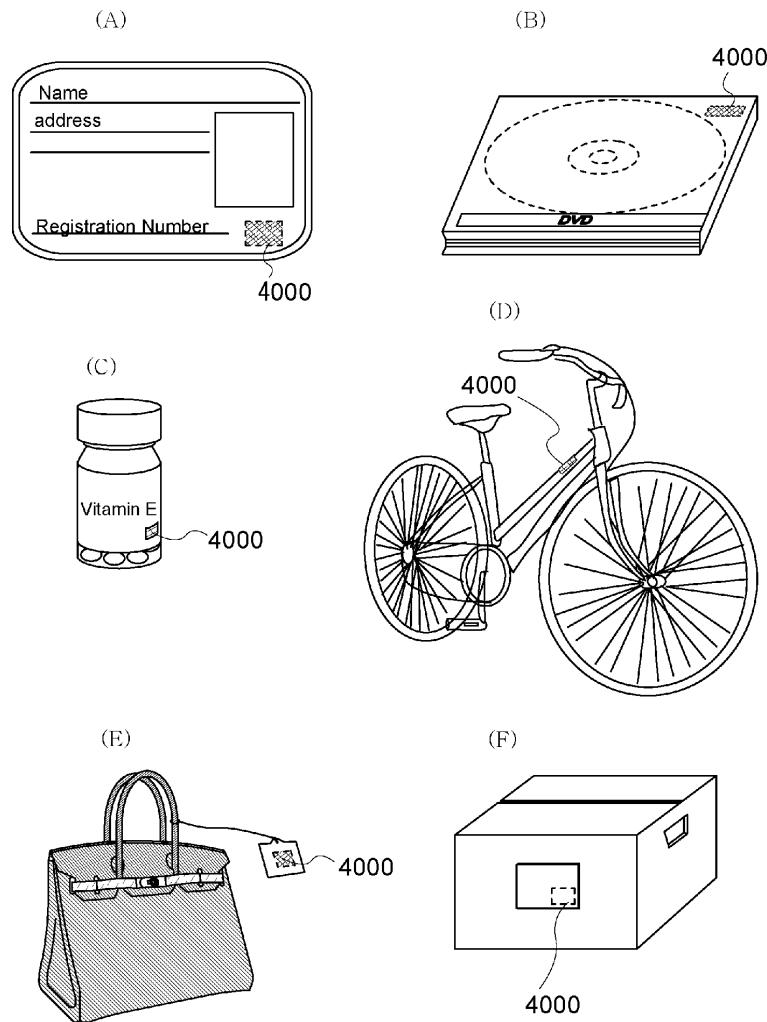
도면18



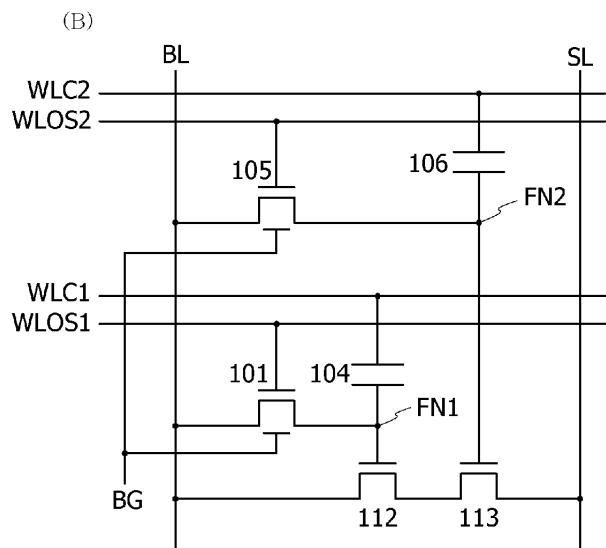
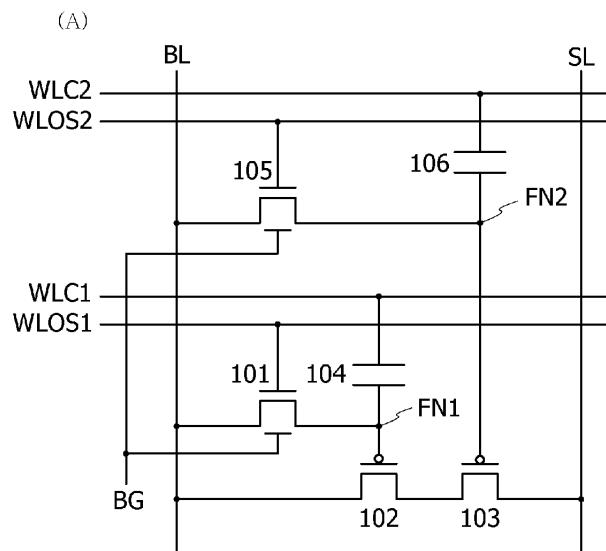
도면19



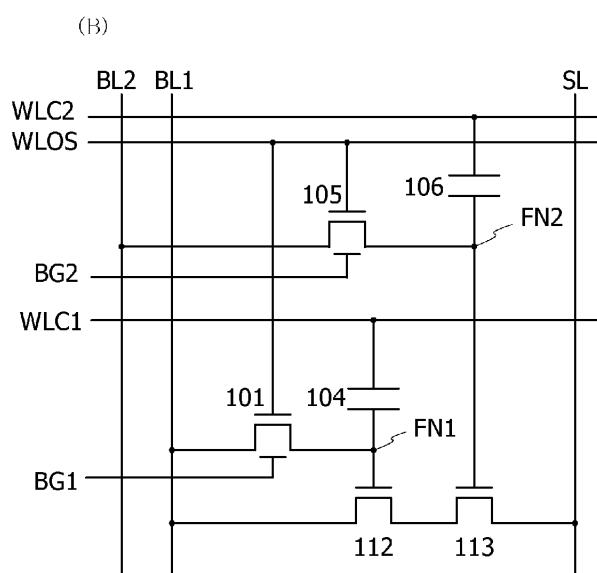
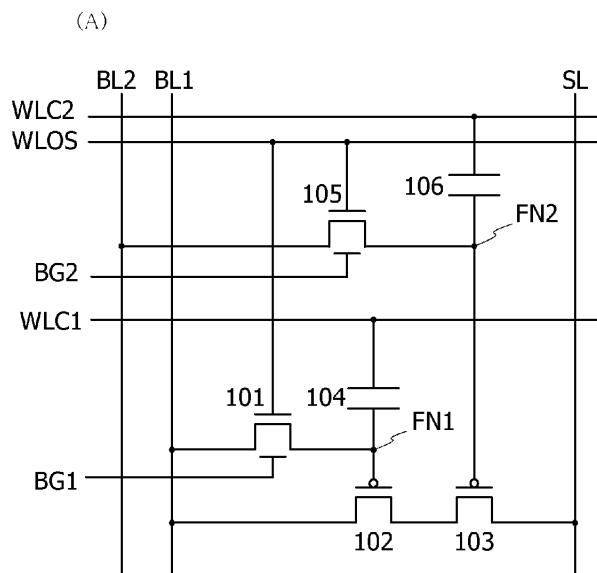
도면20



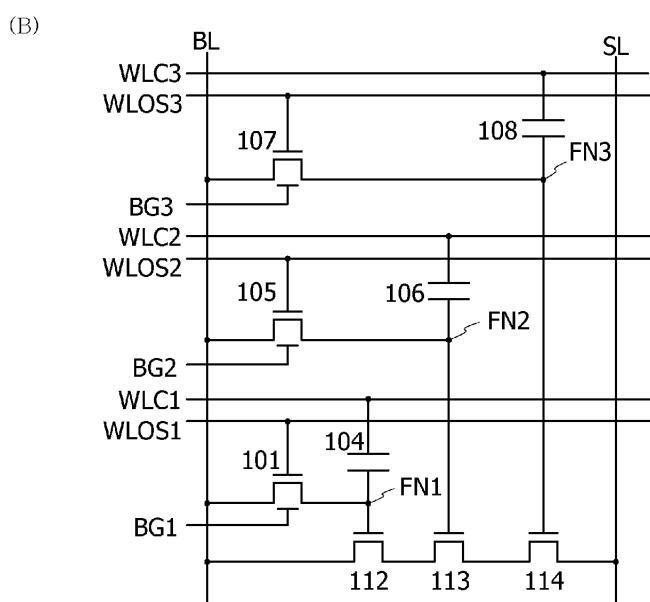
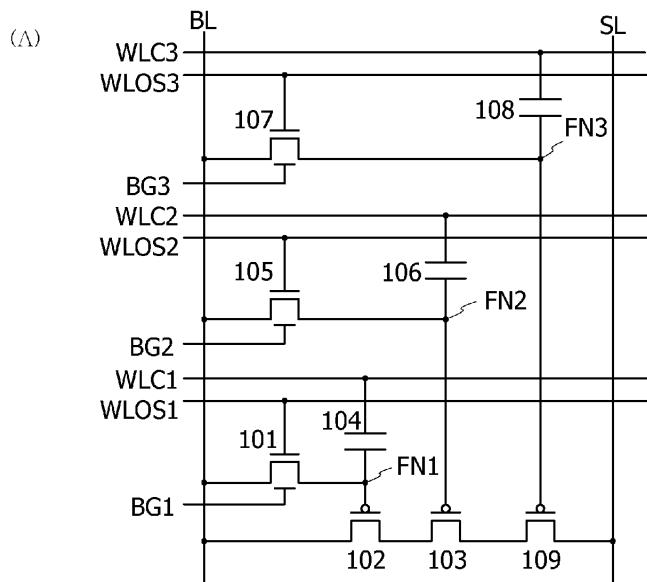
도면21



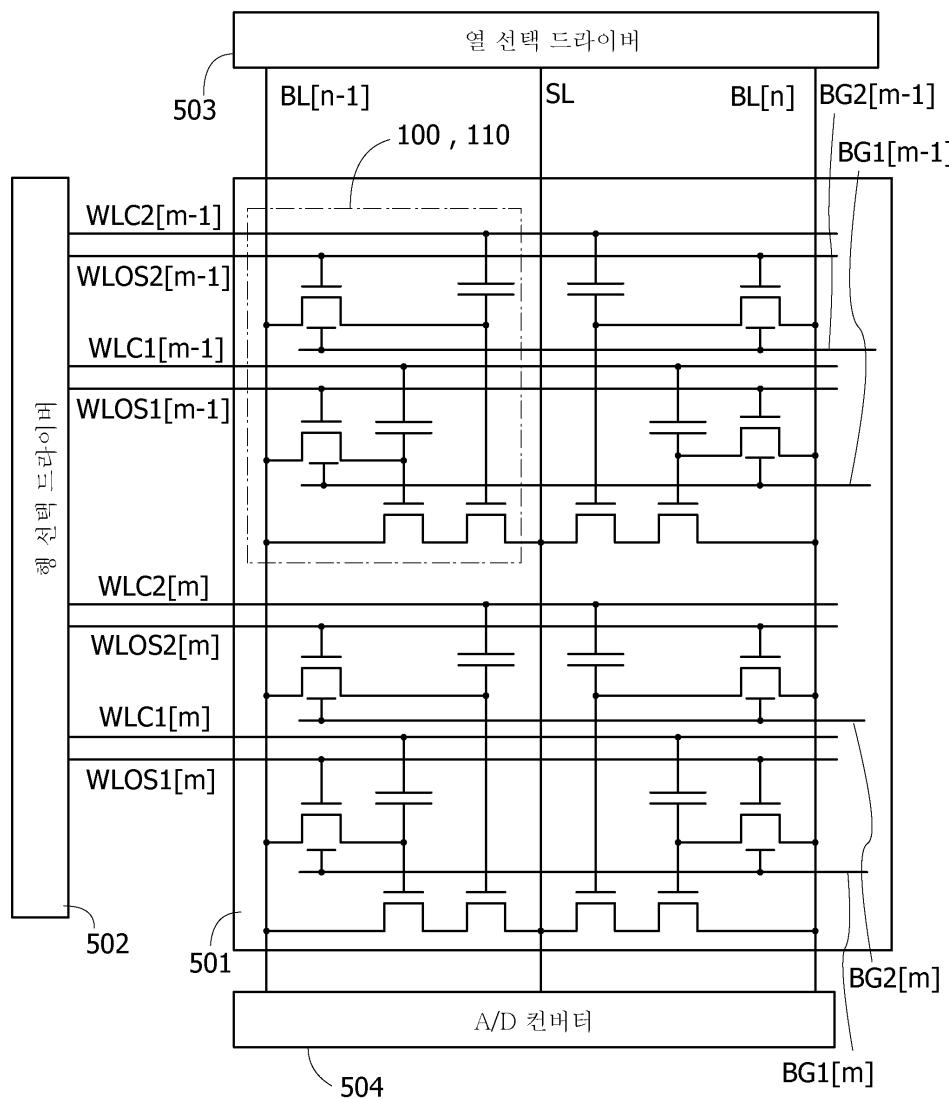
도면22



도면23



도면24



도면25

