202512472

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202512472 A

(43)公開日： 中華民國 114 (2025) 年 03 月 16 日

(21)申請案號：113123865 (22)申請日： 中華民國 113 (2024) 年 06 月 26 日

(51)Int. Cl.： *H01L27/105 (2023.01)* *H01L21/8232(2006.01)*

(30)優先權：2023/09/07 南韓 10-2023-0119278

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
高麗大學校產學協力團 (南韓) KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION (KR)
南韓

(72)發明人：金相植 KIM, SANGSIG (KR) ；朴兌浩 PARK, TAEHO (KR) ；孫載玟 SON, JAEMIN (KR) ；申淵祐 SHIN, YUNWOO (KR) ；田周熙 JEON, JUHEE (KR) ；趙庚娥 CHO, KYOUNGAH (KR)

(74)代理人：劉法正；尹重君

申請實體審查：無 申請專利範圍項數：20 項 圖式數：33 共 99 頁

(54)名稱

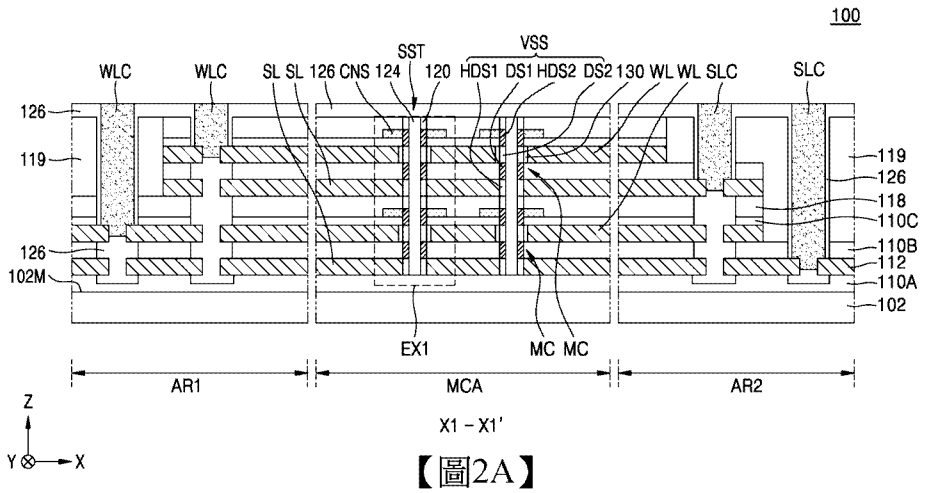
半導體記憶體裝置

(57)摘要

提供一種半導體記憶體裝置。該半導體裝置包括：一字元線，其在一橫向方向上延伸；一感測線，其與該字元線隔開，該感測線在一豎直方向上與該字元線重疊且在該橫向方向上延伸；一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；及一閘極介電膜，其位於該豎直通道區與該字元線之間。該豎直半導體結構包括在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜。

A semiconductor memory device is provided. The semiconductor device includes: a word line extending in a lateral direction; a sensing line apart from the word line, the sensing line overlapping the word line in a vertical direction and extending in the lateral direction; a vertical semiconductor structure passing through the word line and the sensing line in the vertical direction, the vertical semiconductor structure having a vertical channel region facing the word line in the lateral direction; and a gate dielectric film between the vertical channel region and the word line. The vertical semiconductor structure includes a first heavily doped film of a first conductivity type, a first lightly doped film of a second conductivity type, a second lightly doped film of the first conductivity type, and a second heavily doped film of the second conductivity type, which are sequentially provided in the vertical direction.

指定代表圖：



【圖2A】

符號簡單說明：

100:半導體記憶體裝置

102:基體

102M:主表面

110A,110B,110C:絕緣膜

112:第一犧牲圖案

118:胞元間絕緣膜

119:模製絕緣膜

120:胞元間局部絕緣膜

124:絕緣柱

126:內埋絕緣膜

130:閘極介電膜

AR1:第一連接單元

AR2:第二連接單元

CNS:導電連接結構

DS1:第一淡摻雜膜

DS2:第二淡摻雜膜

EX1:部分

HDS1:第一重摻雜膜

HDS2:第二重摻雜膜

MC:記憶體胞元

MCA:記憶體胞元陣列單元

SL:感測線

SLC:感測線接觸件

SST:堆疊結構

VSS:豎直半導體結構

WL:字元線

WLC:字元線接觸件

X:第一橫向方向

X1-X1':線

Y:第二橫向方向

Z:豎直方向

【發明摘要】

【中文發明名稱】

半導體記憶體裝置

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE

【中文】

提供一種半導體記憶體裝置。該半導體裝置包括：一字元線，其在一橫向方向上延伸；一感測線，其與該字元線隔開，該感測線在一豎直方向上與該字元線重疊且在該橫向方向上延伸；一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；及一閘極介電膜，其位於該豎直通道區與該字元線之間。該豎直半導體結構包括在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜。

【英文】

A semiconductor memory device is provided. The semiconductor device includes: a word line extending in a lateral direction; a sensing line apart from the word line, the sensing line overlapping the word line in a vertical direction and extending in the lateral direction; a vertical semiconductor structure passing through the word line and the sensing line in the vertical direction, the vertical semiconductor structure having a vertical channel region facing the word line in the lateral direction; and a gate dielectric film between the vertical channel region and the word line. The vertical semiconductor structure includes a first heavily doped film of a first conductivity type, a first lightly doped film of a second conductivity type, a second lightly doped film of the first conductivity type, and a second heavily doped film of the second conductivity type, which are sequentially provided in the vertical direction.

【指定代表圖】　圖2A

【代表圖之符號簡單說明】

100:半導體記憶體裝置
102:基體
102M:主表面
110A,110B,110C:絕緣膜
112:第一犧牲圖案
118:胞元間絕緣膜
119:模製絕緣膜
120:胞元間局部絕緣膜
124:絕緣柱
126:內埋絕緣膜
130:閘極介電膜
AR1:第一連接單元
AR2:第二連接單元
CNS:導電連接結構
DS1:第一淡摻雜膜
DS2:第二淡摻雜膜
EX1:部分
HDS1:第一重摻雜膜
HDS2:第二重摻雜膜
MC:記憶體胞元
MCA:記憶體胞元陣列單元
SL:感測線
SLC:感測線接觸件
SST:堆疊結構
VSS:豎直半導體結構
WL:字元線
WLC:字元線接觸件
X:第一橫向方向
X1-X1':線
Y:第二橫向方向
Z:豎直方向

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】

半導體記憶體裝置

【英文發明名稱】

SEMICONDUCTOR MEMORY DEVICE

【技術領域】

相關申請案

【0001】 本申請案主張2023年9月7日在韓國智慧財產局申請之韓國專利申請案第10-2023-0119278號之優先權，該專利申請案之揭露內容以全文引用之方式併入本文中。

【0002】 本揭示係有關於半導體記憶體裝置。

【先前技術】

發明背景

【0003】 本揭露內容係關於一種半導體記憶體裝置，且更尤其係關於一種包括三維配置之多個記憶體胞元的半導體記憶體裝置。

【0004】 歸因於電子器件技術之新近發展，半導體裝置之按比例縮小已快速發展。因此，需要記憶體胞元之小型化，且當前記憶體胞元在維持高度整合及可靠性方面具有限制。因此，需要開發一種具有擁有較小記憶體胞元及增加之記憶體胞元之整合密度的結構之半導體記憶體裝置。

【發明內容】

發明概要

【0005】 一或多個實施例提供一種具有促進記憶體胞元之按比例縮小且增大該等記憶體胞元之整合密度的一結構之半導體記憶體裝置。

【0006】 根據一實施例之態樣，一種半導體記憶體裝置，其包括：一字元

線，其在一橫向方向上延伸；一感測線，其與該字元線隔開，該感測線在一豎直方向上與該字元線重疊且在該橫向方向上延伸；一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；及一閘極介電膜，其位於該豎直通道區與該字元線之間。該豎直半導體結構包括在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜。該豎直通道區包括該第一淡摻雜膜或該第二淡摻雜膜。該感測線與該豎直半導體結構之該第一重摻雜膜接觸。

【0007】 根據一實施例之另一態樣，一種半導體記憶體裝置包括一記憶體胞元串，該記憶體胞元串包括在一豎直方向上配置成一行之多個記憶體胞元。該等多個記憶體胞元中之各者包括：一字元線，其在一橫向方向上延伸；一感測線，其與該字元線隔開，該感測線在該豎直方向上與該字元線重疊且在該橫向方向上延伸；一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；及一閘極介電膜，其位於該豎直通道區與該字元線之間。在該等多個記憶體胞元中之各者中，該豎直半導體結構包括在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜。在該等多個記憶體胞元中之各者中，該豎直通道區包括該第一淡摻雜膜或該第二淡摻雜膜。在該等多個記憶體胞元中之各者中，該感測線與該豎直半導體結構的該第一重摻雜膜接觸。

【0008】 根據一實施例之另一態樣，一種半導體記憶體裝置包括一記憶體胞元陣列，該記憶體胞元陣列包括在一第一橫向方向、一第二橫向方向及一豎直方向上三維地及重複地配置於一基體上之多個記憶體胞元，其中該第一橫向方

向與該第二橫向方向交叉，且該豎直方向垂直於該第一橫向方向及該第二橫向方向中之各者。該記憶體胞元陣列包括：多個感測線及多個字元線，其在該豎直方向上逐個交替地配置，該等多個感測線及該等多個字元線在該豎直方向上彼此隔開；多個絕緣膜，其分別位於該等多個感測線與該等多個字元線之間；一堆疊結構，其在該豎直方向上穿過該等多個感測線、該等多個字元線及該等多個絕緣膜，該堆疊結構包括在該豎直方向上彼此重疊之多個豎直半導體結構，該等多個豎直半導體結構中之各者具有一豎直通道區；一絕緣柱，其在該豎直方向上穿過該等多個豎直半導體結構；多個閘極介電膜，其位於該等多個豎直半導體結構之各別豎直通道區與該等多個字元線之間；及多個位元線，其穿過該等多個絕緣膜。在該等多個記憶體胞元當中，在該豎直方向上配置成一行之記憶體胞元共用該等多個位元線中之選定者。該等多個豎直半導體結構中之各者包括在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜。該等多個豎直半導體結構中之各者之該豎直通道區包括該第一淡摻雜膜或該第二淡摻雜膜。

【圖式簡單說明】

【0009】 自結合隨附圖式進行之實施例之以下描述，以上及其他態樣及特徵將更顯而易見，在隨附圖式中：

【0010】 圖 1 為根據實施例之半導體記憶體裝置之一些區的平面佈局圖；

【0011】 圖 2A 為沿著圖 1 之線 X1-X1'截取之橫截面圖；

【0012】 圖 2B 為沿著圖 1 之線 Y1-Y1'截取之橫截面圖；

【0013】 圖 2C 為圖 2A 之部分「EX1」之放大橫截面圖；

【0014】 圖 2D 為圖 2B 之部分「EX2」之放大橫截面圖；

【0015】 圖 3A、圖 3B、圖 3C 及圖 3D 為根據實施例之半導體記憶體裝置

之橫截面圖；

【0016】 圖 3C 為圖 3A 之部分「EX3」之放大橫截面圖；

【0017】 圖 3D 為圖 3B 之部分「EX4」之放大橫截面圖；

【0018】 圖 4 為根據實施例之半導體記憶體裝置之橫截面圖；

【0019】 圖 5A 為根據實施例之包括於半導體記憶體裝置中之記憶體胞元的部分剖視透視圖；

【0020】 圖 5B 為圖 5A 中所展示之記憶體胞元之等值電路圖；

【0021】 圖 5C 為用於解釋圖 5A 及圖 5B 中所展示之記憶體胞元中之操作特性的圖表；

【0022】 圖 6A 為根據實施例之包括於半導體記憶體裝置中之記憶體胞元的部分剖視透視圖；

【0023】 圖 6B 為圖 6A 中所展示之記憶體胞元之等值電路圖；

【0024】 圖 6C 為用於解釋圖 6A 及圖 6B 中所展示之記憶體胞元中之操作特性的圖表；

【0025】 圖 7 為根據實施例之半導體記憶體裝置之電路圖；

【0026】 圖 8 為具有圖 7 中所展示之電路組配之半導體記憶體裝置中的選定記憶體胞元之時序圖；

【0027】 圖 9 為根據圖 7 中所展示之電路組配以 3x3x3 陣列配置之半導體記憶體裝置的透視圖；

【0028】 圖 10 為根據圖 7 中所展示之電路組配以 3x3x3 陣列配置之半導體記憶體裝置的側視圖；

【0029】 圖 11 為根據實施例之半導體記憶體裝置之電路圖；

【0030】 圖 12 為具有圖 11 中所展示之電路組配之半導體記憶體裝置中的選定記憶體胞元之時序圖；且

【0031】圖 13A 至圖 33B 為根據實施例製造半導體記憶體裝置之方法的圖，其中圖 13A、圖 14A、圖 15A、圖 16、圖 17、圖 18A、圖 19A、圖 20、圖 21、圖 22A、圖 24A、圖 25A、圖 26A、圖 27A、圖 29、圖 30、圖 32A 及圖 33A 為根據製程序列之對應於沿著圖 1 之線 X1-X1'截取的橫截面之部分之橫截面圖，圖 13B、圖 14B、圖 15B、圖 18B、圖 19B、圖 22B、圖 23、圖 24B、圖 25B、圖 26B、圖 27B、圖 28、圖 31、圖 32B 及圖 33B 為根據製程序列之對應於沿著圖 1 之線 Y1-Y1'截取的橫截面之部分之橫截面圖，圖 18C 為圖 18A 中之部分「EXA」的放大橫截面圖，且圖 19C 為圖 19A 中之部分「EXA」的放大橫截面圖。

【實施方式】

較佳實施例之詳細說明

【0032】在下文中，將參考隨附圖式詳細地描述實施例。本文中所描述之實施例為示例性實施例，且因此，本揭露內容不限於此，且可以各種其他形式來實現。在以下描述中提供之各實施例不排除與本文中提供或本文中不提供但與本揭露內容一致之另一實例或另一實施例的一或多個特徵相關聯。應理解，當一元件或層被稱作「在另一元件或層上」、「連接至另一元件或層」或「耦接至另一元件或層」時，該元件或層可直接在另一元件或層上、直接連接至另一元件或層或直接耦接至另一元件或層，或可能存在介入元件或層。相比之下，當一元件稱為「直接在另一元件或層上」、「直接連接至另一元件或層」或「直接耦接至另一元件或層」時，不存在介入元件或層。如本文中所使用，術語「及/或」包括相關聯列舉項目中之一或多者的任何及所有組合。諸如「中之至少一者」的表達在位於元件清單之前時修飾元件之整個清單，而不修飾清單之個別元件。舉例而言，表述「a、b 及 c 中之至少一者」應理解為僅包括 a、僅包括 b、僅包括 c、包括 a 及 b 兩者、包括 a 及 c 兩者、包括 b 及 c 兩者或包括 a、b 及 c 中之所有

者。亦應理解，即使製造設備或結構之某一步驟或操作比另一步驟或操作更晚描述，該步驟或操作亦可比另一步驟或操作更晚執行，除非將該另一步驟或操作描述為在該步驟或操作之後執行。相同附圖標號用於指示圖式中之相同元件，且將省略其重複描述。

【0033】 圖 1 及圖 2A 至圖 2D 為根據實施例之半導體記憶體裝置 100 的圖。圖 1 為半導體記憶體裝置 100 之一些區之平面佈局圖。圖 2A 為沿著圖 1 之線 X1-X1'截取之橫截面圖。圖 2B 為沿著圖 1 之線 Y1-Y1'截取之橫截面圖。圖 2C 為圖 2A 之部分「EX1」之放大橫截面圖。圖 2D 為圖 2B 之部分「EX2」之放大橫截面圖。

【0034】 參考圖 1 及圖 2A 至圖 2D，半導體記憶體裝置 100 可包括：基體 102；記憶體胞元陣列單元 MCA，其位於基體 102 上；及第一連接單元 AR1 及第二連接單元 AR2，其位於基體 102 上且在第一橫向方向(X 方向)上彼此隔開，其中記憶體胞元陣列單元 MCA 位於第一連接單元 AR1 與第二連接單元 AR2 之間。

【0035】 記憶體胞元陣列單元 MCA 可包括三維地及重複地配置於第一橫向方向(X 方向)及第二橫向方向(Y 方向)及豎直方向(Z 方向)上之多個記憶體胞元 MC，該第一橫向方向及第二橫向方向彼此交叉且可彼此垂直，該豎直方向垂直於第一橫向方向(X 方向)及第二橫向方向(Y 方向)中之各者。

【0036】 基體 102 可包括半導體基體，該半導體基體包括矽(Si)、鍺(Ge)或 SiGe。

【0037】 記憶體胞元陣列單元 MCA 可包括在豎直方向(Z 方向)上逐個交替地配置且在豎直方向(Z 方向)上彼此隔開之多個感測線 SL 及多個字元線 WL。多個絕緣膜 110A、110B 及 110C 中之選定者可位於多個感測線 SL 中之最下部者與基體 102 之間及多個感測線 SL 中之各者與多個字元線 WL 中之各者之間。

【0038】 多個堆疊結構 SST 可位於記憶體胞元陣列單元 MCA 中，多個堆疊結構 SST 中之各者包括在豎直方向(Z 方向)上彼此重疊之多個豎直半導體結構 VSS。多個豎直半導體結構 VSS 中之各者可在豎直方向(Z 方向)上穿過字元線 WL、感測線 SL 及多個絕緣膜 110A、110B 及 110C。

【0039】 多個字元線 WL 及多個感測線 SL 中之各者可為平面的，且在平行於基體 102 之主表面 102M 的橫向方向(或沿著 X-Y 平面之方向)上延伸。多個字元線 WL 及多個感測線 SL 可在豎直方向(Z 方向)上彼此重疊。

【0040】 多個字元線 WL 及多個感測線 SL 可各自包括鎢(W)、鋁(Al)、鉬(Mo)、釕(Ru)、鋁(Al)、鈷(Co)、鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)、氮化鎢(WN)、氮化鈦矽(TiSiN)、氮化矽鎢(WSiN)、摻雜多晶矽或其一組合，但不限於此。多個絕緣膜中之各者(例如，110A、110B 及 110C)可包括氧化矽膜，但不限於此。

【0041】 多個豎直半導體結構 VSS 中之各者可包括在豎直方向(Z 方向)上自豎直半導體結構 VSS 之最接近基體 102 的一部分依序堆疊之第一重摻雜膜 HDS1、第一淡摻雜膜 DS1、第二淡摻雜膜 DS2 及第二重摻雜膜 HDS2。在多個豎直半導體結構 VSS 中之各者中，第一重摻雜膜 HDS1 及第二淡摻雜膜 DS2 可具有第一導電性類型，且第一淡摻雜膜 DS1 及第二重摻雜膜 HDS2 可具有與第一導電性類型相對之第二導電性類型。如本文中所使用，術語「重摻雜」及「淡摻雜」為相對術語。重摻雜膜係指比淡摻雜膜具有更高摻雜劑濃度之膜，且淡摻雜膜係指比重摻雜膜具有更低摻雜劑濃度之膜。

【0042】 在實施例中，在多個豎直半導體結構 VSS 中之各者中，第一重摻雜膜 HDS1、第一淡摻雜膜 DS1、第二淡摻雜膜 DS2 及第二重摻雜膜 HDS2 可各自包括摻雜矽(Si)膜，且第一重摻雜膜 HDS1 及第二重摻雜膜 HDS2 中之各者的摻雜劑濃度可高於第一淡摻雜膜 DS1 及第二淡摻雜膜 DS2 中之各者的摻雜劑

濃度。舉例而言，第一重摻雜膜 HDS1 及第二淡摻雜膜 DS2 可各自包括摻雜有 n 型雜質之多晶矽膜，且第一重摻雜膜 HDS1 中之 n 型雜質的摻雜劑濃度可高於第二淡摻雜膜 DS2 中之 n 型雜質的摻雜劑濃度。另外，第一淡摻雜膜 DS1 及第二重摻雜膜 HDS2 可各自包括摻雜有 p 型雜質之多晶矽膜，且第二重摻雜膜 HDS2 中之 p 型雜質的摻雜劑濃度可高於第一淡摻雜膜 DS1 中之 p 型雜質的摻雜劑濃度。在實施例中，n 型雜質可選自磷(P)、砷(As)及銻(Sb)，且 p 型雜質可選自硼(B)及鎵(Ga)。

【0043】 在一實例中，第一重摻雜膜 HDS1 中之 n 型雜質的摻雜劑濃度及第二重摻雜膜 HDS2 中之 p 型雜質的摻雜劑濃度中之各者可選定在約 1×10^{19} 個原子/cm^3 至約 9×10^{20} 個原子/cm^3 之一範圍內，且第一淡摻雜膜 DS1 中之 p 型雜質的摻雜劑濃度及第二淡摻雜膜 DS2 中之 n 型雜質的摻雜劑濃度中之各者可選定在約 1×10^{17} 個原子/cm^3 至約 9×10^{18} 個原子/cm^3 之一範圍內，但不限於此。

【0044】 多個豎直半導體結構 VSS 中之各者可包括豎直通道區，且豎直通道區可包括選自第一淡摻雜膜 DS1 及第二淡摻雜膜 DS2 之任一者。圖 2A 至圖 2D 說明其中豎直通道區在多個豎直半導體結構 VSS 中之各者中包括第二淡摻雜膜 DS2 的結構。在多個豎直半導體結構 VSS 中之各者中，用作豎直通道區之第二淡摻雜膜 DS2 可在平行於基體 102 之主表面 102M 的橫向方向(或沿著 X-Y 平面之方向)上面向字元線 WL。多個感測線 SL 可分別與多個豎直半導體結構 VSS 之第一重摻雜膜 HDS1 接觸。

【0045】 在其他實施例中，不同與圖 2A 至圖 2D 中所展示之彼等物，在多個豎直半導體結構 VSS 中之各者中，豎直通道區可包括第一淡摻雜膜 DS1。在此情況下，多個字元線 WL 中之各者可面向豎直半導體結構 VSS 之第一淡摻雜膜 DS1。

【0046】 閘極介電膜 130 可位於多個豎直半導體結構 VSS 中之各者之豎直

通道區(參考圖 2A 至圖 2D 中之第二淡摻雜膜 DS2)與鄰近於該豎直通道區的字元線 WL 之間。在實施例中，閘極介電膜 130 可包括順電材料。舉例而言，閘極介電膜 130 可包括氧化矽、氮化矽、氮氧化矽或其一組合。在其他實施例中，閘極介電膜 130 可包括高 k 介電材料。高 k 介電材料可具有約 10 至約 25 之介電常數。舉例而言，高 k 介電材料可包括氧化鉿、氧化鋁、氧化鋯或其一組合，但不限於此。在再其他實施例中，閘極介電膜 130 可包括順電材料及高 k 介電材料之一組合。

【0047】 半導體記憶體裝置 100 可包括絕緣柱 124，該絕緣柱 124 在豎直方向(Z 方向)上穿過經配置以在豎直方向(Z 方向)上彼此重疊之多個豎直半導體結構 VSS。在多個豎直半導體結構 VSS 中之各者中，第一重摻雜膜 HDS1、第一淡摻雜膜 DS1、第二淡摻雜膜 DS2 及第二重摻雜膜 HDS2 可具有容納絕緣柱 124 之中空 HH。多個豎直半導體結構 VSS 中之各者可具有包圍絕緣柱 124 之管形狀，且在俯視圖中(在 X-Y 平面上)具有環形狀。

【0048】 如圖 2B 及圖 2D 中所展示，半導體記憶體裝置 100 可包括在豎直方向(Z 方向)上穿過多個絕緣膜 110B 及 110C 之多個位元線 BL。多個位元線 BL 可在第二橫向方向(Y 方向)上與多個字元線 WL 及多個感測線 SL 隔開。多個位元線 BL 中之各者可通過導電連接結構 CNS 連接至包括於豎直半導體結構 VSS 中之第二重摻雜膜 HDS2。導電連接結構 CNS 可與包括於豎直半導體結構 VSS 中之第二重摻雜膜 HDS2 接觸且包圍該第二重摻雜膜 HDS2。多個位元線 BL 及連接至多個位元線 BL 之多個導電連接結構 CNS 可各自包括 W、Al、Mo、Ru、Al、Co、Ti、TiN、Ta、TaN、WN、TiSiN、WSiN、摻雜多晶矽或其一組合，但不限於此。

【0049】 多個位元線 BL 中之各者可在豎直方向(Z 方向)上延伸較長且在第二橫向方向(Y 方向)上面向豎直半導體結構 VSS，其中多個字元線 WL 及多個感

測線 SL 位於該等多個位元線 BL 與豎直半導體結構 VSS 之間。在半導體記憶體裝置 100 中，在豎直方向(Z 方向)上配置成一行之多個記憶體胞元 MC 可構成一個記憶體胞元串。包括於一個記憶體胞元串中之多個記憶體胞元 MC 可共用多個位元線 BL 中之選定者。

【0050】 半導體記憶體裝置 100 可包括多個胞元間絕緣膜 118 及多個胞元間局部絕緣膜 120。多個胞元間絕緣膜 118 中之各者可位於在豎直方向(Z 方向)上配置成一行之多個記憶體胞元 MC 中之二個鄰近者之間。多個胞元間局部絕緣膜 120 可位於絕緣柱 124 與胞元間絕緣膜 118 之間且包圍絕緣柱 124。胞元間絕緣膜 118 及胞元間局部絕緣膜 120 可構成在豎直方向(Z 方向)上彼此相鄰之二個記憶體胞元 MC 之間的胞元間絕緣結構以將二個記憶體胞元 MC 彼此分離。

【0051】 在記憶體胞元陣列單元 MCA 中，內埋絕緣膜 126 之一部分可覆蓋多個記憶體胞元 MC、多個絕緣柱 124、胞元間絕緣膜 118 之最上部者及多個胞元間局部絕緣膜 120。如圖 2A 中所展示，在第一連接單元 AR1 及第二連接單元 AR2 中，內埋絕緣膜 126 之另一部分可在第一橫向方向(X 方向)上與多個字元線 WL 及多個感測線 SL 中之各者的端部分接觸。

【0052】 如圖 1 及圖 2B 中所展示，半導體記憶體裝置 100 可包括多個隔離絕緣膜 140。多個隔離絕緣膜 140 中之各者可具有在記憶體胞元陣列單元 MCA 中在第一橫向方向(X 方向)上延伸較長之條形平面形狀。多個隔離絕緣膜 140 中之各者可位於在第二橫向方向(Y 方向)上配置成一行之多個記憶體胞元串中之二個鄰近者之間。多個隔離絕緣膜 140 可在豎直方向(Z 方向)上穿過多個絕緣膜 110A、110B 及 110C、多個胞元間絕緣膜 118 及內埋絕緣膜 126。多個隔離絕緣膜 140 中之各者可與包括於鄰近於第二橫向方向(Y 方向)之一側上的隔離絕緣膜 140 之一個記憶體胞元串中之多個字元線 WL 及多個感測線 SL 接觸。

【0053】 多個絕緣柱 124、多個胞元間絕緣膜 118、多個胞元間局部絕緣膜

120、內埋絕緣膜 126 及多個隔離絕緣膜 140 可各自包括氧化矽膜，但不限於此。

【0054】 如圖 2A 中所展示，在第一連接單元 AR1 及第二連接單元 AR2 中，多個字元線 WL 及多個感測線 SL 可在第一橫向方向(X 方向)上以變化長度延伸。因此，在第一連接單元 AR1 及第二連接單元 AR2 中，可形成包括多個字元線 WL 及多個感測線 SL 之多個台階單元。在第一連接單元 AR1 及第二連接單元 AR2 中，由多個台階單元界定之空間可由模製絕緣膜 119 填充。模製絕緣膜 119 可包括氧化矽膜。

【0055】 多個字元線接觸件 WLC 可位於第一連接單元 AR1 中。多個字元線接觸件 WLC 中之各者可在第一橫向方向(X 方向)上與記憶體胞元 MC 之豎直半導體結構 VSS 隔開且連接至多個字元線 WL 中之選定者。

【0056】 多個感測線接觸件 SLC 可位於第二連接單元 AR2 中。多個感測線接觸件 SLC 中之各者可在第一橫向方向(X 方向)上與記憶體胞元 MC 之豎直半導體結構 VSS 隔開且連接至多個感測線 SL 中之選定者。

【0057】 多個字元線接觸件 WLC 及多個感測線接觸件 SLC 可在豎直方向(Z 方向)上各自穿過包括內埋絕緣膜 126 及模製絕緣膜 119 之絕緣結構。多個字元線接觸件 WLC 及多個感測線接觸件 SLC 可各自包括 W、Al、Mo、Ru、Al、Co、Ti、TiN、Ta、TaN、WN、TiSiN、WSiN、摻雜多晶矽或其一組合，但不限於此。

【0058】 相關 DRAM 裝置可具有其中一個記憶體胞元包括一個電晶體及一個電容器之結構(亦即，1T-1C 結構)。隨著相關 DRAM 裝置變得更高度整合，電容器之態樣可增加，此可致使漏電流增加。漏電流之增加可影響資料可靠度。因此，電容器可變成使用豎直堆疊結構按比例縮小之障礙。

【0059】 藉由使用正回饋迴路，以回饋場效電晶體(FBFET)為主之記憶體裝置可具有低操作電壓及小於 60 mV/十進位(mV/decade)之急劇次臨界擺幅

(SS)。不同於相關 DRAM 裝置，以 FBFET 為主之記憶體裝置具有低功耗之優勢，因為不需要刷新操作。另外，以 FBFET 為主之半導體記憶體裝置可歸因於高接通-斷開電流比而具有寬電流感測裕度，且具有確保與製造互補金屬氧化物半導體(CMOS)電晶體之當前製程之相容性的優勢。

【0060】 在包括於根據實施例之半導體記憶體裝置 100 中之多個豎直半導體結構 VSS 中，第一重摻雜膜 HDS1 可包括摻雜有 n 型摻雜劑之 n^+摻雜區，第一淡摻雜膜 DS1 可包括摻雜有 p 型摻雜劑之 p 摻雜區，第二淡摻雜膜 DS2 可包括摻雜有 n 型摻雜劑之 n 摻雜區，且第二重摻雜膜 HDS2 可包括摻雜有 p 型摻雜劑之 p^+摻雜區。n 型摻雜劑可選自 P、As 及 Sb。p 型摻雜劑可選自 B 及 Ga。

【0061】 在實施例中，在多個豎直半導體結構 VSS 中之各者中，包括 n 摻雜區之第二淡摻雜膜 DS2 可用作豎直通道區。在此情況下，字元線 WL 可在橫向方向上面向包括 n 摻雜區之第二淡摻雜膜 DS2，其中該閘極介電膜 130 位於該字元線 WL 與第二淡摻雜膜 DS2 之間。記憶體胞元 MC 可構成以 p-FBFET 為主之 DRAM 胞元，其不包括電容器但包括一個電晶體。

【0062】 在其他實施例中，在多個豎直半導體結構 VSS 中之各者中，包括 p 摻雜區之第一淡摻雜膜 DS1 可用作豎直通道區。在此情況下，字元線 WL 可在橫向方向上面向包括 p 摻雜區之第一淡摻雜膜 DS1，其中閘極介電膜 130 位於該字元線 WL 與該第一淡摻雜膜 DS1 之間。記憶體胞元 MC 可構成以 n-FBFET 為主之 DRAM 胞元，其不包括電容器但包括一個電晶體。

【0063】 如上文所描述，根據實施例的半導體記憶體裝置 100 可實施為以 p-FBFET 為主之 DRAM 胞元或以 n-FBFET 為主之 DRAM 胞元，且與製造 CMOS 電晶體之當前製程相容。此外，藉由使用不需要電容器之以 FBFET 為主之記憶體胞元作為具有一個電晶體的 DRAM 胞元，可提供有利於高度整合之結構。

【0064】 另外，因為多個記憶體胞元 MC 中之各者包括一個電晶體且不包

括電容器，所以根據實施例的半導體記憶體裝置 100 可經小型化以提供高密度、緊湊三維(3D)陣列結構。此外，在根據實施例之半導體記憶體裝置 100 中，在豎直方向(Z 方向)上彼此重疊之多個記憶體胞元 MC 可包括共用一個位元線 BL 之 3D 堆疊型記憶體胞元陣列。因此，根據實施例之半導體記憶體裝置 100 可克服在具有二維(2D)結構之半導體記憶體裝置中遇到的由位元線之密度限制引起之問題，提供有利於半導體記憶體裝置之高度整合的結構，且在包括性能、功率、晶片面積及成本之各種態樣方面提供極好競爭力。

【0065】 圖 3A 至圖 3D 為根據實施例之半導體記憶體裝置 200 之圖。具體地，圖 3A 為對應於沿著圖 1 之線 X1-X1'截取之橫截面的部分之橫截面圖。圖 3B 為對應於沿著圖 1 之線 Y1-Y1'截取之橫截面的部分之橫截面圖。圖 3C 為圖 3A 之部分「EX3」之放大橫截面圖。圖 3D 為圖 3B 之部分「EX4」之放大橫截面圖。半導體記憶體裝置 200 可實質上具有與圖 1 中所展示之平面佈局相同的平面佈局。在圖 3A 至圖 3D 中，相同附圖標號用於指示與圖 1 及圖 2A 至圖 2D 中相同之附圖元件，且此處省略其詳細描述。

【0066】 參考圖 3A 至圖 3D，半導體記憶體裝置 300 可實質上具有與參考圖 1 及圖 2A 至圖 2D 所描述之半導體記憶體裝置 100 相同的組配。然而，半導體記憶體裝置 200 可包括多個字元線 WL2 替代圖 2A 至圖 2D 中所展示之多個字元線 WL，且包括閘極介電膜 230 替代圖 2A 至圖 2D 中所展示之閘極介電膜 130。

【0067】 多個字元線 WL2 及閘極介電膜 230 可實質上具有與已參考圖 1 及圖 2A 至圖 2D 所描述之多個字元線 WL 及閘極介電膜 130 相同的組配。然而，多個字元線 WL2 中之各者、面向包括於豎直半導體結構 VSS 中之第二淡摻雜膜 DS2 的側壁、面向絕緣膜 110B 之底部表面及面向絕緣膜 110C 之頂部表面可各自由閘極介電膜 230 覆蓋。如圖 3A 中所展示，在第一連接單元 AR1 中，多個字

元線接觸件 WLC 中之各者可穿過閘極介電膜 230 且連接至多個字元線 WL 中之選定者。

【0068】 圖 4 為根據實施例之半導體記憶體裝置 300 之橫截面圖。圖 4 說明對應於沿著圖 1 之線 X1-X1'截取之橫截面之部分的橫截面組配。在圖 4 中，相同附圖標號用於指示與圖 1 及圖 2A 至圖 2D 中相同之附圖元件，且此處省略其詳細描述。

【0069】 參考圖 4，半導體記憶體裝置 300 可實質上具有與參考圖 1 及圖 2A 至圖 2D 所描述之半導體記憶體裝置 100 相同之組配。然而，半導體記憶體裝置 300 可包括在豎直方向(Z 方向)上與記憶體胞元陣列單元 MCA、第一連接單元 AR1 及第二連接單元 AR2 重疊之周邊電路結構 PCS。

【0070】 周邊電路結構 PCS 可包括多個周邊電路及多層佈線結構 MWS。多個周邊電路可形成於周邊電路基體 352 上。多層佈線結構 MWS 可將多個周邊電路彼此連接或將多個周邊電路連接至位於記憶體胞元陣列單元 MCA、第一連接單元 AR1 及第二連接單元 AR2 中之導電元件。

【0071】 主動區 PA 可由周邊電路基體 352 中之裝置隔離膜 354 界定。周邊電路基體 352 之細節可實質上與參考圖 2A 及圖 2B 所描述之基體 102 的細節相同。多個電晶體 TR3 可形成於周邊電路基體 352 之主動區 PA 上。多個電晶體 TR3 中之各者可包括周邊閘極 PG 及形成於周邊閘極 PG 之兩側上的主動區 PA 中之周邊源極/汲極區 PSD。在實施例中，周邊電路結構 PCS 可進一步包括單元裝置，諸如電阻器及電容器。層間絕緣膜 370 可形成於多個電晶體 TR3 上。層間絕緣膜 370 可包括氧化矽膜、氮化矽膜、氮氧化矽(SiON)膜、碳氮氧化矽(SiOCN)膜或其一組合。

【0072】 在周邊電路結構 PCS 中，多層佈線結構 MWS 可包括多個周邊電路層 ML30、ML31 及 ML32 及多個周邊電路接觸件 MC30、MC31 及 MC32。多

個周邊電路層 ML30、ML31 及 ML32 中之一些可電連接至多個電晶體 TR3。多個周邊電路接觸件 MC30、MC31 及 MC32 可經組配以將選自多個周邊電路層 ML30、ML31 及 ML32 之一些周邊電路層彼此連接。多個周邊電路層 ML30、ML31 及 ML32 及多個周邊電路接觸件 MC30、MC31 及 MC32 可由層間絕緣膜 370 覆蓋。

【0073】 多個周邊電路層 ML30、ML31 及 ML32 及多個周邊電路接觸件 MC30、MC31 及 MC32 可各自包括金屬、導電金屬氮化物、金屬矽化物或其一組合。舉例而言，多個周邊電路層 ML30、ML31 及 ML32 及多個周邊電路接觸件 MC30、MC31 及 MC32 可各自包括導電材料，諸如鎢、鉬、鈦、鈷、鉭、鎳、矽化鎢、矽化鈦、矽化鈷、矽化鉭及矽化鎳。圖 4 說明其中多個周邊電路層 ML30、ML31 及 ML32 在豎直方向(Z 方向)上具有三重佈線結構之實例，但實施例不限於圖 4 中所說明之實例。舉例而言，多個周邊電路層 ML30、ML31、ML32 可具有二個層或至少四個層之多層佈線結構。

【0074】 在實施例中，第一連接單元 AR1 中之多個字元線接觸件 WLC、第二連接單元 AR2 中之多個感測線接觸件 SLC 及記憶體胞元陣列單元 MCA 中之多個位元線(參考圖 2B 中之 BL)可各自連接至包括於周邊電路結構 PCS 中的多個周邊電路層 ML30、ML31 及 ML32 中之選定者。

【0075】 圖 5A 及圖 5B 為根據實施例之半導體記憶體裝置 400A 之圖。更具體地，圖 5A 為包括於半導體記憶體裝置 400A 中之記憶體胞元 MCP 之結構的實例之部分剖視透視圖，且圖 5B 為圖 5A 中所展示之記憶體胞元 MCP 之等值電路圖。在圖 5A 中省略導電元件之間用於使導電元件彼此絕緣之絕緣膜的圖示。在圖 5A 及圖 5B 中，相同附圖標號用於指示與圖 1 及圖 2A 至圖 2D 中相同之附圖元件，且此處省略其詳細描述。

【0076】 參考圖 5A 及圖 5B，半導體記憶體裝置 400A 可實質上具有與參

考圖 1 及圖 2A 至圖 2D 所描述之半導體記憶體裝置 100 相同的組配。然而，半導體記憶體裝置 400A 可包括記憶體胞元 MCP 替代記憶體胞元 MC。

【0077】 記憶體胞元 MCP 可實質上具有與參考圖 2A 至圖 2D 所描述之記憶體胞元 MC 相同的組配。記憶體胞元 MCP 可包括豎直半導體結構 VSS。豎直半導體結構 VSS 可包括含有 n^+摻雜區之第一重摻雜膜 HDS1、包括 p 摻雜區之第一淡摻雜膜 DS1、包括 n 摻雜區之第二淡摻雜膜 DS2 及包括 p^+摻雜區之第二重摻雜膜 HDS2。

【0078】 在半導體記憶體裝置 400A 中，位元線 BL4 可在豎直方向(Z 方向)上穿過字元線 WL 及感測線 WL。位元線 BL4 可在橫向方向(或沿著 X-Y 平面之方向)上與字元線 WL 及感測線 WL 中之各者隔開。絕緣膜可位於位元線 BL4 與字元線 WL 之間及位元線 BL4 與感測線 WL 之間。

【0079】 記憶體胞元 MCP 可構成具有豎直通道結構之 1T-DRAM 胞元，其不包括電容器但包括具有以 p-FBFET 為主之結構的一個電晶體。在記憶體胞元 MCP 之豎直半導體結構 VSS 中，包括 n 摻雜區之第二淡摻雜膜 DS2 可用作豎直通道區，且閘極介電膜 130 可位於字元線 WL 與第二淡摻雜膜 DS2 之間。感測線 SL 可與包括 n^+摻雜區之第一重摻雜膜 HDS1 接觸，且連接至位元線 BL4 之導電連接結構 CNS 可與包括 p^+摻雜區之第二重摻雜膜 HDS2 接觸。

【0080】 圖 5C 為用於解釋圖 5A 及圖 5B 中所展示之記憶體胞元 MCP 中之操作特性的圖表。在圖 5C 中，橫座標指示字元線(參考圖 5A 中之 WL)處之電壓 VWL，且縱座標指示感測線(參考圖 5A 中之 SL)處之電流 ISL。表 1 展示圖 5A 及圖 5B 中所展示之記憶體胞元 MCP 中之操作條件。

【0081】 [表 1]

	V_{BL} (V)	V_{WL} (V)
寫入「1」	V_{DD}	V_{Wp}
寫入「0」	$-V_{DD}$	V_{Wp}
讀取	V_{DD}	0
讀取	0	0

【0082】 在表 1 中，V_{BL} 指示位元線 BL 處之電壓，V_{DD} 及 $-V_{DD}$ 中之各者指示施加至位元線 BL 之電壓，V_{WL} 指示字元線 WL 處之電壓，且 V_{Wp} 指示施加至字元線 WL 之電壓。在實施例中，電壓 V_{DD} 可選定在約 0.5 V 至約 3 V 之範圍內，電壓 $-V_{DD}$ 可選定在約-3 V 至約-0.5 V 之範圍內，且電壓 V_{Wp} 可選定在約-2 V 至約-0.5 V 之範圍內，但不限於此。

【0083】 參考圖 5C 及表 1，為啟用寫入操作，當 $V_{WL} = V_{Wp}$ 時，電壓 V_{DD} 可施加至位元線 BL 以執行寫入「1」，且當 $V_{WL} = V_{Wp}$ 時，電壓 $-V_{DD}$ 可施加至位元線 BL 以執行寫入「0」。

【0084】 為了啟用讀取操作，當 $V_{BL} = V_{DD}$ 時，0 V 之電壓可施加為電壓 V_{WL}。當 $V_{BL} = V_{DD}$ 且 0 V 之電壓施加為電壓 V_{WL} 時，記憶體胞元 MCP 可具有雙穩態特性，因此啟用讀取操作。亦即，當 $V_{BL} = V_{DD}$ 時，0 V 之電壓可施加為電壓 V_{WL} (亦即，$V_{WL} = 0$ V)，且因此，可基於感測線 SL 之電流 I_{SL} 的值而讀取記憶體胞元 MCP 之狀態。

【0085】 為啟用保持操作，可不自外部施加電壓。亦即，V_{BL} 可為浮動的，或可等於 0 V，且 V_{WL} 可為浮動的，或可等於 0 V。即使當不自外部施加電壓時，記憶體胞元 MCP 亦可歸因於儲存於豎直通道區中之電荷而維持在記憶狀態中預定時段。

【0086】 在圖 5C 中，感測線 SL 處之電流 I_{SL} 的變化相對於位元線 BL 處之電壓 V_{BL} 的變化展示為線 L1。在圖 5C 中，箭頭 R11、R12 及 R13 指示感測線 SL 處之電流 I_{SL} 沿著線 L1 改變所沿之路徑。在圖 5C 中，由 A1 指示之圓形虛線中

之位置處的電流 I_{SL} 對應於斷開電流 Ioff，由 A2 指示之圓形虛線中之位置處的電流 I_{SL} 對應於接通電流 Ion，由 A3 指示之圓形虛線中之位置處的電流 I_{SL} 對應於當字元線 WL 處之電壓為電壓 V_{Wp} 時執行寫入「0」操作或寫入「1」操作的電流值。

【0087】 圖 6A 及圖 6B 為根據實施例之半導體記憶體裝置 400B 之圖。更具體地，圖 6A 為包括於半導體記憶體裝置 400B 中之記憶體胞元 MCN 之結構的實例之部分剖視透視圖，且圖 6B 為圖 6A 中所展示之記憶體胞元 MCN 之等值電路圖。在圖 6A 中省略導電元件之間用於使導電元件彼此絕緣之絕緣膜的圖示。在圖 6A 及圖 6B 中，相同附圖標號用於指示與圖 1、圖 2A 至圖 2D 及圖 5A 中相同之附圖元件，且此處省略其詳細描述。

【0088】 參考圖 6A 及圖 6B，半導體記憶體裝置 400B 可實質上具有與參考圖 5A 所描述之半導體記憶體裝置 400A 相同的組配。然而，半導體記憶體裝置 400B 可包括記憶體胞元 MCN。

【0089】 記憶體胞元 MCN 可實質上具有與參考圖 5A 所描述之記憶體胞元 MCP 相同的組配。記憶體胞元 MCN 可包括豎直半導體結構 VSS。豎直半導體結構 VSS 可包括含有 n^+ 摻雜區之第一重摻雜膜 HDS1、包括 p 摻雜區之第一淡摻雜膜 DS1、包括 n 摻雜區之第二淡摻雜膜 DS2 及包括 p^+ 摻雜區之第二重摻雜膜 HDS2。

【0090】 記憶體胞元 MCN 可構成具有豎直通道結構之 1T-DRAM 胞元，其不包括電容器但包括具有以 n-FBFET 為主之結構的一個電晶體。在記憶體胞元 MCN 之豎直半導體結構 VSS 中，包括 p 摻雜區之第一淡摻雜膜 DS1 可用作豎直通道區，且閘極介電膜 130 可位於字元線 WL 與第一淡摻雜膜 DS1 之間。感測線 SL 可與包括 n^+ 摻雜區之第一重摻雜膜 HDS1 接觸，且連接至位元線 BL 之導電連接結構 CNS 可與包括 p^+ 摻雜區之第二重摻雜膜 HDS2 接觸。

【0091】 圖 6C 為用於解釋圖 6A 及圖 6B 中所展示之記憶體胞元 MCN 之操作特性的圖表。在圖 6C 中，橫座標指示字元線(參考圖 6A 中之 WL)處之電壓 V_{WL}，且縱座標指示感測線(參考圖 6A 中之 SL)處之電流 I_{SL}。表 2 展示圖 6A 及圖 6B 中所展示之記憶體胞元 MCN 中之操作條件。

【0092】 [表 2]

	V_{BL} (V)	V_{WL} (V)
寫入「1」	V_{DD}	V_{Wn}
寫入「0」	$-V_{DD}$	V_{Wn}
讀取	V_{DD}	0
讀取	0	0

【0093】 在表 2 中，V_{BL} 指示位元線 BL 處之電壓，V_{DD} 及 $-V_{DD}$ 中之各者指示施加至位元線 BL 之電壓，V_{WL} 指示字元線 WL 處之電壓，且 V_{Wn} 指示施加至字元線 WL 之電壓。在實施例中，電壓 V_{DD} 可選定在約 0.5 V 至約 3 V 之範圍內，電壓 $-V_{DD}$ 可選定在約-3 V 至約-0.5 V 之範圍內，且電壓 V_{Wn} 可選定在約 0.5 V 至約 2 V 之範圍內，但不限於此。

【0094】 參考圖 6C 及表 2，為啟用寫入操作，當 $V_{WL} = V_{Wn}$ 時，電壓 V_{DD} 可施加至位元線 BL 以執行寫入「1」，且當 $V_{WL} = V_{Wn}$ 時，電壓 $-V_{DD}$ 可施加至位元線 BL 以執行寫入「0」。

【0095】 為了啟用讀取操作，當 $V_{BL} = V_{DD}$ 時，0 V 之電壓可施加為電壓 V_{WL}。當 $V_{BL} = V_{DD}$ 且 0 V 之電壓施加為電壓 V_{WL} 時，記憶體胞元 MCN 可具有雙穩態特性，由此啟用讀取操作。亦即，當 $V_{BL} = V_{DD}$ 時，0 V 之電壓可施加為電壓 V_{WL} (亦即，$V_{WL} = 0$ V)，且因此，可基於感測線 SL 之電流 I_{SL} 的值而讀取記憶體胞元 MCN 之狀態。

【0096】 為啟用保持操作，可不自外部施加電壓。亦即，V_{BL} 可為浮動的，或可等於 0 V，且 V_{WL} 可為浮動的，或可等於 0 V。即使當不自外部施加電壓時，記憶體胞元 MCN 亦可歸因於儲存於豎直通道區中之電荷而維持在記憶狀態中

預定時段。

【0097】 在圖 6C 中，感測線 SL 處之電流 I_{SL} 的變化相對於位元線 BL 處之電壓 V_{BL} 的變化展示為線 L2。在圖 6C 中，箭頭 R21、R22 及 R23 指示感測線 SL 處之電流 I_{SL} 沿著線 L2 改變所沿之路徑。在圖 6C 中，由 B1 指示之圓形虛線中之位置處的電流 I_{SL} 對應於斷開電流 Ioff，由 B2 指示之圓形虛線中之位置處的電流 I_{SL} 對應於接通電流 Ion，由 B3 指示之圓形虛線中之位置處的電流 I_{SL} 對應於當字元線 WL 處之電壓為電壓 V_{Wn} 時執行寫入「0」操作或寫入「1」操作的電流值。

【0098】 圖 7 為根據實施例之半導體記憶體裝置 500 之電路圖。

【0099】 圖 7 說明各自包括豎直 1T-DRAM 胞元之多個記憶體胞元 MC1 以 3x3x3 陣列配置之電路組配。在圖 7 中，配置成在豎直方向(Z 方向)上延伸之一行的一組記憶體胞元 MC1 可構成一個記憶體胞元串 MCS1。

【0100】 在實施例中，圖7中所展示之多個記憶體胞元MC1中之各者可具有與參考圖2A至圖2D所描述之記憶體胞元MC相同的組配。在其他實施例中，圖7中所展示之多個記憶體胞元MC1中之各者可具有與參考圖5A所描述之記憶體胞元MCP相同的組配。

【0101】 在具有圖7中所展示之電路組配之半導體記憶體裝置500中，一個記憶體胞元串MCS1中之多個記憶體胞元MC1可共用一個位元線BL。一個記憶體胞元串MCS1中之多個記憶體胞元MC1可彼此連接至不同字元線WL及不同感測線SL。在一個平面(X-Y平面)上以相同豎直位準配置之多個記憶體胞元MC1可共用一個字元線WL及一個感測線SL。

【0102】 圖8為具有圖7中所展示之電路組配之半導體記憶體裝置500中的選定記憶體胞元MC1之時序圖。

【0103】 參考圖7及圖8，可藉由自多個位元線BL選擇一個位元線BL來判定

所要記憶體胞元串MCS1，且可藉由自多個字元線WL選擇一個字元線WL及自多個感測線SL選擇一個感測線SL來選定一個記憶體胞元MC1。以上述方式，可通過感測線SL讀取選定記憶體胞元MC1之信號。藉由將所需電壓(例如，參考表1所描述之電壓)施加至選定位元線BL及選定字元線WL中之各者，可僅對選定記憶體胞元MC1選擇性地執行寫入、讀取及保持操作。

【0104】 圖9為根據圖7中所展示之電路組配以3x3x3陣列配置之半導體記憶體裝置500的透視圖。圖10為根據圖7中所展示之電路組配以3x3x3陣列配置之半導體記憶體裝置500的側視圖。在圖9及圖10中，用虛線說明多個字元線WL及多個感測線SL。

【0105】 圖7、圖9及圖10說明以3x3x3陣列配置之半導體記憶體裝置500，但實施例不限於此。在第一橫向方向(X方向)、第二橫向方向(Y方向)及豎直方向(Z方向)上之記憶體胞元MC1之數目不受特別限制，且可視需要形成包括各種數目之記憶體胞元MC1的3D結構。

【0106】 圖11為根據實施例之半導體記憶體裝置600之電路圖。

【0107】 圖11說明各自包括以3x3x3陣列配置之豎直1T-DRAM胞元之多個記憶體胞元MC2的電路組配。在圖11中，配置成在豎直方向(Z方向)上延伸之一行的一組記憶體胞元MC2可構成一個記憶體胞元串MCS2。

【0108】 在實施例中，圖11中所展示之多個記憶體胞元MC2中之各者可具有與參考圖6A所描述之記憶體胞元MCN相同的組配。

【0109】 在具有圖11中所展示之電路組配之半導體記憶體裝置600中，包括於一個記憶體胞元串MCS2中之多個記憶體胞元MC2可共用一個位元線BL。包括於一個記憶體胞元串MCS2中之多個記憶體胞元MC2可連接至分別不同的字元線WL及分別不同的感測線SL。在一個平面(X-Y平面)中以相同豎直位準配置之多個記憶體胞元MC2可共用一個字元線WL及一個感測線SL。

【0110】 圖12為具有圖11中所展示之電路組配之半導體記憶體裝置600中的選定記憶體胞元MC2之時序圖。

【0111】 參考圖11及圖12，可藉由自多個位元線BL選擇一個位元線BL來判定所要記憶體胞元串MCS2，且可藉由自多個字元線WL選擇一個字元線WL及自多個感測線SL選擇一個感測線SL來選定一個記憶體胞元MC2。以上述方式，可通過感測線SL讀取選定記憶體胞元MC2之信號。藉由將所需電壓(例如，參考表2所描述之電壓)施加至選定位元線BL及選定字元線WL中之各者，可僅對選定記憶體胞元MC2選擇性地執行寫入、讀取及保持操作。

【0112】 類似於參考圖9及圖10所描述之情形，具有圖11中所展示之電路組配之半導體記憶體裝置600可以3x3x3陣列配置或實施為3D結構，其可在實施例之範疇內從其進行各種修改及改變。

【0113】 在根據參考圖1至圖12所描述之實施例之半導體記憶體裝置100、200、300、400A、400B、500及600中，記憶體胞元可包括一個電晶體而不包括電容器。因此，在根據實施例之半導體記憶體裝置100、200、300、400A、400B、500及600中，不同於將電荷儲存於電容器中之相關技術，可使用單個電晶體藉由將電荷儲存於電晶體之豎直通道區中來實施DRAM胞元，因此使得提供更精細及更緊湊3D陣列結構係有利的。此外，在根據實施例之半導體記憶體裝置100、200、300、400A、400B、500及600中，在豎直方向上彼此重疊之多個記憶體胞元可包括共用一個位元線之3D堆疊型記憶體胞元陣列。因此，根據實施例之半導體記憶體裝置100、200、300、400A、400B、500及600可克服在具有2D結構之半導體記憶體裝置中遇到的由位元線之密度限制引起之問題，且提供有利於半導體記憶體裝置之高度整合的結構。

【0114】 另外，不同於相關DRAM裝置，根據實施例之半導體記憶體裝置100、200、300、400A、400B、500及600可藉由使用正回饋迴路而具有相對低操

作電壓及相對急劇SS，且具有低功耗之優勢，此係因為不需要刷新操作。此外，歸因於相對高接通-斷開電流比，可提供寬電流感測裕度及高操作速率。因此，根據實施例之半導體記憶體裝置100、200、300、400A、400B、500及600可在包括性能、功率、晶片面積及成本之各種態樣方面提供極好競爭力。

【0115】 接下來，詳細描述根據實施例製造半導體記憶體裝置之方法。

【0116】 圖13A至圖33B為根據實施例製造半導體記憶體裝置之方法的圖。圖13A、圖14A、圖15A、圖16、圖17、圖18A、圖19A、圖20、圖21、圖22A、圖24A、圖25A、圖26A、圖27A、圖29、圖30、圖32A及圖33A為根據製程序列之對應於沿著圖1之線X1-X1'截取的橫截面之部分之橫截面圖。圖13B、圖14B、圖15B、圖18B、圖19B、圖22B、圖23、圖24B、圖25B、圖26B、圖27B、圖28、圖31、圖32B及圖33B為根據製程序列之對應於沿著圖1之線Y1-Y1'截取的橫截面之部分之橫截面圖。圖18C為圖18A中之部分「EXA」之放大橫截面圖。圖19C為圖19A中之部分「EXA」之放大橫截面圖。參考圖13A至圖33B描述製造圖1及圖2A至圖2D中所展示之半導體記憶體裝置100之方法的實例。在圖13A至圖33B中，相同附圖標號用於指示與圖1及圖2A至圖2D中相同之附圖元件，且此處省略其詳細描述。

【0117】 參考圖13A及圖13B，絕緣膜110A、多個第一犧牲圖案112、絕緣膜110B、多個第二犧牲圖案114及絕緣膜110C可依序形成於基體102上。

【0118】 多個第一犧牲圖案112中之各者可形成以提供用於感測線(參考圖2A至圖2D中之SL)的空間，且多個第二犧牲圖案114中之各者可形成以提供用於字元線(參考圖2A至圖2D中之WL)的空間。多個第一犧牲圖案112及多個第二犧牲圖案114可各自形成為具有在第一橫向方向(X方向)上延伸較長之線形狀。絕緣膜110B可形成以覆蓋絕緣膜110A上之多個第一犧牲圖案112中之各者的頂部表面及側壁。絕緣膜110C可形成以覆蓋絕緣膜110B上之多個第二犧牲圖案114中之

各者的頂部表面及側壁。

【0119】 絕緣膜110A、110B及110C可包括氧化矽膜。第一犧牲圖案112及第二犧牲圖案114中之各者可包括含有與氧化矽膜不同之材料的膜且包括與氧化矽膜具有不同蝕刻選擇性之材料。在實施例中，第一犧牲圖案112及第二犧牲圖案114可包括分別不同的膜，各膜選自氮化矽膜(SiN)、SiON膜、SiCN膜、SiOCN膜及氧化鋁(AlO)膜。如本文中所使用，術語「SiN」、「SiON」、「SiCN」、「SiOCN」及「AlO」中之各者係指包括其中包括的元素的材料，而不係指表示化學計量關係之化學式。舉例而言，第一犧牲圖案112可包括氮化矽膜，且第二犧牲圖案114可包括SiON膜，但不限於此。

【0120】 參考圖14A及圖14B，多個第三犧牲圖案116及胞元間絕緣膜118可依序形成於圖13A及圖13B之所得結構上。

【0121】 多個第三犧牲圖案116中之各者可形成以具有在第二橫向方向(Y方向)上延伸較長之線形狀。多個第三犧牲圖案116中之各者可形成以提供用於形成導電連接結構(參考圖2A至圖2D中之CNS)的空間。多個第三犧牲圖案116可包括與多個第一犧牲圖案112及多個第二犧牲圖案114中之各者之組分材料不同的材料。多個第三犧牲圖案116可包括選自氮化矽(SiN)膜、SiON膜、SiCN膜、SiOCN膜及氧化鋁(AlO)膜之任一種膜。舉例而言，當多個第一犧牲圖案112包括氮化矽膜，且多個第二犧牲圖案114包括SiON膜時，多個第三犧牲圖案116可包括氧化鋁膜，但不限於此。胞元間絕緣膜118可形成以覆蓋絕緣膜110C上之多個第三犧牲圖案116中之各者的頂部表面及側壁。胞元間絕緣膜118可包括氧化矽膜。

【0122】 在圖14A及圖14B中，包括依序堆疊於基體102上之多個第一犧牲圖案112、絕緣膜110B、多個第二犧牲圖案114、絕緣膜110C、多個第三犧牲圖案116及胞元間絕緣膜118之堆疊結構RP可為形成多個記憶體胞元(參考圖2A至圖2D中之MC)所需的結構，該等多個記憶體胞元在一個橫向方向(X-Y平面)上在

基體102上以相同豎直位準配置。

【0123】 參考圖15A及圖15B，在圖14A及圖14B之所得結構中，堆疊結構RP可視需要在豎直方向(Z方向)上重複形成多次。堆疊於豎直方向(Z方向)上之堆疊結構RP之數目可對應於包括於在豎直方向(Z方向)上延伸較長之一個記憶體胞元串中的記憶體胞元之數目(參考圖2A至圖2D中的MC)。圖15A及圖15B說明其中二個堆疊結構RP形成於豎直方向(Z方向)上之實例，但實施例不限於此。堆疊結構RP可以與形成一個記憶體胞元串所需之記憶體胞元MC的數目相等之數目重複形成。

【0124】 參考圖16，在圖15A及圖15B之所得結構之第一連接單元AR1及第二連接單元AR2中，多個堆疊結構RP之各別部分可經蝕刻以形成多個台階單元，且模製絕緣膜119可形成以覆蓋多個台階單元。

【0125】 參考圖17，在記憶體胞元陣列單元MCA中，多個通道孔H1可形成以在豎直方向(Z方向)上穿過多個堆疊結構RP。最接近基體102之絕緣膜110A可在多個通道孔H1中之各者之底部暴露。可使用各向異性乾式蝕刻製程來形成多個通道孔H1。

【0126】 參考圖18A、圖18B及圖18C，在多個通道孔H1中之各者內，第一重摻雜膜HDS1、第一淡摻雜膜DS1、第二淡摻雜膜DS2、第二重摻雜膜HDS2及胞元間局部絕緣膜120可自通道孔H1中之各者的底部重複且依序形成於豎直方向(Z方向)上。

【0127】 參考圖19A、圖19B及圖19C，在圖18A、圖18B及圖18C之所得結構中，中空HH可形成以在多個通道孔H1中之各者內在豎直方向上(Z方向)穿過包括第一重摻雜膜HDS1、第一淡摻雜膜DS1、第二淡摻雜膜DS2、第二重摻雜膜HDS2及胞元間局部絕緣膜120的堆疊結構。中空HH可藉由絕緣柱124填充。

【0128】 因此，第一重摻雜膜HDS1、第一淡摻雜膜DS1、第二淡摻雜膜DS2、

第二重摻雜膜HDS2及胞元間局部絕緣膜120中之各者可以包圍絕緣柱124之環的形式留下。此外，可獲得各自包括第一重摻雜膜HDS1、第一淡摻雜膜DS1、第二淡摻雜膜DS2及第二重摻雜膜HDS2之多個豎直半導體結構VSS。

【0129】 參考圖20，具有多個孔MPH之遮罩圖案MP1可形成於圖19A、圖19B及圖19C之所得結構上。在遮罩圖案MP1形成之後，在第一連接單元AR1及第二連接單元AR2中，胞元間絕緣膜118之頂部表面及模製絕緣膜119之頂部表面可通過多個孔MPH暴露。在實施例中，遮罩圖案MP1可包括多晶矽，但不限於此。

【0130】 隨後，可藉由使用遮罩圖案MP1作為蝕刻遮罩來蝕刻通過多個孔MPH暴露之下部結構，且因此，可形成多個接觸孔H2。最接近基體102之絕緣膜110A可在多個接觸孔H2中之各者的底部暴露。可藉由使用各向異性乾式蝕刻製程來形成多個接觸孔H2。

【0131】 參考圖21，在圖20之所得結構中，可選擇性地移除多個絕緣膜110A、110B及110C、多個胞元間絕緣膜118及模製絕緣膜119中之各者通過多個接觸孔H2暴露的一部分。因此，多個接觸孔H2之各別部分區可在橫向方向(或沿著X-Y平面之方向)及豎直方向(Z方向)上擴展以形成多個擴展接觸孔H2A。可藉由使用濕式蝕刻製程來形成多個擴展接觸孔H2A。

【0132】 參考圖22A及圖22B，可自圖21之所得結構移除遮罩圖案MP1以暴露胞元間絕緣膜118及模製絕緣膜119中之最上部者中之各者的頂部表面。此後，內埋絕緣膜126可形成以填充多個擴展接觸孔H2A且覆蓋胞元間絕緣膜118及模製絕緣膜119中之最上部者中之各者的頂部表面。

【0133】 參考圖23，可自記憶體胞元陣列單元MCA中之圖22A及圖22B的所得結構蝕刻部分區。因此，可形成多個狹縫SH，其中各者具有在第一橫向方向(X方向)上延伸較長之條型平面形狀。最接近基體102之絕緣膜110A可在多個

狹縫SH中之各者的底部暴露。多個第一犧牲圖案112、多個第二犧牲圖案114及多個第三犧牲圖案116可在多個狹縫SH之各別內部側壁處暴露。

【0134】 參考圖24A及圖24B，可通過多個狹縫SH選擇性地移除多個第二犧牲圖案114，且因此，可形成多個字元線空間WLH。可藉由使用濕式蝕刻製程選擇性地移除多個第二犧牲圖案114。第一淡摻雜膜DS1可暴露於多個字元線空間WLH中。

【0135】 參考圖25A及圖25B，閘極介電膜130可形成以覆蓋暴露於多個字元線空間WLH中之第一淡摻雜膜DS1之表面。在實施例中，可藉由使用選擇性原子層沉積(ALD)製程來形成閘極介電膜130。

【0136】 在其他實施例中，圖3A至圖3D中所展示之閘極介電膜230可形成替代閘極介電膜130。閘極介電膜230之形成可包括藉由使用ALD製程形成閘極介電膜230以保形地覆蓋圖24A及24B之所得結構中的暴露表面且移除除閘極介電膜230之在多個字元線空間WLH內部之部分外的其他部分。

【0137】 參考圖26A及圖26B，可通過多個狹縫SH選擇性地移除多個第一犧牲圖案112，且因此，可形成多個感測線空間SLH。可藉由使用濕式蝕刻製程選擇性地移除多個第一犧牲圖案112。第一重摻雜膜HDS1可暴露於多個感測線空間SLH中。

【0138】 參考圖27A及圖27B，在圖26A及圖26B之所得結構中，可形成多個字元線空間WLH中之多個字元線WL及多個感測線空間SLH中之多個感測線SL。

【0139】 多個字元線WL及多個感測線SL之形成可包括在圖26A及圖26B之所得結構中藉由使用ALD製程或化學氣相沉積(CVD)製程通過多個狹縫SH在多個字元線空間WLH及多個感測線空間SLH中形成導電層，且移除除導電層之分別位於多個字元線空間WLH及多個感測線空間SLH內部之部分外的不必要部分。導電層可包括W、Al、Mo、Ru、Al、Co、Ti、TiN、Ta、TaN、WN、TiSiN、

WSiN、摻雜多晶矽或其一組合，但不限於此。

【0140】 參考圖28，在圖27A及圖27B之所得結構中，多個隔離絕緣膜140可形成以填充多個狹縫SH。多個隔離絕緣膜140之形成可包括在圖27A及圖27B之所得結構中形成具有足夠厚度以便填充多個狹縫SH的氧化矽膜及移除氧化矽膜之一部分以暴露內埋絕緣膜126之頂部表面。

【0141】 參考圖29，在豎直方向(Z方向)上穿過包括內埋絕緣膜126及模製絕緣膜119之絕緣結構的多個字元線接觸孔WLCH可形成於第一連接單元AR1中。在豎直方向(Z方向)上穿過包括內埋絕緣膜126及模製絕緣膜119之絕緣結構的多個感測線接觸件SLCH可形成於第二連接單元AR2中。

【0142】 多個字元線WL及內埋絕緣膜126可通過第一連接單元AR1中之多個字元線接觸孔WLCH暴露，且多個感測線SL及內埋絕緣膜126可通過第二連接單元AR2中之多個感測線接觸件SLCH暴露。

【0143】 參考圖30，多個字元線接觸件WLC可分別形成於第一連接單元AR1中之多個字元線接觸孔WLCH內部，且多個感測線接觸件SLC可分別形成於第二連接單元AR2中之多個感測線接觸件SLCH內部。

【0144】 參考圖31，在記憶體胞元陣列單元MCA中，在豎直方向(Z方向)上穿過多個絕緣膜110A、110B及110C、多個第三犧牲圖案116、多個胞元間絕緣膜118及內埋絕緣膜126之多個位元線孔BLH可在橫向方向上與多個豎直半導體結構VSS隔開形成，其中多個字元線WL及多個感測線SL位於多個位元線孔與多個豎直半導體結構之間。最接近基體102之絕緣膜110A可在多個位元線孔BLH中之各者的底部暴露。可藉由使用各向異性乾式蝕刻製程來形成多個位元線孔BLH。

【0145】 參考圖32A及圖32B，在圖31之所得結構中，可通過多個位元線孔BLH選擇性地移除多個第三犧牲圖案116，且因此，可形成多個連接空間CNH。第二重摻雜膜HDS2可暴露於多個連接空間CNH中之各者中。

【0146】 參考圖33A及圖33B，在圖32A及圖32B之所得結構中，可藉由導電材料填充多個連接空間CNH及多個位元線孔BLH，且因此，可形成多個導電連接結構CNS及多個位元線BL。

【0147】 儘管已參考圖13A至圖33B描述製造圖1及圖2A至圖2D中所展示之半導體記憶體裝置100的方法，但應理解，在本揭露內容之範疇內，可藉由對參考圖13A至圖33B所描述之製程應用各種修改及改變來製造具有各種改變結構之半導體記憶體裝置。

【0148】 雖然已具體地展示及描述了實施例之各個態樣，但應理解，可在不脫離隨附申請專利範圍之精神及範疇的情況下在其中進行形式及細節的各種改變。

【符號說明】

【0149】

100,200,300,400A,400B,500,600:半導體記憶體裝置

102:基體

102M:主表面

110A,110B,110C:絕緣膜

112:第一犧牲圖案

114:第二犧牲圖案

116:第三犧牲圖案

118:胞元間絕緣膜

119:模製絕緣膜

120:胞元間局部絕緣膜

124:絕緣柱

126:內埋絕緣膜

130,230:閘極介電膜

140:隔離絕緣膜

352:周邊電路基體

354:裝置隔離膜

370:層間絕緣膜

A1,A2,A3,B1,B2,B3:圓形虛線

AR1:第一連接單元

AR2:第二連接單元

BL,BL4:位元線

BLH:位元線孔

CNH:連接空間

CNS:導電連接結構

DS1:第一淡摻雜膜

DS2:第二淡摻雜膜

EX1,EX2,EX3,EX4,EXA:部分

H1:通道孔

H2:接觸孔

H2A:擴展接觸孔

HDS1:第一重摻雜膜

HDS2:第二重摻雜膜

HH:中空

Ioff:斷開電流

Ion:接通電流

I_{SL},ISL:電流

L1,L2:線

MC,MC1,MC2,MCP,MCN:記憶體胞元

MC30,MC31,MC32:周邊電路接觸件

MCA:記憶體胞元陣列單元

MCS1,MCS2:記憶體胞元串

ML30,ML31,ML32:周邊電路層

MP1:遮罩圖案

MPH:孔

MWS:多層佈線結構

PA:主動區

PCS:周邊電路結構

PG:周邊閘極

PSD:周邊源極/汲極區

R11,R12,R13,R21,R22,R23:箭頭

RP,SST:堆疊結構

SH:狹縫

SL:感測線

SLC:感測線接觸件

SLCH:感測線接觸件

SLH:感測線空間

TR3:電晶體

V_{BL},V_{DD},$-V_{DD}$,V_{Wp},V_{WL},VWL,V_{Wn}:電壓

VSS:豎直半導體結構

WL,WL2:字元線

WLC:字元線接觸件

WLCH:字元線接觸孔

WLH:字元線空間

X:第一橫向方向

X1-X1',Y1-Y1':線

Y:第二橫向方向

Z:豎直方向

【發明申請專利範圍】

【請求項1】 一種半導體記憶體裝置，其包含：

一字元線，其在一橫向方向上延伸；

一感測線，其與該字元線隔開，該感測線在一豎直方向上與該字元線重疊且在該橫向方向上延伸；

一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；以及

一閘極介電膜，其位於該豎直通道區與該字元線之間，

其中該豎直半導體結構包含在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜，

其中該豎直通道區包含該第一淡摻雜膜或該第二淡摻雜膜，且

其中該感測線與該豎直半導體結構之該第一重摻雜膜接觸。

【請求項2】 如請求項 1 之半導體記憶體裝置，其進一步包含在該豎直方向上穿過該豎直半導體結構之一絕緣柱，該絕緣柱在該橫向方向上與該字元線及該感測線中之各者隔開，

其中該第一重摻雜膜、該第一淡摻雜膜、該第二淡摻雜膜及該第二重摻雜膜中之各者界定容納該絕緣柱之一中空。

【請求項3】 如請求項 1 之半導體記憶體裝置，其進一步包含在該橫向方向上與該字元線及該感測線中之各者隔開的一位元線，該位元線連接至該第二重摻雜膜。

【請求項4】 如請求項 3 之半導體記憶體裝置，其中該位元線在該豎直方向上延伸較長，且在該橫向方向上面向該豎直半導體結構，其中該字元線及該感測線位於該位元線與該豎直半導體結構之間。

【請求項5】 如請求項 1 之半導體記憶體裝置，其中，在該豎直半導體結構中，該第一重摻雜膜包含一 n^+摻雜區，該第一淡摻雜膜包含一 p 摻雜區，該第二淡摻雜膜包含一 n 摻雜區，且該第二重摻雜膜包含一 p^+摻雜區，

其中該豎直通道區包含該 n 摻雜區，且

其中該字元線在該橫向方向上面向該 n 摻雜區，其中該閘極介電膜位於該字元線與該 n 摻雜區之間。

【請求項6】 如請求項 1 之半導體記憶體裝置，其中，在該豎直半導體結構中，該第一重摻雜膜包含一 n^+摻雜區，該第一淡摻雜膜包含一 p 摻雜區，該第二淡摻雜膜包含一 n 摻雜區，且該第二重摻雜膜包含一 p^+摻雜區，

其中該豎直通道區包含該 p 摻雜區，且

其中該字元線在該橫向方向上面向該 p 摻雜區，其中該閘極介電膜位於該字元線與該 p 摻雜區之間。

【請求項7】 如請求項 1 之半導體記憶體裝置，其進一步包含：

一導電連接結構，其與該第二重摻雜膜接觸且包圍該第二重摻雜膜；以及

一位元線，其通過該導電連接結構連接至該第二重摻雜膜，

其中該位元線在該橫向方向上與該字元線及該感測線中之各者隔開，且在該豎直方向上延伸較長。

【請求項8】 如請求項 1 之半導體記憶體裝置，其進一步包含：

一導電連接結構，其與該第二重摻雜膜接觸且包圍該第二重摻雜膜；以及

一位元線，其通過該導電連接結構連接至該第二重摻雜膜，

其中該位元線在該豎直方向上穿過該字元線及該感測線中之各者，且與該字元線及該感測線中之各者隔開。

【請求項9】 一種半導體記憶體裝置，其包含一記憶體胞元串，該記憶體胞元串包含在一豎直方向上配置成一行之多個記憶體胞元，

其中該等多個記憶體胞元中之各者包含：

一字元線，其在一橫向方向上延伸；

一感測線，其與該字元線隔開，該感測線在該豎直方向上與該字元線重疊且在該橫向方向上延伸；

一豎直半導體結構，其在該豎直方向上穿過該字元線及該感測線，該豎直半導體結構具有在該橫向方向上面向該字元線之一豎直通道區；以及

一閘極介電膜，其位於該豎直通道區與該字元線之間，

其中，在該等多個記憶體胞元中之各者中，該豎直半導體結構包含在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜，

其中在該等多個記憶體胞元中之各者中，該豎直通道區包含該第一淡摻雜膜或該第二淡摻雜膜，且

其中在該等多個記憶體胞元中之各者中，該感測線與該豎直半導體結構的該第一重摻雜膜接觸。

【請求項10】如請求項 9 之半導體記憶體裝置，其進一步包含在該橫向方向上與該字元線及該感測線中之各者隔開的一位元線，該位元線在該豎直方向上延伸較長，且該位元線在該橫向方向上面向該等多個記憶體胞元中之各者之該豎直半導體結構，其中該字元線及該感測線位於該位元線與該豎直半導體結構之間，

其中該等多個記憶體胞元共用該位元線。

【請求項11】如請求項 9 之半導體記憶體裝置，其中該等多個記憶體胞元中之各者包含一個電晶體且不包含一電容器。

【請求項12】如請求項 9 之半導體記憶體裝置，其進一步包含在該豎直方

向上穿過該等多個記憶體胞元中之各者之該豎直半導體結構的一絕緣柱，

其中，在該等多個記憶體胞元中之各者中，該第一重摻雜膜、該第一淡摻雜膜、該第二淡摻雜膜及該第二重摻雜膜中之各者界定容納該絕緣柱之一中空。

【請求項13】如請求項 9 之半導體記憶體裝置，其進一步包含多個胞元間絕緣結構，該等多個胞元間絕緣結構中之各者位於該等多個記憶體胞元中之二個鄰近者之間，

其中該等多個記憶體胞元中之各者之該豎直半導體結構在該豎直方向上以一直線延伸，且

其中該等多個記憶體胞元中之一第一記憶體胞元之該豎直半導體結構在該豎直方向上與該等多個記憶體胞元中之鄰近於該第一記憶體胞元的一第二記憶體胞元之該豎直半導體結構隔開，其中該等多個胞元間絕緣結構中之一者位於該第一記憶體胞元之該豎直半導體結構與該第二記憶體胞元之該豎直半導體結構之間。

【請求項14】如請求項 9 之半導體記憶體裝置，其中該橫向方向為一第一橫向方向，且一第二橫向方向與該第一橫向方向交叉，且

其中該半導體記憶體裝置進一步包含：

一字元線接觸件，其在該第一橫向方向上與該等多個記憶體胞元中之各者之該豎直半導體結構隔開且連接至該字元線；

一感測線接觸件，其在該第一橫向方向上與該等多個記憶體胞元中之各者之該豎直半導體結構隔開，該感測線接觸件在該第一橫向方向上與該字元線接觸件隔開，其中該豎直半導體結構位於該感測線接觸件與該字元線接觸件之間；以及

一位元線，其在該第二橫向方向上與該字元線及該感測線隔開，該位元線在該豎直方向上延伸較長。

【請求項15】如請求項 9 之半導體記憶體裝置，其中，在該等多個記憶體胞元中之各者的該豎直半導體結構中，該第一重摻雜膜包含一 n^+摻雜區，該第一淡摻雜膜包含一 p 摻雜區，該第二淡摻雜膜包含一 n 摻雜區，且該第二重摻雜膜包含一 p^+摻雜區，

其中該豎直通道區包含該 n 摻雜區，且

其中該字元線在該橫向方向上面向該 n 摻雜區，其中該閘極介電膜位於該字元線與該 n 摻雜區之間。

【請求項16】如請求項 9 之半導體記憶體裝置，其中，在該等多個記憶體胞元中之各者的該豎直半導體結構中，該第一重摻雜膜包含一 n^+摻雜區，該第一淡摻雜膜包含一 p 摻雜區，該第二淡摻雜膜包含一 n 摻雜區，且該第二重摻雜膜包含一 p^+摻雜區，

其中該豎直通道區包含該 p 摻雜區，且

其中該字元線在該橫向方向上面向該 p 摻雜區，其中該閘極介電膜位於該字元線與該 p 摻雜區之間。

【請求項17】一種半導體記憶體裝置，其包含一記憶體胞元陣列，該記憶體胞元陣列包含在一第一橫向方向、一第二橫向方向及一豎直方向上三維地及重複地配置於一基體上之多個記憶體胞元，其中該第一橫向方向與該第二橫向方向交叉，且該豎直方向垂直於該第一橫向方向及該第二橫向方向中之各者，

其中該記憶體胞元陣列包含：

多個感測線及多個字元線，其在該豎直方向上逐個交替地配置，該等多個感測線及該等多個字元線在該豎直方向上彼此隔開；

多個絕緣膜，其分別位於該等多個感測線與該等多個字元線之間；

一堆疊結構，其在該豎直方向上穿過該等多個感測線、該等多個字元線及該等多個絕緣膜，該堆疊結構包含在該豎直方向上彼此重疊之多個豎直

半導體結構，該等多個豎直半導體結構中之各者具有一豎直通道區；

一絕緣柱，其在該豎直方向上穿過該等多個豎直半導體結構；

多個閘極介電膜，其位於該等多個豎直半導體結構之各別豎直通道區與該等多個字元線之間；以及

多個位元線，其穿過該等多個絕緣膜，

其中，在該等多個記憶體胞元當中，在該豎直方向上配置成一行之記憶體胞元共用該等多個位元線中之一選定者，

其中該等多個豎直半導體結構中之各者包含在該豎直方向上依序提供的一第一導電性類型之一第一重摻雜膜、一第二導電性類型之一第一淡摻雜膜、該第一導電性類型之一第二淡摻雜膜及該第二導電性類型之一第二重摻雜膜，且

其中該等多個豎直半導體結構中之各者之該豎直通道區包含該第一淡摻雜膜或該第二淡摻雜膜。

【請求項18】如請求項 17 之半導體記憶體裝置，其中該等多個豎直半導體結構中之各者的該第一重摻雜膜與該等多個感測線中之一選定者接觸，且

其中該等多個豎直半導體結構中之各者之該第二重摻雜膜與該等多個位元線中之一選定者接觸。

【請求項19】如請求項 17 之半導體記憶體裝置，其進一步包含：

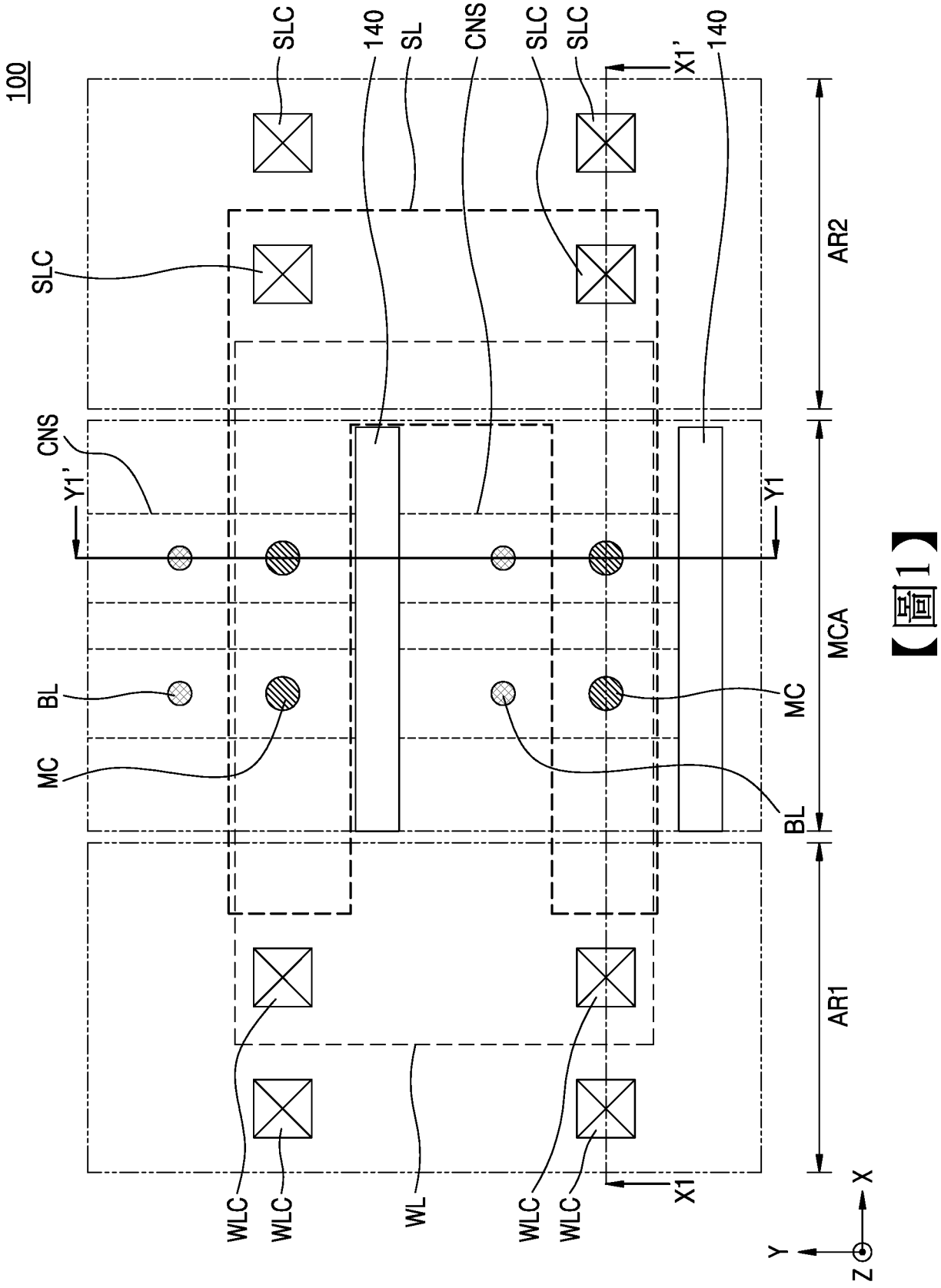
一第一連接電路及一第二連接電路，其位於該基體上，該第一連接電路及該第二連接電路在該第一橫向方向上彼此隔開，其中該記憶體胞元陣列位於該第一連接電路與該第二連接電路之間；

多個字元線接觸件，其在該第一連接電路中以一一對一方式分別連接至該等多個字元線，該等多個字元線接觸件在該豎直方向上延伸較長；以及

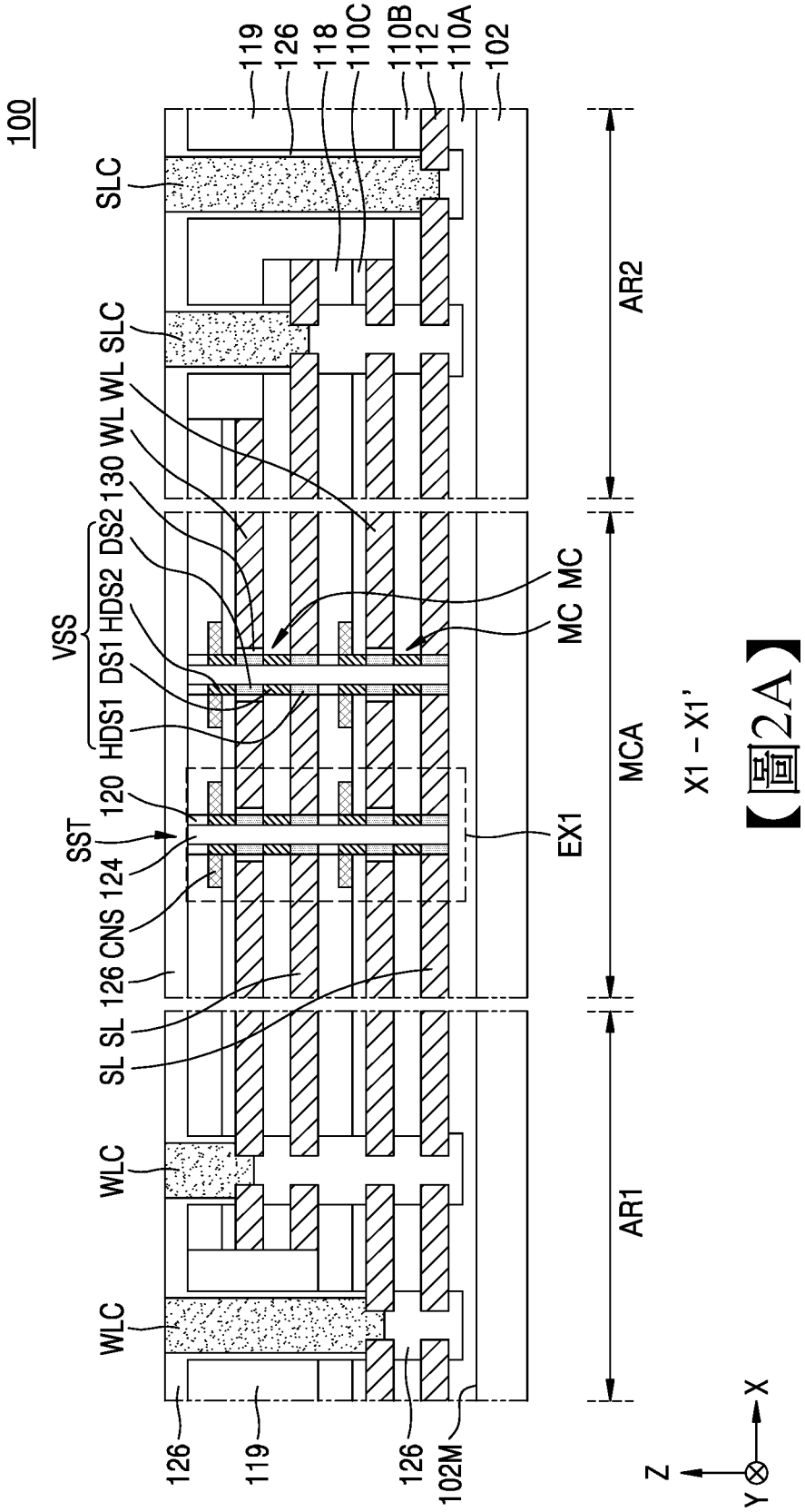
多個感測線接觸件，其在該第二連接電路中以一一對一方式分別連接至該等多個感測線，該等多個感測線接觸件在該豎直方向上延伸。

【請求項20】如請求項 17 之半導體記憶體裝置，其中該等多個記憶體胞元中之各者包含一個電晶體且不包含一電容器。

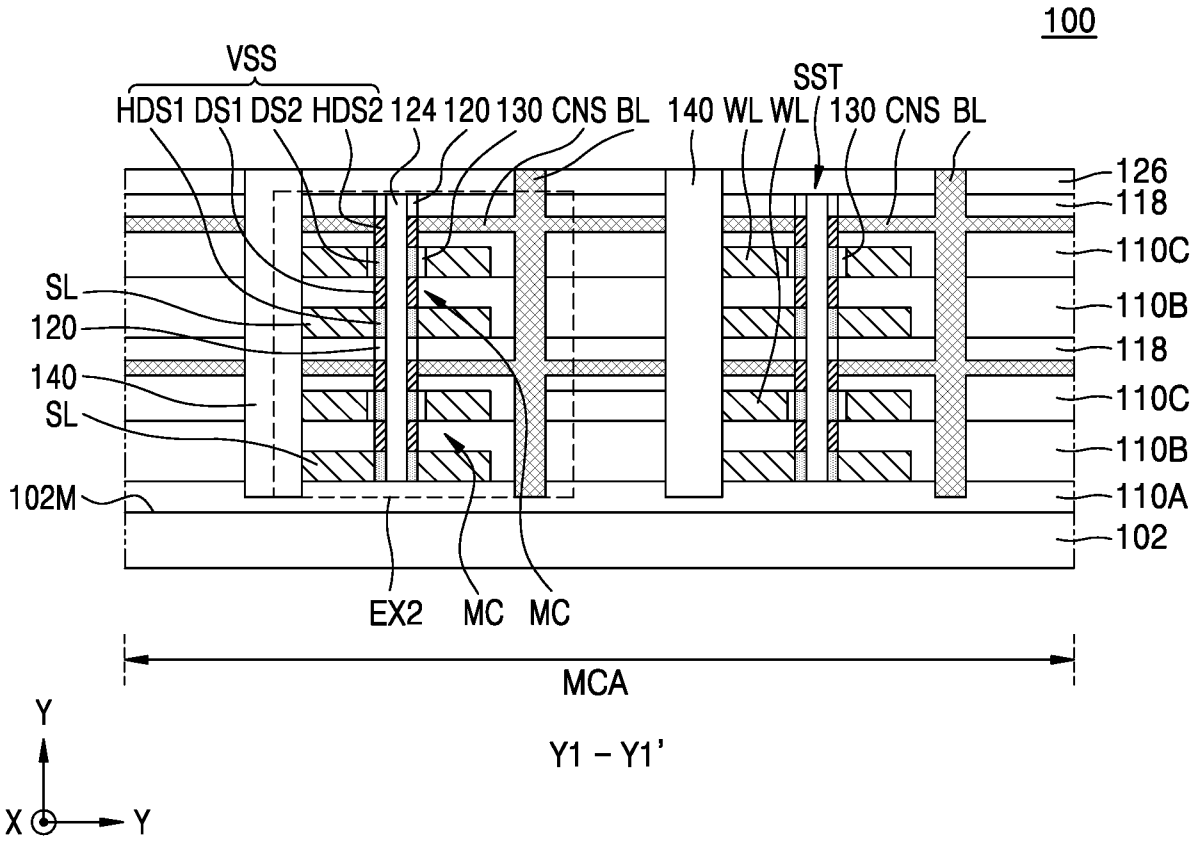
【發明圖式】


100
SLC
140
SL
CNS
SLC
SLC
X1'
140
SLC
CNS
Y1'
Y1
BL
MC
MC
BL
WLC
WLC
WL
WLC
WLC
X1
AR2
MCA
AR1
X
Y
Z

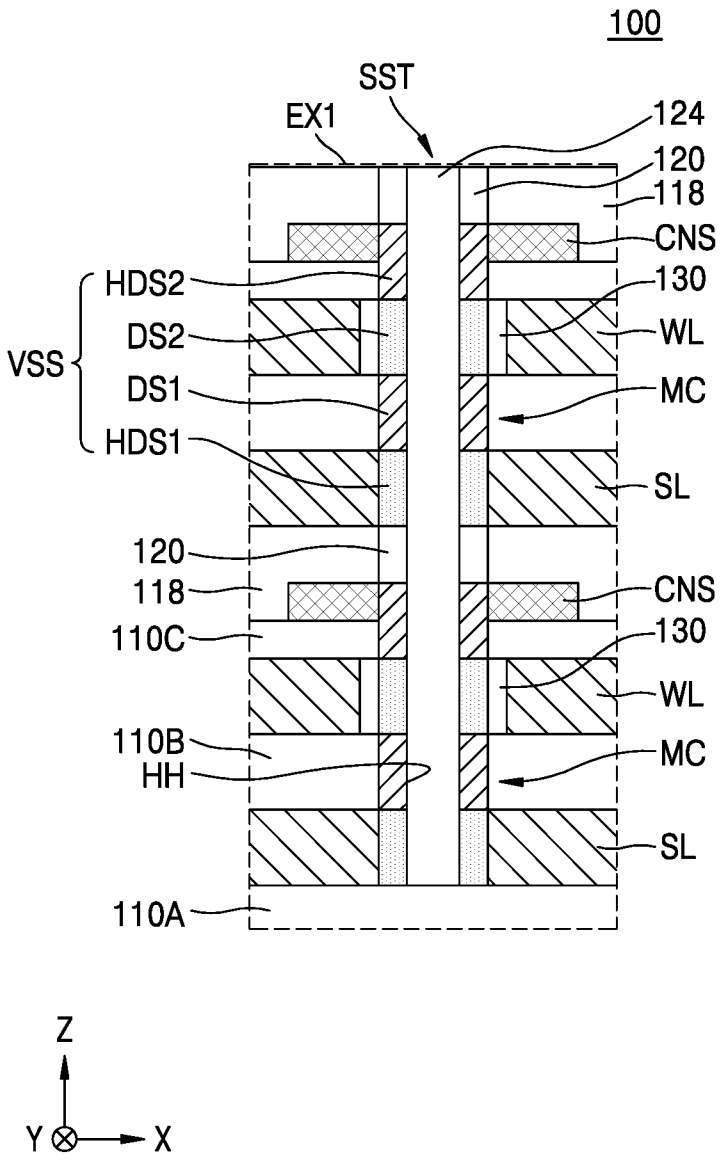
【圖1】


100
119
126
118
110C
110B
112
110A
102
SLC
SLC
WL
WL
130
DS2
HDS2
DS1
HDS1
VSS
120
SST
124
CNS
126
SL
SL
WLC
WLC
126
119
126
102M
MC
MC
EX1
AR2
MCA
AR1
X1 – X1'
Z
X
Y

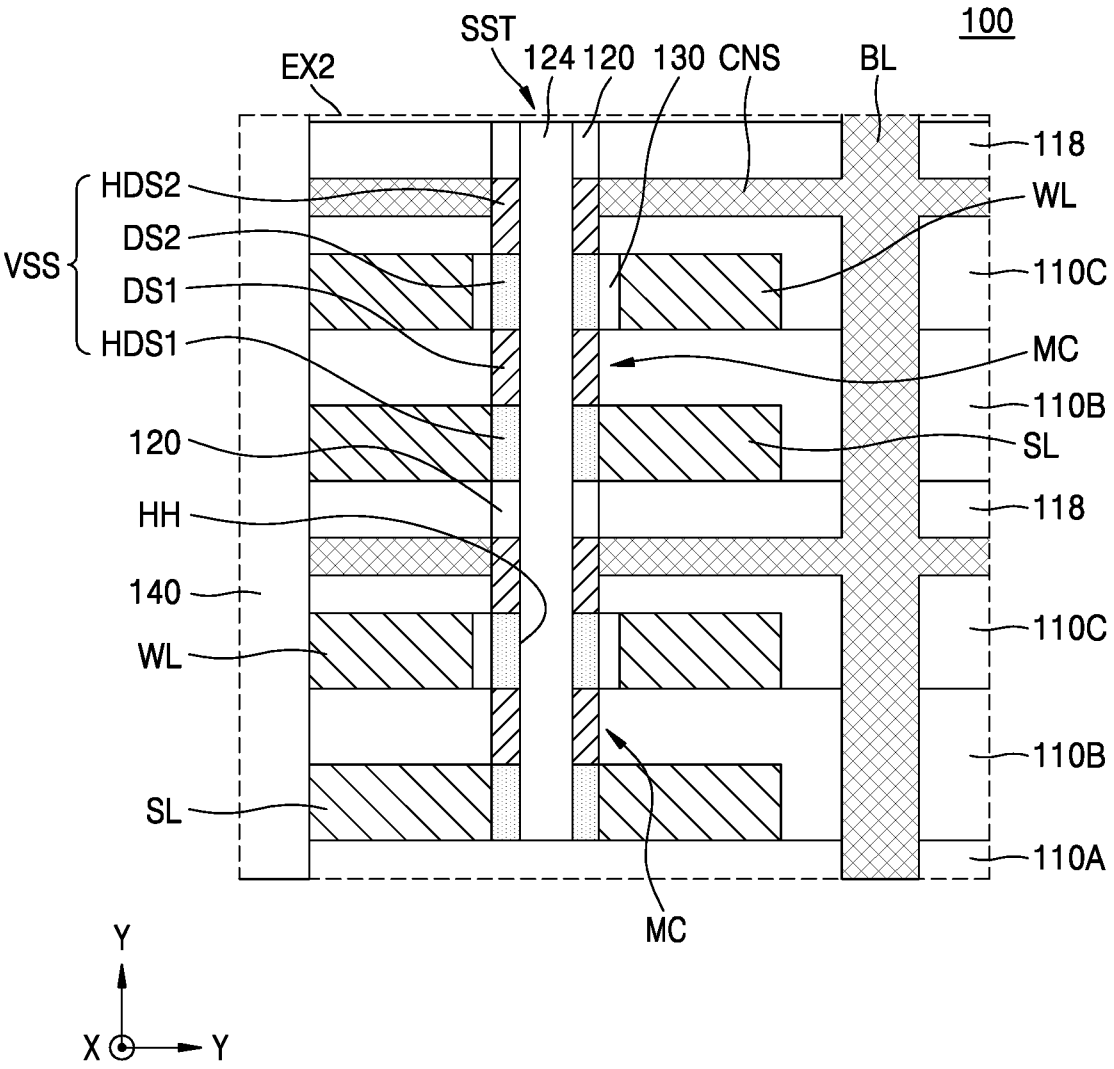
【圖2A】


100
VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL
140 WL WL
SST
130 CNS BL
126
118
110C
110B
118
110C
110B
110A
102
SL
120
140
SL
102M
EX2
MC
MC
MCA
Y1 - Y1'
Y
X
Y

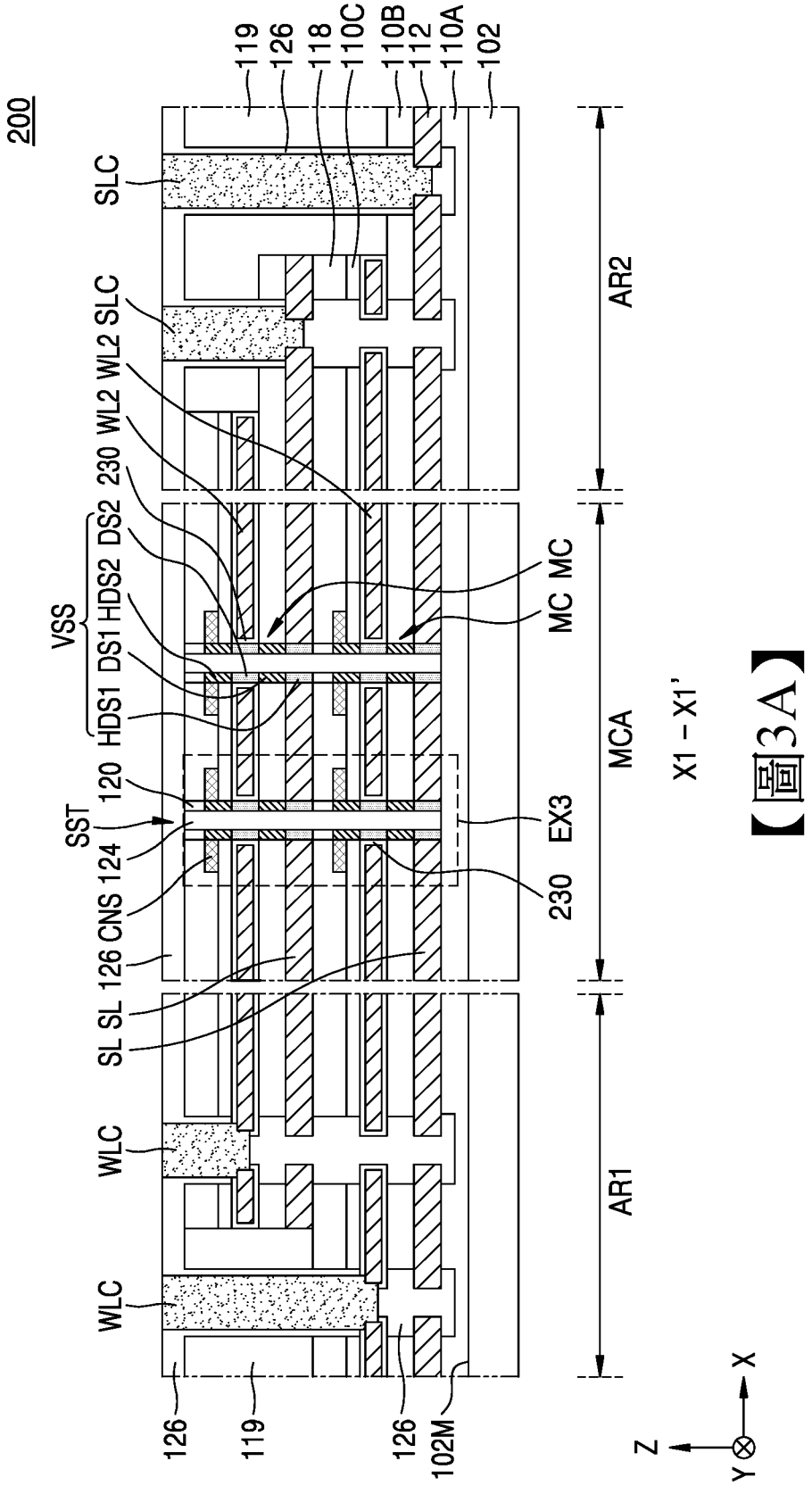
【圖2B】


100
SST
EX1
124
120
118
CNS
130
WL
MC
SL
HDS2
DS2
DS1
HDS1
VSS
120
118
CNS
110C
130
WL
110B
HH
MC
SL
110A
Z
Y
X

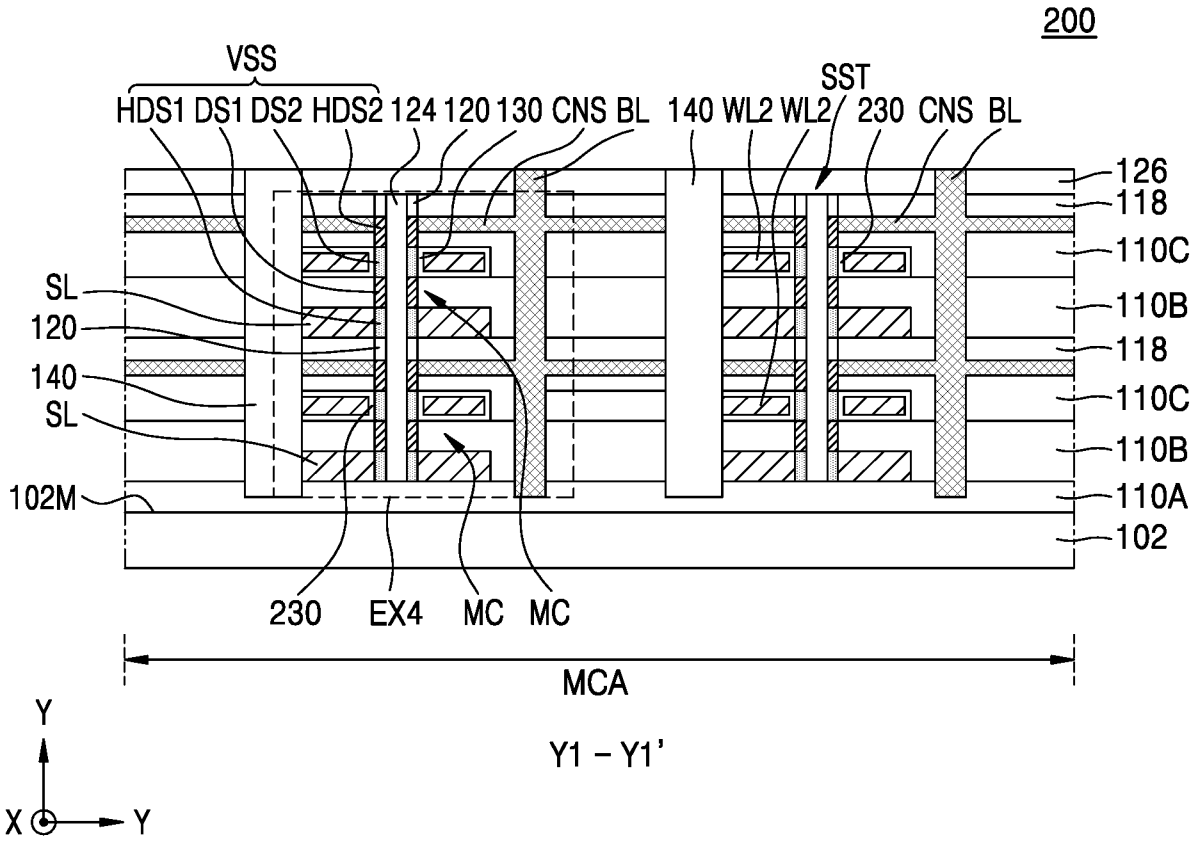
【圖2C】


100
SST
124
120
130
CNS
BL
EX2
118
HDS2
WL
VSS
DS2
DS1
110C
HDS1
MC
110B
120
SL
HH
118
140
110C
WL
110B
SL
110A
MC
Y
X
Y

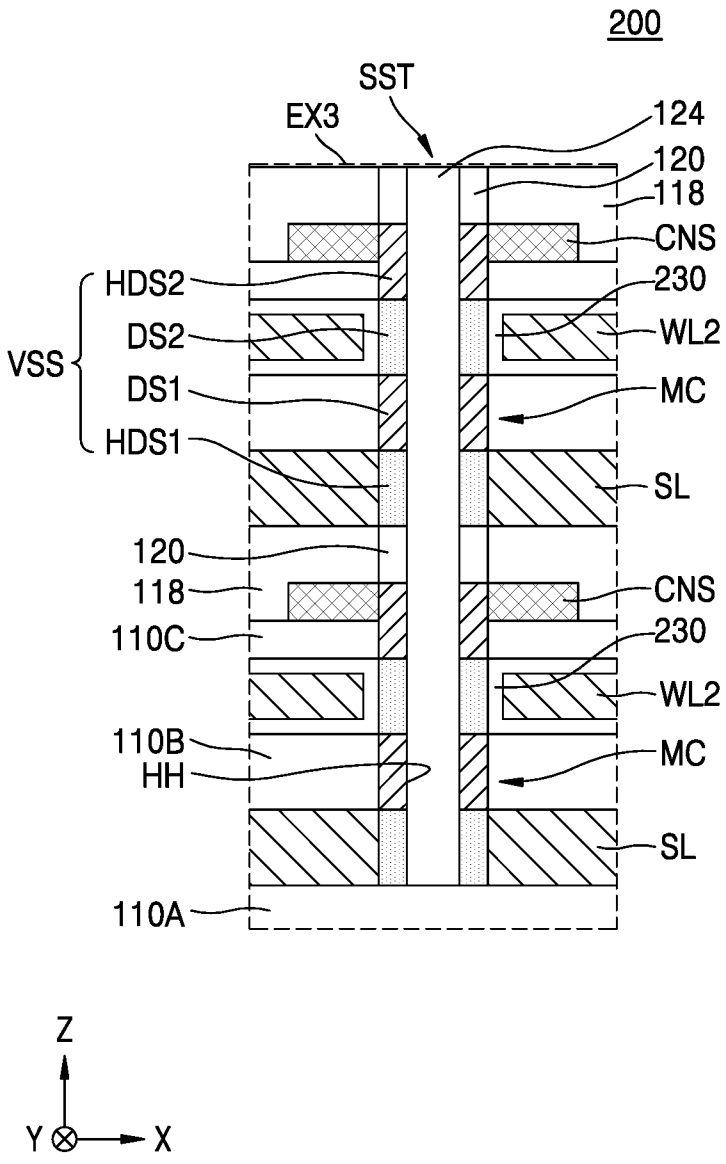
【圖2D】


200
119
126
118
110C
110B
112
110A
102
SLC
SLC
WL2
WL2
230
DS2
HDS2
DS1
HDS1
VSS
MC
MC
EX3
230
SST
120
124
CNS
126
SL
SL
WLC
WLC
AR2
MCA
AR1
X1 – X1'
126
119
126
102M
X
Z
Y

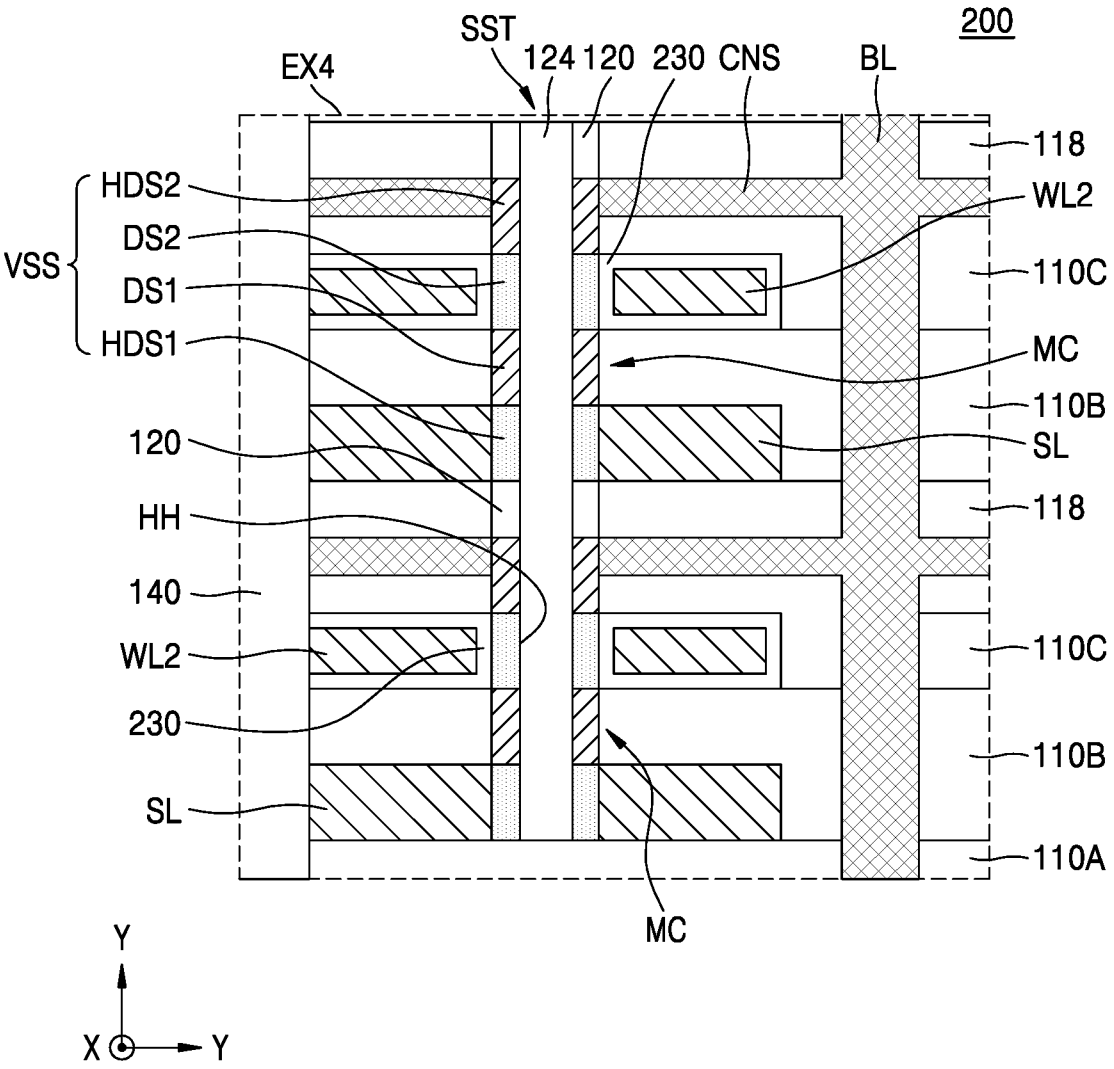
【圖3A】


200
VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL 140 WL2 WL2 SST 230 CNS BL
126
118
110C
110B
118
110C
110B
110A
102
SL
120
140
SL
102M
230 EX4 MC MC
MCA
Y1 – Y1'
Y
X
Y

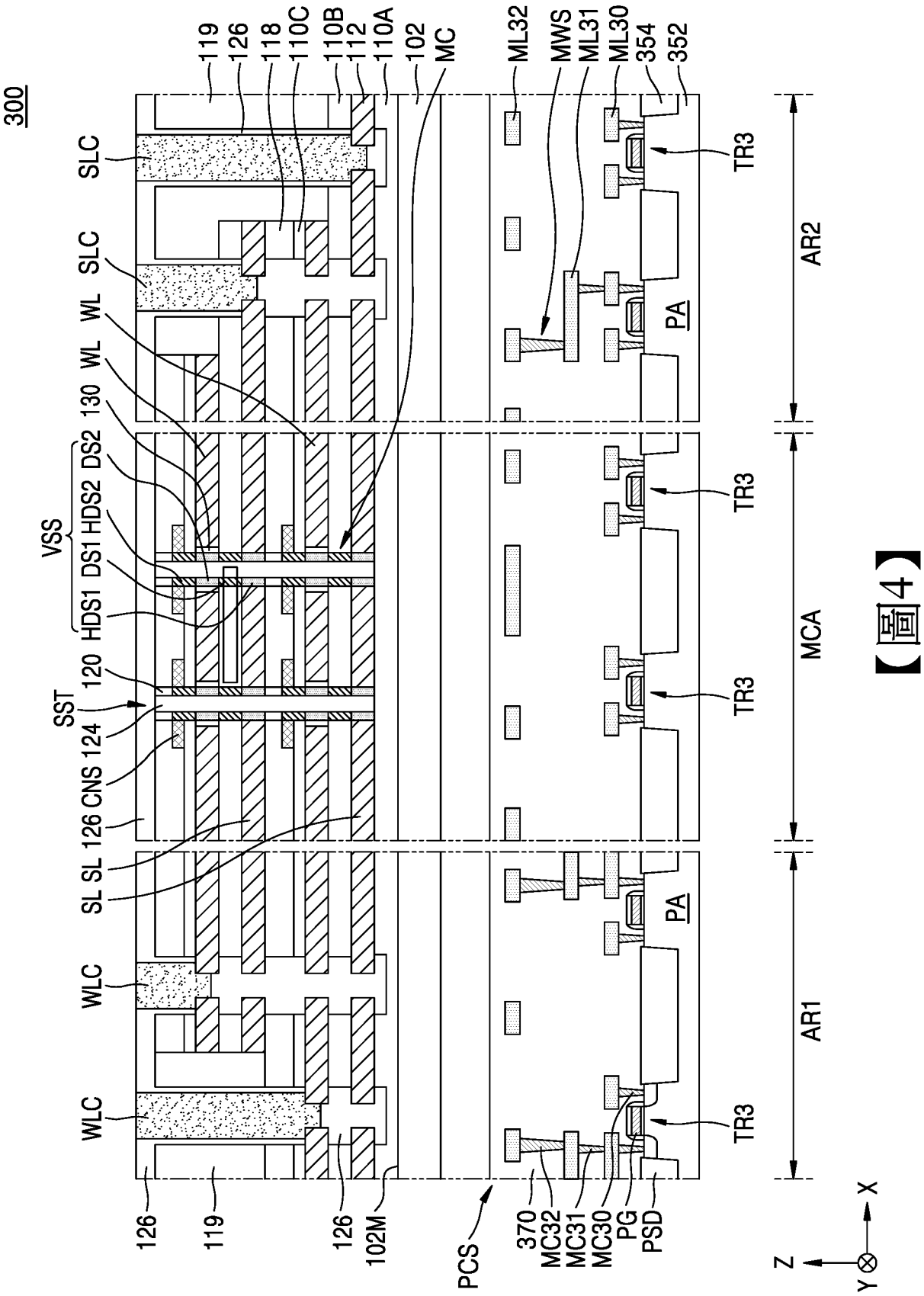
【圖3B】


200
SST
EX3
124
120
118
CNS
HDS2
230
DS2
WL2
VSS
DS1
MC
HDS1
SL
120
118
CNS
110C
230
WL2
110B
MC
HH
SL
110A
Z
Y
X

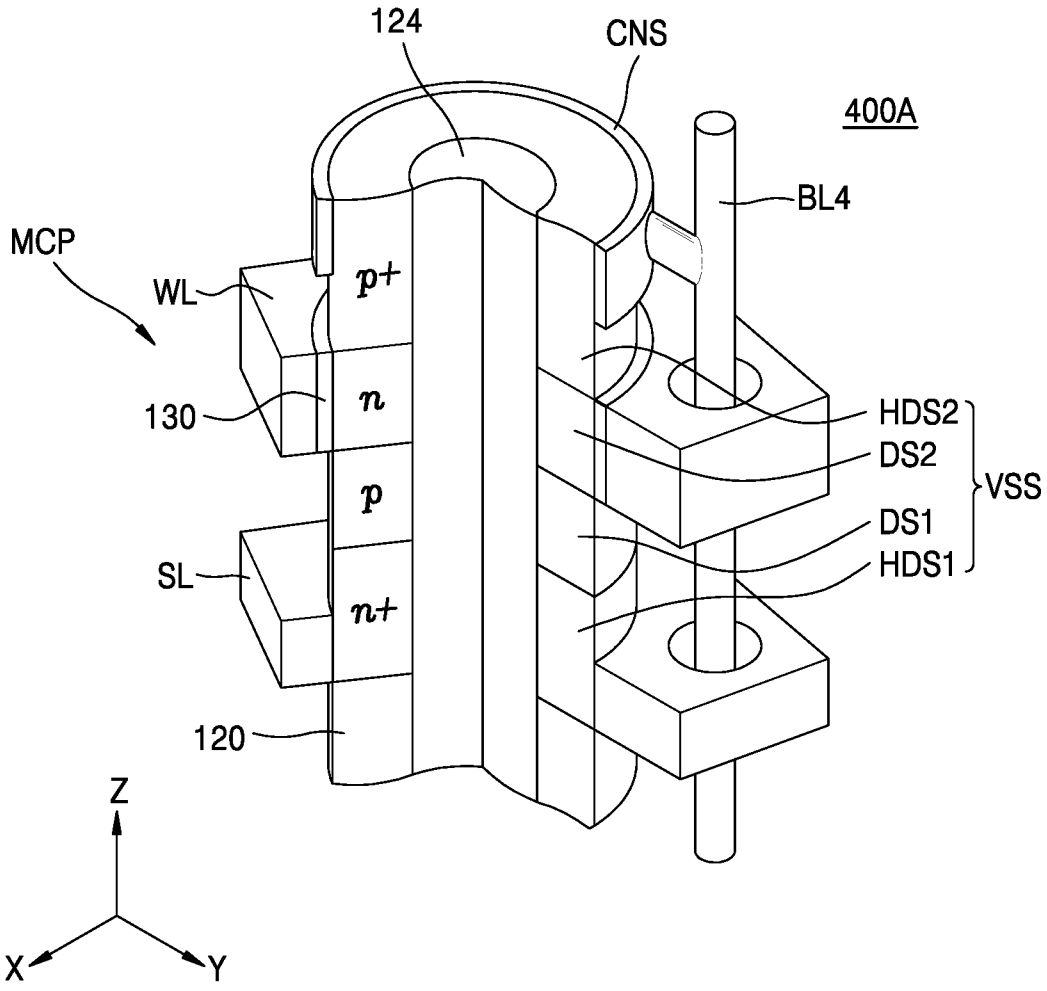
【圖3C】


200
SST
124 120 230 CNS
EX4
BL
118
HDS2
WL2
VSS
DS2
DS1
110C
HDS1
MC
110B
120
SL
HH
118
140
WL2
110C
230
110B
SL
110A
MC
Y
X
Y

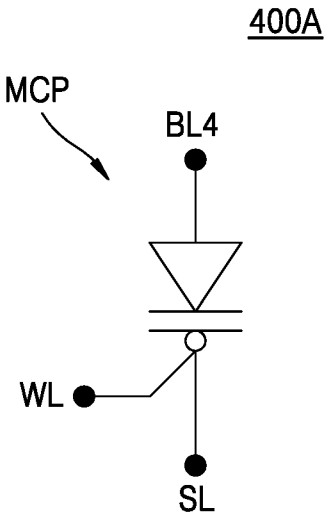
【圖3D】


300
119
126
118
110C
110B
112
110A
102
MC
ML32
MWS
ML31
ML30
354
352
SLC
SLC
WL
WL
130
DS2
HDS2
DS1
HDS1
120
SST
124
CNS
126
SL
SL
WLC
WLC
VSS
TR3
TR3
TR3
TR3
PA
PA
AR2
MCA
AR1
126
119
126
102M
PCS
370
MC32
MC31
MC30
PG
PSD
X
Z
Y

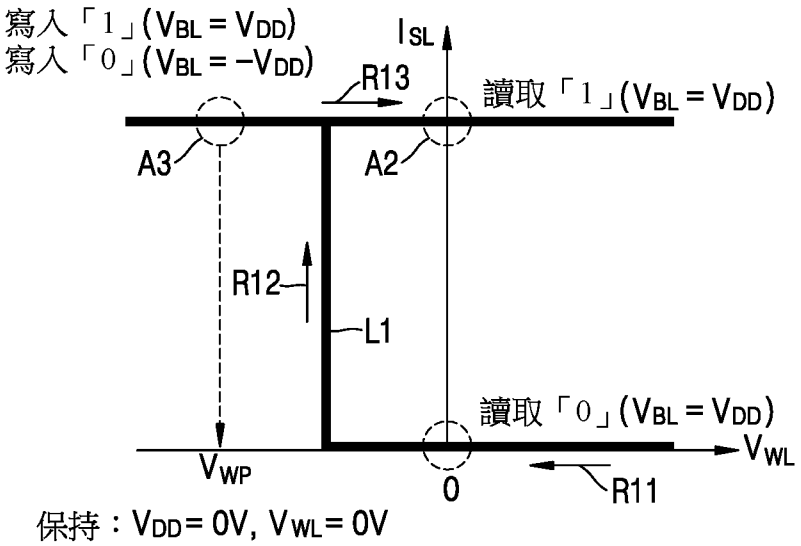
【圖4】


124
CNS
400A
BL4
MCP
WL
p+
n
130
p
HDS2
DS2
VSS
DS1
HDS1
SL
n+
120
Z
X
Y

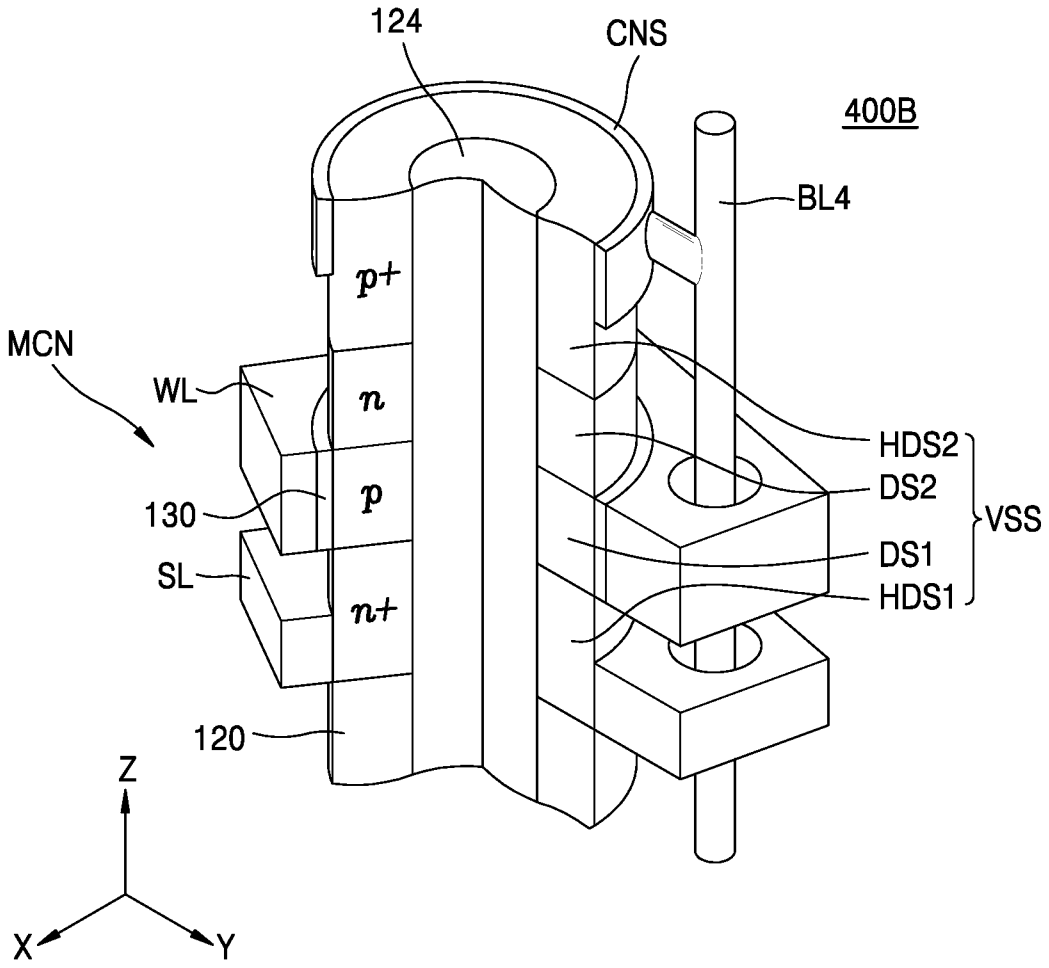
【圖5A】



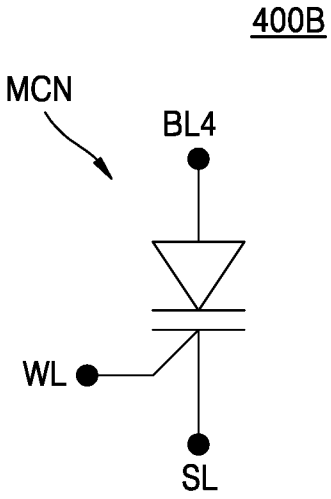
【圖5B】


寫入「1」(VBL = VDD)
寫入「0」(VBL = −VDD)
ISL
R13
讀取「1」(VBL = VDD)
A3
A2
R12
L1
讀取「0」(VBL = VDD)
VWL
VWP
0
R11
保持：VDD = 0V, VWL = 0V

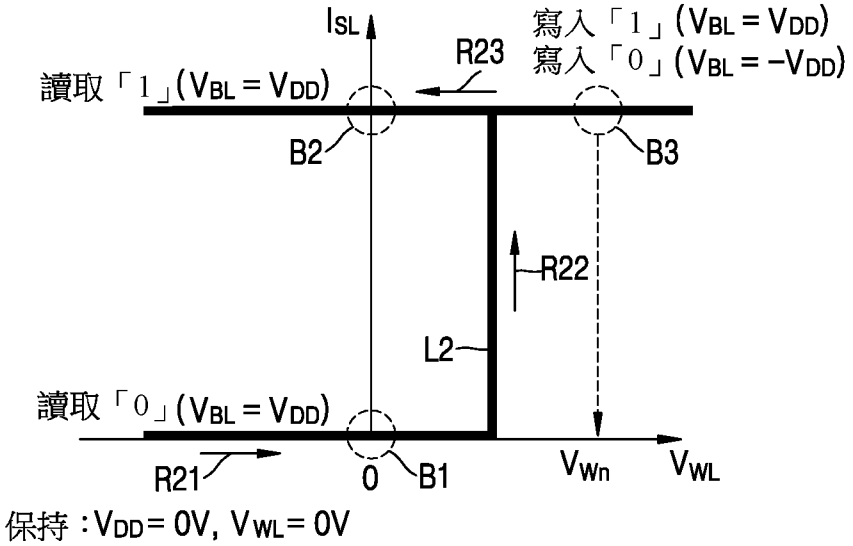
【圖5C】


124
CNS
400B
BL4
p+
MCN
WL
n
HDS2
DS2
VSS
130
p
DS1
SL
HDS1
n+
120
Z
X
Y

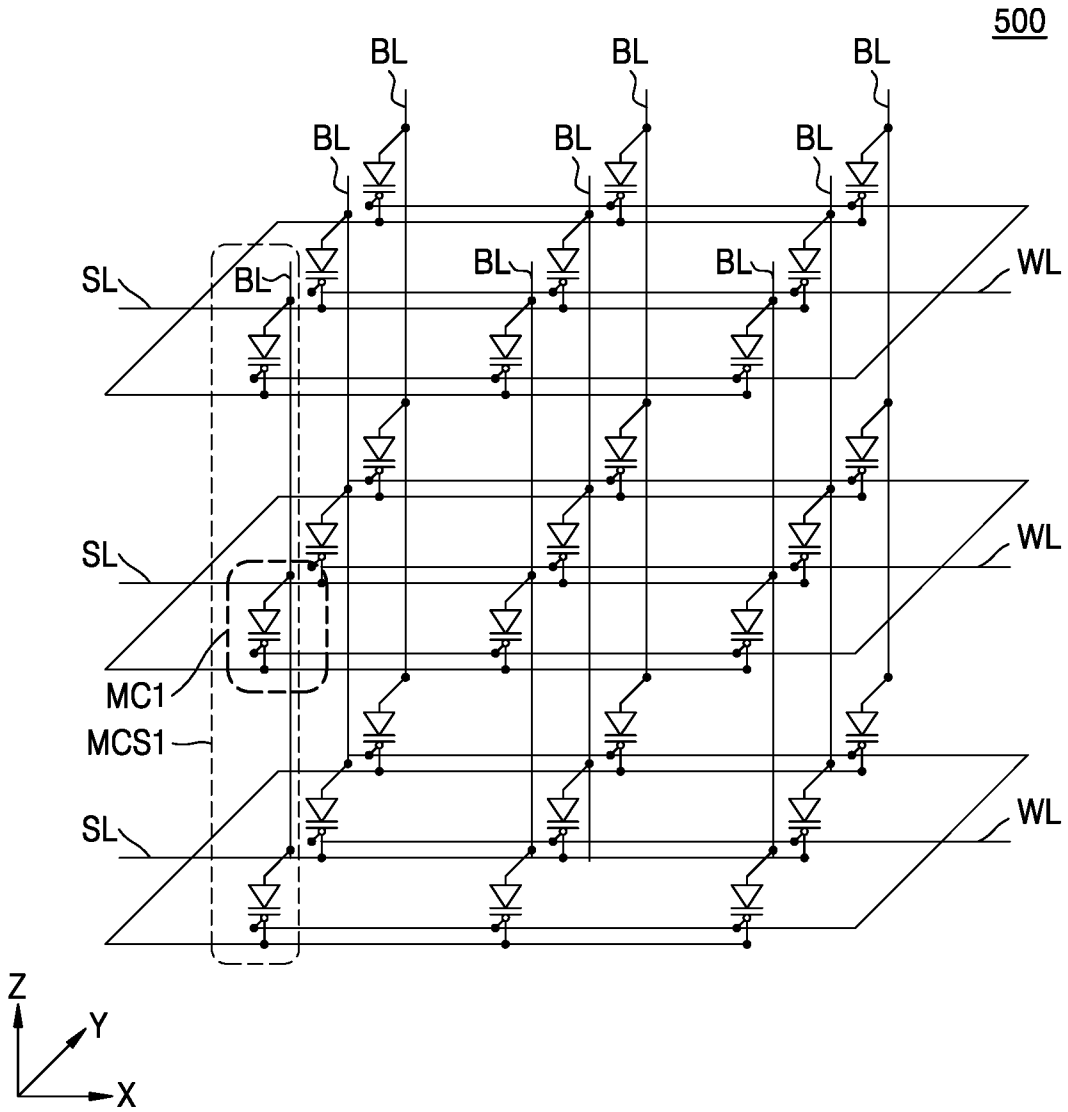
【圖6A】



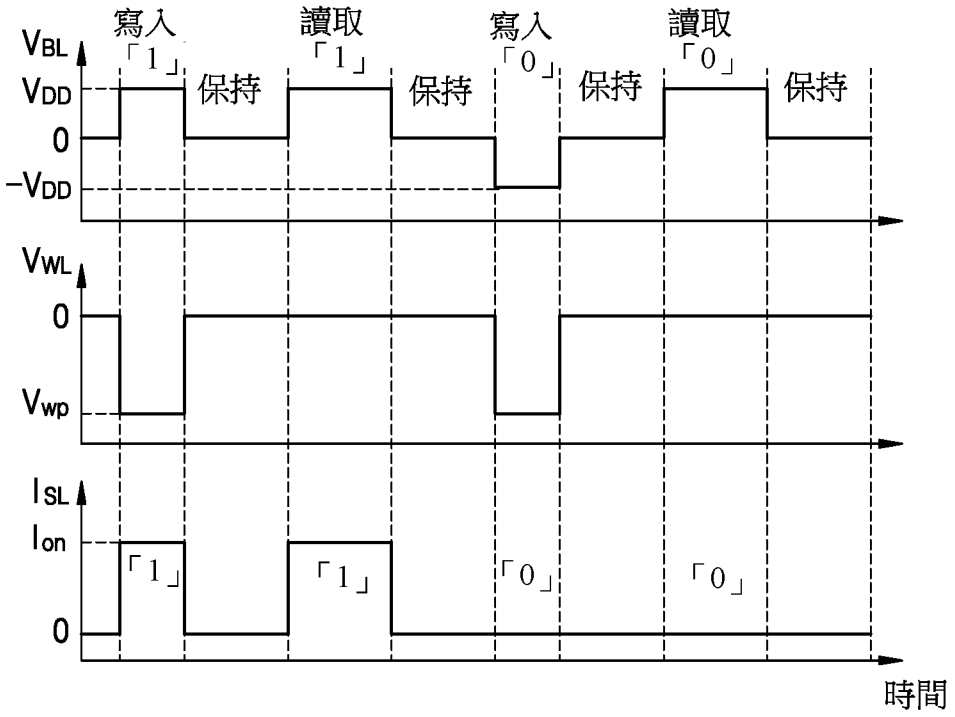
【圖6B】


ISL
寫入「1」(VBL = VDD)
寫入「0」(VBL = −VDD)
R23
讀取「1」(VBL = VDD)
B2
B3
R22
L2
讀取「0」(VBL = VDD)
R21
0
B1
VWn
VWL
保持：VDD = 0V, VWL = 0V

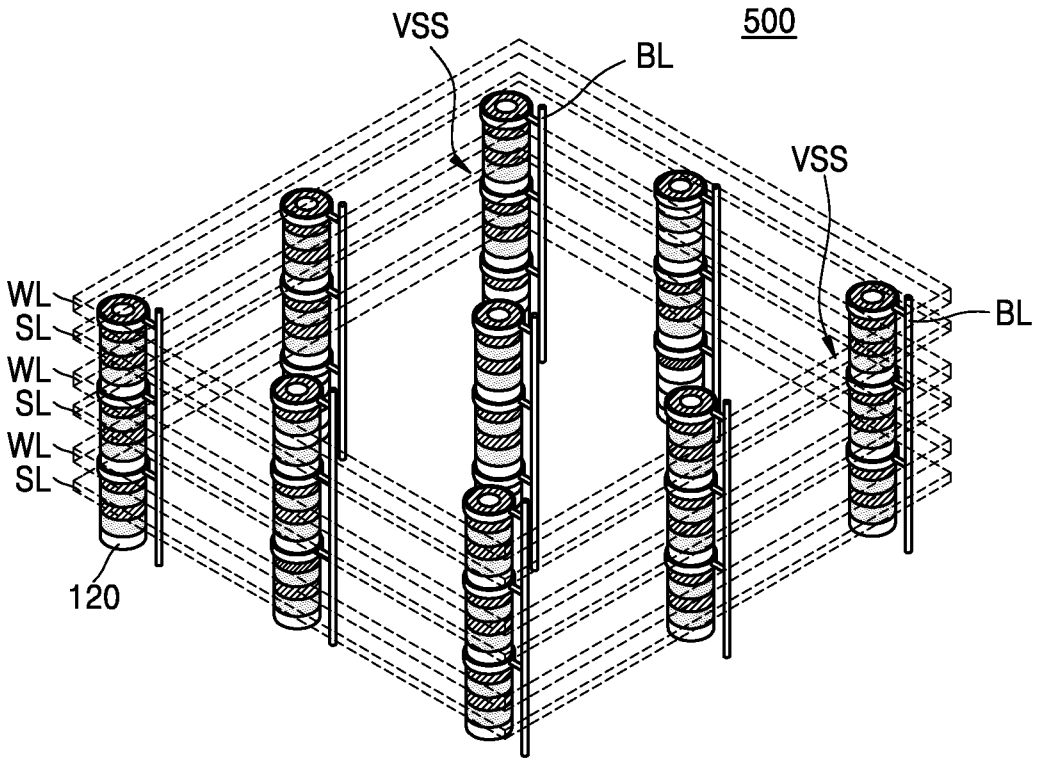
【圖6C】



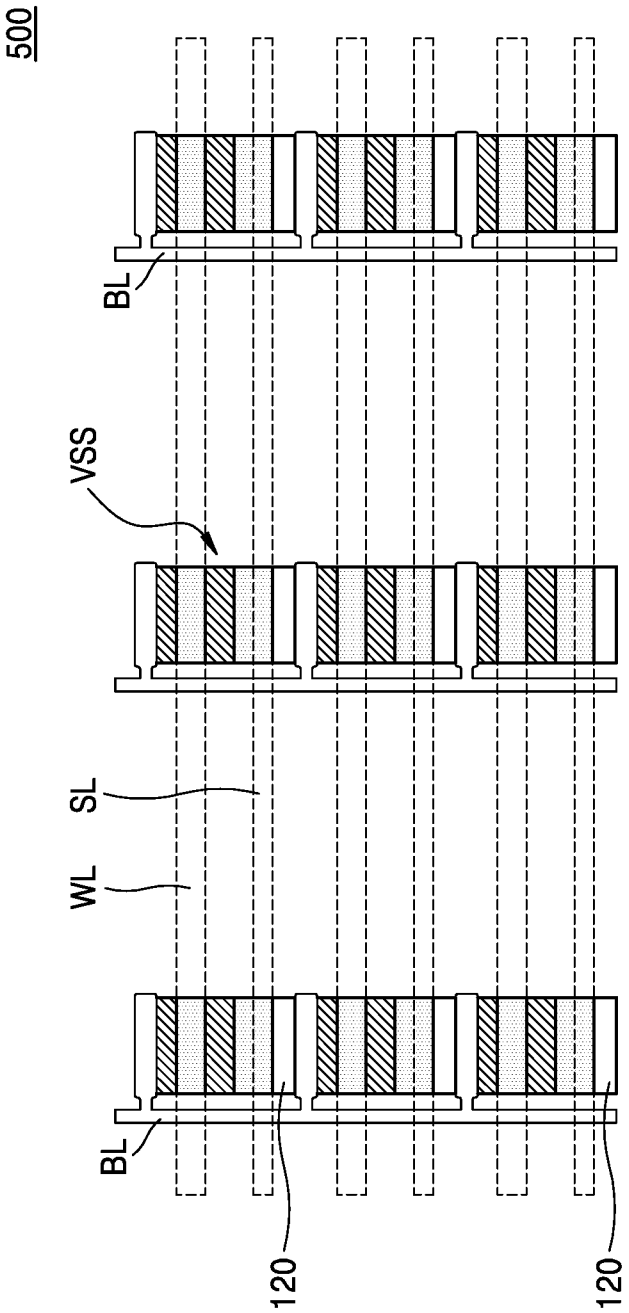
【圖7】


寫入
「1」
讀取
「1」
寫入
「0」
讀取
「0」
V_{BL}
V_{DD}
0
$-V_{DD}$
保持
保持
保持
保持
V_{WL}
0
V_{wp}
I_{SL}
I_{on}
0
「1」
「1」
「0」
「0」
時間

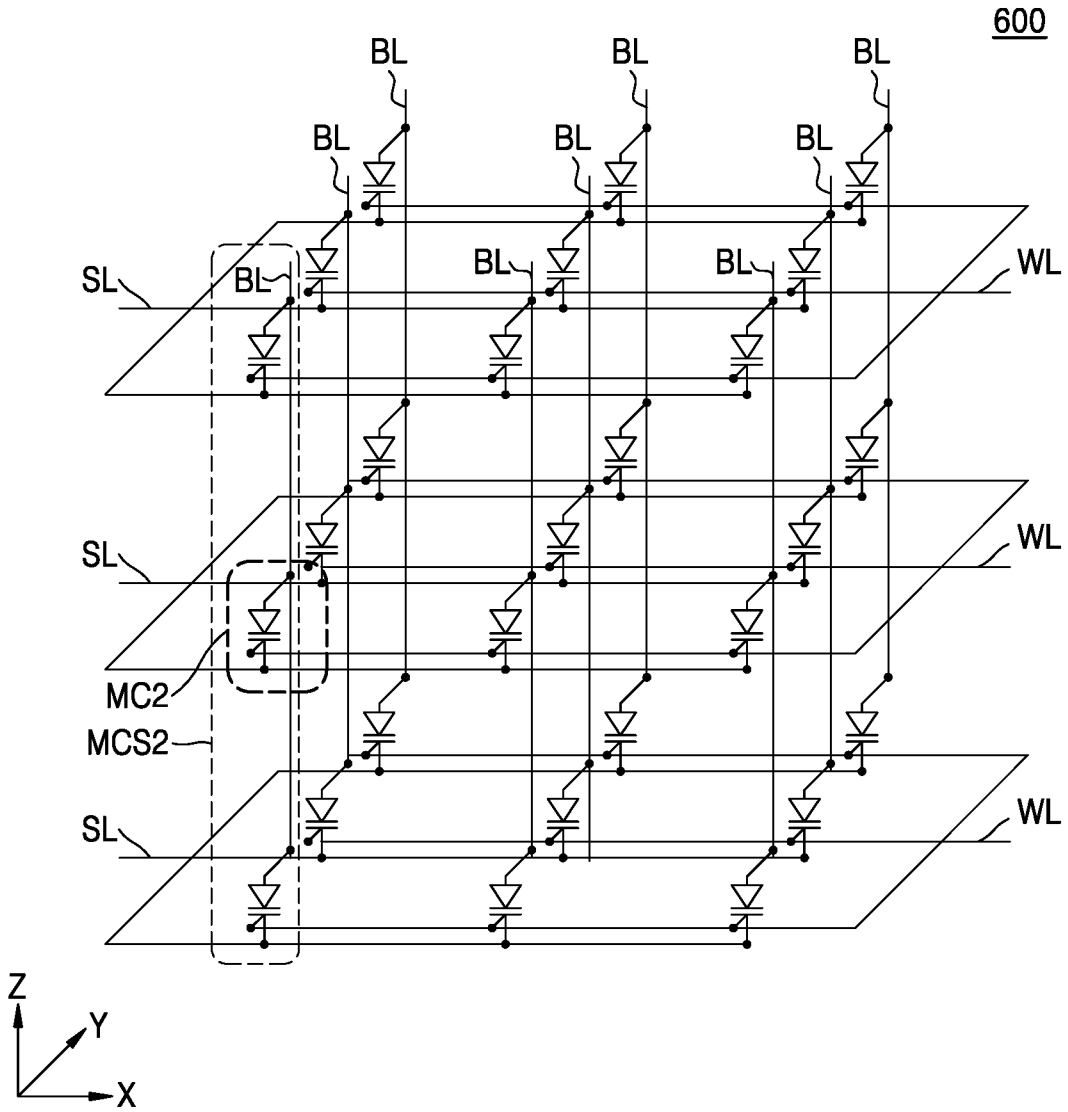
【圖8】



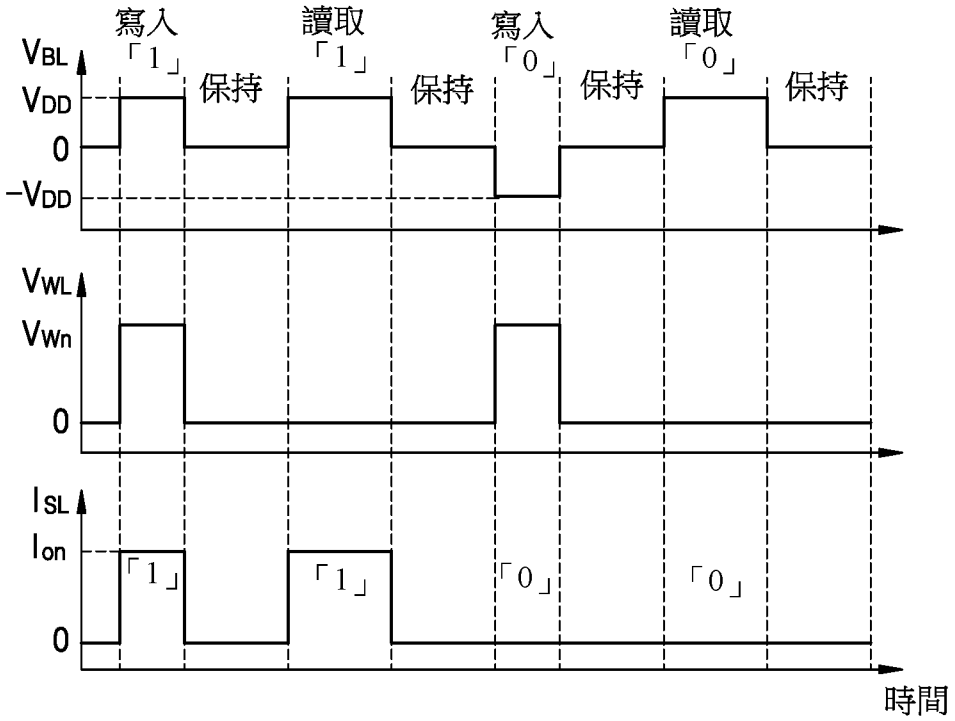
【圖9】



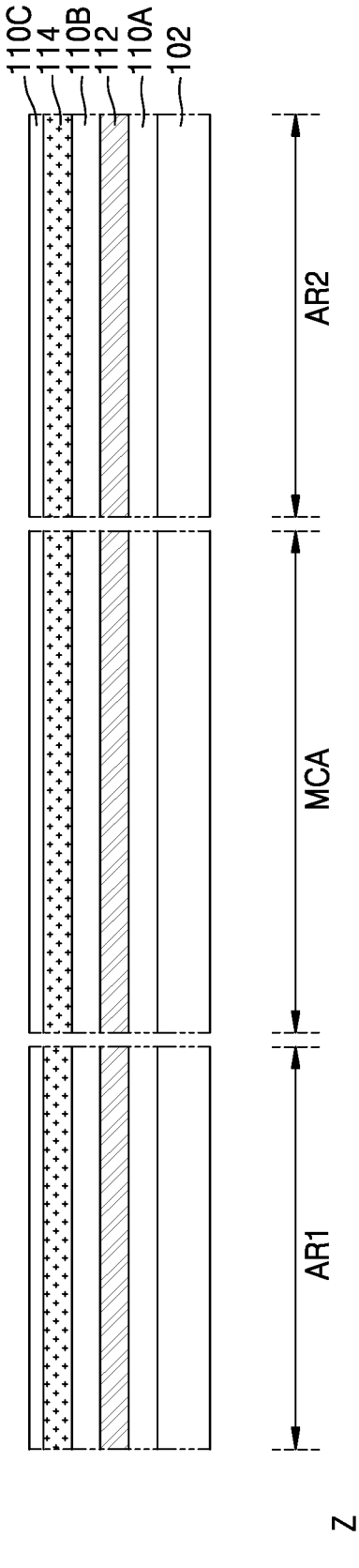
【圖10】



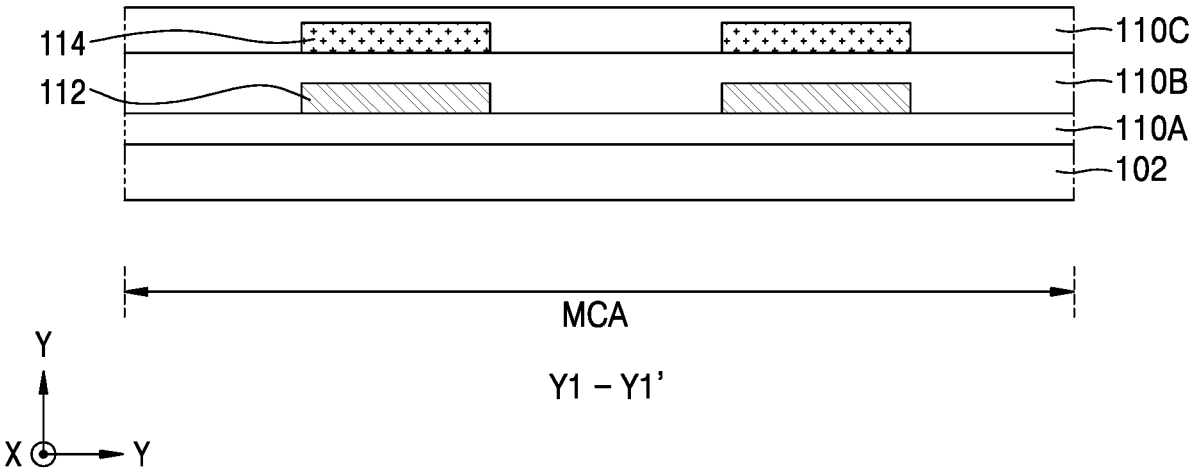
【圖11】


寫入
「1」
讀取
「1」
寫入
「0」
讀取
「0」
保持
保持
保持
保持
VBL
VDD
0
−VDD
VWL
VWn
0
ISL
Ion
「1」
「1」
「0」
「0」
0
時間

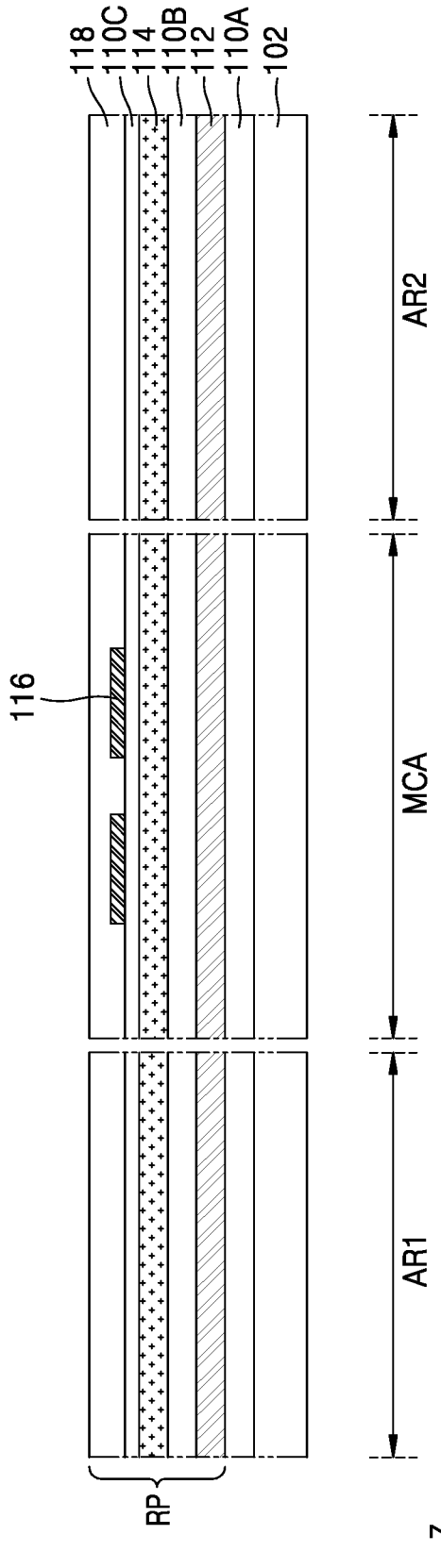
【圖12】



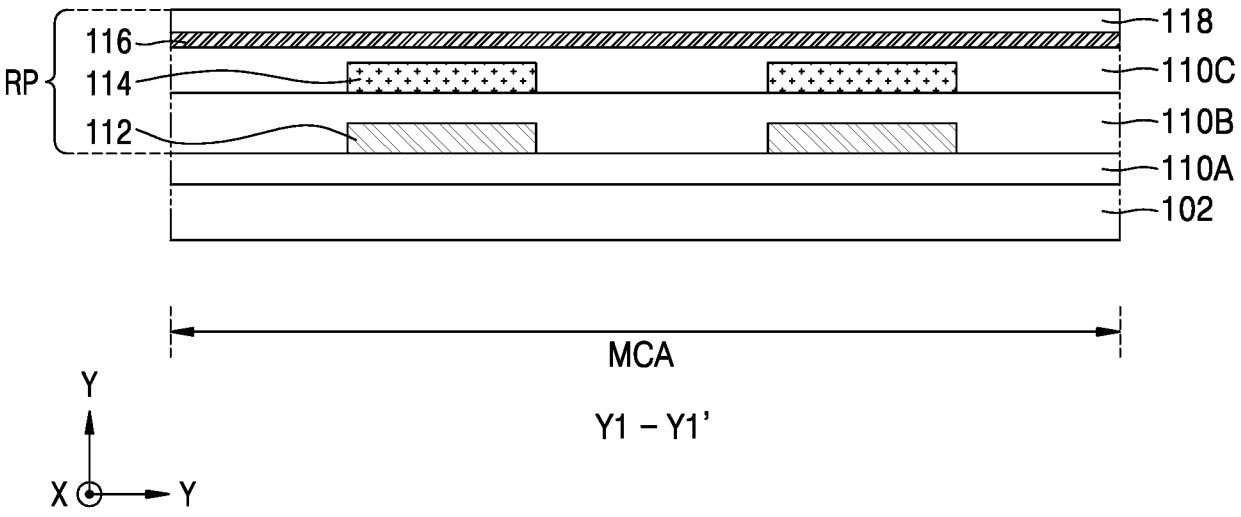
【圖13A】



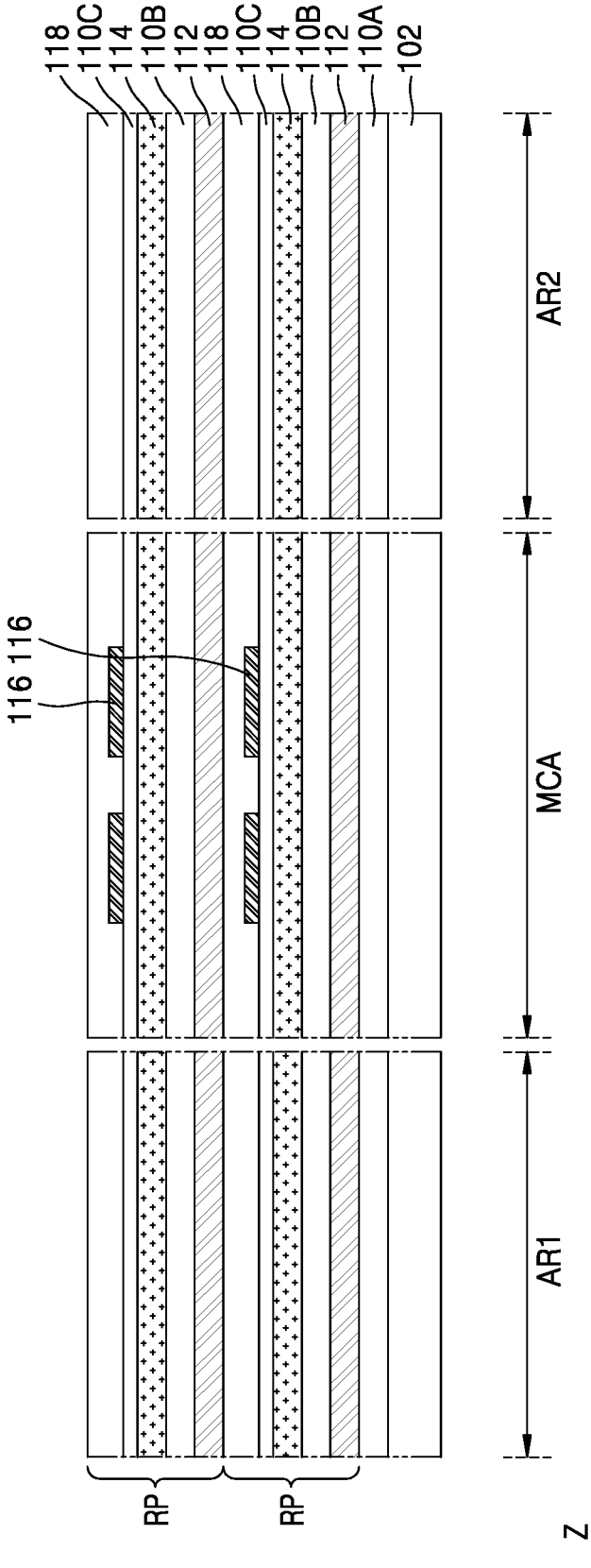
【圖13B】



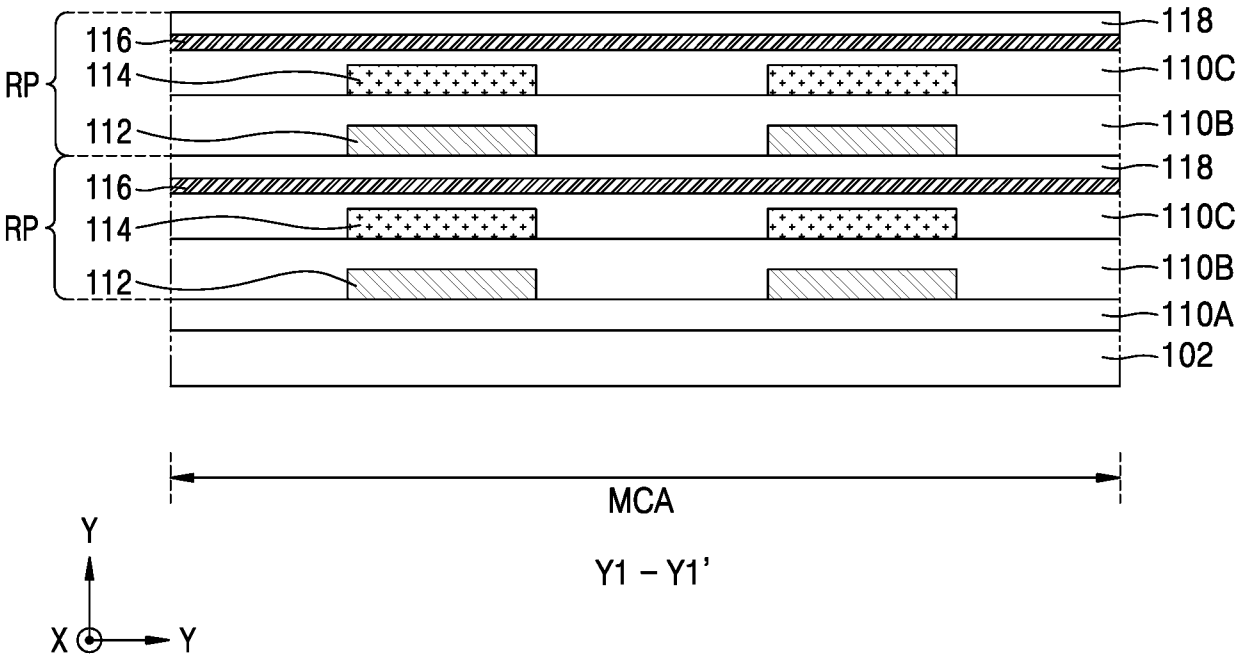
【圖14A】



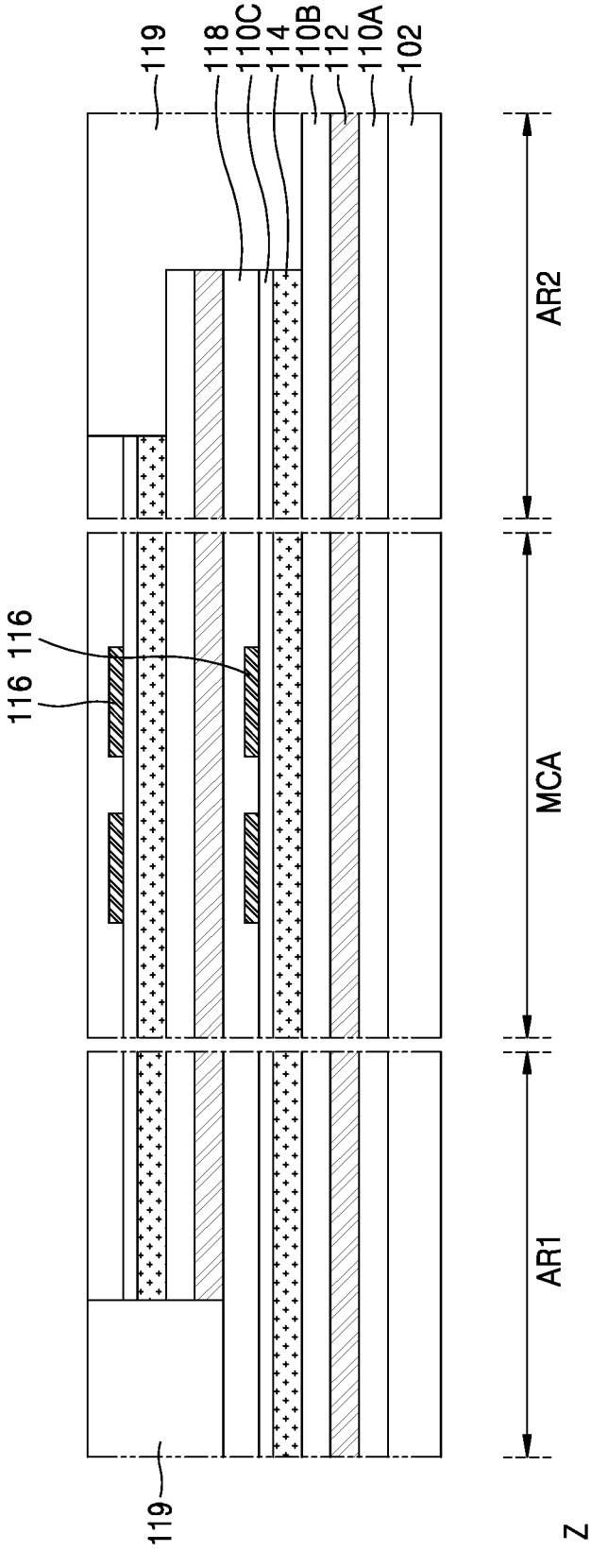
【圖14B】


118
110C
114
110B
112
118
110C
114
110B
112
110A
102
116 116
AR2
MCA
AR1
RP
RP
X1 – X1'
X
Z
Y

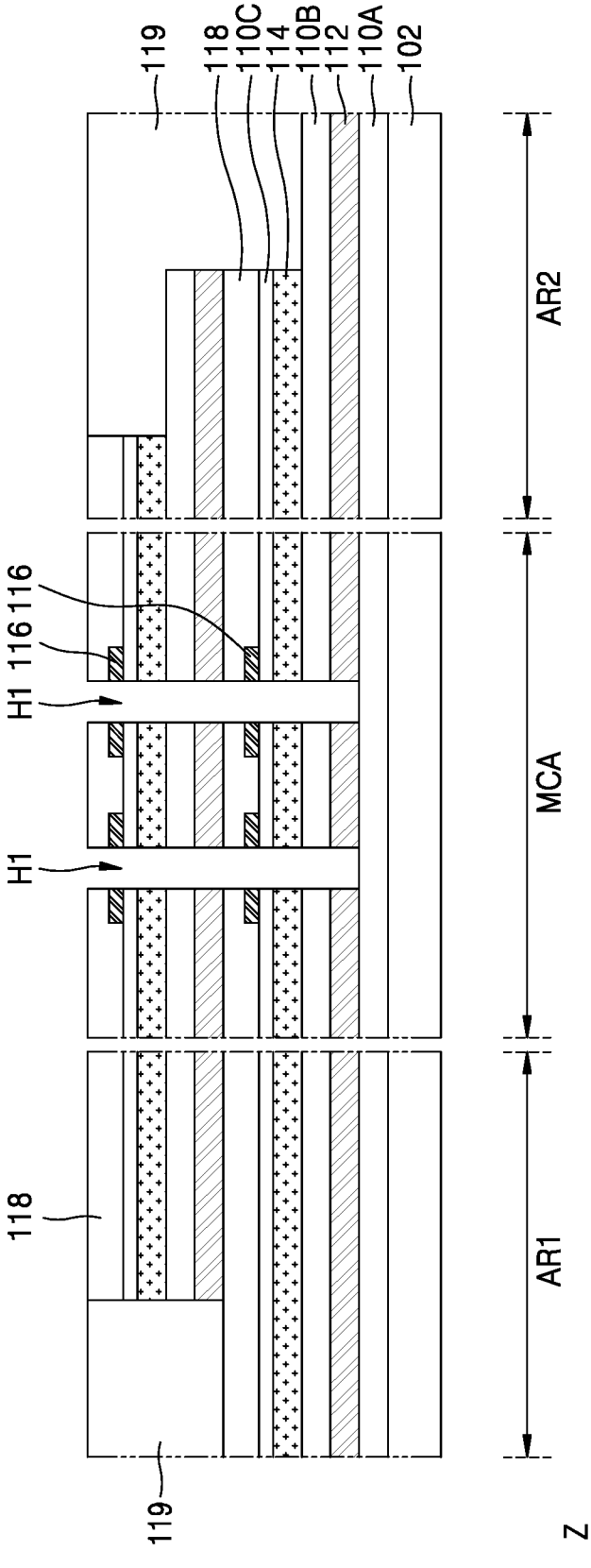
【圖15A】


116
114
112
RP
116
114
112
RP
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 – Y1'
Y
X
Y

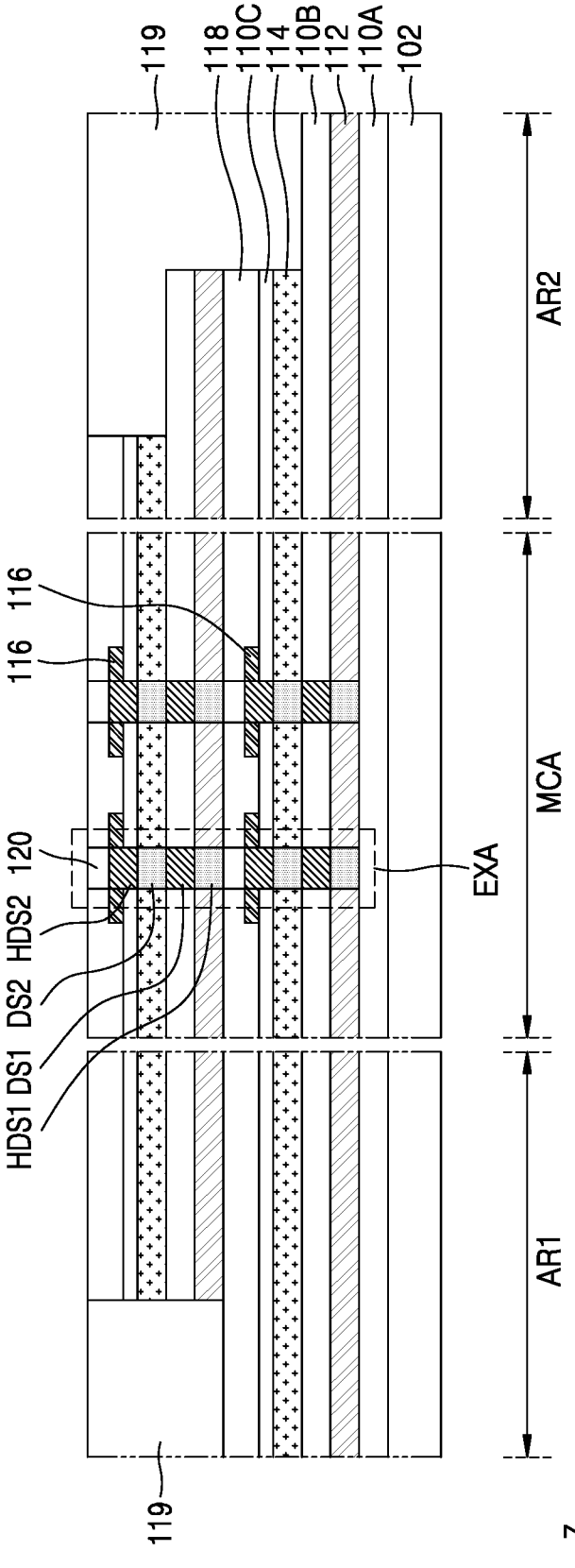
【圖15B】


119
118
110C
114
110B
112
110A
102
116 116
AR2
MCA
AR1
X1 – X1'
119
X
Z
Y

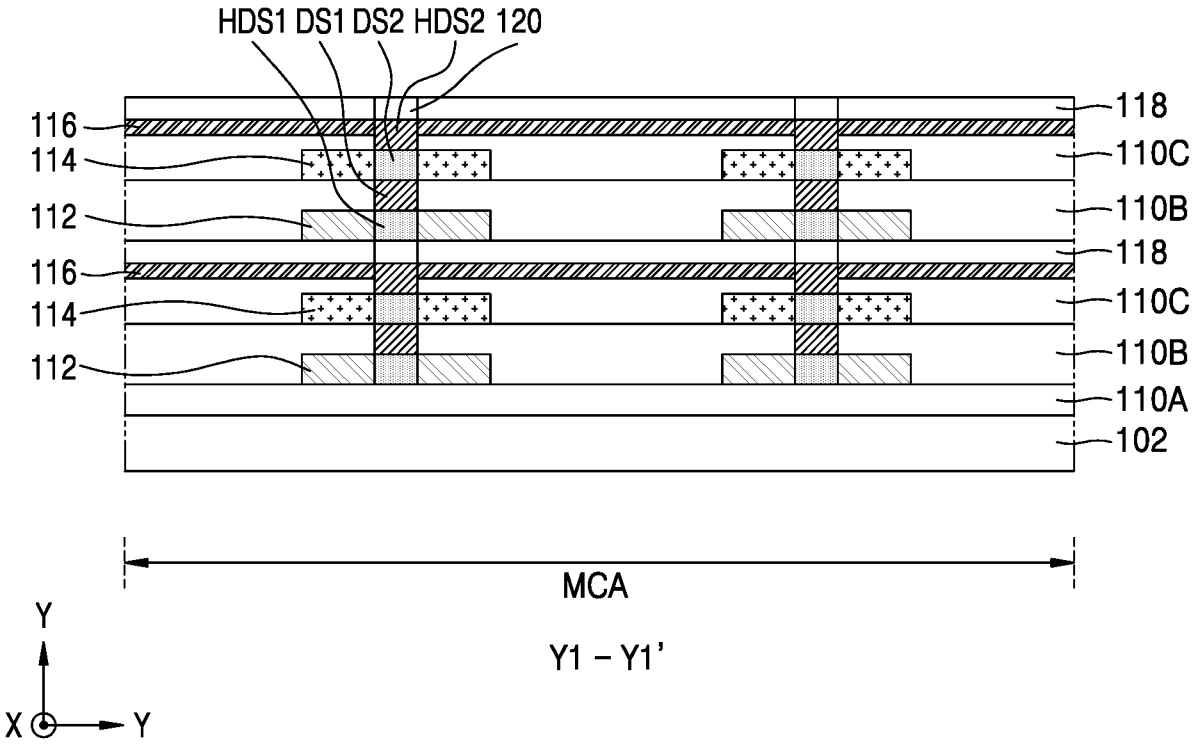
【圖16】


119
118
110C
114
110B
112
110A
102
AR2
116
116
H1
H1
MCA
X1 – X1'
118
AR1
119
X
Z
Y

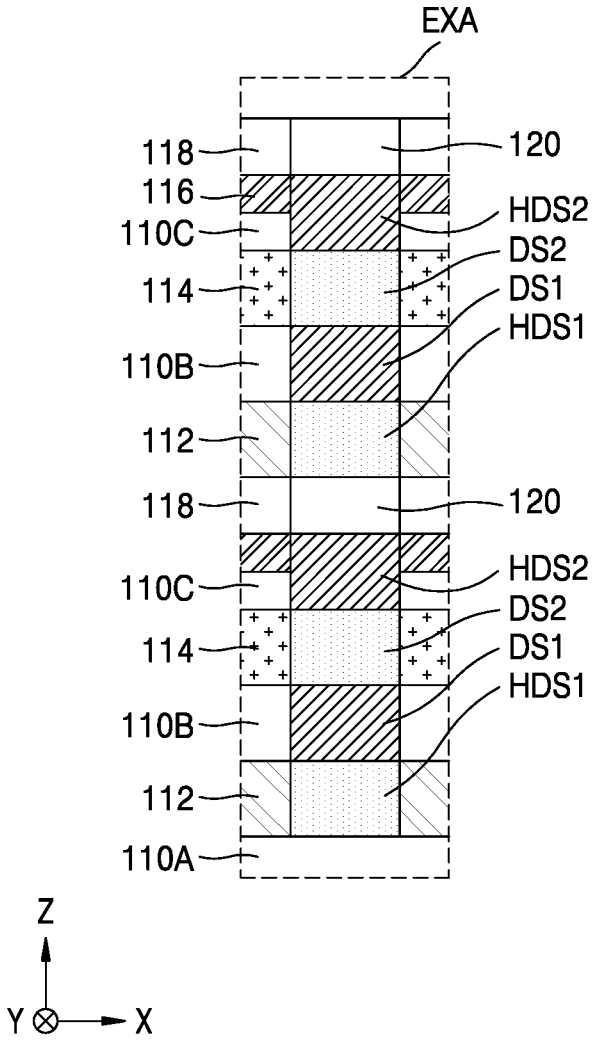
【圖17】


119
118
110C
114
110B
112
110A
102
AR2
116
116
MCA
120
EXA
HDS2
DS2
HDS1
DS1
X1 – X1'
AR1
119
X
Z
Y

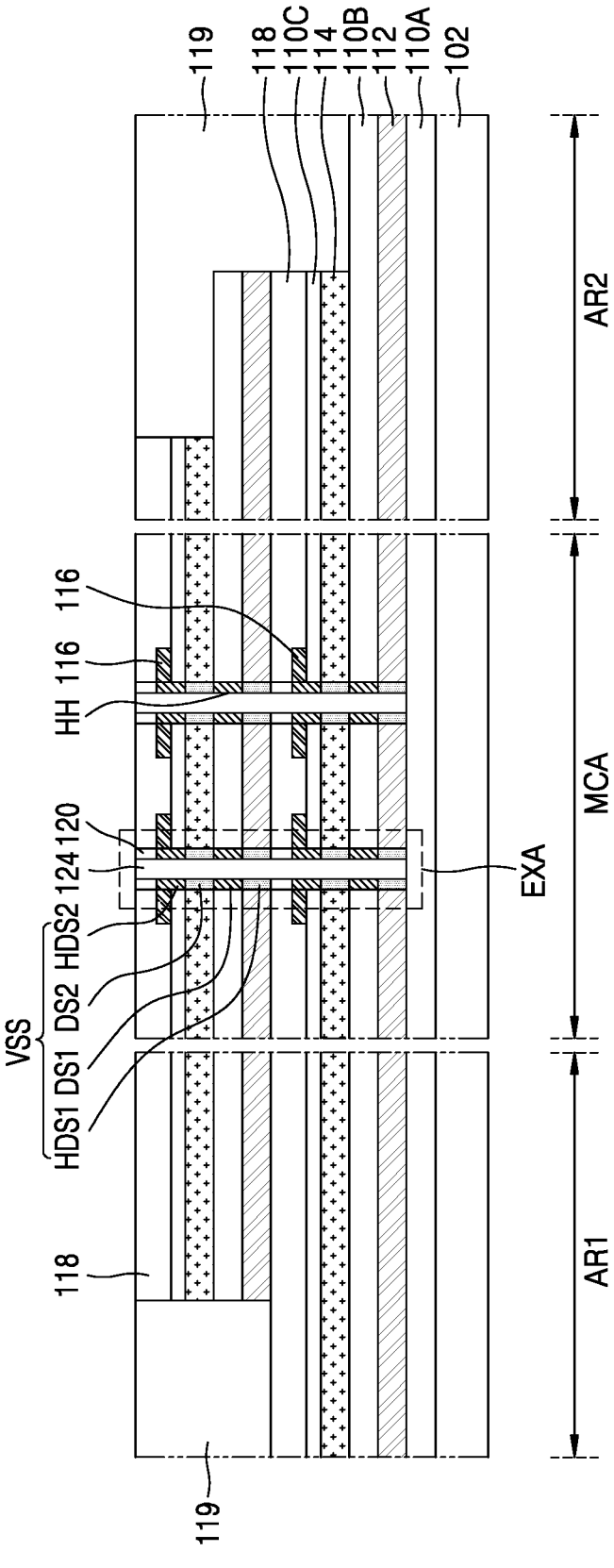
【圖18A】


HDS1 DS1 DS2 HDS2 120
116
114
112
116
114
112
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 – Y1'
Y
X
Y

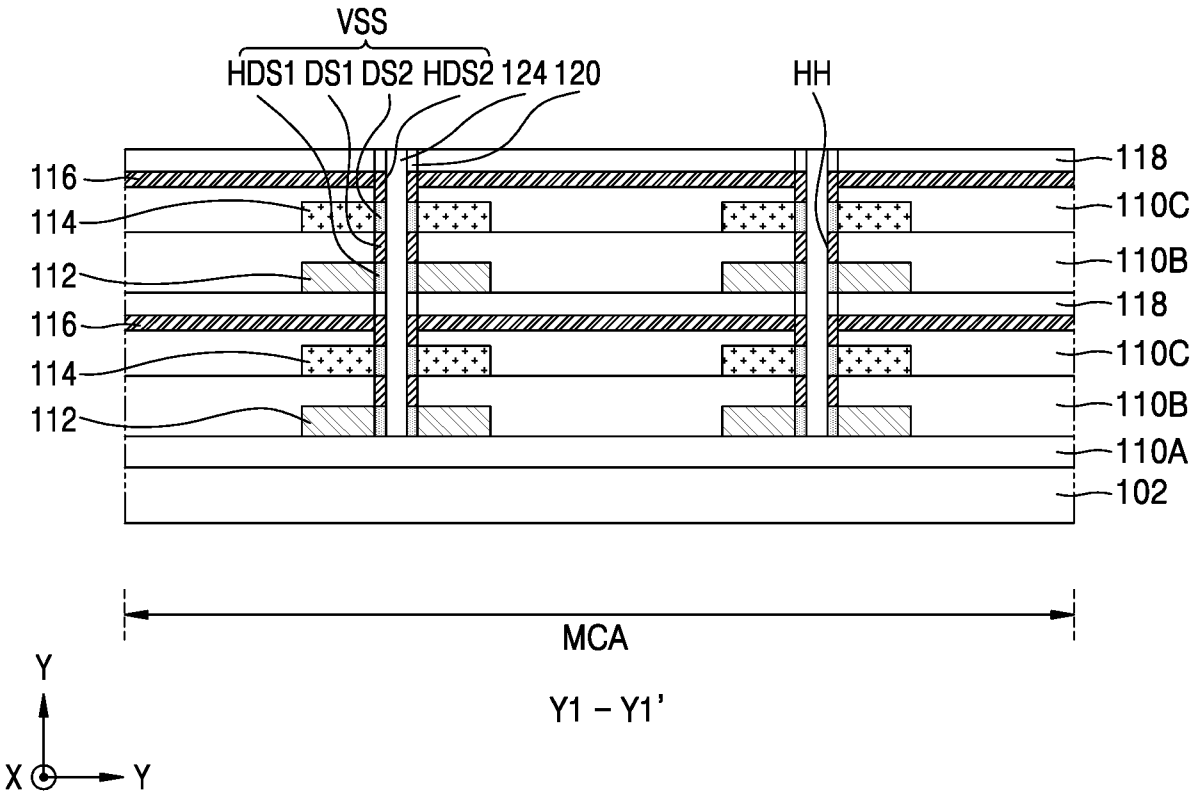
【圖18B】


EXA
118
120
116
HDS2
110C
DS2
114
DS1
HDS1
110B
112
118
120
HDS2
110C
DS2
114
DS1
HDS1
110B
112
110A
Z
Y
X

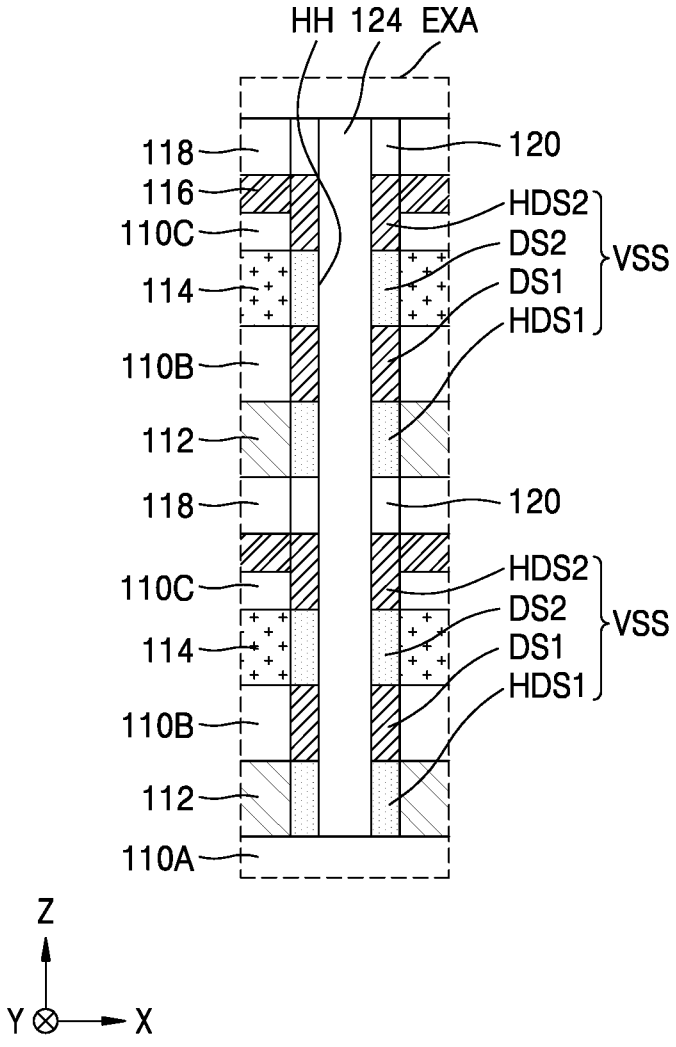
【圖18C】


119
118
110C
114
110B
112
110A
102
AR2
116
HH 116
120
124
HDS2
DS2
DS1
HDS1
VSS
EXA
MCA
X1 – X1'
118
AR1
119
X
Z
Y

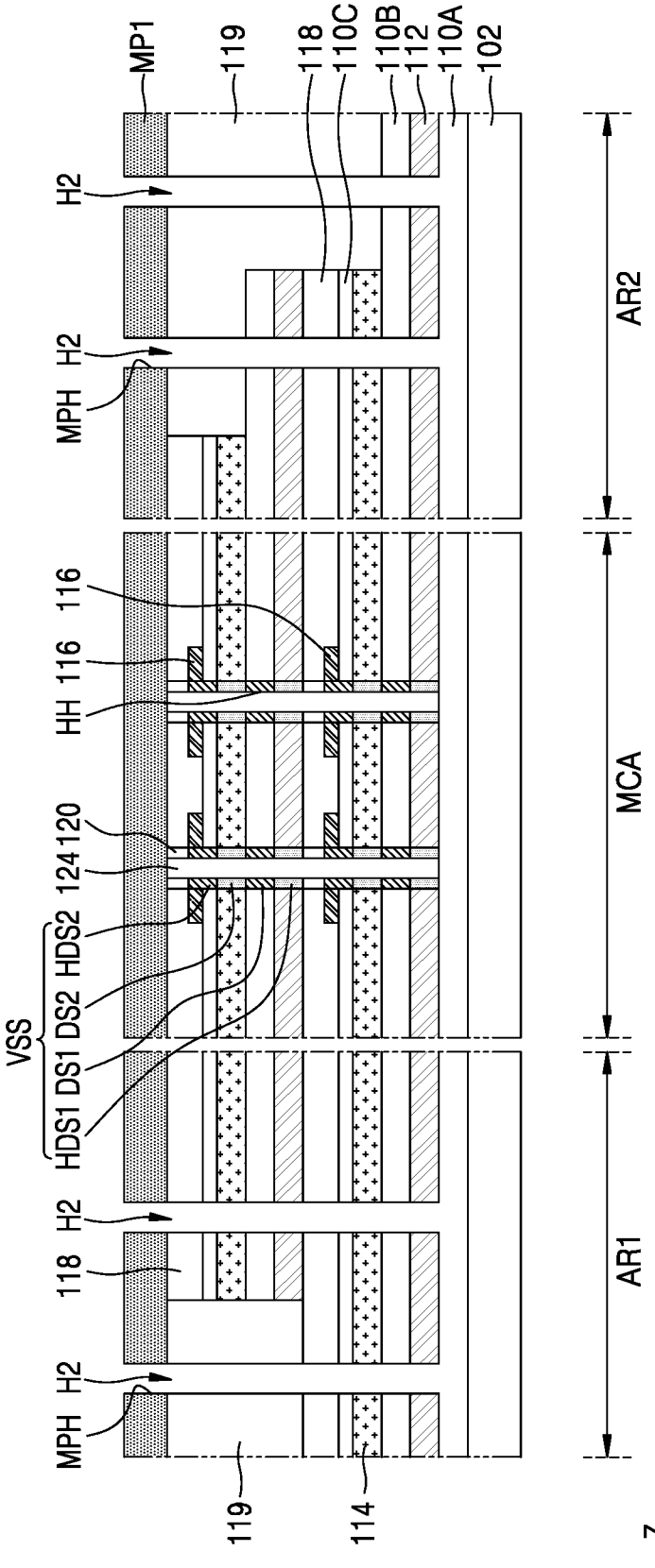
【圖19A】


VSS
HDS1 DS1 DS2 HDS2 124 120
HH
116
114
112
116
114
112
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 - Y1'
Y
X
Y

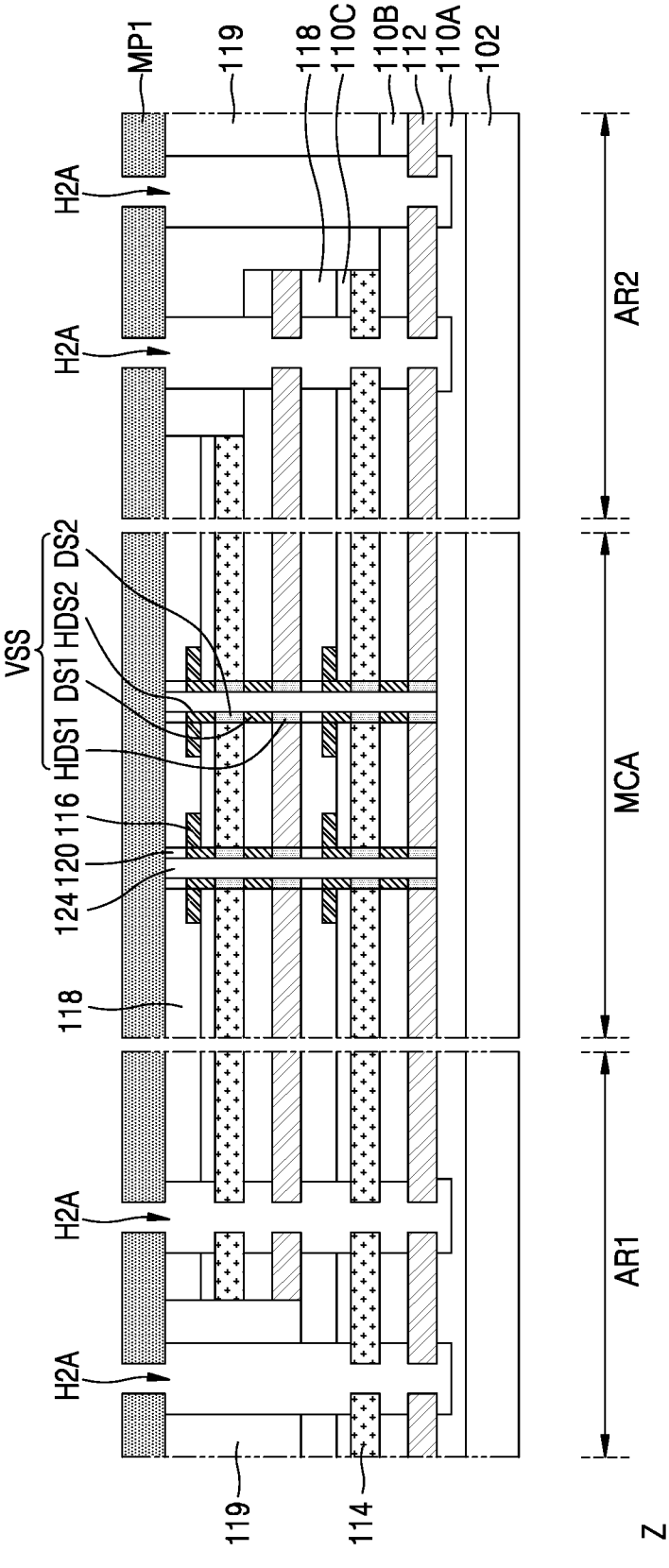
【圖19B】


HH
124
EXA
118
116
110C
114
110B
112
118
110C
114
110B
112
110A
120
HDS2
DS2
DS1
HDS1
VSS
120
HDS2
DS2
DS1
HDS1
VSS
Z
Y
X

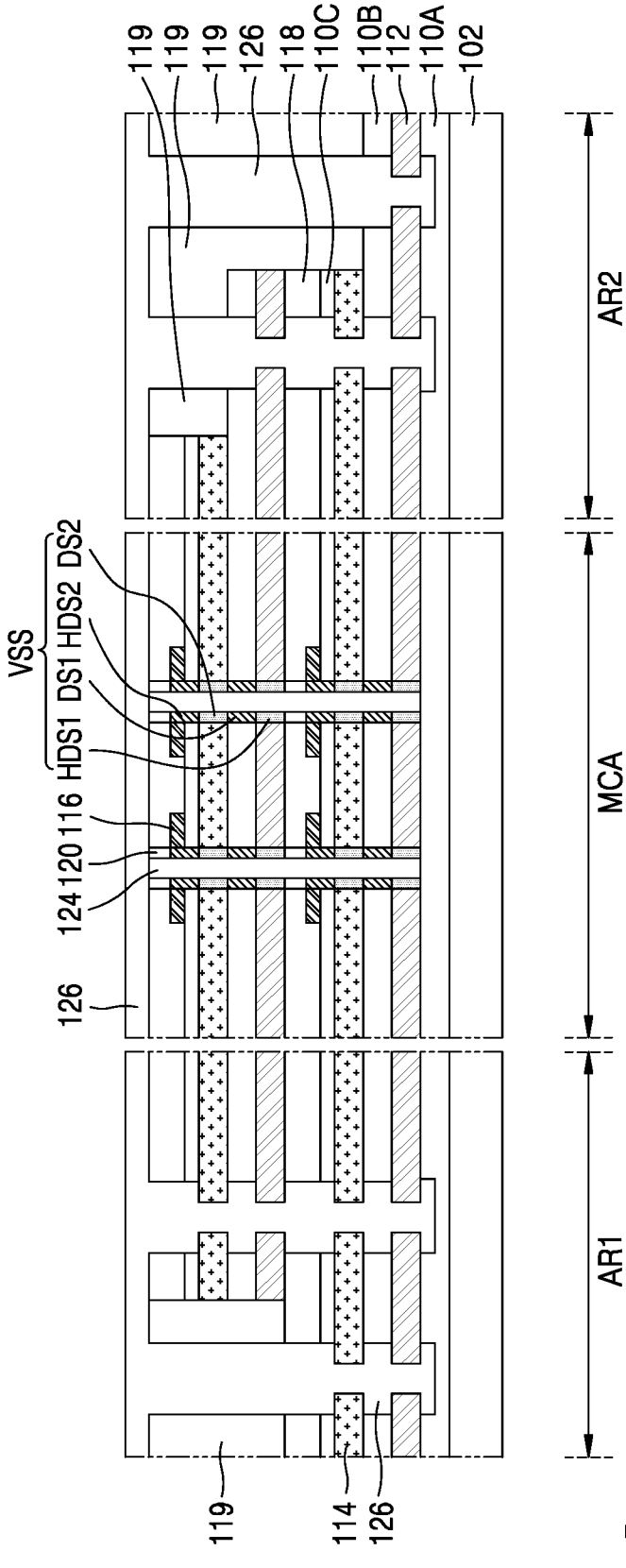
【圖19C】


MP1
119
118
110C
110B
112
110A
102
H2
MPH
116
HH
120
124
HDS2
DS2
VSS
DS1
HDS1
118
114
AR2
MCA
AR1
X1 – X1'
Z
X
Y

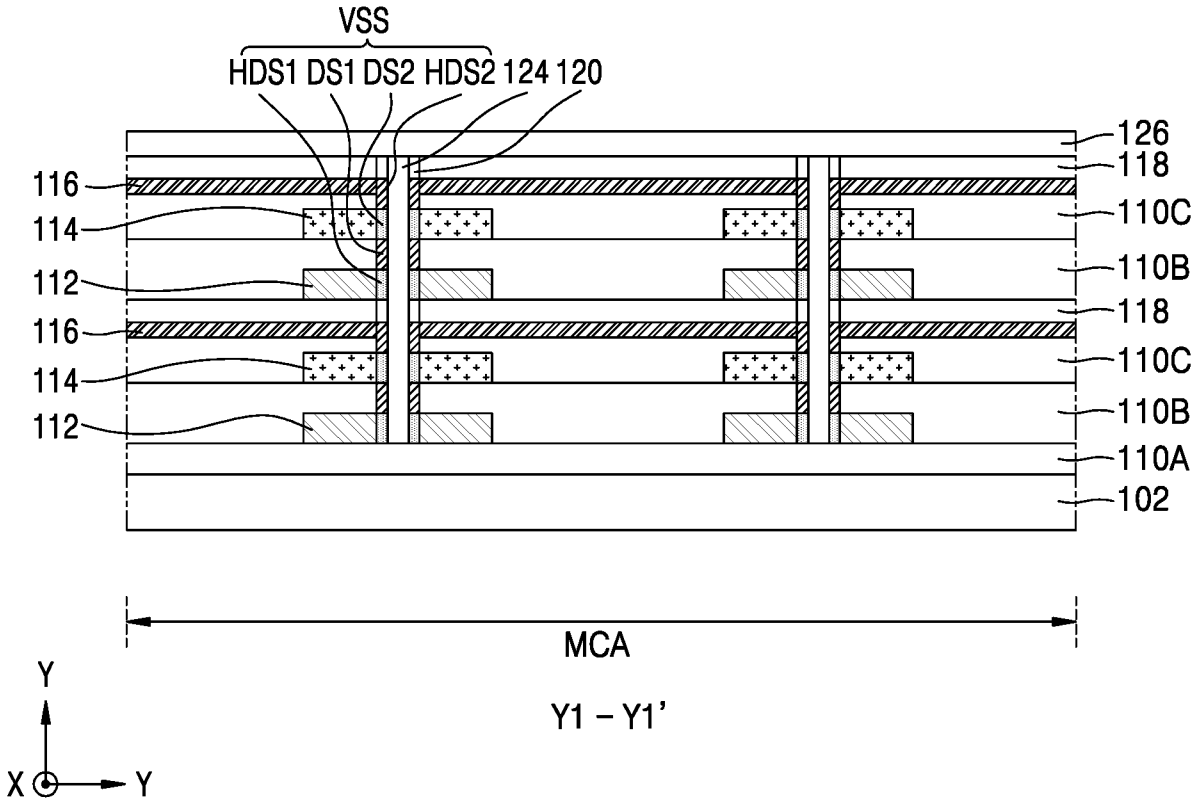
【圖20】


MP1
119
118
110C
110B
112
110A
102
H2A
H2A
H2A
H2A
VSS
HDS1
DS1
HDS2
DS2
116
120
124
118
119
114
AR1
MCA
AR2
X1 – X1'
Z
X
Y

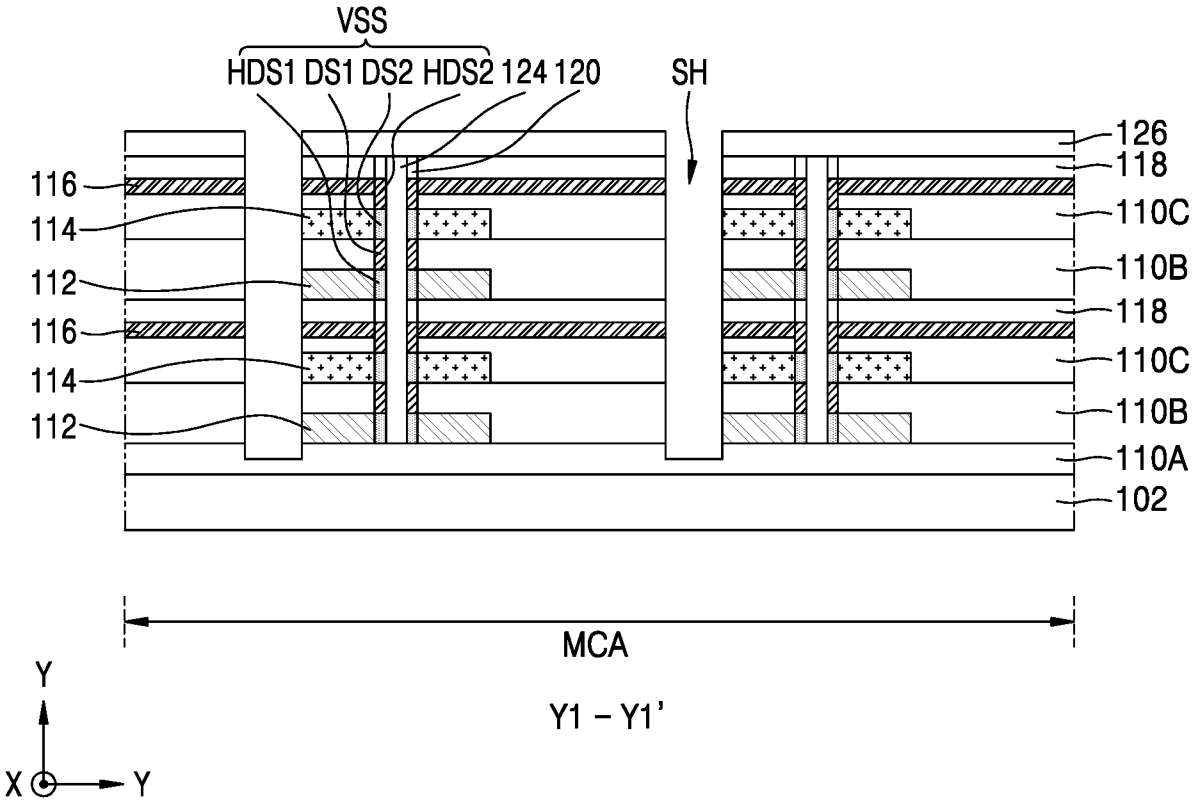
【圖21】


119
119
119
126
118
110C
110B
112
110A
102
AR2
VSS
DS2
HDS2
DS1
HDS1
116
120
124
126
MCA
X1 – X1'
AR1
119
114
126
X
Z
Y

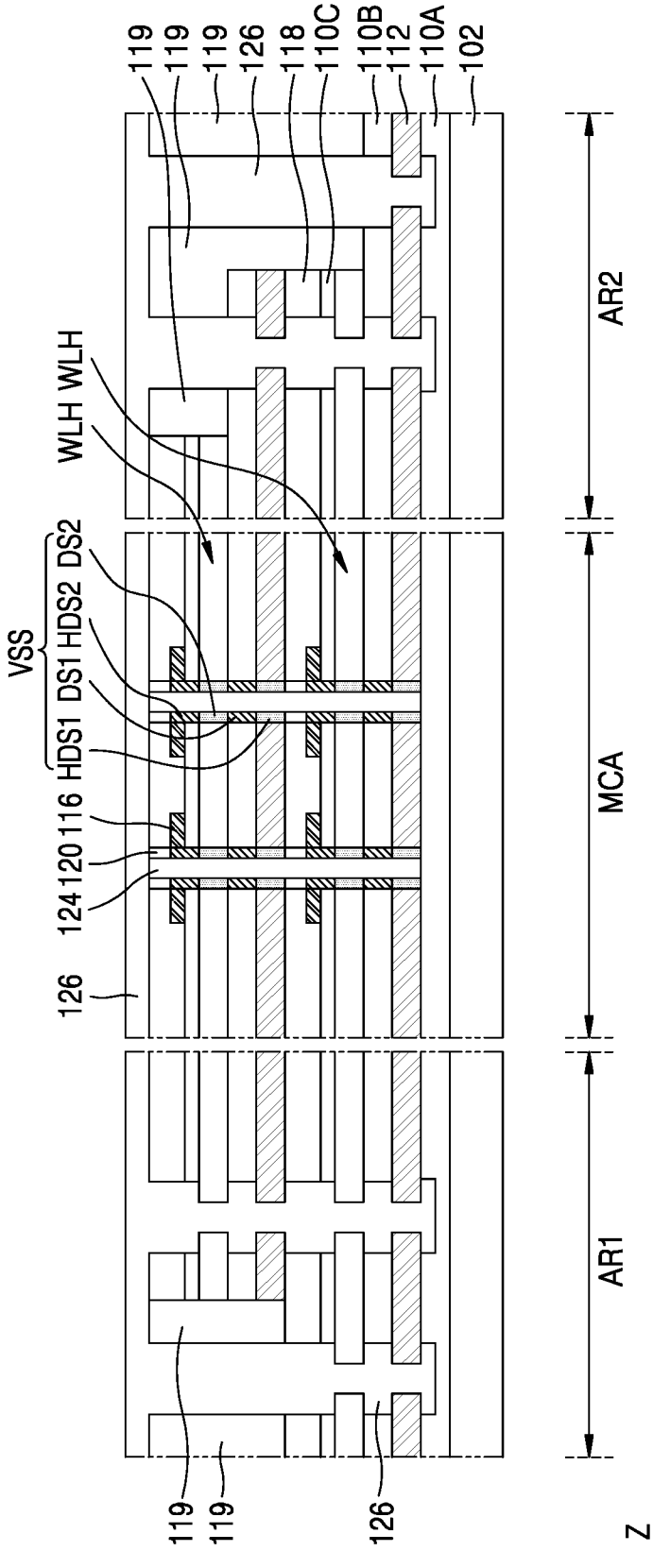
【圖22A】


VSS
HDS1 DS1 DS2 HDS2 124 120
126
118
110C
110B
118
110C
110B
110A
102
116
114
112
116
114
112
MCA
Y1 – Y1'
Y
X
Y

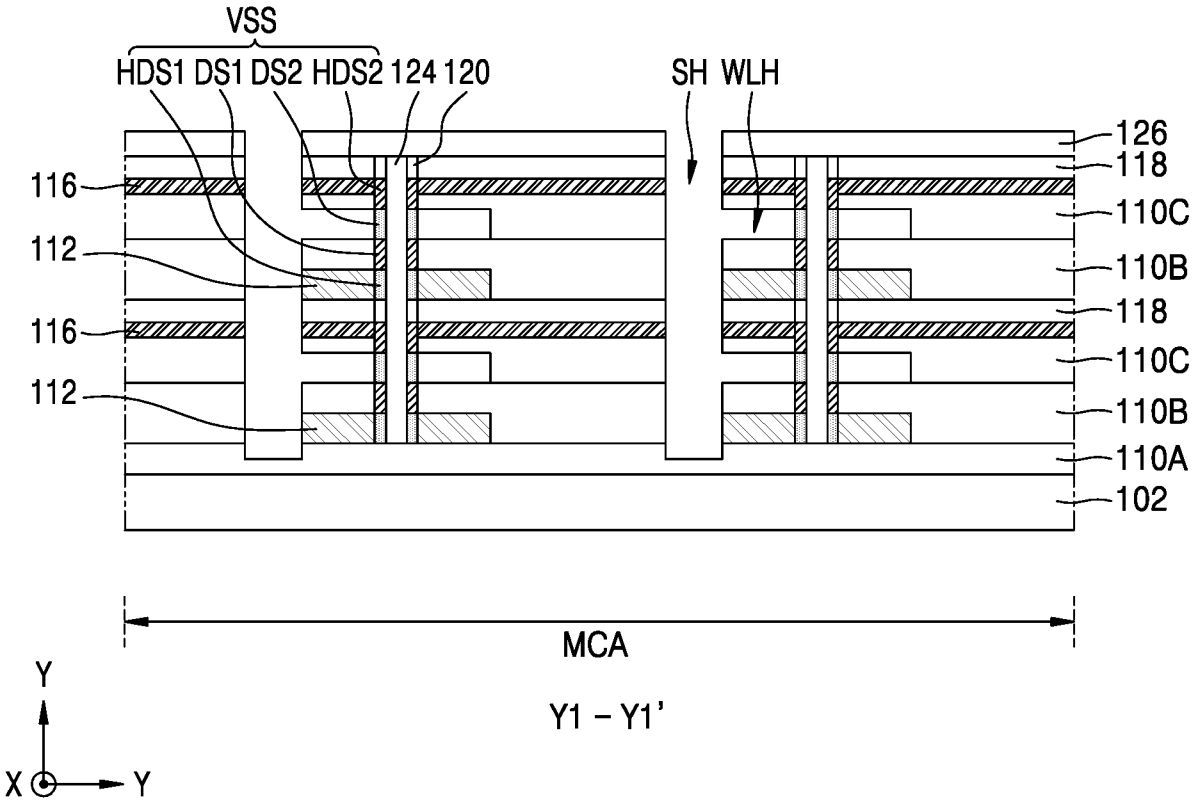
【圖22B】


VSS
HDS1 DS1 DS2 HDS2 124 120
SH
126
118
110C
110B
118
110C
110B
110A
102
116
114
112
116
114
112
MCA
Y1 – Y1'
Y
X
Y

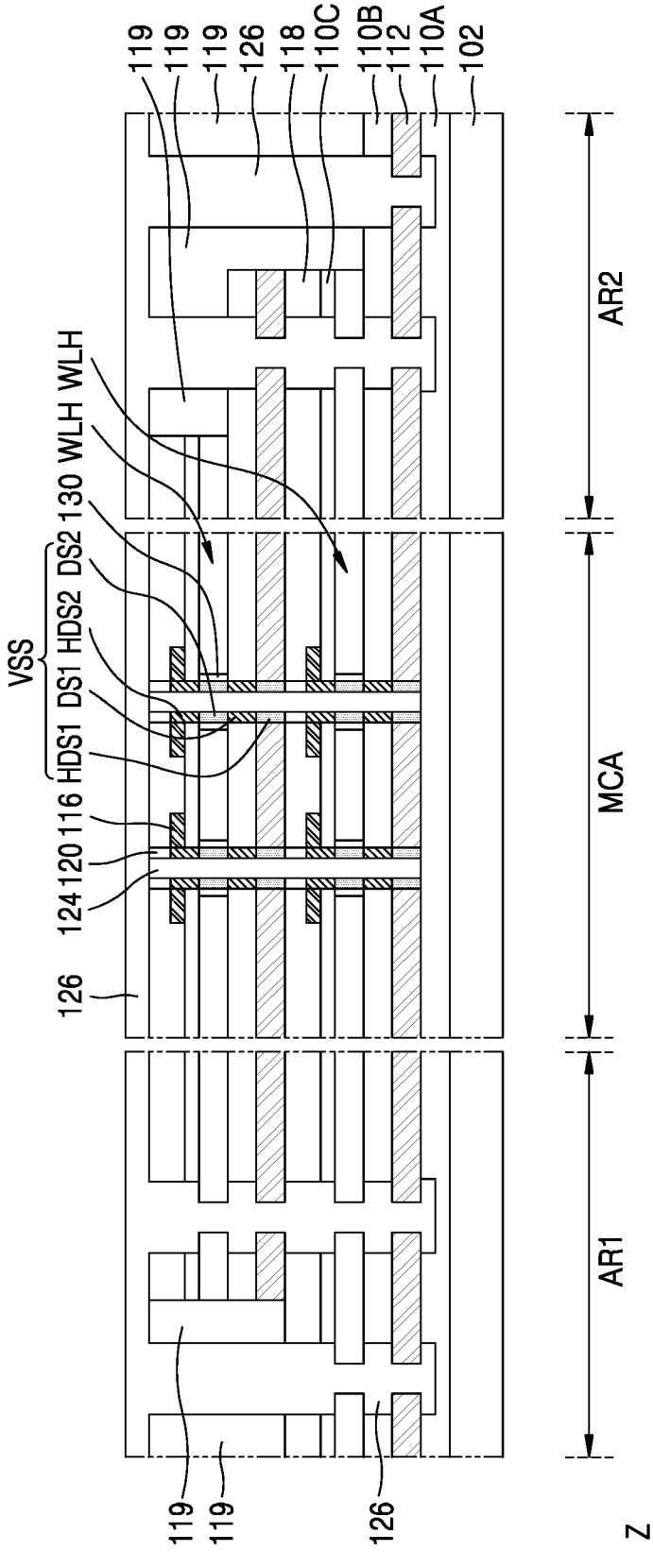
【圖23】


119
119
119
126
118
110C
110B
112
110A
102
WLH WLH
VSS
DS2
HDS2
DS1
HDS1
116
120
124
126
AR2
MCA
AR1
X1 – X1'
X
Z
Y

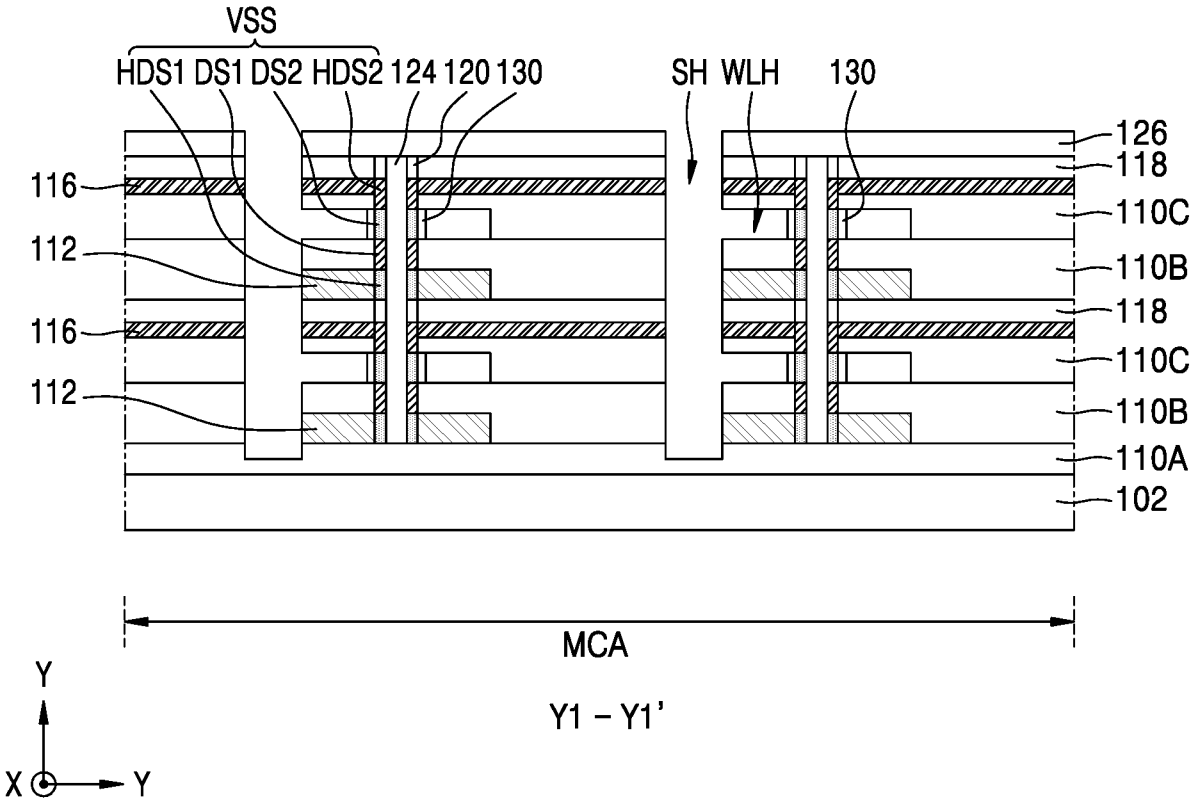
【圖24A】


VSS
HDS1 DS1 DS2 HDS2 124 120
SH WLH
126
118
110C
110B
118
110C
110B
110A
102
116
112
116
112
MCA
Y1 – Y1'
Y
X
Y

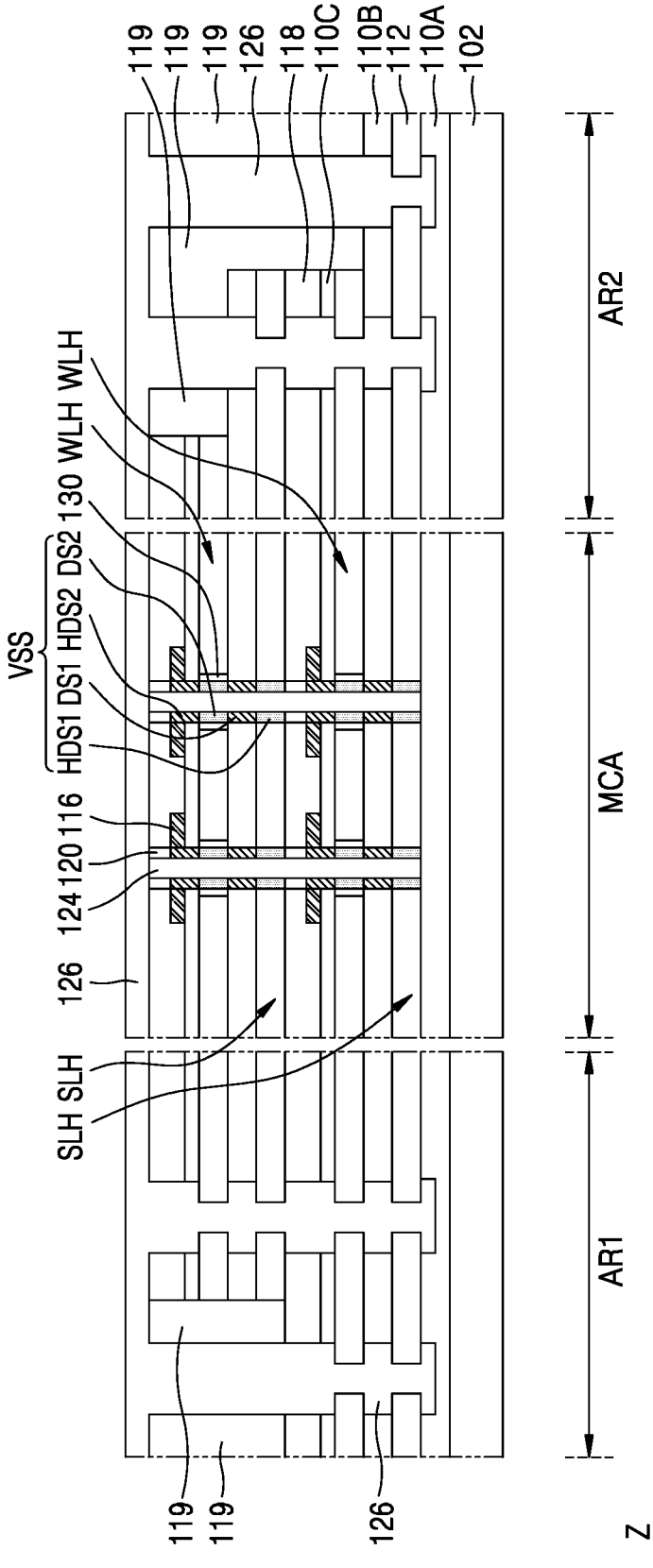
【圖24B】


119
119
119
126
118
110C
110B
112
110A
102
AR2
WLH WLH
130
DS2
HDS2
DS1
HDS1
VSS
116
120
124
126
MCA
X1 – X1'
AR1
119
119
126
X
Z
Y

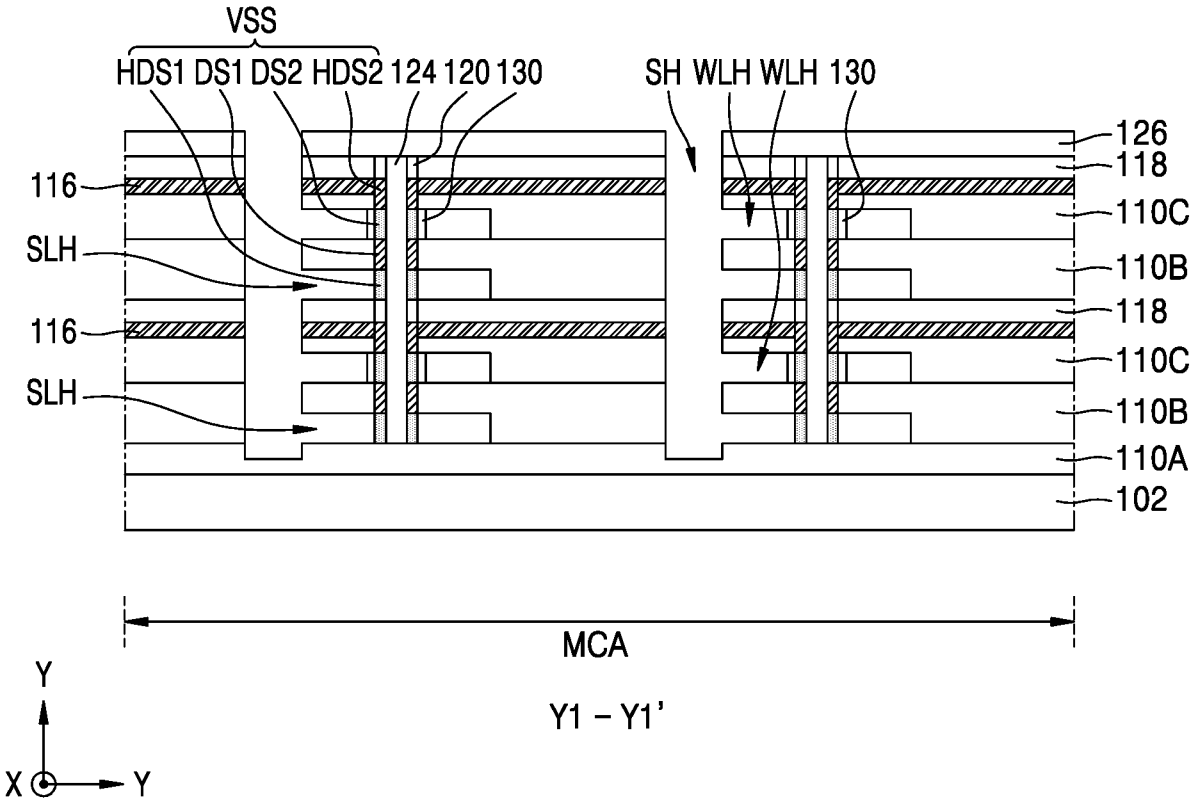
【圖25A】


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WLH 130
126
118
110C
110B
118
110C
110B
110A
102
116
112
116
112
MCA
Y1 – Y1'
Y
X
Y

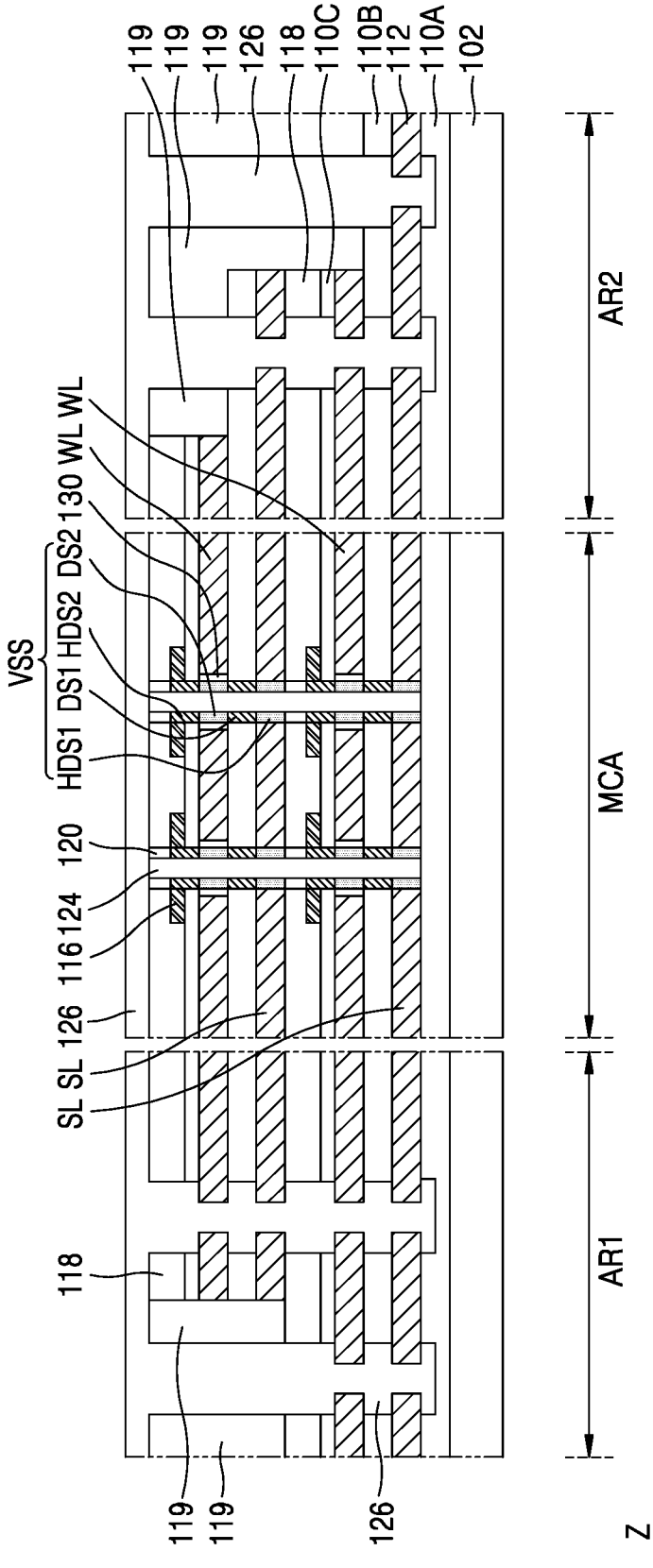
【圖25B】


119
119
119
126
118
110C
110B
112
110A
102
AR2
MCA
AR1
X1 – X1'
VSS
HDS1
DS1
HDS2
DS2
130
WLH
WLH
116
120
124
126
SLH
SLH
119
119
126
X
Z
Y

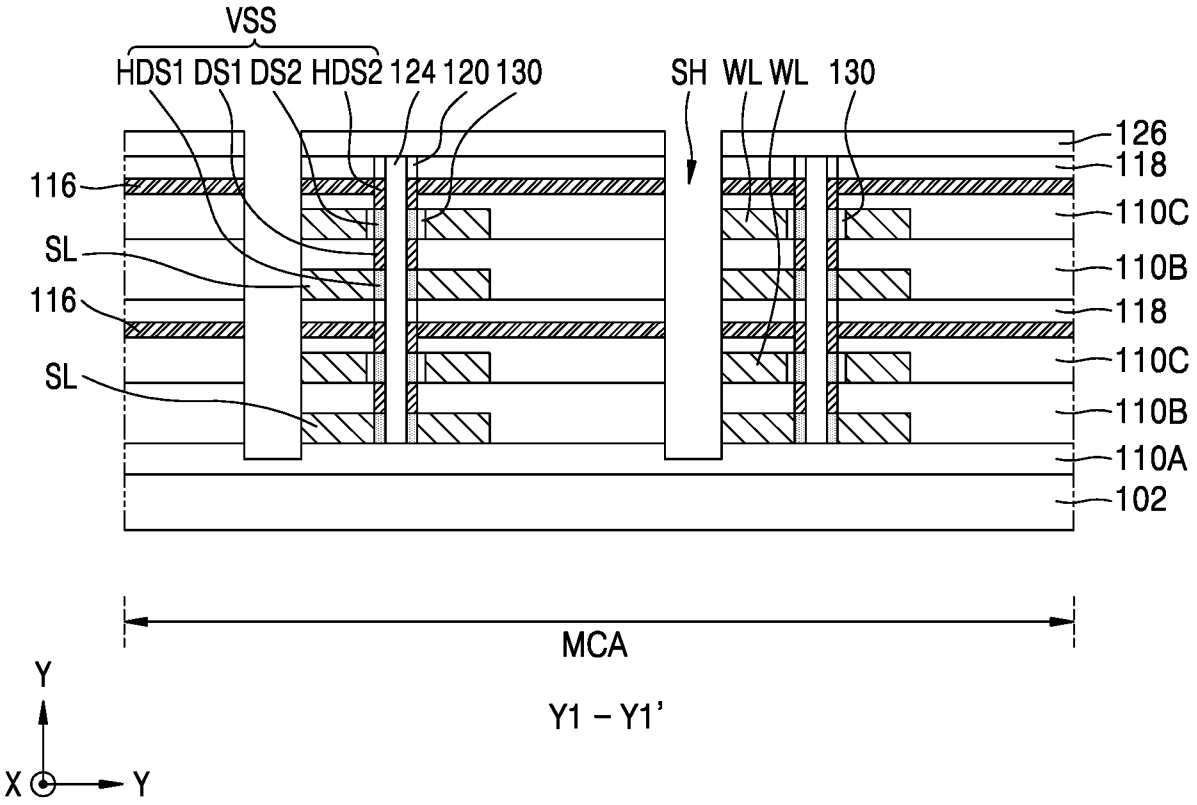
【圖26A】


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WLH WLH 130
126
118
116
110C
SLH
110B
116
118
110C
SLH
110B
110A
102
MCA
Y
Y1 – Y1'
X
Y

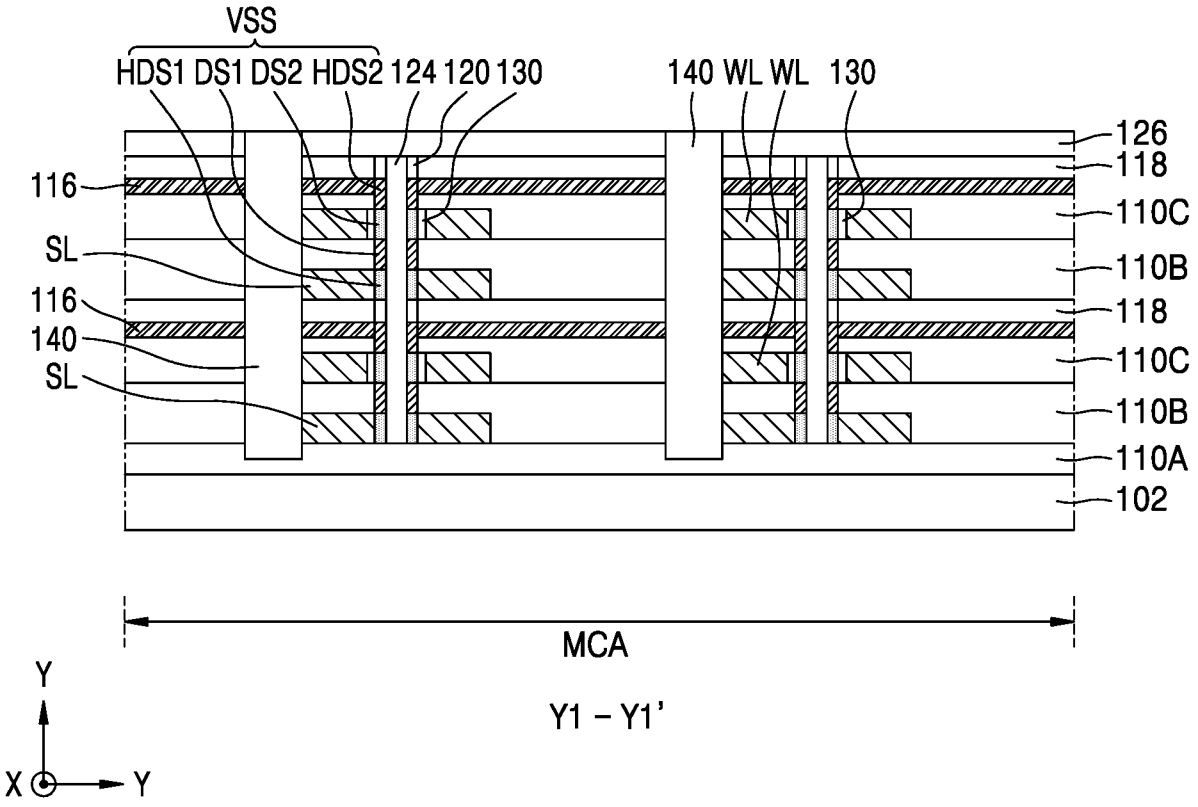
【圖26B】


119
119
119
126
118
110C
110B
112
110A
102
AR2
WL WL
130
DS2
HDS2
VSS
DS1
HDS1
120
124
116
126
SL SL
MCA
X1 – X1'
118
AR1
119
119
126
X
Z
Y

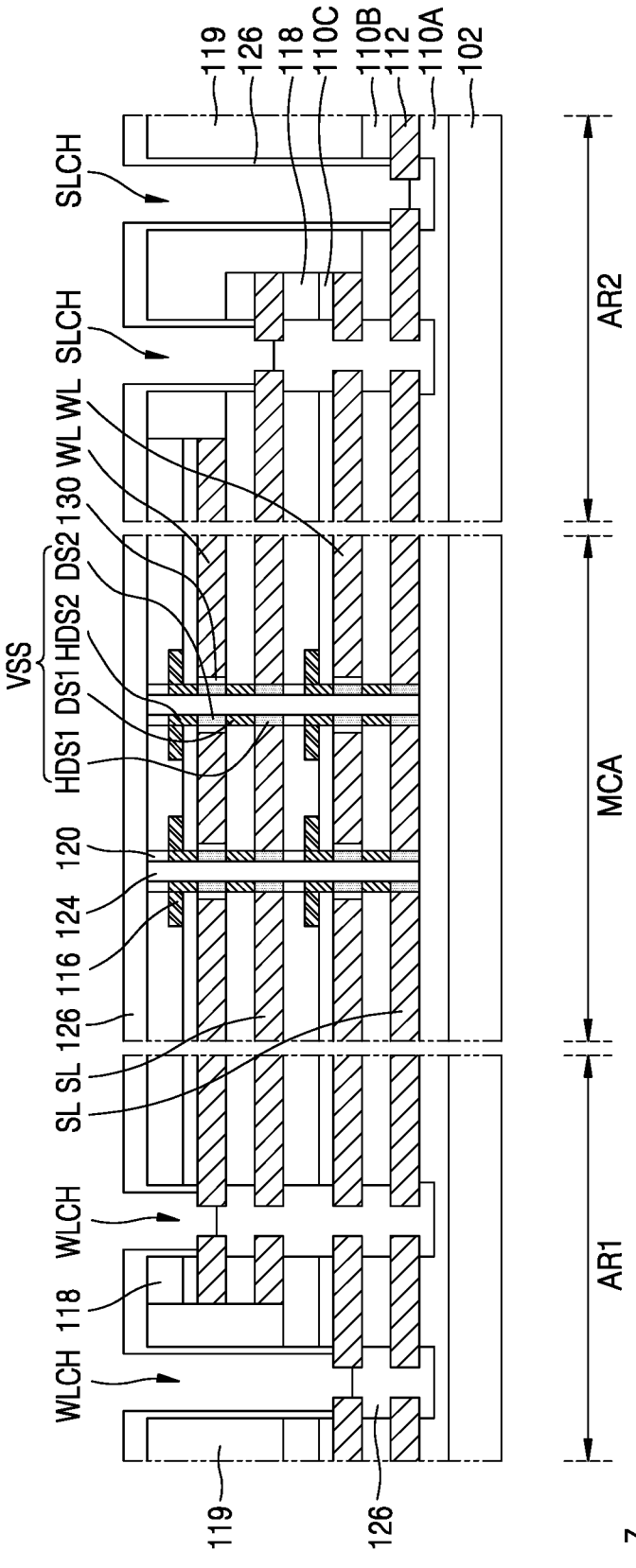
【圖27A】


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WL WL 130
126
118
110C
110B
118
110C
110B
110A
102
116
SL
116
SL
MCA
Y1 – Y1'
Y
X
Y

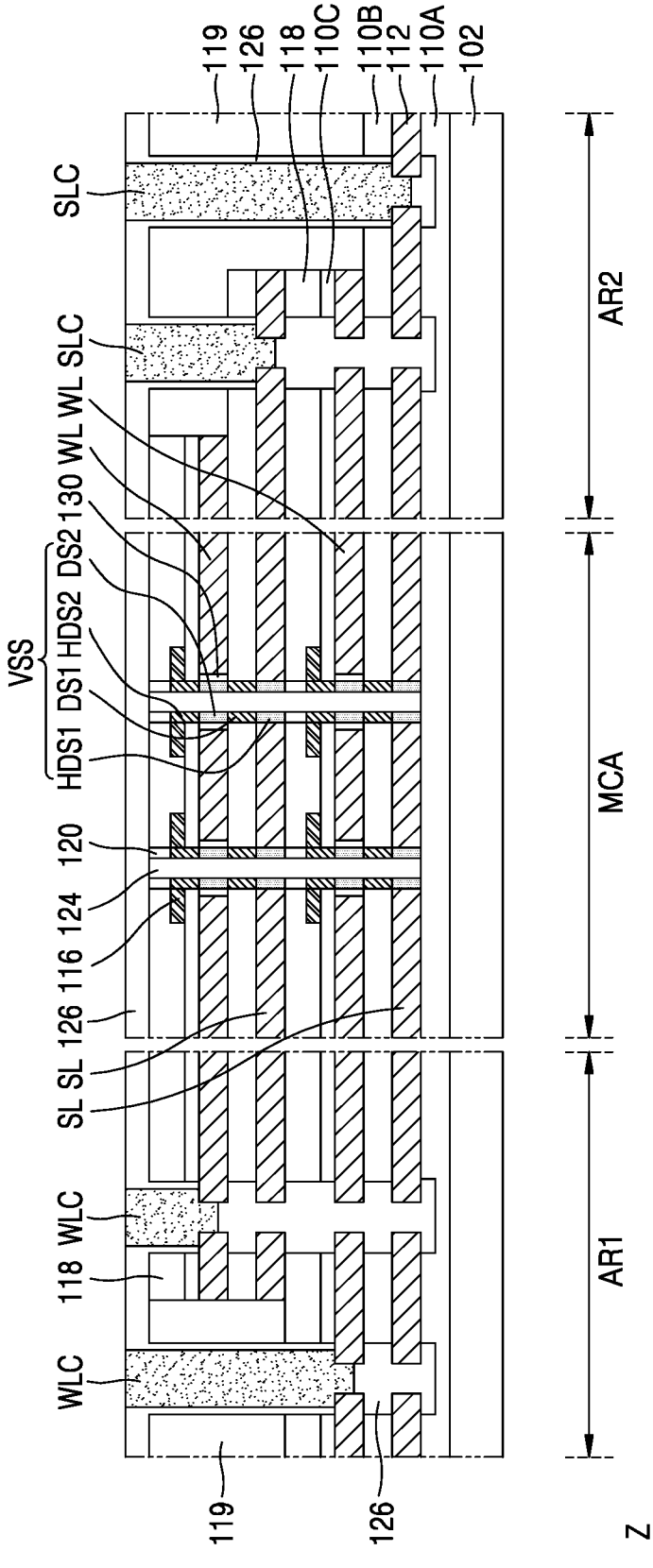
【圖27B】


VSS
HDS1 DS1 DS2 HDS2 124 120 130
140 WL WL 130
126
118
116
110C
SL
110B
116
118
140
110C
SL
110B
110A
102
MCA
Y1 – Y1'
Y
X
Y

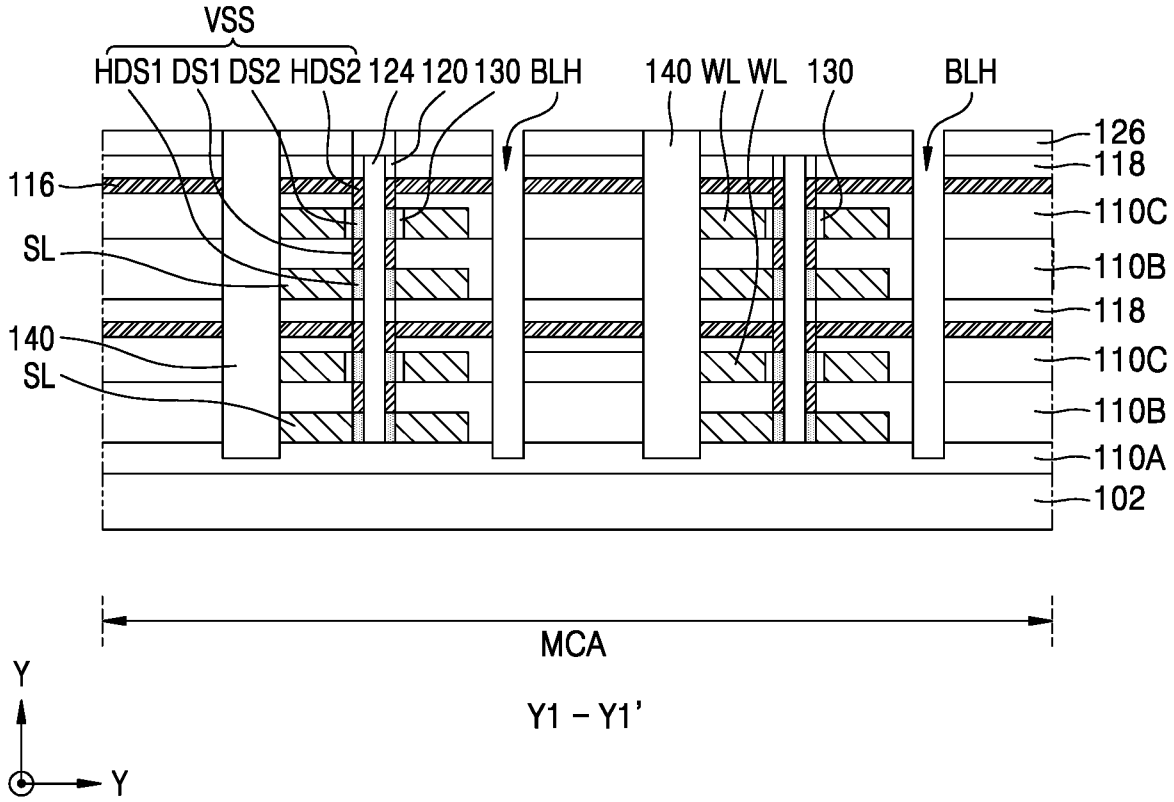
【圖28】


119
126
118
110C
110B
112
110A
102
SLCH
SLCH
WL
WL
130
DS2
HDS2
VSS
DS1
HDS1
120
124
116
126
SL
SL
WLCH
118
WLCH
119
126
AR2
MCA
AR1
X1 – X1'
Z
X
Y

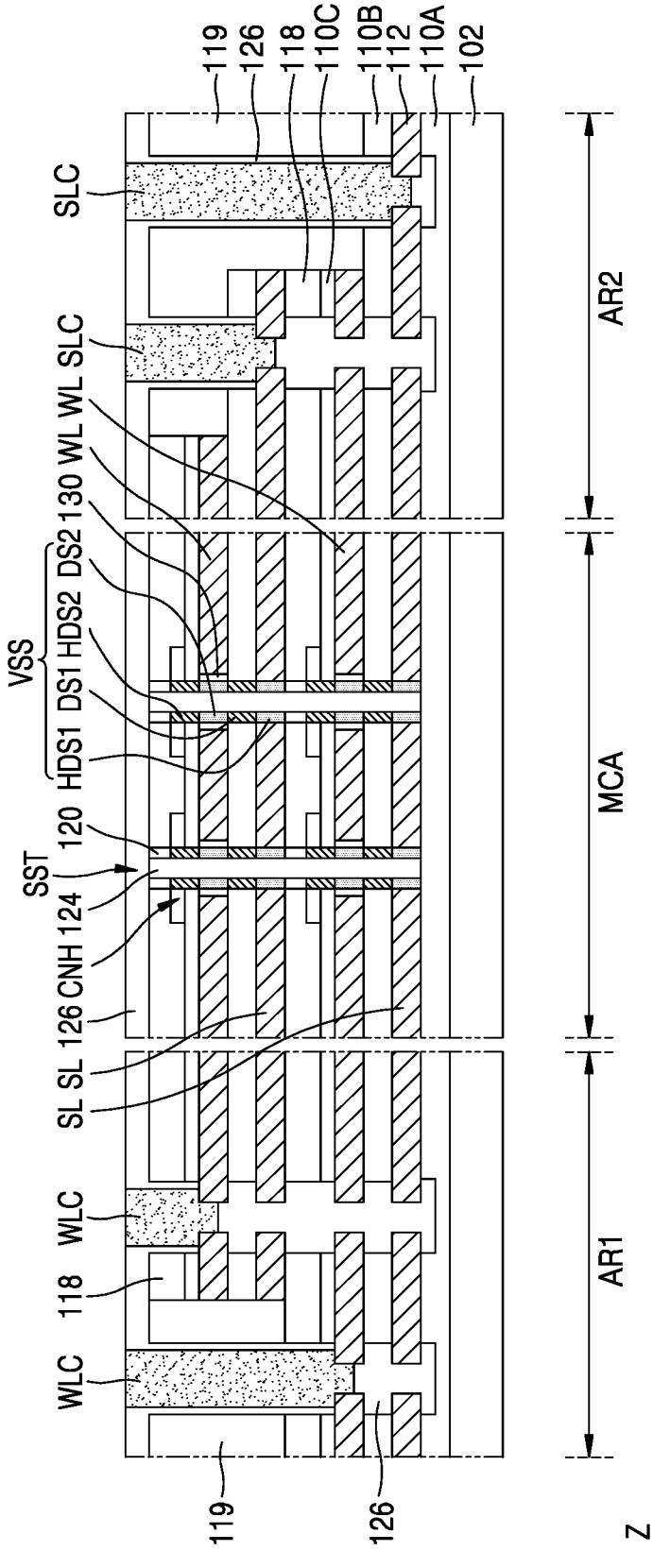
【圖29】


119
126
118
110C
110B
112
110A
102
SLC
SLC
WL
WL
130
DS2
HDS2
DS1
HDS1
VSS
120
124
116
126
SL
SL
WLC
118
WLC
119
126
AR2
MCA
AR1
X1 – X1'
Z
X
Y

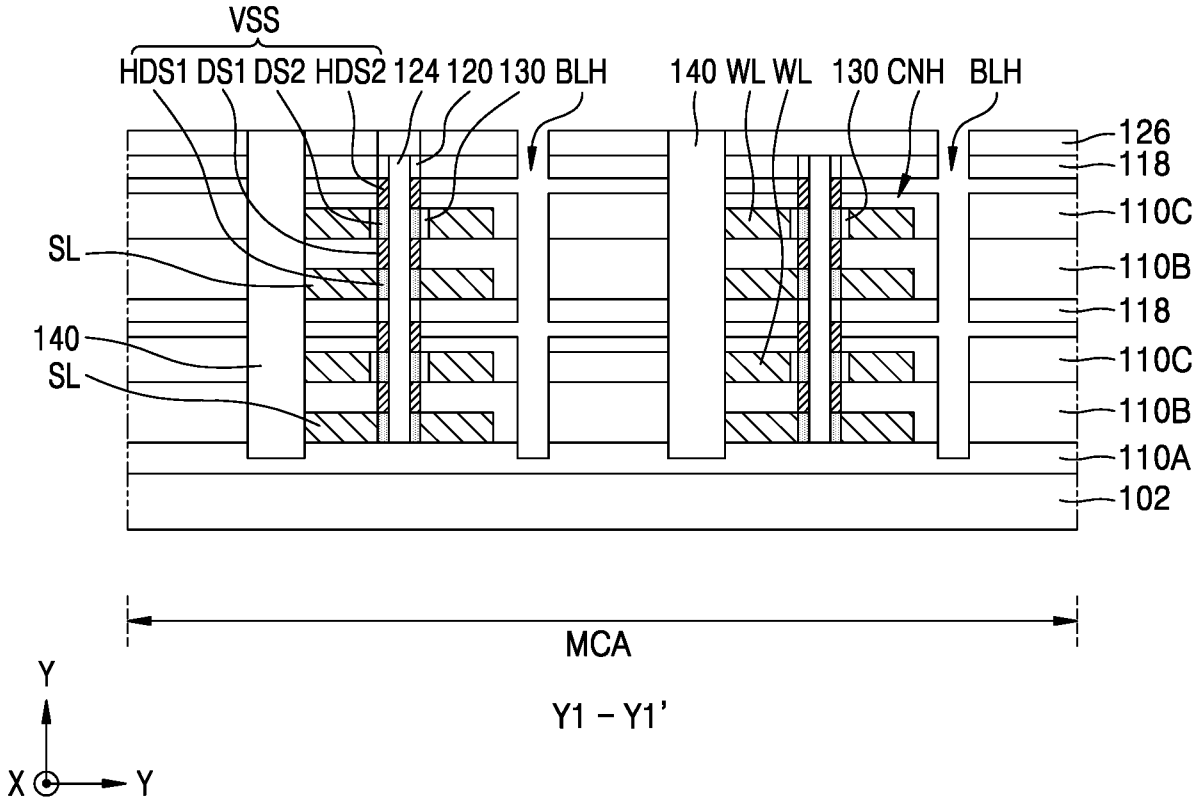
【圖30】


VSS
HDS1 DS1 DS2 HDS2 124 120 130 BLH
140 WL WL 130
BLH
126
118
116
110C
SL
110B
118
140
110C
SL
110B
110A
102
MCA
Y1 – Y1'
Y
Y

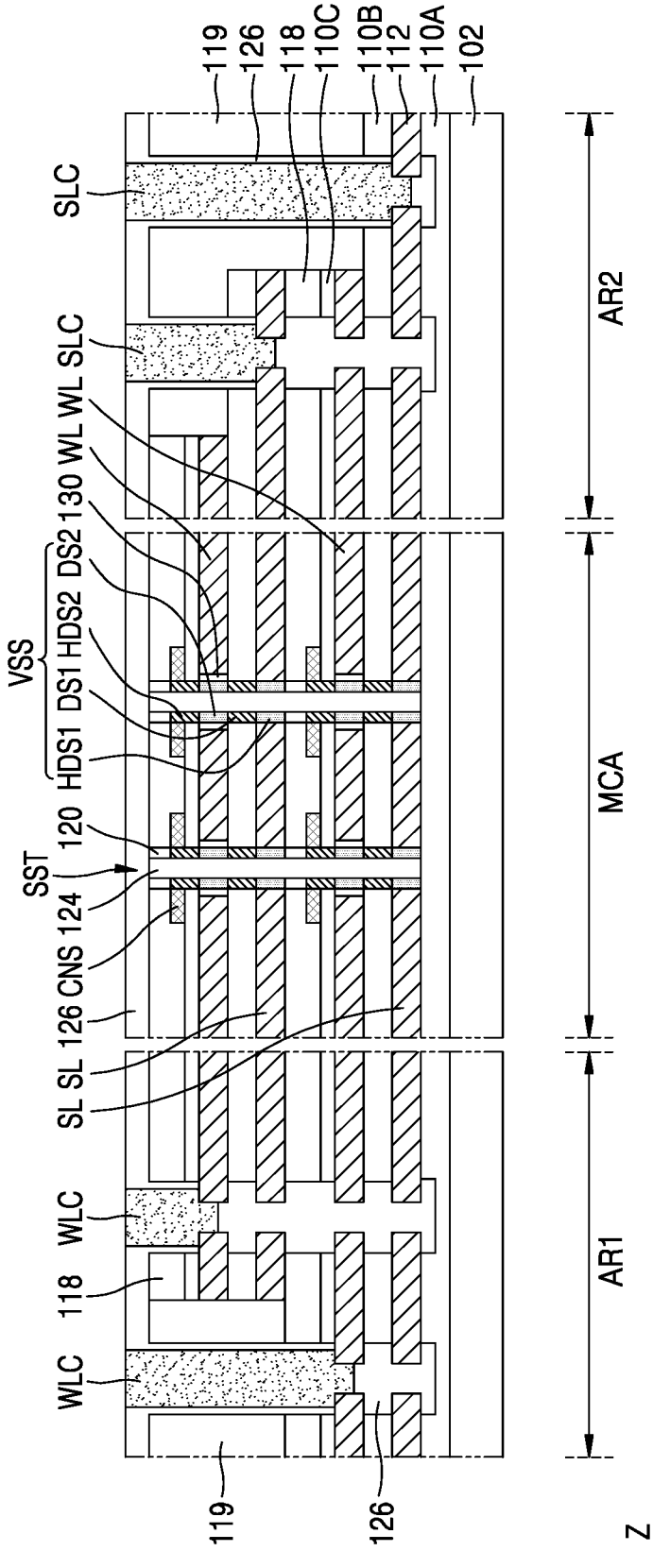
【圖31】


119
126
118
110C
110B
112
110A
102
SLC
SLC
WL
WL
130
DS2
HDS2
DS1
HDS1
VSS
120
SST
124
CNH
126
SL
SL
WLC
118
WLC
119
126
AR2
MCA
AR1
X1 – X1'
Z
X
Y

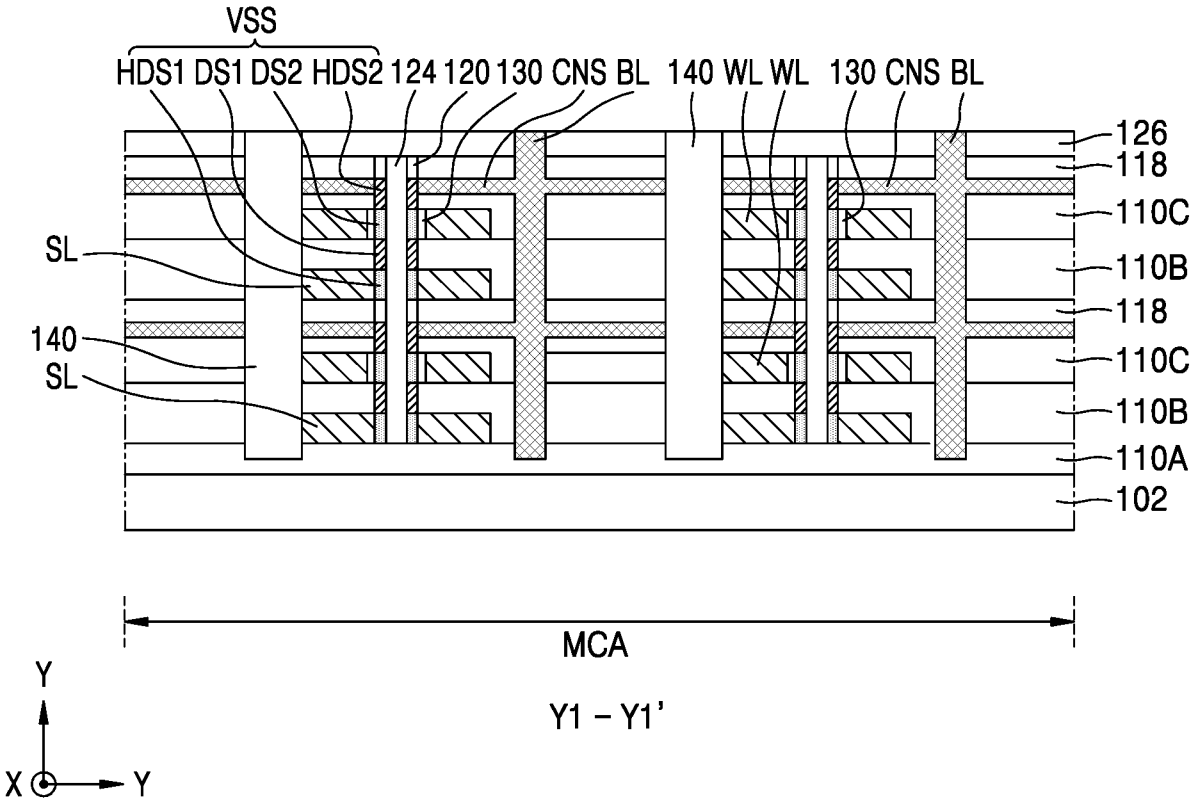
【圖32A】


VSS
HDS1 DS1 DS2 HDS2 124 120 130 BLH
140 WL WL 130 CNH BLH
126
118
110C
110B
118
110C
110B
110A
102
SL
140
SL
MCA
Y1 – Y1'
Y
X
Y

【圖32B】


119
126
118
110C
110B
112
110A
102
SLC
SLC
WL
WL
130
DS2
HDS2
DS1
HDS1
VSS
120
SST
124
CNS
126
SL
SL
WLC
118
WLC
119
126
AR2
MCA
AR1
X1 – X1'
Z
X
Y

【圖33A】


VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL 140 WL WL 130 CNS BL
126
118
110C
110B
118
110C
110B
110A
102
SL
140
SL
MCA
Y1 – Y1'
Y
X
Y

【圖33B】