



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월19일
(11) 등록번호 10-0927389
(24) 등록일자 2009년11월11일

(51) Int. Cl.

H04N 7/26 (2006.01)

- (21) 출원번호 10-2003-7004099
- (22) 출원일자 2002년07월09일
심사청구일자 2007년07월04일
- (85) 번역문제출일자 2003년03월21일
- (65) 공개번호 10-2004-0030415
- (43) 공개일자 2004년04월09일
- (86) 국제출원번호 PCT/IB2002/002945
- (87) 국제공개번호 WO 2003/010972
국제공개일자 2003년02월06일

(30) 우선권주장

01402029.1 2001년07월26일
유럽특허청(EPO)(EP)

(56) 선행기술조사문헌

EP0699003 A

전체 청구항 수 : 총 9 항

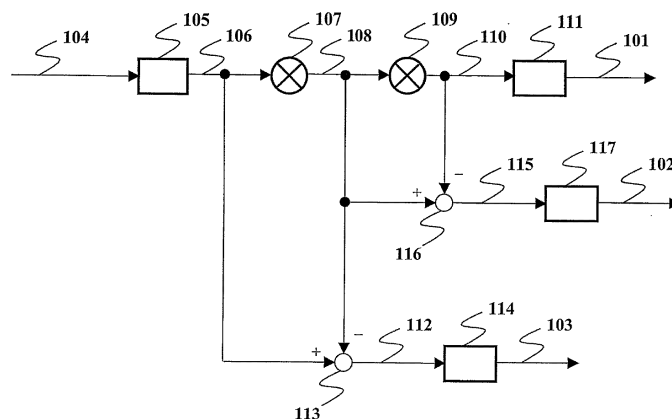
심사관 : 구대성

(54) 스케일가능하지 않은 코딩된 비디오 신호로부터 스케일가능한 코딩된 비디오 신호를 생성하는 방법

(57) 요약

비용-효율적인 방식으로, 스케일가능하지 않은(non-scalable) 비디오 신호로부터 하나의 베이스 비디오 신호 및 개선 비디오 신호(enhancement video signal) 세트로 구성되는 스케일가능한(scalable) 비디오 신호를 얻기 위해 데이터를 변경하는 방법. 상기 방법은: - 상기 스케일가능하지 않은 비디오 신호를 구성하는 계수에 적용되는 감쇠 단계(attenuation step) 세트로서, 감쇠 단계가 상기 베이스 비디오 신호를 전송하기 위해 케스케이드 또는 직렬로 어셈블링되는, 감쇠 단계 세트와, - 각 감쇠 단계에서 생성되는 코딩 에러로부터 상기 개선 비디오 신호 중 하나를 전송하기 위한 상기 각 하나의 감쇠 단계와 연관되는 재-인코딩 단계를 포함한다. 스케일가능한 비디오 신호는 상기 코딩된 비디오 신호로부터 직접 생성되며, 종래 기술의 방법에서 수행되는 움직임 보상 및 움직임 추정과 같은 고가의 처리 단계는 이로 인해 더 이상 필요하지 않다. 개선 비디오 신호의 수는, 케스케이드로 또는 직렬로, 다른 감쇠 및 재-인코딩 단계를 어셈블링하여 쉽게 증가될 수 있다.

대표도



(81) 지정국

국내특허 : 대한민국, 일본, 중국

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히
텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국,
그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코,
네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

특허청구의 범위

청구항 1

스케일가능하지 않은(non-scalable) 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호들(enhancement video signal) 세트로 구성되는 스케일가능한-scalable) 비디오 신호를 획득하기 위해 데이터를 변경하는 방법으로서,

- 상기 스케일가능하지 않은 비디오 신호를 구성하는 DCT 계수에 적용되는 감쇠 단계들(attenuation steps) 세트로서, 상기 감쇠 단계들은 상기 베이스 비디오 신호를 전송하기 위해 직렬로 어셈블링되며, 각 감쇠 단계는 코딩 에러를 유발하는, 감쇠 단계들(attenuation steps) 세트와,

- 각 감쇠 단계에서 생성되는 코딩 에러로부터 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 감쇠 단계들 각각과 연관되는 재-인코딩 단계

를 포함하는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 감쇠 단계는 상기 DCT 계수의 블록에 대해 수행되는 상기 DCT 계수의 균일한 또는 균일하지 않은 주파수 가중 단계(frequency weighting)로 구성되는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 4

제 3 항에 있어서, 상기 감쇠 단계와 연관된 각 재-인코딩 단계는, 상기 코딩 에러를 전송하기 위해 연관된 감쇠 단계의 입력 및 출력 신호에 적용되는 감산 서브 단계 및, 상기 코딩 에러로부터 상기 개선 비디오 신호를 전송하기 위해 가변 길이(variable length) 코딩 서브 단계를 포함하는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 5

제 1 항에 있어서, 상기 감쇠 단계는, 상기 DCT 계수의 블록에 대해 수행되는, 상기 DCT 계수의 균일한 양자화에 의해 직렬로 후속하는 균일한 또는 균일하지 않은 주파수 가중 단계로 이루어지는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 6

제 5 항에 있어서, 상기 각 재-인코딩 단계는, 상기 코딩 에러를 전송하기 위해 연관된 상기 감쇠 단계의 인버스 양자화 입력 및 출력 신호에 적용되는 감산 서브 단계 및, 상기 코딩 에러로부터 상기 개선 비디오 신호를 전송하기 위해 가변 길이 코딩 서브 단계를 포함하는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 7

제 4 항 또는 제 6 항에 있어서, 적어도 하나의 감쇠 단계는 DCT 영역에 있는 움직임 보상 신호를 DCT 계수의 감쇠 전에 DCT 계수에 더하는(added) 트랜스코딩 단계(transcoding step)로 이루어지는 것을 특징으로 하는 데이터를 변경하는 방법.

청구항 8

스케일가능하지 않은 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호들 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하기 위한 장치로서,

- 상기 스케일가능하지 않은 비디오 신호를 구성하는 DCT 계수에 적용되는 감쇠 수단들 세트로서, 상기 감쇠 수단들은 상기 베이스 비디오 신호를 전송하기 위해 직렬로 어셈블링되며, 각 감쇠 수단은 코딩 에러를 유발하는,

감쇠 수단들 세트와,

- 상기 각 감쇠 수단에 의해 생성되는 코딩 에러로부터 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 감쇠 수단들 각각과 연관되는 재-인코딩 수단

을 포함하는 것을 특징으로 하는 데이터를 변경하기 위한 장치.

청구항 9

삭제

청구항 10

스케일가능한 비디오 신호를 생성하기 위해 MPEG-2 비디오 표준에 따라서 코딩되는 스케일가능하지 않은 비디오 신호를 수신하는 셋-톱 박스 장치로서, 상기 스케일가능한 비디오 신호는 하나의 베이스 비디오 신호 및 개선 비디오 신호들 세트로 구성되며, 상기 셋-톱 박스 장치는 제 1 항, 제 3 항 내지 제 6 항 중 어느 한 항에 기재된 방법의 단계를 구현하기 위한 수단을 포함하는 셋-톱 박스 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1 항, 제 3 항 내지 제 6 항 중 어느 한 항에 기재된 방법의 단계를 구현하기 위한 코딩된 명령을 포함하는 컴퓨터로 프로그램을 저장하고 있는 저장 매체.

명세서

기술분야

- <1> 본 발명은 스케일가능하지 않은 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호 (enhancement video signal) 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하는 방법에 관한 것이다.
- <2> 본 발명은 또한 상기 방법을 수행하기 위한 장치(product)에 관한 것이다. 본 발명은, 예컨대, 비디오 방송 또는 비디오 저장 분야에서 이용될 수 있다.

배경기술

- <3> MPEG-2 비디오 표준은, 예컨대 비디오 방송의 분야에서 디지털 비디오 데이터 조작을 수반하는 대부분의 응용장치에서 이용될 수 있으므로, 이제는 널리 보급된 표준이다. 더 나은 적응성을 위해서, 소위 스케일가능 기술 (scalability technique)이 MPEG-2 비디오 표준에 따라 코딩된 하나의 베이스 비디오 신호 및 상기 베이스 비디오 신호의 개선 비디오 신호들 세트를 동시에 생성하기 위해 유리하게 이용된다. 특히, 스케일가능한 비디오 신호를 생성하는 방법은 개선 비디오 신호를 억제하고 이를 상기 스케일가능한 비디오 신호에 부가할 때 통신 채널 대역폭에 비트 전송율을 적용시키기 위해 이용될 수 있다. 상기 스케일가능한 비디오 신호는 MPEG-2 비디오 표준에 따라서 이전에 코딩된 입력 비디오 신호로부터 생성될 수 있다. 이를 위해, 잘 알려진 방법은 디코딩된 비디오 신호를 획득하기 위해 상기 입력 비디오 표준을 디코딩하는 제 1 단계 및 상기 스케일가능한 비디오 신호를 생성하기 위해 스케일가능한 인코더에 의해 상기 디코딩된 비디오 신호를 재-인코딩하는 제 2 단계로 구성된다.

발명의 상세한 설명

- <4> 본 발명의 목적은, 비용-효율적인 방식으로, 하나의 베이스 비디오 신호 및 스케일가능하지 않은 비디오 신호로부터의 개선 비디오 신호 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하는 방법

을 제공하는 것이다.

- <5> 이를 위해서, 본 발명에 따른 데이터를 변경하는 방법은;
- <6> - 상기 베이스 비디오 신호를 전송하기 위해 직렬로 어셈블링되는 감쇠 단계로서, 상기 스케일가능하지 않은 비디오 신호를 구성하는 계수에 적용되는 감쇠 단계들(attenuation steps)의 세트와,
- <7> - 각 감쇠 단계에서 생성된 코딩 에러로부터, 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 각 하나의 감쇠 단계와 연관된 재-인코딩 단계를 포함하는 것을 특징으로 한다.
- <8> 변형에서, 본 발명에 따른 데이터를 변경하는 방법은:
- <9> - 케스케이드로 어셈블링된 감쇠 단계들 세트로서, 케스케이드에서의 고차 레벨의 감쇠 단계가 상기 베이스 비디오 신호를 전송하기 위해 상기 스케일가능하지 않은 비디오 신호를 구성하는 계수에 적용되는, 감쇠 단계들 세트와,
- <10> - 케스케이드에서 상위 레벨의 각 감쇠 단계에서 생성된 코딩 에러로부터, 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 각 하나의 감쇠 단계와 연관된 재-인코딩 단계를 포함하는 것을 특징으로 한다.
- <11> 스케일가능한 비디오 신호가 디코딩된 비디오 신호로부터 생성되는 종래 기술 방법과 대조적으로, 본 발명에 따른 방법은 MPEG-2 비디오 표준에 따라서 코딩된 비디오 신호로부터 상기 스케일가능한 비디오 신호를 직접적으로 생성한다. 그러므로, 종래 기술의 방법에서 수행된 움직임 보상(motion compensation) 및 움직임 추정(motion estimation)과 같은 고가의 처리 단계는 본 발명에 따른 방법에서는 더 이상 필요하지 않다.
- <12> 처리 단계는, 입력 코딩된 비디오 신호를 구성하는 DCT{이산 역현 변환(Discrete Cosine Transform)} 계수 상에서 직접적으로 수행되며, 상기 입력 코딩된 비디오 신호와 비교해 더 낮은 비트 전송율을 가지는 하나의 베이스 비디오 신호를 생성하기 위해서 자신의 진폭을 적어도 감쇠하는 단계로 이루어진다. 감쇠는 DCT 계수의 가중 단계 및 양자화 단계, 즉 낮은 계산 부하(computational load)의 처리 단계들로 이루어진다. 감쇠 단계는 선택되어 구현된 하드웨어 아키텍처에 따라 직렬 또는 케스케이드로 어셈블링될 수 있다. 선택된 어셈블링 단계가 무엇이든 간에, 각 감쇠 단계의 코딩 에러는 개선 비디오 신호를 생성하기 위해서 낮은 복잡도의 재-인코딩 단계에 의해서 재-인코딩된다.
- <13> 감쇠 단계가 직렬로 어셈블링되면, 개선 비디오 신호는 각 감쇠 단계의 코딩 에러로부터 생성된다. 감쇠 단계가 케스케이드되어 있다면, 개선 비디오 신호는 케스케이드에서 상위 레벨의 감쇠 단계에 의해 생성된 코딩 에러의 감쇠로부터 기인한다.
- <14> 개선 비디오 신호의 수는, 다른 감쇠 및 재-인코딩 단계를 케스케이드로 또는 직렬로 어셈블링함으로써 쉽게 증가될 수 있다. 미세한 입도(fine granularity)의 출력 스케일가능한 신호는 점증적인 품질의 비디오 데이터를 포함하는 큰 세트의 개선 비디오 신호들을 생성하여 획득될 수 있다. 그러므로, 상기 베이스 비디오 신호 및 개선 비디오 신호들의 선택된 세트를 연관시키는데 있어서, 주어진 전체 비트 전송율 목표가 도달될 수 있으며, 또한 주어진 품질이 달성될 수 있다.
- <15> 본 발명은, 스케일가능하지 않은 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호들 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하기 위한 제 1 장치에 관한 것이다. 이 제 1 장치는:
- <16> - 상기 베이스 비디오 신호를 전송하기 위해 직렬로 어셈블링되는 감쇠 수단으로서, 상기 스케일가능하지 않은 비디오 신호를 구성하는 계수에 적용된 감쇠 수단들의 세트와,
- <17> - 각 감쇠 수단에 의해 생성된 코딩 에러로부터, 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 각 하나의 감쇠 수단과 연관된 재-인코딩 수단을 포함하는 것을 특징으로 한다.
- <18> 본 발명은, 스케일가능하지 않은 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호들 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하기 위한 제 2 장치에 관한 것이다. 이 제 2 장치는:
- <19> - 케스케이드로 어셈블링된 감쇠 수단들의 세트로서, 케스케이드에서의 고차 레벨의 감쇠 수단이 상기 베이스 비디오 신호를 전송하기 위한 상기 스케일가능하지 않은 비디오 신호를 구성하는 계수에 적용되는, 감쇠 수단들의 세트와,

- <20> - 케이스케이드에서의 상위 레벨의 각 감쇠 수단에 의해서 생성된 코딩 에러로부터, 상기 개선 비디오 신호들 중 하나를 전송하기 위해 상기 각 하나의 감쇠 수단과 연관되는 제-인코딩 수단을 포함하는 것을 특징으로 한다.
- <21> 본 발명에 따른 제 1 및 제 2 비디오 장치는 앞서 설명된 방법의 상이한 단계를 구현하기 위한 소프트웨어 및 하드웨어 수단을 포함한다. 이러한 장치는 비디오 방송 또는 비디오 스트리밍 장비, 또는 셋-톱 박스 또는 디지털 비디오 디스크(DVD) 플레이어와 같은 가전 장치(consumer product)에 해당할 수 있다.
- <22> 본 발명은 또한 하나의 베이스 비디오 신호 및 적어도 하나의 개선 비디오 신호들 세트를 포함하는 코딩된 비디오 신호에 관한 것이며, 상기 코딩된 비디오 신호는 본 발명에 따른 입력 코딩된 비디오 신호에서 데이터를 변경하는 방법의 단계 및 서브 단계의 구현으로부터 기인한다.
- <23> 이 스케일가능한 신호는 본 발명의 방법에 따른 단계 및 서브 단계의 기술적 특성을 반영한다.
- <24> 본 발명은 또한 코딩된 비디오 신호를 저장하는 저장 매체에 관한 것이며, 상기 코딩된 비디오 신호는 하나의 베이스 층 및 개선 층들의 세트를 포함하며, 상기 코딩된 비디오 신호는 본 발명에 따른 입력 코딩된 비디오 신호에서 데이터를 변경하는 방법의 구현으로부터 기인한다.
- <25> 저장 매체는 바람직하게는 하드 디스크 또는 소거가능한 디지털 비디오 디스크(예컨대, R/W 디스크)에 해당할 수 있다.
- <26> 본 발명은 또한 본 발명에 따른 방법의 단계 및 서브 단계를 구현하기 위해 코드 명령을 포함하는 컴퓨터 프로그램에 관한 것이다.
- <27> 이 컴퓨터 프로그램은, 신호 처리기에 연결된 메모리와 같은 하드웨어 수단안으로 로딩될 때, 본 발명에 따른 방법의 임의의 단계 및 서브 단계를 수행하게 하는 명령 세트를 포함한다.
- <28> 본 발명의 상세한 설명 및 다른 양상은 이후 주어질 것이다.
- <29> 본 발명의 특정 양상은 이후 설명되는 실시예를 참조하여 이제 설명될 것이며, 첨부된 도면과 연계하여 고려될 것이며, 여기서 동일한 부분 또는 서브 단계는 동일한 방식으로 지정될 것이다.

실시예

- <36> 본 발명은 MPEG-2 입력 코딩된 비디오 신호의 데이터 변경에 잘 적용되지만, 이러한 방법은, 예컨대, MPEG-4, H.261 또는 H.263 비디오 표준에서 설명된 것과 같은 블록-기반 압축 방법으로 인코딩된 임의의 코딩된 신호에 적용가능하다는 것이 당업자에게 명백할 것이다.
- <37> 변경될 입력 코딩된 비디오 신호가 MPEG-2 국제 비디오 표준(동화상 전문가 그룹, ISO/IEC 13818-2)으로 순응한다는 것을 가정하여, 본 발명은 본 명세서에서 이후 상세하게 설명될 것이다. 코딩된 비디오 프레임의 구성하는 DCT 계수는 DCT 블록이라 불리는, 2 차원의 주파수 스펙트럼을 나타내는 8 * 8 블록에서 그룹화되는 것이 가정된다.
- <38> 도 1은 본 발명에 따른 방법의 제 1 구성을 도시한다. 이 구성은, 입력 코딩된 비디오 신호(104)로부터, 하나의 베이스 비디오 신호(101) 및 두 개의 개선 비디오 신호들(102 및 103)로 구성되는 스케일가능한 비디오 신호를 생성하게 한다.
- <39> 이 구성은 신호(106)에 의해 운반되는 디코딩된 DCT 계수를 얻기 위해 엔트로피 디코딩{예컨대, 허프만 코드(Huffman code)의 인버스 룩-업 테이블에 의해서}으로 이루어지는, 신호(104)를 구성하는 DCT 계수에 적용되는 가변 길이 디코딩 단계(variable length decoding step)(105)를 포함한다. 신호(106)에 의해 운반되는 상기 계수는 신호(108)에 의해 운반되는 감쇠된 DCT 계수를 전송하는 감쇠 단계(107)에 의해 감쇠된다. 감쇠 단계(107)는 DCT 블록에 8 * 8 가중 행렬을 곱하는 것에 의해 수행되며, 이에 따라 각 DCT 계수는 상기 행렬의 가중 인자에 의해 곱해지고, 각 곱의 결과는 가장 가까운 정수로 반올림된다. 가중 행렬은, 예컨대 낮은 주파수 값에 대해서는 1에 가까우며 높은 주파수 값에 대해서는 0에 가까운 균일하지 않은 값으로 설정되거나, 8 * 8 DCT 블록에서의 모든 계수가 동등하게 감쇠되도록 균일한 값으로 설정되는, 0 과 1 사이에서 진폭을 가지는 값에 의해 채워진다. 감쇠 단계(107)와 직렬로, 다른 감쇠 단계(109)는 단계(107)와 같은 동일한 방식으로 신호(108)에 의해 운반되는 DCT 계수의 진폭을 감쇠하고, 신호(110)에 의하여 운반된 새로운 감쇠된 계수를 전송하며, 이 새로운 감쇠된 계수는 상기 베이스 비디오 신호(101)를 생성하기 위한 단계(111)에서 가변 길이 코딩된다. VLD 처리와 마찬가지로, VLC 처리는 허프만 코드를 각 계수(110)로 한정하기 위한 룩-업 테이블로 구성된다.

- <40> 감쇠 단계(107 및 109)와 직렬로의 어셈블링 동작은 이 두 개의 감쇠 단계로부터 기인하는 각 코딩 에러를 재-인코딩하는데 있어서 개선 비디오 신호(102 및 103)를 생성하게 한다. 감쇠 단계(107)에 관한 코딩 에러(112)는 감산 서브 단계(113)에서 신호(106)로부터 신호(108)를 감산하여 발생한다. 코딩 에러(112)는 이후 상기 개선 비디오 신호(103)를 생성하기 위한 단계(114)에서 가변-길이 코딩된다. 감쇠 단계(109)에 관한 코딩 에러(115)는 감산 서브 단계(116)에서 신호(108)로부터 신호(110)를 감산함으로써 발생된다. 이후 코딩 에러(115)는 상기 개선 비디오 신호(102)를 생성하기 위한 단계(117)에서 가변-길이 코딩된다.
- <41> 개선 비디오 신호(102 및 103)의 콘텐츠는 각 감쇠 단계(107 및 109)의 감쇠 레벨 상에서 수행함으로써 설정될 수 있다. 실제로, 약한 감쇠가 단계(107)에서 수행되면, 개선 비디오 신호(103)는 정교한 디테일의 데이터(data of fine detail)를 포함하며, 상당한 감쇠가 단계(109)에서 수행되면, 개선 비디오 신호는 더 거친 디테일의 데이터(data of coarser detail)를 포함한다. 그러므로, 이 구성에 의해 생성된 출력 스케일가능한 신호는 상이한 품질을 가지는 비디오 층들, 즉 거친 품질의 하나의 베이스 비디오 신호(101), 중간 품질의 데이터를 포함하는 개선 비디오 신호(102) 및 정교한 디테일의 데이터를 포함하는 개선 비디오 층으로 구성된다. 상기 스케일가능한 비디오 신호가 전송되는 이용가능한 대역폭에 따라서, 하나의 베이스 비디오 신호는 변화하는 개수의 개선 비디오 신호와 함께 전송될 수 있다. 예컨대, 어떠한 대역폭 제한이 존재하지 않는다면, 하나의 베이스 비디오 신호는 신호(102 및 103)와 함께 전송될 수 있다. 이 경우에, 상기 스케일가능한 신호는 입력 신호(104)의 비디오 품질과 동일한 품질을 가진다. 대역폭 제한이 존재한다면, 하나의 베이스 비디오 신호는 단지 신호(102)와 함께 전송될 수 있다. 이 경우에, 저하된 버전(degraded version)의 입력 신호(104)만이 전송될 수 있다.
- <42> 도 2는 본 발명에 따른 방법의 제 2 구성을 도시한다. 이 구성은 입력 코딩된 비디오 신호(204)로부터, 하나의 베이스 비디오 신호(201) 및 두 개의 개선 비디오 신호(202 및 203)로 구성되는 스케일가능한 비디오 신호를 생성하게 한다. 이 구성은 감쇠 단계가 케이스케이드로 어셈블링된다는 점에서 도 1에서의 구성과 다르다.
- <43> 이 구성은, 신호(204)를 구성하는 DCT 계수에 적용되며 신호(206)에 의해 운반되는 가변 길이 디코딩된 DCT 계수를 전송하는 가변 길이 디코딩 단계(205)를 포함한다. 케이스케이드에서의 고차 레벨의 감쇠 단계(207)는, 도 1에 도시된 것과 유사한 방식으로, 감쇠된 DCT 계수(208)를 전송하기 위한 신호(206)의 DCT 계수를 감쇠시키며, 감쇠된 DCT 계수(208)는 상기 베이스 비디오 신호(201)를 생성하기 위한 단계(209)에서 가변-길이 코딩된다. 케이스케이드에서의 상위 레벨(superior level)의 감쇠 단계(207)에 관한 코딩 에러(210)는 감산 서브 단계(211)에서 신호(206)로부터 신호(208)를 감산함으로써 생성된다. 이후 상기 코딩 에러(210)를 구성하는 계수는, 감쇠된 계수(213)를 생성하기 위한 감쇠 단계(212)에서 감쇠되며, 이 감쇠된 계수(213)는 상기 개선 비디오 신호(202)를 전송하기 위해 단계(214)에서 이후 가변-길이 코딩된다. 감쇠 단계(212)에 관한 코딩 에러(215)는 감산 서브 단계(216)에서 신호(210)로부터 신호(213)를 감산함으로써 생성된다. 이후 코딩 에러(215)는 상기 개선 비디오 신호(203)를 생성하기 위해 단계(217)에서 가변-길이 코딩된다. 주목해야 할 것은, 어떠한 감쇠 단계도 코딩 에러(210)과는 달리 코딩 에러(215)에 대해서는 수행되지 않아서, 스케일가능한 신호는 모든 개선 비디오 신호(202 및 203)가 상기 베이스 비디오 신호(201)와 함께 전송되면 신호(204)와 동일한 품질을 가지게 된다는 것이다.
- <44> 도 1을 참조하여 주어진 설명과 유사하게, 단계(207 및 212)의 감쇠 레벨은 신호(201, 202 및 203)의 콘텐츠를 결정한다. 예컨대, 단계(207)에서의 상당한 감쇠는 거친 디테일을 포함하는 하나의 베이스 비디오 신호(201)를 유도하며, 단계(212)에서의 중간 감쇠는 중간 디테일을 포함하는 개선 비디오 신호(202)를 유도하며, 개선 비디오 신호(203)는 가장 정교한 디테일의 데이터를 포함한다.
- <45> 도 3은 본 발명에 따른 방법의 제 3 구성을 도시한다. 이 구성은 입력 코딩된 비디오 신호(304)로부터, 하나의 베이스 비디오 신호(301) 및 두 개의 개선 비디오 신호(302 및 303)로 구성되는 스케일가능한 비디오 신호를 생성하게 한다. 감쇠가 상이한 방식으로 수행된다는 점은 다르지만, 감쇠 단계가 직렬로 어셈블링된다는 점에서, 이러한 구성은 도 1에 도시된 것과 유사하다.
- <46> 이 구성은, 신호(304)를 구성하는 DCT 계수에 인가되며 신호(306)에 의해 운반된 가변 길이 디코딩된 DCT 계수를 전송하는 가변 길이 디코딩 단계(305)를 포함한다. 신호(306)에 의해 운반된 상기 계수는 단계(328)에서 먼저 인버스 양자화되며, 단계(328)는 신호(329)에 의해서 운반된 인버스 양자화된 DCT 계수를 전송하며, 이후 상기 신호(329)는 감쇠 단계(307)에서 감쇠되며, 이 감쇠 단계(307)는 신호(308)에 의해 운반된 감쇠된 DCT 계수를 전송한다. 감쇠 단계(307)와 직렬로, 다른 감쇠 단계(309)는 신호(308)에 의해 운반된 DCT 계수의 진폭을 감쇠시키며 신호(310)에 의해 운반되는 새로운 감쇠된 계수를 전송하며, 이 새로운 감쇠된 계수는 상기 베이스 비디오 신호(301)를 생성하기 위한 단계(311)에서 가변 길이 코딩된다. VLD 처리와 유사하게, VLC 처리는 허프만

코드를 각 계수(310)로 한정하기 위한 룩-업 테이블로 이루어진다.

- <47> 감쇠 단계(307)(및 309 각각)는 양자화 단계(313)(315 각각)에 의해 직렬로 후속되는 가중 단계(312)(및 314 각각)로 구성된다. 가중 단계(312 및 314)는 DCT 블록에 $8 * 8$ 가중 행렬을 곱하는 것에 의해 수행되며, 이에 따라 각 DCT 계수는 상기 행렬에서 가중 인자에 의해 곱해지며, 각 곱의 결과는 가장 가까운 정수로 반올림되고, 가중 행렬은, 예컨대 낮은 주파수 값에 대해서는 1 에 가까우며 높은 주파수 값에 대해서는 0 에 가까운 균일하지 않은 값으로 설정되거나 또는 $8 * 8$ DCT 블록에서의 모든 계수가 동등하게 감쇠되도록 균일한 값으로 설정되는, 0 과 1 사이의 진폭을 가지는 값에 의해 채워진다. 양자화 단계(313)(315 각각)는, 양자화된 DCT 계수(308)(310 각각)를 전송하기 위한 새로운 양자화 인자에 의해 가중된 DCT 계수를 분할하는 단계로 이루어지며, 상기 양자화 인자는 매크로블록(MB(macroblock))을 구성하는 모든 $8 * 8$ 블록의 모든 계수에 대해 동일한 것이다.
- <48> 감쇠 단계(307)에 관한 코딩 에러(316)는 감산 서브 단계(319)에서 신호(318)로부터 신호(317)를 감산하여 생성되며, 상기 신호(318)는 신호(306)의 인버스 양자화 단계(325)로부터 기인하며, 상기 신호(317)는 신호(308)의 인버스 양자화 단계(326)로부터 기인한다. 이후 코딩 에러(316)는 상기 개선 비디오 신호(303)를 생성하기 위한 단계(320)에 의해 가변 길이 코딩된다. 감쇠 단계(309)에 관한 코딩 에러(321)는 감산 서브 단계(323)에서 신호(317)로부터 신호(322)를 감산하여 생성되며, 상기 신호(322)는 신호(310)의 인버스 양자화 단계(327)로부터 기인한다. 이후 코딩 에러(321)는 상기 개선 비디오 신호(302)를 생성하기 위한 단계(324)에 의해 가변 길이 코딩된다.
- <49> 신호(306)를 구성하는 양자화된 계수는, (도면에는 도시되지 않은) 주(primary) 비-양자화된 계수의 양자화를 위해 이용되는 인자(factor)를 자신의 값에 곱하여 단계(325)에서 인버스 양자화되며, 신호(317)를 구성하는 양자화된 계수는 양자화 단계(313)에서 이용되는 인자를 자신의 값에 곱하여 단계(326)에서 인버스 양자화되는 한편, 신호(322)를 구성하는 양자화된 계수는 양자화 단계(315)에서 이용되는 인자를 자신의 값에 곱하여 인버스 양자화된다.
- <50> 개선 비디오 신호(302 및 303)의 콘텐츠는, 가중 단계(312 및 314)상에서 수행하거나 및/또는 양자화 단계(313 및 315)상에서 수행하여, 도 1과 유사하게 각 감쇠 단계(307 및 309)의 감쇠 레벨상에서 수행하여 설정될 수 있다.
- <51> 이 구성에서, 신호(318)는 계산 부하(computational load)를 감소시키기 위한 단계(328)의 출력에서 직접적으로 취해질 수 있다는 것이 인식될 수 있다.
- <52> 도 4는 본 발명에 따른 방법의 제 4 구성을 도시한다. 이 구성은 입력 코딩된 비디오 신호(404)로부터, 하나의 베이스 비디오 신호(401) 및 두 개의 개선 비디오 신호들(402 및 403)로 구성되는 스케일가능한 비디오 신호를 생성하게 한다. 이 구성은, 감쇠 단계가 케이스케이드로 어셈블링된다는 점에서 도 3에서의 구성과는 서로 다르다.
- <53> 이 구성은, 신호(404)를 구성하는 DCT 계수에 적용되며 신호(406)에 의해 운반되는 가변 길이 디코딩된 DCT 계수를 전달하는 가변 길이 디코딩 단계(405)를 포함한다. 신호(406)에 의해 운반되는 상기 계수는 단계(428)에서 먼저 인버스 양자화되며, 단계(428)는 신호(429)에 의해 운반된 인버스 양자화된 DCT 계수를 전송한다. 케이스케이드에서의 고차 레벨의 감쇠 단계(407)는, 도 3에서 설명된 것과 유사한 방식으로, 감쇠된 DCT 계수(408)를 전송하기 위한 신호(429)의 DCT 계수를 감쇠시키며, 감쇠된 DCT 계수(408)는 상기 베이스 비디오 신호(401)를 생성하기 위한 단계(409)에서 가변 길이 코딩된다. 케이스케이드에서의 상위 레벨의 감쇠 단계(407)에 관한 코딩 에러(410)는 감산 서브 단계(413)에서 신호(412)로부터 신호(411)를 감산하여 생성되며, 상기 신호(411)는 신호(408)의 인버스 양자화 단계(414)로부터 기인하고, 상기 신호(412)는 신호(406)의 인버스 양자화 단계(415)로부터 기인한다. 이후 상기 코딩 에러(410)를 구성하는 계수는, 이후 감쇠된 계수(417)를 생성하기 위한 감쇠 단계(416)에서 감쇠되며, 상기 감쇠된 계수(417)는 상기 개선 비디오 신호(402)를 전송하기 위한 단계(418)에서 가변 길이 코딩된다. 감쇠 단계(416)에 관한 코딩 에러(419)는 감산 서브 단계(421)에서 신호(410)로부터 신호(420)를 감산하여 생성되며, 상기 신호(420)는 신호(417)의 인버스 양자화 단계(422)로부터 기인한다. 이후 코딩 에러(419)는 상기 개선 비디오 신호(403)를 생성하기 위한 단계(423)에서 가변 길이 코딩된다. 주목해야 할 것은, 어떠한 감쇠 단계도 코딩 에러(410)와는 달리 코딩 에러(419)에 대해서는 수행되지 않아서, 모든 개선 비디오 신호(402 및 403)가 상기 베이스 비디오 신호(401)와 함께 전송되는 경우, 스케일가능한 신호는 신호(404)와 동일한 품질을 가지게 된다.

- <54> 도 1을 참조하여 주어진 설명과 유사하게, 감쇠 단계(407)(및 416 각각)는 양자화 단계(425)(및 427 각각)에 의해 직렬로 후속하는 가중 단계(424)(및 426 각각)에 의해 구성되며, 단계(407 및 416)의 감쇠 레벨은 신호(401, 402 및 403)의 콘텐츠 품질을 결정한다.
- <55> 이 구성에서, 신호(412)는 계산 부하를 감소시키기 위한 단계(428)의 출력에서 직접적으로 취해질 수 있다는 것이 인식될 수 있다.
- <56> (어셈블링에 의해 도 5를 형성하는) 도 5a 및 5b는 본 발명에 따른 방법의 제 5 구성을 도시한다. 이 구성은, 입력 코딩된 비디오 신호(504)로부터, 하나의 베이스 비디오 신호(501) 및 두 개의 개선 비디오 신호(502 및 503)로 이루어지는 스케일가능한 신호를 생성하게 한다.
- <57> 도 5a의 구성은, 감쇠 단계(307)가 트랜스코딩 구성(transcoding arrangement)(506)에 의해 대체된다는 점에서 도 3의 구성과는 다르다.
- <58> 처리 단계(505)는 입력 코딩된 비디오 신호(504)로부터 디코딩된 데이터 신호(508)를 전송하기 위한 여러 디코딩 단계이다. 이 여러 디코딩 단계(505)는, 상기 입력 신호에 포함된 감소된 수의 데이터 유형만이 디코딩되므로 입력 비디오 신호(504)의 부분 디코딩을 수행한다. 이 단계는 신호(504)에서의 적어도 DCT 계수 및 움직임 벡터의 가변 길이 디코딩(509)을 포함한다. 이 단계(509)는, 예컨대 디코딩된 DCT 계수(510) 및 움직임 벡터(511)가 획득되도록 하게 하는, 허프만 코드의 인버스 룩-업 테이블에 의해, 엔트로피 디코딩으로 이루어진다. 상기 단계(509)와 직렬로, 인버스 양자화(512)는 상기 디코딩된 데이터 신호(508)를 전송하기 위한 상기 디코딩된 계수(510)상에서 수행된다. 인버스 양자화(512)는 상기 입력 신호(504)에서 상기 DCT 디코딩된 계수(510)에 양자화 인자를 곱하는 것으로 이루어진다. 대부분의 경우에, 이 인버스 양자화(512)는, 상기 양자화 인자가 하나의 매크로블록으로부터 다른 매크로블록으로 변경할 수 있으므로 매크로블록 레벨에서 수행된다. 디코딩된 신호(508)는 주파수 영역에 존재한다.
- <59> 처리 단계(506)는 처리 단계(513-514-515)로 분해될 수 있다. 처리 단계(513)는 상기 입력 비디오 신호(504)의 트랜스코딩으로부터 기인하는 신호에 해당하는 출력 비디오 신호(516)를 전송하는 감쇠 단계이며, 상기 신호(516)는 MPEG-2 비디오 표준을 준수한다. 상기 재-인코딩 단계(513)는, 상기 디코딩된 데이터 신호(508)의 서브 단계(518)를 움직임 보상 신호(519)에 더하는 것에 의해서, 가산으로부터 기인하는 중간 데이터 신호(517)상에서 수행한다. 상기 감쇠 단계(513)는 양자화 단계(521)에 의해 직렬로 후속하는 가중 단계(520)를 직렬로 포함하며, 이들은 모두 이전 도면에서 설명된 바와 같이 신호(517)의 DCT 계수 상에서 수행한다. 양자화 단계(521)는 양자화된 DCT 계수(516)를 전송하기 위해 새로운 양자화 인자에 의해서 감소된 DCT 계수를 분할하는 것으로 이루어진다. 이러한 새로운 양자화 인자는 상기 입력 코딩된 비디오 신호(504)의 트랜스코딩에 의해 수행되는 변경을 특징으로 하는데, 이는 예컨대 신호(510)의 계수를 인버스 양자화하기 위한 단계(512)에서 이용되는 인자보다 더 큰 양자화 인자가 상기 입력 코딩된 비디오 신호(504)의 비트 전송율을 감소시킬 수 있기 때문이다. 처리 단계(514)는 주파수 영역에서 신호(516)의 코딩 에러(522)를 전송하기 위한 재구성 단계이다. 이 재구성 단계(514)는 감쇠 단계(513)에 의해 유도되는 코딩 에러를 생성하게 한다. 현재 트랜스코딩된 비디오 프레임의 이러한 코딩 에러는, 이후 본 명세서에서 상세하게 설명되는 움직임 보상 단계 동안, 신호(516)에서 프레임으로부터 프레임으로의 품질 드리프트(quality drift)를 피하기 위해서 그 다음의 비디오 프레임을 트랜스코딩하기 위해 고려된다. 상기 코딩 에러(522)는 신호(516)의 계수 상에서 수행되는 인버스 양자화(523)에 의해 재구성되어 신호(524)로 된다. 이후 가산 서브 단계(525)는 신호(517 및 524) 사이에서 수행되어, DCT 영역, 즉 주파수 영역에서 상기 코딩 에러(522)로 된다. 그러므로, 코딩 에러(522)는 상기 입력 코딩된 비디오 신호(504) 및 상기 신호(516) 사이에서의 차이에 해당한다. 주파수 영역에서의 상기 코딩 에러(522)는 픽셀 영역에서의 해당 코딩 에러(527)를 생성하기 위한 인버스 이산 역현 변환(inverse discrete cosine transform)(526)을 통과한다. 처리 단계(515)는, 메모리(528)에 저장되며 이전 트랜스코딩된 비디오 프레임에 관한 코딩 에러로부터의, 움직임 보상 신호(519)를 전송하기 위한 움직임 보상 단계이다. 메모리(528)는 적어도 두 개의 하부-메모리를 포함한다: 제 1 하부 메모리는, 트랜스코딩되고 있는 비디오 프레임에 관한 코딩 에러의 저장 전용이며, 제 2 하부 메모리는 이전 트랜스코딩된 비디오 프레임에 관한 코딩 에러의 저장 전용이다. 먼저, 움직임 보상(529)은 신호(530)에 의해 액세스가능한 상기 제 2 하부 메모리의 콘텐츠상에서 수행되는 예측 단계에서 수행된다. 예측 단계는 상기 이전 저장된 코딩 에러로부터 예측된 신호(531)를 계산하는 것으로 이루어진다: 움직임 보상 신호라고도 불리는 예측 신호는, 트랜스코딩되고 있는 입력 비디오 신호(508)의 일부에 관한 움직임 벡터(511)에 의해 지시되는 상기 메모리 디바이스(528)에 저장된 신호의 일부에 해당한다. 당업자에게 잘 알려져 있는 바와 같이, 상기 예측은 보통 매크로블록(MB) 레벨에서 수행되는데, 이는 신호(508)에 의해 운반된 각 입력 MB에 대해서, 예측 MB 가 결정되며, 프레임으로부터 프레임으로 품질 드리프트를 감소하기 위해 DCT 영역에서의 서브 단

계(518)를 상기 입력 MB 에 더하여 추가로 더해진다는 것을 의미한다. 움직임 보상 신호(531)는 픽셀 영역에 존재하므로, 이 움직임 보상 신호(531)는 DCT 영역에서 상기 주 움직임 보상 신호(519)를 생성하기 위해서 DCT 단계(532)를 통과한다.

- <60> 상기 감쇠 단계(513)와 직렬로, 다른 감쇠 단계(507)는 신호(516)를 구성하는 계수 상에서 수행된다. 이 감쇠 단계(507)는 신호(535)를 전송하는 양자화 단계(534)와 직렬로 후속하는 가중 단계(533)로 구성된다. 상기 양자화(534)와 직렬로, 가변 길이 코딩(536)은 신호(501)를 구성하는 엔트로피 코딩된 DCT 계수를 획득하기 위해 신호(535)를 구성하는 계수 상에 적용된다.
- <61> 처리 단계(505, 506 및 507)의 어셈블리는, 신호(504)와 비교해 감소된 비트 전송율, 즉 거친 품질의 하나의 베이스 비디오 신호(501)를 생성하게 하며, 또한 처리 단계(537)에서 개선 비디오 신호(502 및 503)를 생성하기 위해서 상이한 품질의 중간 신호(510-516-535)를 생성하게 한다. 이 때문에, 처리 단계(537)는 도 3에 도시된 바와 같은 다수의 처리 단계로 구성된다. 특히, 도 5는, 신호(306-308-310)(510-516-535 각각)가 도 5와 비교해서 상이한 방식으로 생성된다는 점에서 도 3과 다르다. 그러므로, 개선 비디오 신호(502)는 신호(504)를 트랜스 코딩하는 것에 의해 생성되는 코딩 에러에 해당하는 신호(538)를 재-인코딩하여 생성되는 반면, 개선 비디오 신호(503)는 신호(516)를 감쇠하여 생성된 코딩 에러에 해당하는 신호(539)를 재-인코딩하여 생성된다.
- <62> 이 구성의 변형에서, 비용-효율적인 방식으로 신호(538 및 539)를 생성하기 위해 단계(325 및 326)를 억제하고 (suppress) 신호(508 및 524)를 직접적으로 픽업하는 것이 고려될 수 있다.
- <63> 주목해야 할 것은, 단계(534)에서 이용되는 양자화 인자는 단계(521)에서 이용되는 양자화 인자보다 적어도 더 커야한다는 것이다.
- <64> (어셈블링하여 도 6을 형성하는) 도 6a 및 6b는 본 발명에 따른 방법의 제 6 구성을 도시한다. 이 구성은, 입력 코딩된 비디오 신호(604)로부터, 하나의 베이스 비디오 신호(601) 및 두 개의 개선 비디오 신호(602 및 603)로 구성되는 스케일가능한 비디오 신호를 생성가능하게 한다. 이 구성은 처리 단계(507)가 더 이상 감쇠 단계에 해당하지 않지만 처리 단계(506)와 유사한 트랜스코딩 단계에 해당한다는 점에서 도 5에서의 구성과 다르다. 이 트랜스코딩 단계(507)는 입력 신호(516)로부터 출력 신호(535)를 생성하며, 상기 신호(535)는 신호(516)와 비교해 감소된 비트 전송율을 가진다. 도 5와 비교해, 트랜스코딩 단계(507)는 하나의 베이스 비디오 신호(501) 상에서의 품질 드리프트를 예방하는데, 그 이유는 상기 트랜스코딩(507)의 코딩 에러가 움직임-보상되기 때문이다.
- <65> 구성은, 본 발명에 따른 방법에 의해 생성된 스케일가능한 비디오 신호가 하나의 베이스 비디오 신호 및 두 개의 개선 비디오 신호들로 구성된다는 것을 고려하여 도시되었다. 물론, 본 발명에 따른 방법은 감소된 수의 개선 비디오 신호로 제한되지 않으며, 더 큰 세트의 개선 비디오 신호가 직렬로 또는 캐스케이드로 추가 감쇠 단계 및 재인코딩 단계를 삽입하여 획득될 수 있다.
- <66> 더욱이, 스케일가능하지 않은 비디오 신호로부터 스케일가능한 비디오 신호를 생성가능하게 하는, 본 발명에 따른 방법은 상기 스케일가능하지 않은 비디오 신호를 구성하는 DCT 계수의 값 및 양자화 인자의 값에 대해서만 수행한다. 특히, 이는 입력 스케일가능하지 않은 비디오 신호의 움직임 벡터 및 화상 유형 모두 변경되지 않는다는 것을 의미한다.
- <67> 본 발명은, MPEG-2 인코더 또는 트랜스코더, 또는 다른 MPEG-기반 비디오 데이터 조작 디바이스에 의해 생성된, 블록-기반 기술에 따라서 코딩된 임의의 스케일가능하지 않은 비디오 신호에 인가될 수 있다.
- <68> 본 발명에 따른 데이터를 변경하는 본 방법은 서로다른 상황에 있는 장치로 구현될 수 있다.
- <69> 이러한 장치는 비디오 방송 또는 비디오 스트리밍 장비에 해당할 수 있다. 이러한 상황에서, MPEG-2 비디오 표준에 따라 코딩되는 입력 비디오 신호는 가변적인 수의 개선 비디오 신호를 하나의 베이스 비디오 신호와 연관시켜 서로다른 대역폭 용량을 가지는 통신 채널을 통해 처리한 이후 전송될 수 있다.
- <70> 이러한 장치는 또한 셋-톱 박스 또는 디지털 비디오 디스크(DVD)와 같은 소비자 장치에 해당할 수 있다. 이 상황에서, MPEG-2 비디오 표준에 따라 코딩된 입력 비디오 신호의 처리 이후, 하나의 베이스 비디오 신호 및 이의 연관된 개선 비디오 신호는 메모리 수단에 국부적으로 저장된다. 이후, 메모리 공간이 부족한 경우에, 하나 또는 복수의 개선 비디오 신호는 비디오 시퀀스 전체를 억제할 필요 없이 상기 메모리 수단으로부터 제거될 수 있다. 이 장치는 특히 탄력적인 저장(elastic storage) 응용 전용이다.
- <71> 입력 코딩된 비디오 신호에서 데이터를 변경하는 본 방법은 장치에서 수 개의 방식으로 구현될 수 있다. 하드웨

어 성분을 이용하면, 와이어드 전자 회로(VLC 및 VLD 록-업 테이블을 위한, 또는 움직임 보상 단계 동안 비디오 프레임을 저장하기 위한 RAM 메모리), 또는, 대안적으로, 컴퓨터-판독가능한 매체에 저장된 명령 세트에 의해서 구현될 수 있으며, 상기 명령은 상기 회로의 적어도 일부를 대체하며 상기 대체된 회로에서 수행되는 것과 동일한 기능을 수행하기 위해서 컴퓨터 또는 디지털 프로세서의 제어 하에 실행가능할 수 있다.

<72> 그러므로, 본 발명은 또한 앞서 설명된 방법의 단계 또는 몇몇 단계를 수행하기 위한 컴퓨터 실행가능한 명령을 포함하는 소프트웨어 모듈을 포함하는 컴퓨터-판독가능한 매체에 관한 것이다.

산업상 이용 가능성

<73> 상술한 바와 같이, 본 발명은 스케일가능하지 않은 비디오 신호로부터, 하나의 베이스 비디오 신호 및 개선 비디오 신호 세트로 구성되는 스케일가능한 비디오 신호를 획득하기 위해 데이터를 변경하는 방법에 이용가능하다.

도면의 간단한 설명

<30> 도 1은 본 발명에 따른 방법의 제 1 구성도.

<31> 도 2는 본 발명에 따른 방법의 제 2 구성도.

<32> 도 3은 본 발명에 따른 방법의 제 3 구성도.

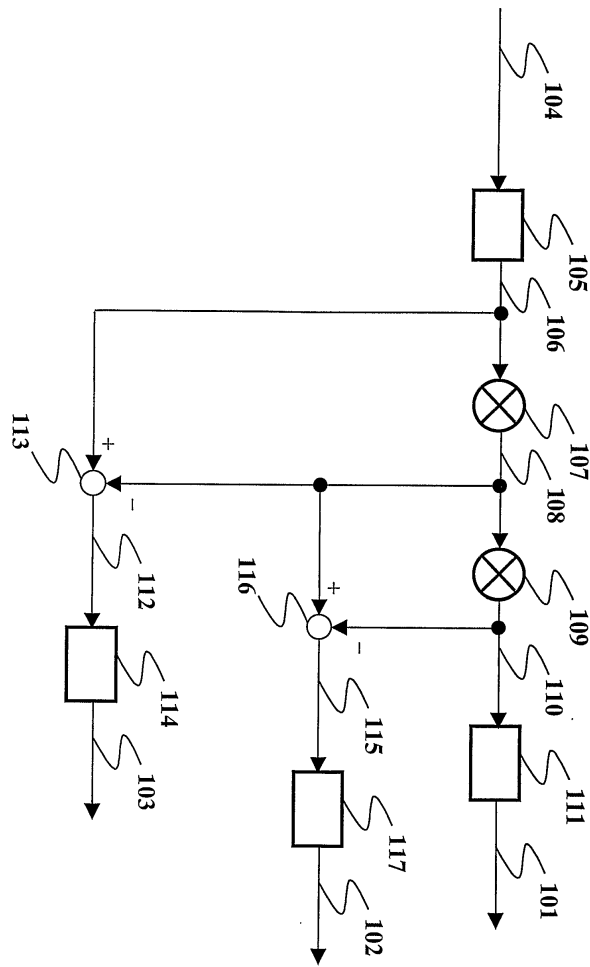
<33> 도 4는 본 발명에 따른 방법의 제 4 구성도.

<34> 도 5a 및 5b는 본 발명에 따른 방법의 제 5 구성도.

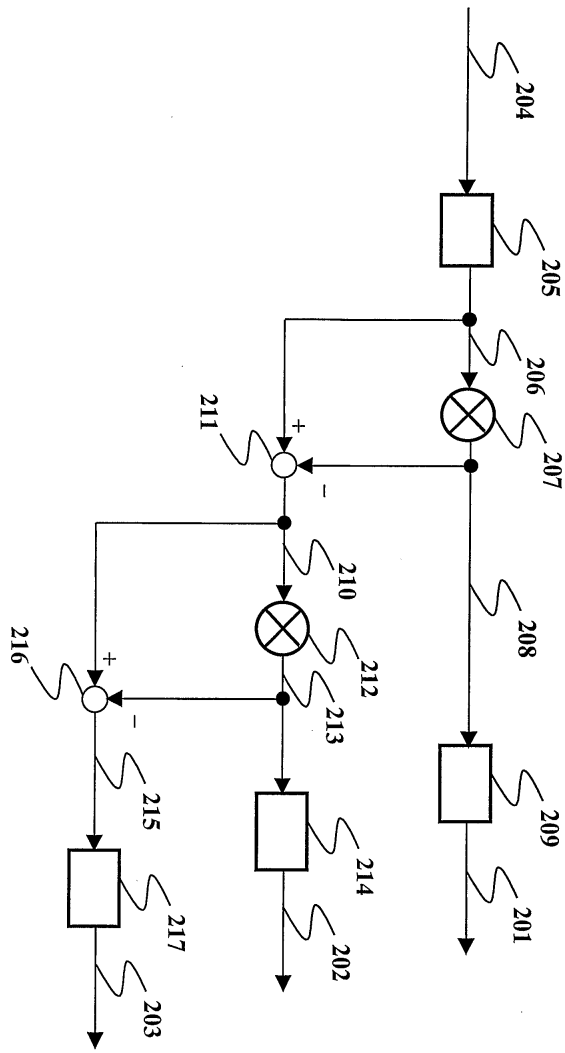
<35> 도 6a 및 6b는 본 발명에 따른 방법의 제 6 구성도.

도면

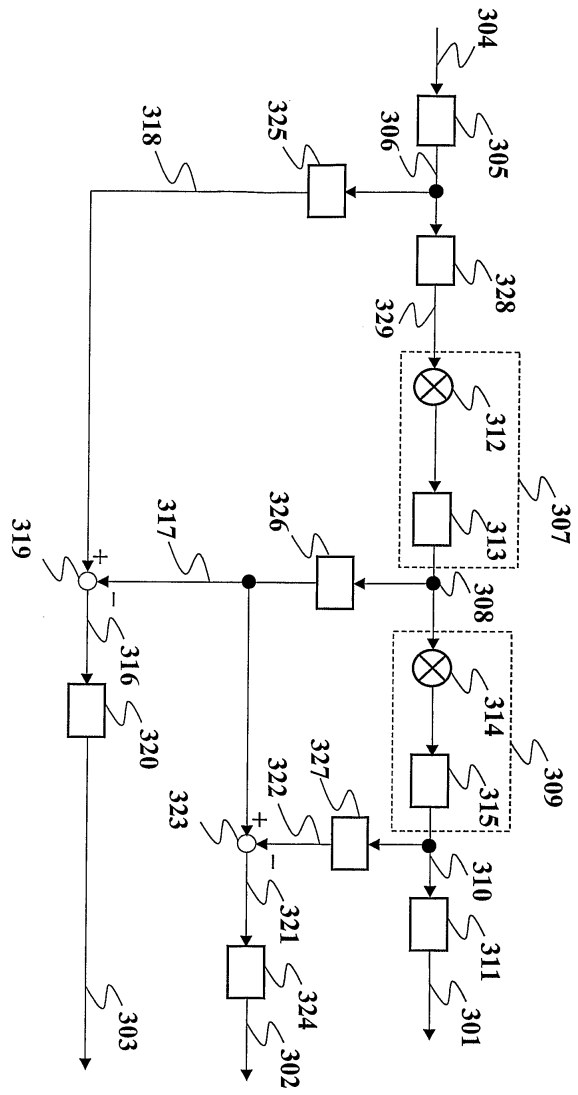
도면1



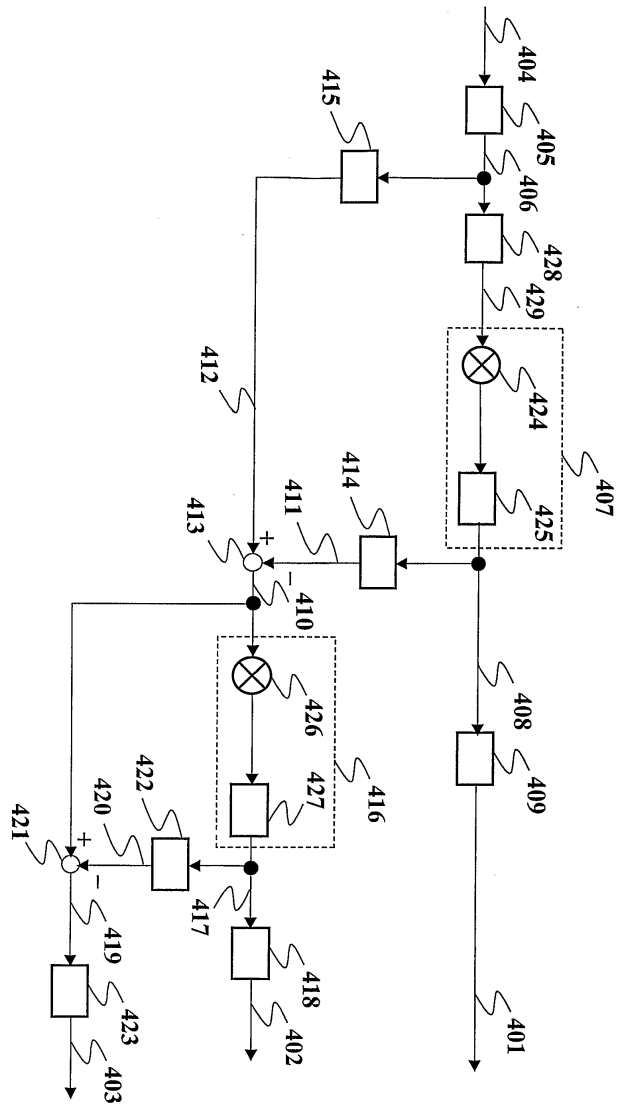
도면2



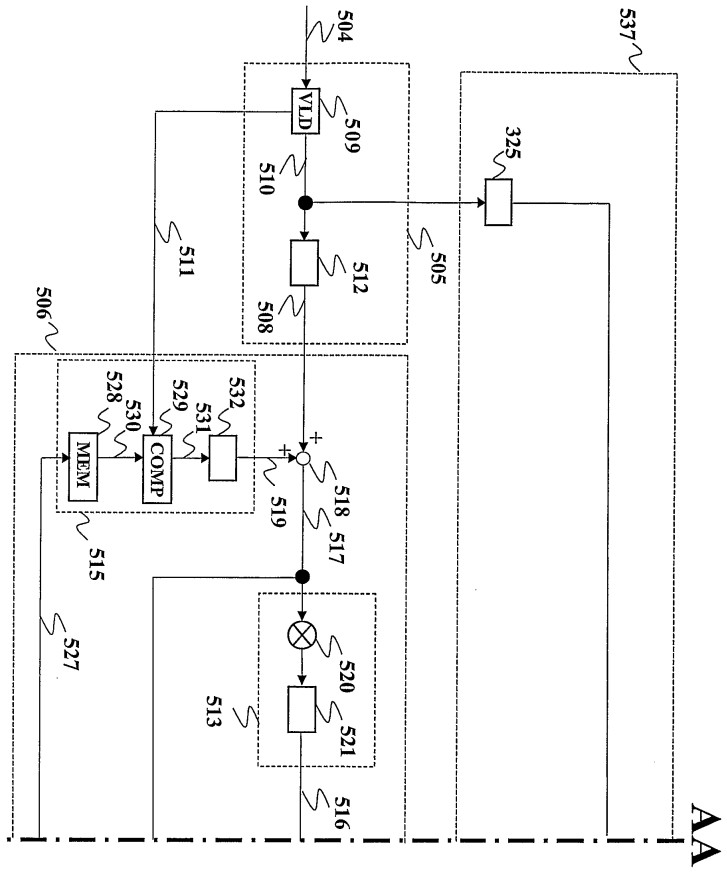
도면3



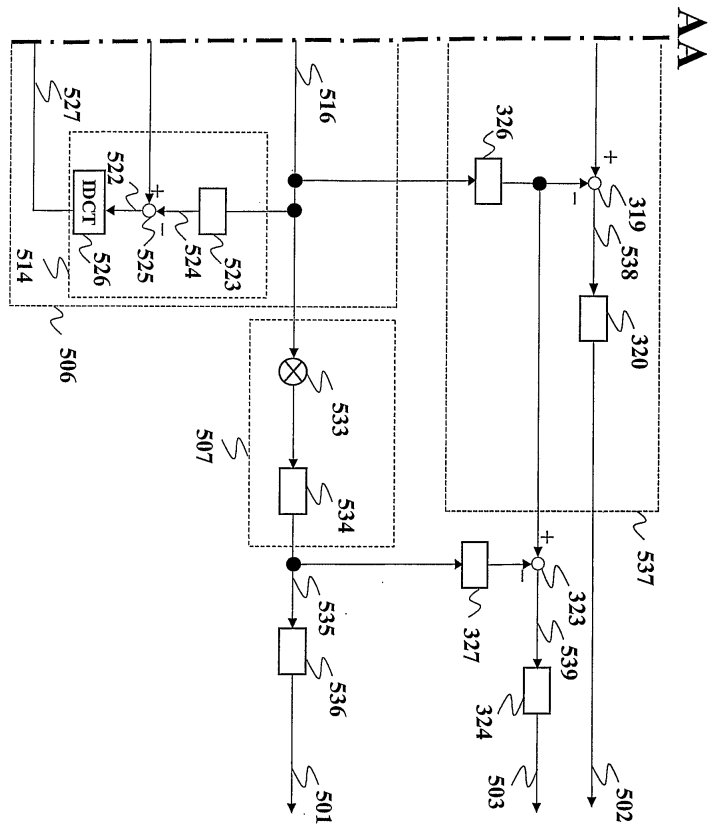
도면4



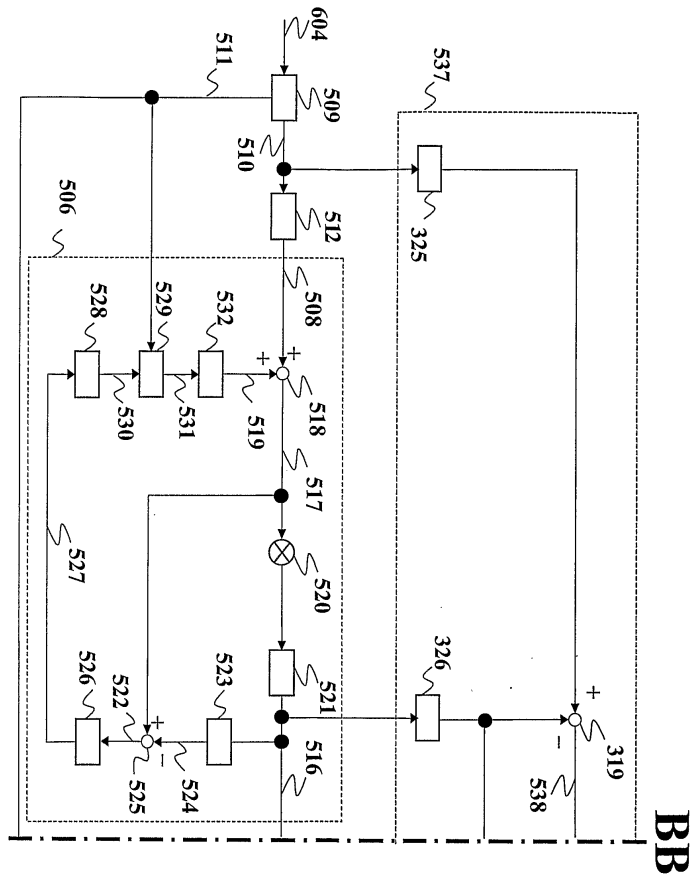
도면5a



도면5b



도면6a



도면6b

