

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 12 月 28 日 (2017.12.28)

【公開番号】特開 2015-144248 (P2015-144248A)

【公開日】平成 27 年 8 月 6 日 (2015.8.6)

【年通号数】公開・登録公報 2015-050

【出願番号】特願 2014-245236 (P2014-245236)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 1 L 21/329 (2006.01)

H 0 1 L 29/47 (2006.01)

H 0 1 L 29/872 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【 F I 】

H 0 1 L 27/14 A

H 0 1 L 29/48 P

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/04 L

【手続補正書】

【提出日】平成 29 年 11 月 17 日 (2017.11.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シリコン基板と、

前記シリコン基板上の面内方向に並んで配置されている検出素子、p 型 MOS トランジスタ及び n 型 MOS トランジスタと、を有し、

前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、

前記半導体層は、前記 p 型 MOS トランジスタのソース又はドレインにおける不純物拡散層と組成が等しい層の直上、又は、前記 n 型 MOS トランジスタのソース又はドレインにおける不純物拡散層と組成が等しい層の直上に配置されている
ことを特徴とする半導体装置。

【請求項 2】

シリコン基板と、

前記シリコン基板上の面内方向に並んで配置されている検出素子、p 型 MOS トランジスタ及び n 型 MOS トランジスタと、を備え、

前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、

前記半導体層は、前記 p 型 MOS トランジスタ又は前記 n 型 MOS トランジスタのゲート酸化膜の直下の前記シリコン基板中のチャネル領域と組成が等しい前記シリコン基板中の領域の直上に配置されている

ことを特徴とする半導体装置。

【請求項 3】

シリコン基板と、

前記シリコン基板上の面内方向に並んで配置されている検出素子、p 型 MOS トランジスタ及び n 型 MOS トランジスタと、を備え、

前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、

前記半導体層は、前記 p 型 MOS トランジスタと前記 n 型 MOS トランジスタとの間に設けられた酸化膜の直下の前記シリコン基板中の領域と組成が等しい前記シリコン基板中の領域の直上に配置されている

ことを特徴とする半導体装置。

【請求項 4】

前記半導体層は、エピタキシャル層である

ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記検出素子と前記 p 型 MOS トランジスタ又は前記 n 型 MOS トランジスタとの間にフィールド酸化膜が配置されている

ことを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記半導体層が配置されている前記層は、前記 p 型 MOS トランジスタのソース又はドレインにおける前記不純物拡散層と組成及び高さが等しい層、又は、前記 n 型 MOS トランジスタのソース又はドレインにおける前記不純物拡散層と組成及び高さが等しい層である

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記半導体層が配置されている前記領域は、前記チャネル領域と組成及び高さが等しい領域である

ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】

前記半導体層が配置されている前記領域は、前記酸化膜と組成及び高さが等しい領域である

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 9】

前記ショットキー障壁の高さは、0.4 eV 以下である

ことを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記ショットキー障壁の高さは、0.1 eV 以上 0.3 eV 以下である

ことを特徴とする請求項 1 乃至 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記半導体層は、5.430 以上 5.653 以下の格子定数を有する

ことを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記検出素子は、ショットキーバリアダイオードを含む

ことを特徴とする請求項 1 乃至 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記半導体層は、前記不純物拡散層の導電型と反対の導電型を有する半導体を含む

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 14】

前記半導体層は、前記シリコン基板の導電型と反対の導電型を有する半導体を含む

ことを特徴とする請求項 1 乃至 13 のいずれか一項に記載の半導体装置。

【請求項 15】

半導体装置の製造方法であって、
シリコン基板上に、検出素子、p型MOSトランジスタ及びn型MOSトランジスタを形成する第1の工程と、
前記第1の工程で形成した前記検出素子、前記p型MOSトランジスタ、及び前記n型MOSトランジスタのそれぞれに金属配線を接続する第2の工程と、を有し、
前記第1の工程では、
前記シリコン基板にゲート酸化膜を形成する第1のステップと、前記シリコン基板にフィールド酸化膜を形成して素子分離を行う第2のステップと、不純物拡散層を形成する第3のステップと、を少なくとも含む工程の後に、前記検出素子を形成する素子形成工程を行い、
前記素子形成工程は、
前記第3のステップで形成した前記不純物拡散層を露出させる露出工程と、
前記露出工程で露出した前記不純物拡散層の直上に半導体層をエピタキシャル成長させる成長工程と、
前記半導体層と接触するショットキー電極を形成する電極形成工程と、を有する、
ことを特徴とする製造方法。

【請求項 16】

半導体装置の製造方法であって、
シリコン基板上に、検出素子、p型MOSトランジスタ及びn型MOSトランジスタを形成する第1の工程と、
前記第1の工程で形成した前記検出素子、前記p型MOSトランジスタ及び前記n型MOSトランジスタのそれぞれに金属配線を接続する第2の工程と、を有し、
前記第1の工程では、
前記シリコン基板にゲート酸化膜を形成する第1のステップと、前記シリコン基板にフィールド酸化膜を形成して素子分離を行う第2のステップと、不純物拡散層を形成する第3のステップと、を少なくとも含む工程の後に、前記検出素子を形成する素子形成工程を行い、
前記素子形成工程は、
前記第1のステップで形成した前記ゲート酸化膜の直下の領域を露出させる露出工程と、
前記露出工程で露出した前記領域の直上に半導体層をエピタキシャル成長させる成長工程と、
前記半導体層と接触するショットキー電極を形成する電極形成工程と、を有する、
ことを特徴とする製造方法。

【請求項 17】

半導体装置の製造方法であって、
シリコン基板上に、検出素子、p型MOSトランジスタ及びn型MOSトランジスタを形成する第1の工程と、
前記第1の工程で形成した前記検出素子、前記p型MOSトランジスタ及び前記n型MOSトランジスタのそれぞれに金属配線を接続する第2の工程と、を有し、
前記第1の工程では、
前記シリコン基板にゲート酸化膜を形成する第1のステップと、前記シリコン基板にフィールド酸化膜を形成して素子分離を行う第2のステップと、不純物拡散層を形成する第3のステップと、を少なくとも含む工程の後に、前記検出素子を形成する素子形成工程を行い、
前記素子形成工程は、
前記第2のステップで形成した前記フィールド酸化膜の直下の領域を露出させる露出工程と、
前記露出工程で露出した前記領域の直上に半導体層をエピタキシャル成長させる成長工

程と、

前記半導体層と接触するショットキー電極を形成する電極形成工程と、を有する、
ことを特徴とする製造方法。

【請求項 18】

前記半導体層が形成されている前記不純物拡散層は、前記 p 型 MOS トランジスタのソース又はドレインにおける不純物拡散層、又は、前記 n 型 MOS トランジスタのソース又はドレインにおける不純物拡散層と同時に形成される
ことを特徴とする請求項 15 に記載の製造方法。

【請求項 19】

前記半導体層が形成されている前記領域は、前記 p 型 MOS トランジスタ又は前記 n 型 MOS トランジスタのゲート酸化膜の直下の前記基板中のチャンネル領域と同じ工程で形成される
ことを特徴とする請求項 16 に記載の製造方法。

【請求項 20】

前記半導体層が形成されている前記領域は、前記 p 型 MOS トランジスタと前記 n 型 MOS トランジスタとの間に形成された酸化膜と同時に形成された酸化膜を取り除いた領域である
ことを特徴とする請求項 17 に記載の製造方法。

【請求項 21】

前記成長工程では、化学気相成長法又は有機金属気相成長法又は分子線エピタキシー法を用いて前記半導体層をエピタキシャル成長させる
ことを特徴とする請求項 15 乃至 20 のいずれか一項に記載の製造方法。

【請求項 22】

請求項 1 乃至 14 のいずれか一項に記載の半導体装置が、二次元アレイ状に配列されている
ことを特徴とする撮像素子。

【請求項 23】

被検体の画像を形成する画像形成装置であって、
前記被検体に電磁波の照明を行う照射手段と、
前記被検体からの電磁波を検出する請求項 22 に記載の撮像素子と、を有する
ことを特徴とする画像形成装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

本発明の一側面としての半導体装置は、シリコン基板と、前記シリコン基板上の面内方向に並んで配置されている検出素子、p 型 MOS トランジスタ及び n 型 MOS トランジスタと、を有し、前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、前記半導体層は、前記 p 型 MOS トランジスタのソース又はドレインにおける不純物拡散層と組成が等しい層の直上、又は、前記 n 型 MOS トランジスタのソース又はドレインにおける不純物拡散層と組成が等しい層の直上に配置されている
ことを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

また、本発明の別の一側面としての半導体装置は、シリコン基板と、前記シリコン基板上の面内方向に並んで配置されている検出素子、p型MOSトランジスタ及びn型MOSトランジスタと、を備え、前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、前記半導体層は、前記p型MOSトランジスタ又は前記n型MOSトランジスタのゲート酸化膜の直下の前記シリコン基板中のチャネル領域と組成が等しい前記シリコン基板中の領域の直上に配置されていることを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

本発明の別の一側面としての半導体装置は、シリコン基板と、前記シリコン基板上の面内方向に並んで配置されている検出素子、p型MOSトランジスタ及びn型MOSトランジスタと、を備え、前記検出素子は、半導体層と、前記半導体層と接してショットキー障壁を形成する電極と、を有し、前記半導体層は、前記p型MOSトランジスタと前記n型MOSトランジスタとの間に設けられた酸化膜の直下の前記シリコン基板中の領域と組成が等しい前記シリコン基板中の領域の直上に配置されていることを特徴とする。