



(12) 发明专利

(10) 授权公告号 CN 101604671 B

(45) 授权公告日 2014. 08. 06

(21) 申请号 200910146496. 2

(22) 申请日 2009. 06. 10

(30) 优先权数据

2008-153988 2008. 06. 12 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 团野忠敏

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 刘国伟

(51) Int. Cl.

H01L 23/48 (2006. 01)

H01L 23/49 (2006. 01)

H01L 23/13 (2006. 01)

H01L 21/50 (2006. 01)

H01L 21/60 (2006. 01)

(56) 对比文件

JP 特开 2005-93743 A, 2005. 04. 07, 说明书
14-31、48-51 段及附图 15-20.

JP 特开 2004-128290 A, 2004. 04. 22, 说明书
14-31、48-51 段及附图 1、15-20.

JP 特开 2007-235009 A, 2007. 09. 13, 说明书
第 30-48 段及附图 2-3、5.

JP 特开 2005-12035 A, 2005. 01. 13, 说明书
第 7-17 段及附图 1.

US 5672911 A, 1997. 09. 30, 全文.

审查员 张思秘

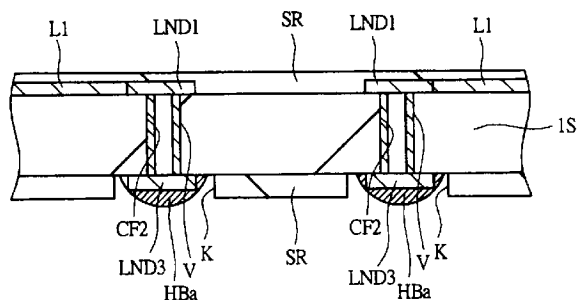
权利要求书5页 说明书32页 附图36页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明提供一种使用 NSMD 作为焊盘的构造时
可以抑制焊球的高度不均的技术。设置有贯穿
布线衬底 1S 的通孔 V。而且,在布线衬底 1S 的
背面上以与通孔 V 直接连接的方式形成焊盘
LND3。此焊盘 LND3 形成为内包在阻焊剂 SR
上所形成的开口部 K 中。且,在焊盘 LND3 上
搭载有半球 HBa。即,本发明的特征在于将布
线衬底 1S 的背面上所形成的焊盘 LND3 与通
孔 V 的连接构成作为焊盘内通孔构造,且使
焊盘 LND3 的构成形态为 NSMD。



1. 一种半导体装置,其特征在于包括:(a) 布线衬底;(b) 半导体芯片,其搭载于所述布线衬底的第1面上;以及(c) 多根导线,所述多根导线将形成于所述布线衬底上的多个电极与形成于所述半导体芯片上的多个焊接垫分别加以连接;

所述布线衬底具有:

(a1) 所述多个电极,其形成于所述布线衬底的所述第1面上;

(a2) 多个第1焊盘,其形成于所述布线衬底的所述第1面上,且设为不与所述多个电极在平面上重叠;

(a3) 多根第1配线,其形成于所述布线衬底的所述第1面上,将所述多个电极与所述多个第1焊盘分别加以电性连接;

(a4) 多个通孔,其形成为在平面上内包于所述多个第1焊盘的各个焊盘中,且贯穿所述布线衬底;

(a5) 多个第2焊盘,其形成于所述布线衬底的所述第1面的相反侧的面即第2面上,形成为在平面上内包所述多个通孔的各个通孔,且与所述多个通孔的各个通孔电性连接;

(a6) 保护膜,其形成于所述布线衬底的所述第2面上且具有多个第1开口部,所述多个第1开口部的面积大于所述多个第2焊盘的各个焊盘的面积,且内包所述多个第2焊盘的各个焊盘;以及

(a7) 多个第1突起电极,其设置于所述保护膜上所形成的所述多个第1开口部的各个开口部,且与所述多个第2焊盘的各个焊盘电性连接;

在所述布线衬底的所述第2面上包括:

(a8) 多个第3焊盘,其设为不与所述多个通孔的各个通孔在平面上重叠;

(a9) 第2配线,其将所述多个第2焊盘的一部分与所述多个第3焊盘的各个焊盘电性连接;

(a10) 所述保护膜,其形成于所述布线衬底的所述第2面上且具有多个第2开口部,所述多个第2开口部的面积小于所述多个第3焊盘的各个焊盘的面积,且不使所述第2配线露出而在平面上包含于所述多个第3焊盘中;以及

(a11) 多个第2突起电极,其设置于所述保护膜上所形成的所述多个第2开口部的各个开口部,且与所述多个第3焊盘的各个焊盘电性连接,

且所述多个第2焊盘之中,与所述多个第3焊盘的各个焊盘电性连接的焊盘由所述保护膜覆盖。

2. 根据权利要求1所述的半导体装置,其特征在于:所述多个第1突起电极的各个电极的高度为0.1mm以下。

3. 根据权利要求1所述的半导体装置,其特征在于:所述多个第1突起电极的各个电极的高度高于0.1mm。

4. 根据权利要求1所述的半导体装置,其特征在于:所述多个电极分别形成矩形形状,且所述多个第2焊盘的各个焊盘与所述多个第1开口部的各个开口部形成圆形形状。

5. 根据权利要求1所述的半导体装置,其特征在于:所述布线衬底形成矩形形状,所述多个电极配置于所述布线衬底的外周部,且所述多个第1焊盘配置于较配置有所述多个电极的所述布线衬底的所述外周部更内侧的区域中。

6. 根据权利要求1所述的半导体装置,其特征在于:所述布线衬底形成矩形形状,所述

多个电极沿所述布线衬底的边配置,所述多个第 1 焊盘的一部分配置于较配置有所述多个电极的所述布线衬底的区域更外侧的区域中,且所述多个第 1 焊盘的一部分配置于较配置有所述多个电极的所述布线衬底的区域更内侧的区域中。

7. 根据权利要求 1 所述的半导体装置,其特征在于:所述多个第 1 突起电极的各个电极的高度与所述多个第 2 突起电极的各个电极的高度均为 0.1mm 以下。

8. 根据权利要求 1 所述的半导体装置,其特征在于:所述多个第 1 突起电极的各个电极的高度与所述多个第 2 突起电极的各个电极的高度均高于 0.1mm。

9. 根据权利要求 1 所述的半导体装置,其特征在于:所述多个第 1 突起电极配置于所述布线衬底的角部。

10. 根据权利要求 1 所述的半导体装置,其特征在于:

所述布线衬底形成矩形形状,

形成于所述布线衬底的所述第 1 面上的所述多个电极是沿所述布线衬底的边配置,

且形成于所述布线衬底的所述第 2 面上的所述多个第 1 突起电极,在平面上配置于较配置有所述多个电极的区域更外侧的区域中,另一方面,形成于所述布线衬底的所述第 2 面上的所述多个第 2 突起电极,在平面上配置于较配置有所述多个电极的区域更内侧的区域中。

11. 根据权利要求 10 所述的半导体装置,其特征在于:所述多个第 1 突起电极配置于所述布线衬底的最外周。

12. 根据权利要求 1 所述的半导体装置,其特征在于:贯穿所述布线衬底的所述多个通孔的各个通孔在所述布线衬底的所述第 2 面上的孔径小于在所述布线衬底的所述第 1 面上的孔径,且随着从所述布线衬底的所述第 1 面向所述布线衬底的所述第 2 面前进,所述多个通孔的各个通孔的孔径缩小。

13. 根据权利要求 1 所述的半导体装置,其特征在于:所述半导体芯片是手机中所使用的 RFIC 芯片。

14. 根据权利要求 13 所述的半导体装置,其特征在于:所述 RFIC 芯片是形成有如下电路的芯片,此电路实现在发送时将基带信号调制为射频发送信号的功能,以及在接收时将射频接收信号解调为基带信号的功能。

15. 一种半导体装置的制造方法,其特征在于包括如下步骤:

(a) 将半导体芯片搭载在布线衬底的第 1 面上;

(b) 使用多根导线将形成于所述布线衬底上的多个电极与形成于所述半导体芯片上的多个焊接垫分别加以连接;

(c) 以树脂密封搭载于所述布线衬底的所述第 1 面上的所述半导体芯片;及

(d) 经由掩膜在所述布线衬底的所述第 1 面的相反侧的第 2 面上涂布焊膏,由此形成多个第 1 突起电极;

在所述 (a) 步骤前所准备的所述布线衬底上形成有:

所述多个电极,其形成于所述布线衬底的所述第 1 面上;

多个第 1 焊盘,其形成于所述布线衬底的所述第 1 面上,且设为不与所述多个电极在平面上重叠;

多根第 1 配线,其形成于所述布线衬底的所述第 1 面上,且将所述多个电极与所述多个

第 1 焊盘分别加以电性连接；

多个通孔，其形成为在平面上内包于所述多个第 1 焊盘的各个焊盘中，且贯穿所述布线衬底；

多个第 2 焊盘，其形成于所述布线衬底的所述第 1 面的相反侧的面即所述第 2 面上，且形成为在平面上内包所述多个通孔的各个通孔，且与所述多个通孔的各个通孔电性连接；及

保护膜，其形成于所述布线衬底的所述第 2 面上且具有多个第 1 开口部，所述多个第 1 开口部的面积大于所述多个第 2 焊盘的各个焊盘的面积，且内包所述多个第 2 焊盘的各个焊盘；

所述 (d) 步骤是以经由形成于所述保护膜上的所述多个第 1 开口部与所述多个第 2 焊盘的各个焊盘连接的方式，形成所述多个第 1 突起电极；

在所述布线衬底的所述第 2 面上形成有：

多个第 3 焊盘，其设为不与所述多个通孔的各个通孔在平面上重叠；

第 2 配线，其将所述多个第 2 焊盘的一部分与所述多个第 3 焊盘的各个焊盘加以电性连接；及

所述保护膜，其形成于所述布线衬底的所述第 2 面上且具有多个第 2 开口部，所述多个第 2 开口部的面积小于所述多个第 3 焊盘的各个焊盘的面积，且不使所述第 2 配线露出而在平面上包含于所述多个第 3 焊盘中；

所述 (d) 步骤是以经由形成于所述保护膜的所述多个第 1 开口部与所述多个第 2 焊盘的各个焊盘连接的方式，形成所述多个第 1 突起电极，且以经由形成于所述保护膜的所述多个第 2 开口部与所述多个第 3 焊盘的各个焊盘连接的方式，形成多个第 2 突起电极。

16. 根据权利要求 15 所述的半导体装置的制造方法，其特征在于：所述多个第 1 突起电极的各个电极的高度为 0.1mm 以下。

17. 根据权利要求 16 所述的半导体装置的制造方法，其特征在于：所述多个第 1 突起电极配置于所述布线衬底的角部。

18. 根据权利要求 16 所述的半导体装置的制造方法，其特征在于：

所述布线衬底形成矩形形状，

形成于所述布线衬底的所述第 1 面上的所述多个电极是沿所述布线衬底的边配置，

形成于所述布线衬底的所述第 2 面上的所述多个第 1 突起电极，在平面上配置于较配置有所述多个电极的区域更外侧的区域中，另一方面，形成于所述布线衬底的所述第 2 面上的所述多个第 2 突起电极，在平面上配置于较配置有所述多个电极的区域更内侧的区域中。

19. 根据权利要求 18 所述的半导体装置的制造方法，其特征在于：所述多个第 1 突起电极配置于所述布线衬底的最外周。

20. 一种半导体装置的制造方法，其特征在于包括如下步骤：

(a) 将半导体芯片搭载在布线衬底的第 1 面上；

(b) 使用多根导线将形成于所述布线衬底上的多个电极与形成于所述半导体芯片上的多个焊接垫分别加以连接；

(c) 以树脂密封搭载于所述布线衬底的所述第 1 面上的所述半导体芯片；及

(d) 将焊球搭载于所述布线衬底的所述第 1 面的相反侧的第 2 面上,由此形成多个第 1 突起电极;

在所述 (a) 步骤前所准备的所述布线衬底上形成有:

所述多个电极,其形成于所述布线衬底的所述第 1 面上;

多个第 1 焊盘,其形成于所述布线衬底的所述第 1 面上,且设为不与所述多个电极在平面上重叠;

多根第 1 配线,其形成于所述布线衬底的所述第 1 面上,且将所述多个电极与所述多个第 1 焊盘分别加以电性连接;

多个通孔,其形成为在平面上内包于所述多个第 1 焊盘的各个焊盘中,且贯穿所述布线衬底;

多个第 2 焊盘,其形成于所述布线衬底的所述第 1 面的相反侧的面即所述第 2 面上,且形成为在平面上内包所述多个通孔的各个通孔,与所述多个通孔的各个通孔电性连接;及

保护膜,其形成于所述布线衬底的所述第 2 面上且具有多个第 1 开口部,所述多个第 1 开口部的面积大于所述多个第 2 焊盘的各个焊盘的面积,且内包所述多个第 2 焊盘的各个焊盘;

所述 (d) 步骤是以经由形成于所述保护膜上的所述第 1 开口部与所述多个第 2 焊盘的各个焊盘连接的方式,形成所述多个第 1 突起电极;

在所述布线衬底的所述第 2 面上形成有:

多个第 3 焊盘,其设为不与所述多个通孔的各个通孔在平面上重叠;

第 2 配线,其将所述多个第 2 焊盘的一部分与所述多个第 3 焊盘的各个焊盘加以电性连接;及

所述保护膜,其形成于所述布线衬底的所述第 2 面上且具有多个第 2 开口部,所述多个第 2 开口部的面积小于所述多个第 3 焊盘的各个焊盘的面积,且不使所述第 2 配线露出而在平面上包含于所述多个第 3 焊盘中;

所述 (d) 步骤是以经由形成于所述保护膜的所述多个第 1 开口部与所述多个第 2 焊盘的各个焊盘连接的方式,形成所述多个第 1 突起电极,且以经由形成于所述保护膜的所述多个第 2 开口部与所述多个第 3 焊盘的各个焊盘连接的方式,形成多个第 2 突起电极。

21. 根据权利要求 20 所述的半导体装置的制造方法,其特征在于:所述多个第 1 突起电极的各个电极的高度高于 0.1mm。

22. 一种半导体装置,其特征在于包括:

布线衬底,其具有第 1 面以及与所述第 1 面相反侧的第 2 面;

半导体芯片,其搭载于所述布线衬底的所述第 1 面上,且具有表面,与所述表面相反侧的背面,以及形成于所述表面上的多个焊接垫;

树脂,其密封所述半导体芯片;

所述布线衬底包括:

多个电极,其分别经由多根导线电性连接于所述半导体芯片上的所述多个焊接垫,且形成于所述布线衬底的所述第 1 面上;

多个第 1 焊盘,其分别经由所述布线衬底的多根配线电性连接于所述多个电极,且形成于所述布线衬底的所述第 1 面上;

多个第 2 焊盘,其分别电性连接于所述多个第 1 焊盘,且形成于所述布线衬底的所述第 2 面上;

多个通孔,其分别配置于所述多个第 1 与第 2 焊盘之间、且其电性连接并直接连接于所述多个第 1 与第 2 焊盘,所述多个通孔的大小小于所述多个第 1 与第 2 焊盘,所述多个通孔在平面上分别与所述多个第 1 与第 2 焊盘重叠;

阻焊剂层,其形成于所述布线衬底的所述第 2 面上;以及

多个开口部,其形成于所述阻焊剂层;

形成在所述布线衬底的所述第 2 面上的所有所述多个第 2 焊盘分别配置于所述多个开口部,且所述多个第 2 焊盘的上表面及侧面从所述阻焊剂露出;且

由所述布线衬底的所述第 2 面来看,所有所述多个第 2 焊盘的每一个都是圆形。

23. 根据权利要求 22 所述的半导体装置,其特征在于进一步包括:

多个焊球,其分别搭载于所述布线衬底的所述多个第 2 焊盘的所述上表面上;

所述多个焊球分别与所述多个第 2 焊盘的所述上表面及侧面连接。

24. 根据权利要求 22 所述的半导体装置,其特征在于:

所述多个开口部的大小在平面上大于所述多个第 2 焊盘的大小。

25. 根据权利要求 22 所述的半导体装置,其特征在于:

所述多个电极配置于所述布线衬底的所述第 1 面上,使得所述多个电极不与所述布线衬底的所述多个第 1 焊盘重叠。

26. 根据权利要求 25 所述的半导体装置,其特征在于:

所述多个电极配置于所述多个第 1 焊盘与所述布线衬底的外周部之间。

27. 根据权利要求 26 所述的半导体装置,其特征在于:

从所述布线衬底的所述外周部到最接近所述布线衬底的所述外周部的所述第 1 焊盘的中央的距离大于所述第 1 焊盘的间距。

28. 根据权利要求 22 所述的半导体装置,其特征在于:

所述多个第 2 焊盘的外周部不被阻焊剂层覆盖。

29. 根据权利要求 22 所述的半导体装置,其特征在于:

所述多个通孔分别通过所述多个第 1 与第 2 焊盘之间。

30. 根据权利要求 26 所述的半导体装置,其特征在于:

所述多个第 1 焊盘不配置于所述多个电极与所述布线衬底的所述外周部之间。

半导体装置及其制造方法

技术领域

[0001] 本发明是有关于一种半导体装置及其制造技术,尤其是关于一种在布线衬底上搭载有半导体芯片,且在布线衬底的半导体芯片搭载面(表面)的相反侧的面(背面)上具备外部连接用端子的半导体装置及适用于此半导体装置的制造且有效的技术。

背景技术

[0002] 在日本专利特开 2006-190928 号公报(专利文献 1)中,记载有一种与如下的 BGA(Ball Grid Array,球栅阵列)相关的技术,即此 BGA 是防止在形成于布线衬底上的通孔中形成有空孔或凹坑。在此技术中,在布线衬底的内部形成有不贯穿布线衬底的通孔(盲孔(blind via)),且以与此通孔直接连接的方式在布线衬底的背面形成有焊盘(焊垫)。即,揭示了在形成于布线衬底的背面的焊盘上配置有通孔的所谓焊垫内通孔(Padon via)的构造。此时,形成于布线衬底的背面的焊盘的端部由阻焊剂覆盖,在焊盘的中央部形成有使阻焊剂开口的开口部。即,专利文献 1 中所记载的焊盘形成所谓的 SMD(Solder Mask Defined,阻焊膜定义)的构造,此构造是指形成于阻焊剂上的开口部的孔径小于焊盘的直径,且此开口部形成为在平面上内包于焊盘内。在形成此 SMD 的构造的焊盘上搭载有焊球而形成 BGA。

[0003] 在日本专利特开 2002-368154 号公报(专利文献 2)中,形成有贯穿布线衬底的通孔,且以与此通孔直接连接的方式在布线衬底的背面上形成有焊盘(焊垫)。即,在专利文献 2 中也揭示有所谓的焊垫内通孔的构造。此时,在专利文献 2 中作为对象的封装是 LGA(Land Grid Array,接点栅格阵列),且在布线衬底的背面上未涂布有阻焊剂的方式构成。

[0004] [专利文献 1]

[0005] 日本专利特开 2006-190928 号公报

[0006] [专利文献 2]

[0007] 日本专利特开 2002-368154 号公报

[0008] 近年来,在半导体芯片的封装形态中,例如有被称为 BGA(Ball Grid Array)的形态。BGA 是首先将半导体芯片搭载在布线衬底的表面上,并使用导线来连接形成于此半导体芯片上的焊接垫与形成于布线衬底的表面的电极。且,使布线衬底的表面上所形成的电极与贯穿布线衬底的通孔电性连接。使贯穿布线衬底的通孔与布线衬底的背面上所形成的焊盘连接。在此焊盘上搭载焊球而构成外部连接端子。

[0009] 以上述方式构成的 BGA 中,在布线衬底的背面成矩阵状地配置有焊盘。因此,与仅从引线框(lead frame)的四个方向取出引线(外部连接端子)的 QFP(Quad Flat Package,四方扁平封装)相比,能够在更小面积的布线衬底上配置较多的外部连接端子。因此,BGA 较 QFP 具有如下优点,即相对于外部连接端子伴随半导体芯片的高集成化及高功能化而增加,趋于小型化。

[0010] 在上述的 BGA 中,对布线衬底的背面上所形成的焊盘的构成进行说明。通常,BGA

是以如下方式构成,即形成于布线衬底的背面的配线的一端连接于贯穿布线衬底的通孔,且焊盘连接于此配线的另一端。此时,以覆盖焊盘的方式在布线衬底的背面上涂布有阻焊剂,在此阻焊剂上形成有使焊盘露出的开口部。根据此开口部的口径与焊盘的直径的关系,区分成 SMD 与 NSMD(Non Solder Mask Defined,非阻焊膜定义)。

[0011] 所谓 SMD 是指开口部的口径小于焊盘的直径,且开口部在平面上内包于焊盘中的构造,所谓 NSMD 是指开口部的口径大于焊盘的画径,且焊盘在平面上内包于开口部中的构造。即,在 SMD 中,焊盘的端部由阻焊剂覆盖,面积小于焊盘的面积的开口部形成于焊盘的中央部。相对于此,在 NSMD 中,整个焊盘从开口部露出。在 BGA 中虽存在使焊盘的构造为 SMD 或 NSMD 的形态,但就提高焊盘与焊球的密接性的观点而言,NSMD 优于 SMD。对其原因进行说明。当焊盘的构造为 SMD 时,因开口部内包于焊盘中,所以从开口部露出的焊盘的区域仅为焊盘的上表面。相对于此,当焊盘的构造为 NSMD 时,因整个焊盘从开口部露出,所以不仅焊盘的上表面,焊盘的侧面也从开口部露出。即,焊盘由例如金属膜形成,当焊盘的构造为 SMD 时仅金属膜的表面露出,相对于此,当焊盘的构造为 NSMD 时不仅金属膜的表面,金属膜的膜厚方向的侧面也露出。因此,NSMD 较 SMD 露出的面积更大,焊盘与搭载于其上的焊球的黏接面积增大。由此可知,NSMD 与 SMD 相比,可以提高焊盘与焊球的密接性。即,如果考虑提高焊盘与焊球的黏接强度,则可以认为使用 NSMD 较使用 SMD 更理想。

[0012] 然而,NSMD 存在如下所示的问题。在 NSMD 中,开口部的口径大于焊盘的直径的结果,不仅焊盘,与焊盘连接的配线的一部分也从开口部露出。此时,例如,如果使阻焊剂开口而形成的开口部相对于焊盘偏离地形成,则从开口部露出的配线的面积将产生变化。即,即便开口部的偏离是可以内包焊盘的程度的轻微偏离,从开口部露出的配线的面积也会产生变化。此时,从开口部露出的焊盘与配线的合计露出面积会于各个开口部上而不同。如此一来,与焊球接触(濡湿)的露出面积将于各个开口部上而不同。其结果,于各个开口部上焊球的高度会变得不同,在搭载于布线衬底的背面的多个焊球中,高度不均增大。如果焊球的高度不均增大,则将布线衬底安装于母板上时有可能会产生安装不良。

[0013] 因此,现实中,就确保布线衬底与母板的安装可靠性的观点而言,使用 SMD 的焊盘而非使用 NSMD 的焊盘。然而,在 SMD 中,因焊盘与焊球的黏接强度变弱,所以无法避免将 BGA 安装于母板上时的连接寿命下降的问题。即,因 NSMD 较 SMD 能够增强焊盘与焊球的黏接强度,所以 NSMD 较 SMD 能够延长 BGA 与母板的连接寿命。因此,只要可以抑制作为 NSMD 的问题的焊球的高度不均,则便能够获得使用 NSMD 的优点。

[0014] 本发明的目的在于提高半导体装置的特性,尤其在于提供一种使用 NSMD 作为焊盘的构造时可以抑制焊球的高度不均的技术。

[0015] 本发明的上述及其它目的与新颖特征当根据本说明书的描述及附图而变得明确。

发明内容

[0016] 如果对本申请案中所揭示的发明之中的具有代表性的发明的概要进行简单的说明,则为如下所述。

[0017] 具有代表性的实施形态的半导体装置的特征在于具备:(a) 布线衬底;(b) 半导体芯片,其搭载于所述布线衬底的第 1 面上;以及(c) 多根导线,此等将形成于所述布线衬底上的多个电极与形成于所述半导体芯片上的多个焊接垫分别连接于一起。此处,所述布线

衬底具有：(a1) 所述多个电极，此等形成于所述布线衬底的所述第 1 面上；(a2) 多个第 1 焊盘，此等形成于所述布线衬底的所述第 1 面上，且设置为不与所述多个电极在平面上重叠；及 (a3) 多根第 1 配线，此等形成于所述布线衬底的所述第 1 面上，将所述多个电极与所述多个第 1 焊盘分别电性连接于一起。进而，所述布线衬底具有：(a4) 多个通孔，形成为在平面上内包于所述多个第 1 焊盘的各个焊盘中，且贯穿所述布线衬底；以及 (a5) 多个第 2 焊盘，此等形成于作为所述布线衬底的所述第 1 面的相反侧的面的第 2 面上，且形成为在平面上内包所述多个通孔的各个通孔，且与所述多个通孔的各个通孔电性连接。此外，所述布线衬底具有：(a6) 保护膜，其形成于所述布线衬底的所述第 2 面上且具有多个第 1 开口部，此等第 1 开口部的面积大于所述多个第 2 焊盘的各个焊盘的面积，且内包着所述多个第 2 焊盘的各个焊盘；及 (a7) 多个第 1 突起电极，此等设置于所述保护膜上所形成的所述多个第 1 开口部的各个开口部，且与所述多个第 2 焊盘的各个焊盘电性连接。

[0018] 另外，具有代表性的实施形态的半导体装置的制造方法的特征在于包括如下步骤：(a) 将半导体芯片搭载于布线衬底的第 1 面上；及 (b) 使用多根导线将形成于所述布线衬底上的多个电极与形成于所述半导体芯片上的多个焊接垫分别连接于一起。进而包括如下步骤：(c) 利用树脂密封搭载于所述布线衬底的所述第 1 面上的所述半导体芯片；及 (d) 经由掩膜在所述布线衬底的所述第 1 面的相反侧的第 2 面上涂布焊膏，由此形成多个第 1 突起电极。此处，在所述 (a) 步骤前所准备的所述布线衬底上形成有：所述多个电极，此等形成于所述布线衬底的所述第 1 面上；多个第 1 焊盘，此等形成于所述布线衬底的所述第 1 面上，且设置为不与所述多个电极在平面上重叠；及多根第 1 配线，此等形成于所述布线衬底的所述第 1 面上，且将所述多个电极与所述多个第 1 焊盘分别电性连接于一起。进而，在所述布线衬底上形成有：多个通孔，此等形成为在平面上内包于所述多个第 1 焊盘的各个焊盘中，且贯穿所述布线衬底；多个第 2 焊盘，此等形成于作为所述布线衬底的所述第 1 面的相反侧的面的第 2 面上，且形成为在平面上内包着所述多个通孔的各个通孔，且与所述多个通孔的各个通孔电性连接。此外，在所述布线衬底上形成有保护膜，所述保护膜是形成于所述布线衬底的所述第 2 面上且具有多个第 1 开口部，此等第 1 开口部的面积大于所述多个第 2 焊盘的各个焊盘的面积，且内包着所述多个第 2 焊盘的各个焊盘。此时，所述 (d) 步骤是以经由所述保护膜上所形成的所述第 1 开口部与所述多个第 2 焊盘的各个焊盘连接的方式，形成所述多个第 1 突起电极。

[0019] 如果对由本申请案中所揭示的发明之中具有代表性的发明所获得的效果进行简单的说明，则为如下所述。

[0020] 当使用 NSMD 作为焊盘的构造时，可以抑制焊球的高度不均。

附图说明

[0021] 图 1 是表示手机的收发部的构成的方块图。

[0022] 图 2 是对 RFIC 的功能进行说明的方块图。

[0023] 图 3 是表示形成有 RFIC 的半导体芯片 CHP 的布局构成的图。

[0024] 图 4 是表示半导体芯片的示意性的截面的截面图。

[0025] 图 5 是表示本发明的实施形态 1 中的半导体装置的封装的图。

[0026] 图 6 是表示布线衬底的背面的图。

- [0027] 图 7 是以截面对图 5 及图 6 所示的半导体装置的封装形态的一例进行说明的图。
- [0028] 图 8 是以截面对图 5 及图 6 所示的半导体装置的封装形态的一例进行说明的图。
- [0029] 图 9 是表示本发明者们所研究的半球 LGA 中的布线衬底的构成的图。
- [0030] 图 10 是表示形成于布线衬底的背面的焊盘的构成形态的一例的图。
- [0031] 图 11 是以图 10 的 A-A 线进行切断的截面图。
- [0032] 图 12 是表示形成于布线衬底的背面的焊盘的构成形态的一例的图。
- [0033] 图 13 是以图 12 的 A-A 线进行切断的截面图。
- [0034] 图 14(a) 是表示相对于焊盘而正常地形成开口部的 NSMD 的图,图 14(b) 是表示相对于焊盘而使开口部向纸面下侧方向偏离来形成开口部的 NSMD 的图。而且,图 14(c) 是表示相对于焊盘而使开口部向纸面上侧方向偏离来形成开口部的 NSMD 的图。
- [0035] 图 15(a) 是表示相对于焊盘而正常地形成开口部的 SMD 的图,图 15(b) 是表示相对于焊盘而使开口部向纸面下侧方向偏离来形成开口部的 SMD 的图。而且,图 15(c) 是表示相对于焊盘而使开口部向纸面上侧方向偏离来形成开口部的 SMD 的图。
- [0036] 图 16 是表示实施形态 1 中的布线衬底的示意性的构成的图。
- [0037] 图 17 是表示布线衬底的背面的图。
- [0038] 图 18 是表示形成于布线衬底的背面的焊盘内通孔构造,且焊盘的构成形态为 NSMD 的构造的截面图。
- [0039] 图 19 是将形成于布线衬底的背面的一个焊盘 LND 的构成加以放大表示的图。
- [0040] 图 20 是以图 19 的 A-A 线进行切断的截面图。
- [0041] 图 21(a) 是表示在本实施形态 1 中的焊盘内通孔构造中,相对于焊盘而正常地形成开口部的 NSMD 的图。图 21(b) 是表示在本实施形态 I 中的焊盘内通孔构造中,相对于焊盘而使开口部向纸面下侧方向偏离来形成开口部的 NSMD 的图。图 21(c) 是表示在本实施形态 1 中的焊盘内通孔构造中,相对于焊盘而使开口部向纸面上侧方向偏离来形成开口部的 NSMD 的图。
- [0042] 图 22 是从芯片搭载面(表面)侧观察实施形态 1 中的布线衬底 1S 的图。
- [0043] 图 23 是表示未使用焊盘内通孔构造时的连接电极与焊盘的配线的布局构成的放大图。
- [0044] 图 24 是表示使用焊盘内通孔构造时的连接电极与焊盘的配线的布局构成的放大图。
- [0045] 图 25 是表示使用焊盘内通孔构造时的连接电极与焊盘的配线的布局构成的放大图。
- [0046] 图 26 是表示对半球 LGA 与 BGA 的对于冲击力的耐受性进行测定所获得的结果的表。
- [0047] 图 27 是表示实施形态 1 中的布线衬底的制造步骤的截面图。
- [0048] 图 28 是表示紧接图 27 的布线衬底的制造步骤的截面图。
- [0049] 图 29 是表示紧接图 28 的布线衬底的制造步骤的截面图。
- [0050] 图 30 是表示紧接图 29 的布线衬底的制造步骤的截面图。
- [0051] 图 31 是表示紧接图 30 的布线衬底的制造步骤的截面图。
- [0052] 图 32 是表示紧接图 31 的布线衬底的制造步骤的截面图。

- [0053] 图 33 是表示紧接图 32 的布线衬底的制造步骤的截面图。
- [0054] 图 34 是表示紧接图 33 的布线衬底的制造步骤的截面图。
- [0055] 图 35 是表示紧接图 34 的布线衬底的制造步骤的截面图。
- [0056] 图 36 是表示紧接图 35 的布线衬底的制造步骤的截面图。
- [0057] 图 37 是表示形成半球 LGA 的制造步骤的流程的流程图。
- [0058] 图 38 是表示半球 LGA 的制造步骤的截面图。
- [0059] 图 39 是表示紧接图 38 的半球 LGA 的制造步骤的截面图。
- [0060] 图 40 是表示紧接图 39 的半球 LGA 的制造步骤的截面图。
- [0061] 图 41 是表示紧接图 40 的半球 LGA 的制造步骤的截面图。
- [0062] 图 42 是表示紧接图 41 的半球 LGA 的制造步骤的截面图。
- [0063] 图 43 是表示紧接图 42 的半球 LGA 的制造步骤的截面图。
- [0064] 图 44 是表示紧接图 43 的半球 LGA 的制造步骤的截面图。
- [0065] 图 45 是表示紧接图 44 的半球 LGA 的制造步骤的截面图。
- [0066] 图 46 是表示紧接图 45 的半球 LGA 的制造步骤的截面图。
- [0067] 图 47 是表示半球 LGA 的截面图。
- [0068] 图 48 是表示将半球 LGA 安装于母板上的状态的截面图。
- [0069] 图 49 是表示将半球 LGA 安装于母板上的安装步骤的截面图。
- [0070] 图 50 是表示紧接图 49 的安装步骤的截面图。
- [0071] 图 51 是表示紧接图 50 的安装步骤的截面图。
- [0072] 图 52 是表示紧接图 51 的安装步骤的截面图。
- [0073] 图 53 是表示实施形态 2 的半球 LGA 中的布线衬底的构成的图。
- [0074] 图 54 是表示在布线衬底的表面上连接电极与焊盘的配线的布局构成的图。
- [0075] 图 55 是表示实施形态 3 的半球 LGA 中的布线衬底的构成的图。
- [0076] 图 56 是表示在布线衬底的表面上连接电极与焊盘的配线的布局构成的图。
- [0077] 图 57 是表示实施形态 4 的由 BGA 形成的封装的示意性的构成的截面图。
- [0078] 图 58 是表示实施形态 4 中的 BGA 的制造步骤的流程图。
- [0079] 图 59 是表示 BGA 的制造步骤的截面图。
- [0080] 图 60 是表示紧接图 59 的 BGA 的制造步骤的截面图。
- [0081] 图 61 是表示实施形态 5 的由 LGA 形成的封装的示意性的构成的截面图。
- [0082] 图 62 是表示实施形态 5 中的 LGA 的制造步骤的流程图。
- [0083] [符号的说明]
- | | | |
|--------|----|---------|
| [0084] | 1 | 手机 |
| [0085] | 1S | 布线衬底 |
| [0086] | 2 | 应用程序处理器 |
| [0087] | 3 | 存储器 |
| [0088] | 4 | 基带部 |
| [0089] | 5 | RFIC |
| [0090] | 6 | 功率放大器 |
| [0091] | 7 | SAW 滤波器 |

[0092]	8	天线开关
[0093]	9	天线
[0094]	10	LNA
[0095]	11	可调式放大器
[0096]	12、34、37、44	混频器
[0097]	13、15、17、19	低通滤波器
[0098]	14、16、18	PGA
[0099]	20	解调器
[0100]	21	ADC/DAC&DC 偏置用控制逻辑电路部
[0101]	22、35	90 度移相器
[0102]	23	RF 合成器
[0103]	24	IF 合成器
[0104]	25	缓冲器
[0105]	26	RFVCO
[0106]	27、28、41	分频器
[0107]	29、30	开关
[0108]	31	分频器
[0109]	32	IFVCO
[0110]	33	VCXO
[0111]	36	加法器
[0112]	38	DPD
[0113]	39	环路滤波器
[0114]	40	TXVCO
[0115]	42	耦合器
[0116]	43	放大器
[0117]	45	焊垫
[0118]	50	半导体基板
[0119]	51	嵌入式绝缘膜
[0120]	52	硅层
[0121]	53	元件分离区域
[0122]	54	沟槽
[0123]	55a、55c、56a、56e、57a、57c、57d、60a、60c、61a、61b、61c、64a	
[0124]		n 型半导体区域
[0125]	55b、55d、55f、57b	n ⁺ 型半导体区域
[0126]	55e、56c、56f、57e、60b	p 型半导体区域
[0127]	56b、56d	p ⁺ 型半导体区域
[0128]	58	栅极绝缘膜
[0129]	59	栅极电极
[0130]	62	电容绝缘膜

[0131]	63	上部电极
[0132]	65	多晶硅膜
[0133]	66	氮化硅膜
[0134]	67	氧化硅膜
[0135]	68	配线
[0136]	a、b	距离
[0137]	Ba	焊球
[0138]	BK	下部模具
[0139]	BL	外部连接端子
[0140]	C	电容元件
[0141]	C1	夹头
[0142]	C2	毛细管
[0143]	CF1、CF2、CF3	导电膜
[0144]	CHP	半导体芯片
[0145]	DB	切断刀片
[0146]	DF	干膜
[0147]	DFM	切断框
[0148]	DT	切断胶带
[0149]	E	电极
[0150]	G	研磨机
[0151]	HBa	半球
[0152]	K	开口部
[0153]	K2	开口部
[0154]	L1、L2、L3	配线
[0155]	LND1、LND2、LND3、LND4、LND5	焊盘
[0156]	M	树脂
[0157]	MB	母板
[0158]	MS	基板
[0159]	MSK	金属掩膜
[0160]	P	绝缘膏
[0161]	Pa	封装
[0162]	PLG	插塞
[0163]	PT	保护胶带
[0164]	Q1	PNP 型双极晶体管
[0165]	Q2	NPN 型双极晶体管
[0166]	Q3	p 通道型 MISFET
[0167]	Q4	n 通道型 MISFET
[0168]	R	电阻元件
[0169]	S1	刮刀

[0170]	SB	接合焊
[0171]	SP	焊膏
[0172]	SP2	焊膏
[0173]	SR、SR2	阻焊剂
[0174]	UK	上部模具
[0175]	V、V2	通孔
[0176]	W	导线
[0177]	WF	半导体晶片

具体实施方式

[0178] 在以下的实施形态中,方便起见,在需要时会分割成多个部分或实施形态来进行说明,但除了特别明示的情况以外,这些部分或实施形态并非互不相关,而是处于一方为另一方的一部分或全部的变形例、详细说明、补充说明等的关系。

[0179] 另外,在以下的实施形态中,当言及要素的数等(包含个数、数值、量、范围等)时,除了特别明示的情况及原理上明显限定于特定的数的情况等以外,并不限定于特定的数,可以是特定的数以上,也可以是特定的数以下。

[0180] 进而,在以下的实施形态中的构成要素(也包含要素步骤等)除了特别明示的情况及认为原理上明显是必需的构成要素的情况等以外,当然存在并非为必需的构成要素。

[0181] 同样,在以下的实施形态中,当言及构成要素等的形状、位置关系等时,除了特别明示的情况及原理上认为明显并非如此的情况等以外,实质上包含与构成要素等的形状等近似或类似的形状等。此点对于上述数值及范围而言也相同。

[0182] 另外,在用于说明实施形态的所有图式中,原则上对相同的构件附上相同的符号,并省略重复的说明。此外,为了便于理解图式,有时即便是平面图也会附上影线。

[0183] (实施形态 1) 图 1 是表示手机的收发部的构成的方块图。如图 1 所示,手机 1 具有:应用程序处理器 2、存储器 3、基带部 4、RFIC(Radio Frequency Integrated Circuit,射频集成电路)5、功率放大器 6、SAW(Surface Acoustic Wave,声表面波)滤波器 7、天线开关 8 及天线 9。

[0184] 应用程序处理器 2 由例如 CPU(Central Processing Unit,中央处理器)构成,其具有实现手机 1 的应用程序功能的功能。具体而言,从存储器 3 读出命令后进行解码,根据解码结果进行各种运算或控制,由此来实现应用程序功能。存储器 3 具有存储数据的功能,其以对例如使应用程序处理器 2 动作的程序或应用程序处理器 2 中的处理数据进行存储的方式构成。另外,存储器 3 不仅可供应用程序处理器 2 进行存取,也可以供基带部 4 进行存取,也可以用于对基带部中所处理的数据进行存储。

[0185] 基带部 4 内置有作为中央控制部的 CPU,其以在进行发送时能够对经由操作部的来自用户(通话方)的声音信号(模拟信号)进行数字处理而生成基带信号的方式构成。另一方面,其以在进行接收时能够从作为数字信号的基带信号中生成声音信号的方式构成。

[0186] RFIC5 以如下方式构成,即在进行发送时可以对基带信号进行调制而生成射频信号,在进行接收时可以对接收信号进行解调而生成基带信号。功率放大器 6 是利用从电源中供给的电力重新生成与微弱的输入信号相似的大功率的信号并将此信号输出的电路。

SAW 滤波器 7 是以仅使接收信号中的特定的频带的信号通过的方式构成。

[0187] 天线开关 8 是用于将输入到手机 1 中的接收信号与从手机 1 中输出的发送信号分离,天线 9 是用于收发电波的天线。

[0188] 手机 1 以上述的方式构成,以下,对手机 1 的动作进行简单的说明。首先,对发送信号的情形进行说明。将利用基带部 4 对声音信号等模拟信号进行数字处理而生成的基带信号输入到 RFIC5 中。在 RFIC5 中,利用调制信号源及混频器将所输入的基带信号转换为射频(RF(Radio Frequency) 频率)信号。将转换为射频的信号从 RFIC5 输出到功率放大器(RF 模块)6。输入到功率放大器 6 中的射频信号由功率放大器 6 放大后,将经由天线开关 8 而从天线 9 发送。

[0189] 其次,对接收信号的情形进行说明。通过天线 9 所接收到的射频信号(接收信号)将在通过 SAW 滤波器 7 后输入到 RFIC5 中。在 RFIC5 中,对所输入的接收信号进行放大后,通过调制信号源及混频器进行频率转换。然后,对经频率转换的信号进行检波,提取出基带信号。其后,将此基带信号从 RFIC5 输出到基带部 4。此基带信号在基带部 4 经过处理后输出声音信号。

[0190] 如上所述,当从手机 1 发送信号时,RFIC5 具有对基带信号进行调制而生成射频信号的功能,且当从手机 1 接收信号时,RFIC5 具有对射频信号进行解调而生成基带信号的功能。接着,对具有此种功能的 RFIC5 的构成进行说明。

[0191] 图 2 是对 RFIC5 的功能进行说明的方块图。本实施形态 1 中的手机是进行例如三频信号处理的手机,其可以进行例如 900MHz 频带的 GSM(Global System for Mobile Communications,全球移动通讯系统)通信方式、1800MHz 频带的 DCS(Digital Cellular System,数字蜂窝系统)1800 通信方式、1900MHz 频带的 PCS(Personal Communications Service,个人通讯服务)1900 通信方式的信号处理。进行此种三频信号处理的 RFIC5 示于图 2 中。

[0192] 在图 2 所示的 RFIC5 中形成有接收电路与发送电路。首先,对接收电路的构成进行说明。RFIC5 的接收电路是经由天线 9、天线开关 8 及与天线开关 8 并联连接的 3 个 SAW 滤波器 7 而配置。具体而言,RFIC5 的接收电路具有与各个 SAW 滤波器 7 连接的 3 个低噪声放大器(LNA(Low Noise Amplifier)10),以及与这 3 个 LNA10 连接、且并联连接的两个可调式放大器 11。且,这两个可调式放大器 11 上分别连接有混频器 12、低通滤波器 13、PGA(Programmable Gain Amplifier,可编程增益放大器)14、低通滤波器 15、PGA16、低通滤波器 17、PGA18、低通滤波器 19 及解调器 20。PGA14、PGA16 及 PGA18 由 ADC(Analog-to-Digital Converter,模拟-数字转换器)/DAC(Digital-to-Analog Converter,数字-模拟转换器)及直流偏置(DC offset)用控制逻辑电路部 21 控制。进而,两个混频器 12 由 90 度移相器(90 度相位转换器)22 控制相位。

[0193] 由 90 度移相器 22 及两个混频器 12 所构成的 I/Q(in-phase/quadrature,同相/正交)调制器为了对应各个频段,分别对应于 3 个 LNA10 而设置,但在图 2 中,为了简略化而合成一个来进行图示。

[0194] 在 RFIC5 中,作为信号处理 IC(Integrated Circuit,集成电路),设置有包含 RF 合成器 23 及 IF(Intermediate Frequency,中频)合成器 24 的合成器。RF 合成器 23 经由缓冲器 25 与 RFVCO(Radio Frequency Voltage Controlled Oscillator,射频压控振荡器)26

连接,且以使 RFVC026 输出 RF 局部信号的方式进行控制。缓冲器 25 上串联有两个局部信号用的分频器 27 及分频器 28,分频器 27 及分频器 28 的各自输出端上连接有开关 29 与开关 30。从 RFVC026 输出的 RF 局部信号通过开关 29 的切换而输入到 90 度移相器 22 中。根据此 RF 局部信号,90 度移相器 22 对混频器 12 进行控制。

[0195] IF 合成器 24 经由分频器 31 与 IFVC0(Intermediate Frequency Voltage Controlled Oscillator,中频压控振荡器)32 连接,且以使 IFVC032 输出 IF 局部信号的方式进行控制。而且以如下方式构成,即通过 RF 合成器 23 及 IF 合成器 24 对 VCX0(Voltage Control Xtal Oscillator,压控晶体振荡器)33 进行控制,由此从 VCX033 输出基准信号并输出到基带部 4 中。

[0196] 在 RFIC5 的接收电路中,以 LNA10 及可调式放大器 11 将通过 SAW 滤波器 7 的射频信号放大后,由混频器 12 将此射频信号转换为中频的信号。此混频器 12 由 90 度移相器 22,根据来自受到 RF 合成器 23 控制的 RFVC026 的 RF 局部信号来控制。继而,利用 PGA14、16、18 将由混频器 12 转换而成的中频的信号放大。此时,PGA14、16、18 由 ADC/DAC& 偏置用控制逻辑电路部 21 来控制。然后,以解调器 20 将经放大的中频信号转换为基带信号(I、Q 信号)后将此基带信号输出到基带部 4。RFIC5 的接收电路以上述方式动作。

[0197] 其次,对发送电路的构成进行说明。RFIC5 的发送电路具有将从基带部 4 输出的 I、Q 信号作为输入信号的两个混频器 34、以及对这两个混频器 34 的相位进行控制的 90 度移相器 35。进而,发送电路具有对两个混频器 34 的输出信号进行相加的加法器 36、将加法器 36 的输出信号均作为输入信号的混频器 37 及 DPD(Digital Phase Detector,数字鉴相器)38。而且,发送电路具有混频器 37 及 DPD38 的输出信号均输入的环路滤波器(loop filter)39、以及将环路滤波器 39 的输出信号均作为输入信号的两个 TXVC0(Transmit Voltage Controlled Oscillator,发射压控振荡器)40。

[0198] 由混频器 34、90 度移相器 35 及加法器 36 构成正交调制器。90 度移相器 35 以如下方式构成,即经由分频器 41 而与分频器 31 连接,且根据从 IFVC032 输出的 IF 局部信号而受到控制。

[0199] 通过耦合器 42 对从两个 TXVC040 输出的输出信号的电流值进行检测。通过此耦合器 42 所检测出的检测信号将经由放大器 43 输入到混频器 44 中。此混频器 44 是根据经由开关 30 从 RFVC026 输出的 RF 局部信号而受到控制。来自混频器 44 的输出信号与加法器 36 的输出信号一同输入到混频器 37 及 DPD38 中。由混频器 37 与 DPD38 构成偏置 PLL(Phase-Locked Loop,锁相环路)电路。

[0200] 在 RFIC5 的发送电路中,以正交调制器对从基带部 4 输出的 I、Q 信号(基带信号)进行调制。其后,经由偏置 PLL 电路及 TXVC040 将此 I、Q 信号转换为射频信号。此射频信号由功率放大器 6 加以放大后,将经由天线开关 8 从天线 9 发送。RFIC5 的发送电路以上述方式动作。此外,图 2 中记载有两个 TXVC040,两个 TXVC040 中的一个 TXVC040 是 GSM 通信方式的 TXVC0,其输出信号的频率为例如 880 ~ 915MHz。另一方面,另一个 TXVC040 是 DCS 通信方式及 PCS 通信方式的 TXVC0,其输出信号的频率为 1710 ~ 1785MHz 或 1850MHz ~ 1910MHz。因此,在本实施形态 1 中,将来自 RFIC5 的输出信号放大的功率放大器 6 中内置有高频用放大器与低频用放大器。即,功率放大器 6 是以如下方式构成,即由低频放大器将 880 ~ 915MHz 的信号放大,由高频放大器将 1710 ~ 1785MHz 或 1850MHz ~ 1910MHz 的信号

放大。

[0201] 如上所示,RFIC5 具有对收发信号进行调制及解调的功能,半导体芯片中形成有实现此功能的调制 / 解调电路等。以下,对形成有实现 RFIC5 的功能的集成电路的半导体芯片的布局进行说明。

[0202] 图 3 是表示形成有 RFIC5 的半导体芯片 CHP 的布局构成的图。如图 3 所示,半导体芯片 CHP 形成矩形形状,沿四条边配置有焊垫 45。而且,在形成有焊垫 45 的区域的内侧区域中形成有实现 RFIC5 的功能的集成电路。具体而言,例如在半导体芯片 CHP 的中央部形成有 ADC/DAC 及偏置用控制逻辑电路部 21,在此区域的左侧,并排形成有混频器 12 及混频器 37 与 3 个 LNA10。在形成有 ADC/DAC 及偏置用控制逻辑电路部 21 的区域的上方区域中形成有 RFVC026,在形成有 ADC/DAC 及偏置用控制逻辑电路部 21 的区域的右侧,自上而下形成有 RF 合成器 23、VCX033、IF 合成器 24 及 IFVC032。进而,在形成有 ADC/DAC 及偏置用控制逻辑电路部 21 的区域的下方,形成有偏置 PLL(电路)与 TXVC040。如此,在半导体芯片 CHP 中形成实现 RFIC5 的功能的集成电路。

[0203] 在半导体芯片 CHP 中形成有实现 RFIC5 的功能的集成电路,其次,对构成此集成电路的元件进行说明。图 4 是表示半导体芯片 CHP 的示意性的截面的截面图。如图 4 所示,例如在导入有 p 型杂质的半导体基板 50 上形成有嵌入式绝缘膜 51,在此嵌入式绝缘膜 51 上形成有硅层 52。且,在此硅层 52 上形成有各个元件。即,在本实施形态 1 中,在包含半导体基板 50、嵌入式绝缘膜 51 及硅层 52 的 SOI(Silicon On Insulator,绝缘体上硅)基板上形成有元件。就形成于 SOI 基板上的元件而言,例如从图 4 的左侧到右侧,形成有 NPN 型双极晶体管 Q1、PNP 型双极晶体管 Q2、p 通道型 MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘半导体场效应晶体管)Q3、n 通道型 MISFET Q4、电容元件 C 及电阻元件 R。各个元件通过由例如 LOCOS(Local Oxidation of Silicon,硅局部氧化)形成的元件分离区域 53 分离,进而,形成有从元件分离区域 53 到达嵌入式绝缘膜 51 的沟槽 54。沟槽 54 中嵌入有绝缘膜,由此,各个元件形成区域相互电性分离。

[0204] 以下,对各个元件的构成进行说明。首先,对 NPN 型双极晶体管 Q1 的构成进行说明。如图 4 所示,在 NPN 型双极晶体管 Q1 的形成区域中,在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷(P)或砷(As)等 n 型杂质的 n 型半导体区域 55a,在此 n 型半导体区域 55a 上形成有 n^+ 型半导体区域 55b。 n^+ 型半导体区域 55b 较 n 型半导体区域 55a 更高浓度地导入有 n 型杂质。继而,在 n^+ 型半导体区域 55b 上形成有 n 型半导体区域 55c。而且,以自此 n 型半导体区域 55c 的表面的一部分到达 n^+ 型半导体区域 55b 的方式形成有 n^+ 型半导体区域 55d。此时, n^+ 型半导体区域 55b 成为 NPN 型双极晶体管 Q1 的集电极区域, n^+ 型半导体区域 55d 成为集电极引出区域。进而,在 n 型半导体区域 55c 的一部分上方形成有 p 型半导体区域 55e,在此 p 型半导体区域 55e 的表面上形成有 n^+ 型半导体区域 55f。p 型半导体区域 55e 成为 NPN 型双极晶体管 Q1 的基极区域, n^+ 型半导体区域 55f 成为 NPN 型双极晶体管 Q1 的发射极区域。如此,在硅层 52 上形成 NPN 型双极晶体管 Q1。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜,且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中,存在与成为集电极引出区域的 n^+ 型半导体区域 55d 电性连接的插塞 PLG、或者与成为基极区域的 p 型半导体区域 55e 电性连接的插塞 PLG。进而,也存在与成为发射极区域的 n^+ 型半导体区域 55f 电性连接的插塞 PLG。在层间绝缘膜

上形成有配线 68, 配线 68 与插塞 PLG 电性连接。由此, NPN 型双极晶体管 Q1 的集电极区域、基极区域及发射极区域可以通过配线 68 与其它元件电性连接。

[0205] 继而, 对 PNP 型双极晶体管 Q2 的构成进行说明。如图 4 所示, 在 PNP 型双极晶体管 Q2 的形成区域中, 在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷 (P) 或砷 (As) 等 n 型杂质的 n 型半导体区域 56a, 在此 n 型半导体区域 56a 上形成有 p^+ 型半导体区域 56b。在 p^+ 型半导体区域 56b 中高浓度地导入有硼 (B) 等 p 型杂质。继而, 在 p^+ 型半导体区域 56b 上形成有 p 型半导体区域 56c。此 p 型半导体区域 56c 中的 p 型杂质的浓度小于 p^+ 型半导体区域 56b 中的 p 型杂质的浓度。而且, 以自此 p 型半导体区域 56c 的表面的一部分到达 p^+ 型半导体区域 56b 的方式形成有 p^+ 型半导体区域 56d。此时, p^+ 型半导体区域 56b 成为 PNP 型双极晶体管 Q2 的集电极区域, p^+ 型半导体区域 56d 成为集电极引出区域。进而, 在 p 型半导体区域 56c 的一部分上方形成有 n 型半导体区域 56e, 在此 n 型半导体区域 56e 的表面形成有 p 型半导体区域 56f。n 型半导体区域 56e 成为 PNP 型双极晶体管 Q2 的基极区域, p 型半导体区域 56f 成为 PNP 型双极晶体管 Q2 的发射极区域。如此, 在硅层 52 上形成 PNP 型双极晶体管 Q2。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜, 且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中, 存在与成为集电极引出区域的 p^+ 型半导体区域 56d 电性连接的插塞 PLG、或者与成为基极区域的 n 型半导体区域 56e 电性连接的插塞 PLG。进而, 也存在与成为发射极区域的 p 型半导体区域 56f 电性连接的插塞 PLG。在层间绝缘膜上形成有配线 68, 配线 68 与插塞 PLG 电性连接。由此, PNP 型双极晶体管 Q2 的集电极区域、基极区域及发射极区域可以通过配线 68 与其它元件电性连接。

[0206] 其次, 对 p 通道型 MISFET Q3 的构成进行说明。如图 4 所示, 在 p 通道型 MISFET Q3 的形成区域中, 在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷 (P) 或砷 (As) 等 n 型杂质的 n 型半导体区域 57a, 在此 n 型半导体区域 57a 上形成有 n^+ 型半导体区域 57b。在此 n^+ 型半导体区域 57b 中, 较 n 型半导体区域 57a 更高浓度地导入有 n 型杂质。且, 在 n^+ 型半导体区域 57b 上形成有 n 型半导体区域 57c, 在此 n 型半导体区域 57c 上形成有 n 型半导体区域 57d。此 n 型半导体区域 57d 成为例如 p 通道型 MISFET Q3 的井区域。而且, 在 n 型半导体区域 57d 的表面上形成有仅相隔一定距离的一对 p 型半导体区域 57e。此一对 p 型半导体区域 57e 成为 p 通道型 MISFET Q3 的源极区域与漏极区域, 在源极区域与漏极区域之间形成有通道区域。在此通道区域上形成有由例如氧化硅膜形成的栅极绝缘膜 58, 在栅极绝缘膜 58 上形成有由例如多晶硅膜形成的栅极电极 59。如此, 在硅层 52 上形成 p 通道型 MISFET Q3。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜, 且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中, 存在与成为漏极区域的 p 型半导体区域 57e 电性连接的插塞 PLG、或者与成为源极区域的 p 型半导体区域 57e 电性连接的插塞 PLG。在层间绝缘膜上形成有配线 68, 配线 68 与插塞 PLG 电性连接。由此, p 通道型 MISFET Q3 的源极区域及漏极区域可以通过配线 68 与其它元件电性连接。

[0207] 继而, 对 n 通道型 MISFET Q4 的构成进行说明。如图 4 所示, 在 n 通道型 MISFET Q4 的形成区域中, 在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷 (P) 或砷 (As) 等 n 型杂质的 n 型半导体区域 60a, 在此 n 型半导体区域 60a 上形成有 p 型半导体区域 60b。在 p 型半导体区域 60b 中导入有硼 (B) 等 p 型杂质, 且此 p 型半导体区域 60b 成为 n 通道

型 MISFET Q4 的井区域。且,在 p 型半导体区域 60b 的表面上形成有仅相隔一定距离的一对 n 型半导体区域 60c。此一对 n 型半导体区域 60c 成为 n 通道型 MISFET Q4 的源极区域与漏极区域,在源极区域与漏极区域之间形成有通道区域。在此通道区域上形成有由例如氧化硅膜形成的栅极绝缘膜 58,在栅极绝缘膜 58 上形成有由例如多晶硅膜形成的栅极电极 59。如此,在硅层 52 上形成 n 通道型 MISFET Q4。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜,且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中,存在与成为漏极区域的 n 型半导体区域 60c 电性连接的插塞 PLG、或者与成为源极区域的 n 型半导体区域 60c 电性连接的插塞 PLG。在层间绝缘膜上形成有配线 68,配线 68 与插塞 PLG 电性连接。由此,n 通道型 MISFET Q4 的源极区域及漏极区域可以通过配线 68 与其它元件电性连接。

[0208] 其次,对电容元件 C 的构成进行说明。如图 4 所示,在电容元件 C 的形成区域中,在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷 (P) 或砷 (As) 等 n 型杂质的 n 型半导体区域 61a,在此 n 型半导体区域 61a 上形成有 n 型半导体区域 61b。进而,在 n 型半导体区域 61b 上形成有 n 型半导体区域 61c。此 n 型半导体区域 61c 作为电容元件 C 的下部电极发挥功能。在成为下部电极的 n 型半导体区域 61c 上形成有由例如氧化硅膜形成的电容绝缘膜 62,在电容绝缘膜 62 上形成有由例如多晶硅膜 (形成) 的上部电极 63。如此,形成包含上部电极、电容绝缘膜及下部电极的电容元件 C。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜,且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中,存在与成为下部电极的 n 型半导体区域 61c 电性连接的插塞 PLG、或者与上部电极 63 电性连接的插塞 PLG (未图示)。在层间绝缘膜上形成有配线 68,配线 68 与插塞 PLG 电性连接。由此,电容元件 C 的上部电极 63 及下部电极 (n 型半导体区域 61c) 可以通过配线 68 与其它元件电性连接。

[0209] 进而,对电阻元件 R 的构成进行说明。如图 4 所示,在电阻元件 R 的形成区域中,在形成于嵌入式绝缘膜 51 上的硅层 52 上形成有导入着磷 (P) 或砷 (As) 等 n 型杂质的 n 型半导体区域 64a,在此 n 型半导体区域 64a 上形成有元件分离区域 53。在元件分离区域 53 上形成有多晶硅膜 65。此多晶硅膜 65 成为电阻元件 R。在硅层 52 上形成有包含氮化硅膜 66 与氧化硅膜 67 的叠层膜的层间绝缘膜,且以贯穿此层间绝缘膜的方式形成有插塞 PLG。在插塞 PLG 中,存在与成为电阻元件 R 的多晶硅膜 65 电性连接的插塞 PLG。在层间绝缘膜上形成有配线 68,配线 68 与插塞 PLG 电性连接。由此,构成电阻元件 R 的多晶硅膜 65 可以通过配线 68 与其它元件电性连接。

[0210] 如上所述,利用图 4 (截面图) 对形成于半导体芯片 CHP 中的具有代表性的元件进行了说明,但实际上是把这些元件加以组合来形成集成电路。即,通过将图 4 所示的具有代表性的元件加以组合,而在半导体芯片 CHP 中形成实现 RFIC5 的各个功能的集成电路。

[0211] 本实施形态 1 中的半导体装置的一例即 RFIC5 具有对收发信号进行调制及解调的功能,在半导体芯片 CHP 中形成有实现此功能的调制 / 解调电路等。而且,通过对此半导体芯片 CHP 进行封装而作为产品来完成 RFIC5。RFIC5 的封装为例如 BGA (ball grid Array) 或半球 LGA (land grid Array)。BGA 或半球 LGA 是 IC 封装的一种,且是指在布线衬底的背面 (芯片搭载面的相反侧的面) 上成格子状地配置有使焊锡等金属成球状而形成的来自封装的外部连接用电极的形态,它们是表面安装型的封装的一种。以下,对 RFIC5 的安装构成

进行说明。

[0212] 图 5 是表示本实施形态 1 中的半导体装置的封装的图。如图 5 所示,本实施形态 1 中的半导体装置在成矩形形状的布线衬底 1S 上搭载有半导体芯片 CHP。半导体芯片 CHP 成矩形形状,并形成有实现上述的 RFIC 的功能的集成电路。沿布线衬底的四条边形成有成矩形形状的电极 E,此电极 E 是以导线 W 与沿半导体芯片 CHP 的四条边所形成的焊垫 PD 电性连接。如此,半导体芯片 CHP 与布线衬底 1S 电性连接。

[0213] 继而,图 6 是表示布线衬底 1S 的背面的图。即,图 6 是表示搭载有半导体芯片 CHP 的布线衬底的表面(芯片搭载面)的相反侧的背面的图。如图 6 所示,在布线衬底 1S 的背面上形成有多个外部连接端子 BL,此外部连接端子 BL 是成格子状配置在布线衬底 1S 的背面上。图 6 所示的外部连接端子 BL 与图 5 所示的形成于布线衬底 1S 的表面的电极 E 电性连接。因此,向形成于半导体芯片 CHP 中的集成电路输入及输出的信号,从形成于半导体芯片 CHP 的表面的焊垫 PD 经由导线 W 而传输到形成于布线衬底 1S 的表面的电极 E 中。然后,传输到布线衬底 1S 的表面上所形成的电极 E 的输入及输出信号将经由电极 E 及例如贯穿布线衬底 1S 的通孔,传输到布线衬底 1S 的背面上所形成的外部连接端子 BL。即,向半导体芯片 CHP 输入及输出的信号以经由形成于布线衬底 1S 上的外部连接端子 BL 传输到外部的方式构成。

[0214] 在本实施形态 1 中,在布线衬底 1S 的背面形成有外部连接端子 BL,根据此外部连接端子 BL 的状态而实现多种不同的封装形态。图 7 是以截面来对图 5 及图 6 所示的半导体装置的封装形态的一例进行说明的图。如图 7 所示,在布线衬底 1S 的表面(上表面)上搭载有半导体芯片 CHP,此半导体芯片 CHP 与布线衬底 1S 是以导线 W 连接于一起。且,布线衬底 1S 的芯片搭载面(表面)由树脂 M 密封。另一方面,在布线衬底 1S 的背面(芯片搭载面的相反侧的面)上形成有外部连接端子 BL。在图 7 所示的封装形态中,由焊球 Ba 形成外部连接端子 BL。将此图 7 所示的封装形态称为 BGA(Ball GridArray),BGA 的特征在于形成为焊球 Ba 的高度高于 0.1mm。

[0215] 相对于此,图 8 也是以截面对图 5 及图 6 所示的半导体装置的封装形态的一例进行说明的图。在图 8 所示的半导体装置的封装中,也在布线衬底 1S 的表面(上表面)上搭载有半导体芯片 CHP,此半导体芯片 CHP 与布线衬底 1S 是以导线 W 连接于一起。而且,布线衬底 1S 的芯片搭载面(表面)由树脂 M 密封。另一方面,在布线衬底 1S 的背面(芯片搭载面的相反侧的面)上形成有外部连接端子 BL。在图 8 所示的封装形态中,由包含焊锡的半球 HBa 形成外部连接端子 BL。将此图 8 所示的封装形态称为半球 LGA(Land GridArray),半球 LGA 的特征在形成为半球 HBa 的高度为 0.1mm 以下。

[0216] 如此,根据外部连接端子 BL 的构成,半导体装置的封装形态可以分成 BGA 与半球 LGA。在以下所说明的本实施形态 1 中,以半球 LGA 为例进行说明。

[0217] 图 9 是表示本发明者所研究的半球 LGA 中的布线衬底 1S 的构成的图。图 9 将布线衬底 1S 的芯片搭载面(表面)的构成及布线衬底 1S 的芯片搭载面的相反侧的面(背面)的构成叠加在一起进行图示。即,在图 9 中,沿布线衬底 1S 的四条边配置的电极 E 与在电极 E 的内侧区域成格子状配置的焊盘 LND1 是形成于布线衬底 1S 的表面的构成要素。此处,形成于布线衬底 1S 的表面的电极 E 与焊盘 LND1 是以配线连接于一起,但在图 9 中,因变得复杂,所以省略连接电极 E 与焊盘 LND1 的配线的图示。

[0218] 相对于此,在图 9 中,配线 L2 及成格子状配置的焊盘 LND3 是形成于布线衬底 1S 的背面的构成要素。而且,图示有贯穿布线衬底 1S 的表面与布线衬底 1S 的背面的通孔 V。根据以上的构成要素可知形成于布线衬底 1S 的表面的焊盘 LND1 与形成于焊盘 LND1 的正下方的通孔 V 连接。而且,到达布线衬底 1S 的背面的通孔 V 与形成于布线衬底 1S 的背面的配线 L2 连接,此配线 L2 与形成于布线衬底 1S 的背面的焊盘 LND3 连接。在形成于布线衬底 1S 的背面的焊盘 LND3 上搭载有包含焊锡的半球,但图 9 中省略半球的图示。

[0219] 此处,要强调的是在本发明者所研究的技术中的通孔 V 与形成于布线衬底 1S 的背面的焊盘 LND3 的位置关系。即,如图 9 所示,通孔 V 与形成于布线衬底 1S 的背面的焊盘 LND3 偏离配置为不在平面上重叠,通孔 V 与焊盘 LND3 以由形成于布线衬底 1S 的背面的配线 L2 连接的方式构成。此种通孔 V 与焊盘 LND3 的位置关系在本发明者所研究的技术中较普遍。

[0220] 以上述方式在布线衬底 1S 的背面上形成有焊盘 LND3,但此焊盘 LND3 的构成形态有多种形态。以下,对形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态进行说明。

[0221] 图 10 是表示形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态的一例的图。图 10 中放大表示形成于布线衬底 1S 的背面的一个焊盘 LND3 与一个通孔 V。如图 10 所示,布线衬底 1S 的背面由阻焊剂 SR 覆盖,在此阻焊剂 SR 上形成有开口部 K。且,将焊盘 LND3 配置为内包在此开口部 K 中。即,开口部 K 及焊盘 LND3 由圆形形状构成,且开口部 K 的口径形成为大于焊盘 LND3 的直径。将此种焊盘 LND3 的构成形态称为 NSMD(Non Solder Mask Defined)。NSMD 可以称作如下的构成形态,即焊盘 LND3 的直径小于形成于阻焊剂 SR 上的开口部 K 的口径,整个焊盘 LND3 内包于开口部 K 中且焊盘 LND3 露出。从开口部 K 露出的焊盘 LND3 上连接有配线 L2,此配线 L2 与通孔 V 连接。具体而言,在布线衬底 1S 的背面以与通孔 V 在平面上重叠的方式形成有内包着通孔 V 的焊盘 LND2,此焊盘 LND2 与焊盘 LND3 是以配线 L2 连接于一起。通孔 V 与焊盘 LND2 及配线 L2 的一部分由阻焊剂 SR 覆盖。另一方面,因以内包于阻焊剂 SR 上所形成的开口部 K 中的方式形成有焊盘 LND3,所以焊盘 LND3 及与此焊盘 LND3 连接的配线 L2 的一部分从开口部 K 露出。

[0222] 图 11 是以图 10 的 A-A 线进行切断而成的截面图。如图 11 所示,在布线衬底 1S 中形成有通孔 V,在此孔的侧面形成有导电膜 CF2。在形成有导电膜 CF2 的通孔 V 上,一体地形成有焊盘 LND2、配线 L2 及焊盘 LND3。而且,可知一体地形成的焊盘 LND2 及配线 L2 的一部分由阻焊剂 SR 覆盖,另一方面,配线 L2 的一部分及焊盘 LND3 从形成于阻焊剂 SR 上的开口部 K 露出。此种焊盘 LND3 的构成形态为 NSMD。

[0223] 继而,对焊盘 LND3 的其它构成形态进行说明。图 12 中放大表示形成于布线衬底 1S 的背面的一个焊盘 LND3 及一个通孔 V。如图 12 所示,布线衬底 1S 的背面由阻焊剂 SR 覆盖,在此阻焊剂 SR 上形成有开口部 K。而且,焊盘 LND3 从开口部 K 露出。图 12 所示的焊盘 LND3 较形成于阻焊剂 SR 上的开口部 K 形成得更大,焊盘 LND3 的外周区域由阻焊剂 SR 覆盖。即,焊盘 LND3 及开口部 K 成圆形形状,且焊盘 LND3 的直径大于开口部 K 的口径。将此种焊盘 LND3 的构成形态称为 SMD(Solder Mask Defined)。SMD 与焊盘 LND3 的直径小于开口部 K 的口径的 NSMD 不同,焊盘 LND3 的直径大于开口部 K 的口径。因此,在 SMD 中,并非是整个焊盘 LND3 从形成于阻焊剂 SR 上的开口部 K 露出,而是仅焊盘 LND3 的中央区域露出,焊盘 LND3 的周边区域由阻焊剂 SR 覆盖。即, SMD 可以称作如下的构成形态,即焊盘

LND3 的直径大于形成于阻焊剂 SR 上的开口部 K 的口径,开口部 K 内包于焊盘 LND3 中且焊盘 LND3 的一部分露出。

[0224] 焊盘 LND3 上连接有配线 L2,且此配线 L2 与通孔 V 连接。具体而言,在布线衬底 1S 的背面以与通孔 V 在平面上重叠的方式形成有内包着通孔 V 的焊盘 LND2,此焊盘 LND2 与焊盘 LND3 是以配线 L2 连接于一起。通孔 V 与焊盘 LND2 及配线 L2 由阻焊剂 SR 覆盖。即,在 SMD 中,仅焊盘 LND3 的一部分从开口部 K 露出,与焊盘 LND3 连接的配线 L2、焊盘 LND2 及通孔 V 全部由阻焊剂覆盖。

[0225] 图 13 是以图 12 的 A-A 线切断的截面图。如图 13 所示,在布线衬底 1S 中形成有通孔 V,在此通孔的侧面上形成有导电膜 CF2。在形成有导电膜 CF2 的通孔 V 上,一体地形成有焊盘 LND2、配线 L2 及焊盘 LND3。而且,可知一体地形成的焊盘 LND2、配线 L2 的全部及焊盘 LND3 的一部分(外周区域)由阻焊剂 SR 覆盖,另一方面,焊盘 LND3 的一部分(中央区域)从形成于阻焊剂 SR 上的开口部 K 露出。此种焊盘 LND3 的构成形态为 SMD。

[0226] 如上所述,形成于布线衬底 1S 的背面的焊盘 LND3 可以根据与形成于阻焊剂 SR 上的开口部 K 的关系而分成 NSMD 与 SMD 中的任一种构成形态。NSMD 可以称作如下的构成形态,即整个焊盘 LND3 从形成于阻焊剂 SR 上的开口部 K 露出,且与焊盘 LND3 连接的配线 L2 的一部分也从开口部 K 露出。另一方面,SMD 可以称作如下的构成形态,即仅焊盘 LND3 的一部分(中央区域)从形成于阻焊剂 SR 上的开口部 K 露出,且与焊盘 LND3 连接的配线 L2 由阻焊剂 SR 覆盖。

[0227] 如上所述,根据本发明者所研究的技术,形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态有 NSMD 与 SMD,但就提高焊盘 LND3 与半球的密接性的观点而言,NSMD 优于 SMD。对其原因进行说明。当焊盘 LND3 的构成形态为 SMD 时,因开口部 K 内包于焊盘 LND3 内,所以从开口部 K 露出的焊盘 LND3 的区域仅为焊盘 LND3 的上表面(参照图 13)。相对于此,当焊盘 LND3 的构成形态为 NSMD 时,因整个焊盘 LND3 从开口部 K 露出,所以不仅焊盘 LND3 的上表面,焊盘 LND3 的侧面也从开口部 K 露出(参照图 11)。即,焊盘 LND3 由例如金属膜形成,当焊盘 LND3 的构成形态为 SMD 时仅金属膜的表面露出,相对于此,当焊盘 LND3 的构成形态为 NSMD 时不仅金属膜的表面,金属膜的膜厚方向的侧面也露出。因此,NSMD 较 SMD 露出的面积更大,焊盘 LND3 与搭载于焊盘 LND3 上的半球的黏接面积增大。由此可知,NSMD 与 SMD 相比,可以提高焊盘 LND3 与半球的密接性。即,如果考虑提高焊盘 LND3 与半球的黏接强度,则可以认为使用 NSMD 较使用 SMD 更理想。

[0228] 但是,NSMD 存在如下所示的问题。关于此方面将利用图 14 进行具体说明。图 14(a) 是表示相对于焊盘 LND3 而正常地形成有开口部 K 的 NSMD 的图。相对于此,图 14(b) 表示相对于焊盘 LND3 而使开口部 K 向纸面下侧方向偏离来形成开口部 K 的 NSMD,图 14(c) 表示相对于焊盘 LND3 而使开口部 K 向纸面上侧方向偏离来形成开口部 K 的 NSMD。

[0229] 在 NSMD 中,如图 14(a) ~ 图 14(c) 所示,开口部 K 的口径大于焊盘 LND3 的直径的结果,不仅焊盘 LND3,与焊盘 LND3 连接的配线 L2 的一部分也从开口部 K 露出。此时,例如,如图 14(b) 或图 14(c) 所示,如果将阻焊剂 SR 开口而形成的开口部 K 是相对于焊盘 LND3 偏离地形成,则从开口部 K 露出的配线 L2 的面积会产生变化。例如,如图 14(b) 所示,如果开口部 K 相对于焊盘 LND3 向纸面下侧方向偏离,则从开口部 K 露出的配线 L2 的面积会变小。另一方面,如图 14(c) 所示,如果开口部 K 相对于焊盘 LND3 向纸面上侧方向偏离,则从

开口部 K 露出的配线 L2 的面积增大。其结果,如果开口部 K 是相对于焊盘 LND3 偏离地形成,则将从开口部 K 露出的焊盘 LND3 的面积与从开口部 K 露出的配线 L2 的面积相加而成的总面积会产生变化。即,即便开口部 K 的偏离是可以内包焊盘 LND3 的程度的轻微偏离,从开口部 K 露出的配线 L2 的面积也会产生变化。此时,与半球接触(濡湿)的露出面积会于各个开口部 K 上而改变。由此,半球的高度会于各个开口部 K 上而变得不同,在搭载于布线衬底 1S 的背面的多个半球中,高度不均将增大。如果半球的高度不均增大,则将布线衬底 1S 安装在母板上时有可能会产生安装不良。

[0230] 上述问题的前提是相对于焊盘 LND3 而产生开口部 K 的对位偏离,实际上在半导体装置的制造步骤中会产生焊盘 LND3 与开口部 K 的对位偏离。因此,在 NSMD 中,形成于焊盘 LND3 上的半球的高度不均成为重要的问题。相对于此,在 SMD 中并未产生上述问题。图 15(a) 是表示相对于焊盘 LND3 而正常地形成开口部 K 的 SMD 的图。相对于此,图 15(b) 表示相对于焊盘 LND3 而使开口部 K 向纸面下侧方向偏离来形成开口部 K 的 SMD,图 15(c) 表示相对于焊盘 LND3 而使开口部 K 向纸面上侧方向偏离来形成开口部 K 的 SMD。

[0231] 在 SMD 中,如图 15(a) ~ 图 15(c) 所示,开口部 K 的口径小于焊盘 LND3 的直径的结果,仅焊盘 LND3 从开口部 K 露出。例如,如图 15(b) 或图 15(c) 所示,即便将阻焊剂 SR 开口而形成的开口部 K 是相对于焊盘 LND3 偏离地形成,也只有焊盘 LND3 的一部分从开口部 K 露出,从开口部 K 露出的露出面积未产生变化。因此,在 SMD 中,即便开口部 K 相对于焊盘 LND3 偏离地形成,与半球接触(濡湿)的露出面积在多个开口部 K 上也相同。由此可以认为,不存在半球的高度在各个开口部 K 上不同的情况,在搭载于布线衬底 1S 的背面的多个半球中,不存在高度不均成为问题的情况。

[0232] 由此,现实中为了确保布线衬底 1S 与母板的安装可靠性,使用 SMD 的焊盘 LND3 而非使用 NSMD 的焊盘 LND3。但是,在 SMD 中,因焊盘 LND3 与半球的黏接强度变弱,所以无法避免将半球 LGA 安装在母板上时的连接寿命下降的问题。即,因 NSMD 较 SMD 更能够增强焊盘 LND3 与半球的黏接强度,所以 NSMD 较 SMD 更能够延长半球 LGA 与母板的连接寿命。因此,只要可以抑制作为 NSMD 的问题点的半球的高度不均,则就能够获得使用 NSMD 的优点。因此,在本实施形态 1 中,使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD,并设法能够抑制因使用 NSMD 作为焊盘 LND3 的构成形态而产生的半球的高度不均。以下,对使用 NSMD 作为焊盘 LND3 的构成形态,并且实现抑制半球的高度不均的实施形态 1 中的半导体装置进行说明。

[0233] 图 16 是表示本实施形态 1 中的布线衬底 1S 的示意性的构成的图。图 16 将布线衬底 1S 的芯片搭载面(表面)的主要构成与布线衬底 1S 的芯片搭载面的相反侧的面(背面)的主要构成叠加在一起进行图示。即,在图 16 中,沿布线衬底 1S 的四条边配置的电极 E 与在电极 E 的内侧区域成格子状配置的焊盘 LND1 是形成于布线衬底 1S 的表面的构成要素。此处,形成于布线衬底 1S 的表面的电极 E 与焊盘 LND1 是以配线连接一起,但在图 16 中,因变得复杂,所以省略连接电极 E 与焊盘 LND1 的配线的图示。

[0234] 相对于此,在图 16 中,形成为格子状的焊盘 LND3(以点线表示)是形成于布线衬底 1S 的背面的构成要素。而且,图示有贯穿布线衬底 1S 的表面与布线衬底 1S 的背面的通孔 V。根据以上的构成要素可知形成于布线衬底 1S 的表面的焊盘 LND1 与形成于焊盘 LND1 的正下方的通孔 V 连接。而且,到达布线衬底 1S 的背面的通孔 V 与形成于布线衬底 1S 的

背面的焊盘 LND3 直接连接。即,在布线衬底 1S 的背面,在平面上包含通孔 V 的焊盘 LND3 形成于通孔 V 的正上方。此点是与图 9 中所说明的技术的不同点,且此点是本实施形态 1 的特征之一。如图 16 所示,本实施形态 1 的特征在于如下方面:在布线衬底 1S 的背面,并非以配线 L2 连接通孔 V 与焊盘 LND3,而是直接在通孔 V 上形成焊盘 LND3。在本说明书中,将如下构造称为「焊盘内通孔 (land on via) 构造」,此构造是指将形成于布线衬底 1S 的背面的焊盘 LND3 形成为与通孔 V 在平面上重叠,且以在平面上内包通孔 V 的方式形成焊盘 LND3。此焊盘内通孔构造也被称为所谓的焊垫内通孔 (pad on via)。即,焊盘内通孔与焊垫内通孔的意思相同。

[0235] 此外,在形成于布线衬底 1S 的背面的焊盘 LND3 上搭载有包含焊锡的半球,在图 16 中省略半球的图示。

[0236] 其次,图 17 是表示布线衬底 1S 的背面的图。如图 17 所示,多个焊盘 LND3 成格子状地形成于布线衬底 1S 的背面。此焊盘 LND3 形成所谓的焊盘内通孔构造,即直接形成于在平面上内包于焊盘 LND3 中的通孔 V 上,且焊盘 LND3 成为 NSMD 的形态。即,以在平面上内包焊盘 LND3 的方式在阻焊剂 SR 上形成有开口部 K。如上所述,在本实施形态 1 中的布线衬底 1S 的背面,以在平面上内包于阻焊剂 SR 上所形成的开口部 K 中的方式形成焊盘 LND3,且以在平面上内包于此焊盘 LND3 的方式形成通孔 V。换言之,焊盘 LND3 与通孔 V 的电性连接未使用配线(例如图 9 的配线 L2)。

[0237] 继而,图 18 是表示形成于布线衬底 1S 的背面的焊盘内通孔构造,且焊盘 LND3 的构成形态为 NSMD 的构造的截面图。在图 18 中,以贯穿布线衬底 1S 的方式形成有通孔 V,在此通孔 V 的侧面形成有导电膜 CF2。而且,在布线衬底 1S 的背面(图 18 的下面),以与通孔 V 直接连接的方式形成有焊盘 LND3。即,构成在焊盘 LND3 上直接形成有通孔 V 的焊盘内通孔构造。而且,以包含焊盘 LND3 的方式形成开口部 K。此开口部 K 形成为将形成于布线衬底 1S 的背面的阻焊剂 SR 开口,且开口部 K 的口径大于焊盘 LND3 的直径,以使焊盘 LND3 的构成形态为 NSMD。在成为 NSMD 形态的焊盘 LND3 上配置有半球 HBa。

[0238] 另一方面,在布线衬底 1S 的表面(图 18 的上面),以与通孔 V 连接的方式形成焊盘 LND1,且配线 L1 以与此焊盘 LND1 连接的方式延伸。在布线衬底 1S 的表面形成有阻焊剂 SR,形成于布线衬底 1S 的表面的焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。

[0239] 其次,图 19 是将形成于布线衬底 1S 的背面的一个焊盘 LND3 的构成放大表示的图。如图 19 所示,在阻焊剂 SR 上形成有圆形形状的开口部 K,且以包含于此开口部 K 的内部的方式形成有圆形形状的焊盘 LND3。因此,本实施形态 1 中的焊盘 LND3 的构成形态成为 NSMD,但仅整个焊盘 LND3 从开口部 K 露出,例如配线并未露出。其原因在于:在本实施形态 1 中形成如下的焊盘内通孔构造,即焊盘 LND3 与通孔并未使用配线进行连接,而直接在通孔上形成焊盘 LND3。即,本实施形态 1 的特征在于:虽然使焊盘 LND3 的构成形态为 NSMD,但仅有焊盘 LND3 的整个面积从开口部 K 露出。

[0240] 图 20 是以图 19 的 A-A 线切断的截面图。如图 20 所示,在布线衬底 1S 上形成有贯穿布线衬底 1S 的通孔 V,在通孔 V 的侧面形成有导电膜 CF2。以与此通孔 V 直接连接的方式形成有焊盘 LND3。即,通过将焊盘 LND3 配置于通孔 V 的正上方,不使用配线而使通孔 V 与焊盘 LND3 电性连接。因此,在布线衬底 1S 的背面(图 20 的上面),即便形成使开口部 K 的口径大于焊盘 LND3 的直径的 NSMD,也只有焊盘 LND3 从开口部 K 露出。另一方面,在布

线衬底 1S 的表面（图 20 的下面），也如图 18 所说明般，以与通孔 V 连接的方式形成有焊盘 LND1，且配线 L1 以与此焊盘 LND1 连接的方式延伸。在布线衬底 1S 的表面形成有阻焊剂 SR，形成于布线衬底 1S 的表面的焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。

[0241] 根据以上的说明可知，本实施形态 1 的特征在于，采用将形成于布线衬底 1S 的背面的焊盘 LND3 直接形成于通孔 V 上的焊盘内通孔构造，且使焊盘 LND3 的构成形态为 NSMD。由此，可以一面使焊盘 LND3 的构成形态为 NSMD，一面使从形成于阻焊剂 SR 上的开口部 K 露出的构成要素（构件）仅为圆形形状的焊盘 LND3。以下，一面参照图式一面对基于本实施形态 1 的特征的效果进行说明。

[0242] 图 21(a) 是表示在本实施形态 1 中的焊盘内通孔构造中，相对于焊盘 LND3 而正常地形成开口部 K 的 NSMD 的图。相对于此，图 21(b) 表示在本实施形态 1 中的焊盘内通孔构造中，相对于焊盘 LND3 而使开口部 K 向纸面下侧方向偏离来形成开口部 K 的 NSMD，图 21(c) 表示在本实施形态 1 中的焊盘内通孔构造中，相对于焊盘 LND3 而使开口部 K 向纸面上侧方向偏离来形成开口部 K 的 NSMD。在图 21(a)～图 21(c) 中的任一者中，均是只有圆形形状的焊盘 LND3 从形成于阻焊剂 SR 上的开口部 K 露出。即，如图 21(a)～图 21(c) 所示，在本实施形态 1 中的焊盘内通孔构造中，即便开口部 K 的形成位置相对于焊盘 LND3 产生略微偏离，也只有圆形形状的焊盘 LND3 从开口部 K 露出。此表示即便开口部 K 的形成位置相对于 NSMD 的焊盘 LND3 产生偏离，从开口部 K 露出的金属膜的露出面积也不会产生变化。即，在图 14(a)～图 14(c) 所示的通常的 NSMD 中，如果开口部 K 的形成位置相对于焊盘 LND3 产生偏离，则必然会产生与焊盘 LND3 连接的配线 L2 的露出面积产生变化的情形。相对于此，在本实施形态 1 中，因采用使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 直接连接的焊盘内通孔构造，所以不需要连接焊盘 LND3 与通孔 V 的配线。因此，即便使焊盘 LND3 的构成形态为 NSMD，从开口部 K 露出的金属膜也仅为圆形形状的焊盘 LND3。因此，在本实施形态 1 中，即便是产生开口部 K 相对于焊盘 LND3 偏离的情况时，也可以使从开口部 K 露出的焊盘 LND3 的露出面积在多个开口部 K 上达到均匀。由此，即便使焊盘 LND3 的构成形态为 NSMD，也可以使焊盘 LND3 与形成于其上的半球的接触面积（濡湿面积）在各焊盘 LND3 上达到均匀。其结果，即便使焊盘 LND3 的构成形态为 NSMD，也可以抑制形成于焊盘 LND3 上的半球的高度不均，从而可以提高将半球 LGA 安装于母板上时的连接可靠性。

[0243] 即，在本实施形态 1 中，使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造，由此即便使焊盘 LND3 的构成形态为 NSMD，也可以抑制配置于焊盘 LND3 上的半球的高度不均。换言之，通过采用本实施形态 1 的特征性构成而会产生如下的显着效果，即可以使用能够确保布线衬底 1S（焊盘 LND3）与半球的连接强度的 NSMD，并且可以减轻作为 NSMD 的弱点的半球的高度不均。

[0244] 尤其，如本实施形态 1 般采用焊盘内通孔构造是以使焊盘 LND3 的构成形态为 NSMD 为前提，由此会产生显着的效果。例如即便对 SMD 的焊盘 LND3 使用焊盘内通孔构造也无意义。如图 15 所示，当使焊盘 LND3 的构成形态为 SMD 时，因连接焊盘 LND3 与通孔 V 的配线原本就不会从形成于阻焊剂 SR 上的开口部 K 露出，所以不存在因开口部 K 的对位偏离而导致从开口部 K 露出的焊盘 LND3 与配线 L2 的合计露出面积产生变化这一作为本发明的前提的课题。因此，例如以形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 SMD 的情形为前提，即便存在采用焊盘内通孔构造的技术，也不存在容易想到如本实施形态 1 般在 NSMD

的焊盘 LND3 上形成焊盘内通孔构造的技术的动机。即,在本实施形态 1 中,作为前提,NSMD 较 SMD 更能够提高焊盘 LND3 与半球的连接强度,因此作为半球 LGA,有时欲采用 NSMD 的焊盘 LND3。然而,在知道 NSMD 的焊盘 LND3 存在会产生半球的高度不均的弱点之后,便会有克服此弱点的课题(动机)。此动机是在以使焊盘 LND3 的构成形态为 SMD 为前提的技术中不可能存在的动机。即,当使焊盘 LND3 的构成形态为 SMD 时,即便使焊盘 LND3 与通孔 V 的构成为焊盘内通孔构造,也不存在有意义的优点。如本实施形态 1 般,将焊盘内通孔构造应用于 NSMD 的焊盘 LND3,由此初次可以获得如下显着的效果,即可以抑制作为 NSMD 的弱点的半球的高度不均,并且可以利用能够谋求焊盘 LND3 与半球的安装强度的提高这一 NSMD 的优点。

[0245] 进而,通过在 NSMD 的焊盘 LND3 上采用焊盘内通孔构造而会产生新的效果。对此效果进行说明。例如当使用配线连接焊盘 LND3 与通孔 V 而非采用焊盘内通孔构造时,焊盘 LND3 与配线的一部分将从形成于阻焊剂 SR 上的开口部露出。因此,半球形成为覆盖露出的焊盘 LND3 与露出的配线的一部分。此时,焊盘 LND3 成圆形形状且面积也较大,因此焊盘 LND3 与半球的黏接强度较高。然而,配线较细且面积也较小,因此在黏接配线与半球的部分上,因施加于半球上的应力而会产生半球与配线一同从布线衬底 1S 脱落的情形。此时,半球从半球 LGA 上脱离而导致安装不良。

[0246] 关于此点,在本实施形态 1 中,使焊盘 LND3 与通孔 V 的构成为焊盘内通孔构造。因此,即便为使焊盘 LND3 的构成形态为 NSMD 的情形时,从形成于阻焊剂 SR 上的开口部露出的金属膜也只有焊盘 LND3。由此,在本实施形态 1 中,半球仅与形成圆形形状的焊盘 LND3 黏接。即,在本实施形态 1 中,即便使焊盘 LND3 的构成形态为 NSMD,因不存在连接焊盘 LND3 与通孔 V 的配线,所以不存在配线与半球黏接的情形。因此,半球仅与面积较大且与布线衬底牢固地粘接的焊盘 LND3 黏接,因此可以防止半球从布线衬底 1S 上脱落。

[0247] 在本实施形态 1 中,通过在 NSMD 的焊盘 LND3 上采用焊盘内通孔构造,也会产生其它效果。例如,搭载于半球 LGA 上的半导体芯片 CHP 形成实现处理高频信号的 RFIC 的功能的集成电路。此时,就高频信号而言,如果配线长度变长则会引起阻抗(电感)上升,从而导致高频电路的电气特性劣化。由此,例如在使用配线连接焊盘 LND3 与通孔 V 的情形时,因配线而引起的阻抗(电感)的上升会成为问题。相对于此,在本实施形态 1 中,使焊盘 LND3 与通孔 V 的构成为焊盘内通孔构造。因此,可以省去连接焊盘 LND3 与通孔 V 的配线。此意味着半球 LGA 中的配线长度变短,尤其,可以抑制高频电路的电气特性的劣化。即,在本实施形态 1 中,例如当在半球 LGA 上搭载组装有 RFIC 等高频电路的半导体芯片 CHP 时,可以获得如下显着的效果,即不仅能够提高半球 LGA 的安装可靠性,也能够抑制高频电路的电气特性的劣化。

[0248] 其次,对布线衬底 1S 的表面(芯片搭载面)上的配线的布局进行说明。图 22 是从芯片搭载面(表面)侧观察本实施形态 1 中的布线衬底 1S 的图。如图 22 所示,沿形成矩形形状的布线衬底 1S 的四条边并排配置有成矩形形状的电极 E。而且,在此电极 E 的内侧区域配置有焊盘 LND1 及通孔 V。焊盘 LND1 及通孔 V 在布线衬底 1S 的表面上成格子状地形成有多个。这些电极 E 及焊盘 LND1 是形成于布线衬底 1S 的表面的构成要素,通孔 V 以贯穿布线衬底 1S 的方式形成。此时,以例如导线来连接沿布线衬底 1S 的四条边形成的电极 E 与搭载于布线衬底 1S 的表面的半导体芯片(未图示)。而且,此电极 E 与形成于

布线衬底 1S 的表面的焊盘 LND1 连接,其后,焊盘 LND1 经由通孔 V 与形成于布线衬底 1S 的背面的外部连接端子(例如半球)连接。

[0249] 以下,对在布线衬底 1S 的表面连接电极 E 与焊盘 LND1 的配线布局进行说明。如图 22 所示,利用形成于布线衬底 1S 的表面的配线 L1 使电极 E 与焊盘 LND1 电性连接。在图 22 中,简化起见,仅在一部分上图示有配线 L1,但实际上,相对于全部的电极 E 与焊盘 LND1 均连接有配线 L1。此处,因焊盘 LND1 成格子状地配置于电极 E 的内侧,所以例如将配置于最内侧的焊盘 LND1 与电极 E 连接于一起的配线 L1 形成为避开配置成格子状的外侧的焊盘 LND1,并通过焊盘 LND1 间的空间。因此,必须确保使配线 L1 延伸的空间。

[0250] 此处,本实施形态 1 的特征在于如下方面:使形成于布线衬底 1S 的背面的焊盘(焊盘 LND3(在图 22 中未图示))与通孔 V 为焊盘内通孔构造。如此,形成焊盘内通孔构造是指在形成于布线衬底 1S 的背面的焊盘(焊盘 LND3)上配置通孔 V。换言之,因在配置于布线衬底 1S 的背面的焊盘(焊盘 LND3)上搭载有作为外部连接端子的半球,所以对应于半球的搭载位置来规定形成于布线衬底 1S 的背面的焊盘(焊盘 LND3)的配置位置。而且,在焊盘内通孔构造中,因在形成于布线衬底 1S 的背面的焊盘(焊盘 LND3)上配置通孔 V,所以通孔 V 的配置位置被规定于半球的搭载位置。即,在本实施形态 1 中,将通孔 V 的配置位置规定成与半球的搭载位置在平面上重叠的位置。以上述方式规定通孔 V 的位置的结果,在布线衬底 1S 的表面上,将形成于通孔 V 上的焊盘 LND1 配置在与半球的搭载位置在平面上重叠的位置上。即,在本实施形态 1 中,因规定使通孔 V 的配置位置与半球的搭载位置在平面上重叠,所以也对应于半球的搭载位置来规定形成于布线衬底 1S 的表面的焊盘 LND1。因此,无法以较容易地缠绕的方式自由地配置配线 L1,此配线 L1 是用于连接形成于布线衬底 1S 的表面的焊盘 LND1 与形成于布线衬底 1S 的表面的电极 E。如此,在本实施形态 1 中,因通孔 V 的配置位置受到规定,而产生连接形成于布线衬底 1S 的表面的焊盘 LND1 与电极 E 的配线 L1 的布局自由度下降的副作用。

[0251] 例如,图 23 表示未使用焊盘内通孔构造时的连接电极 E 与焊盘 LND1 的配线 L1 的布局构成。具体而言,图 23 表示形成于布线衬底 1S 的表面的电极 E、焊盘 LND1 及配线 L1,并且表示形成于布线衬底 1S 的背面的焊盘 LND3 与配线 L2。即,如图 23 所示,在布线衬底 1S 的背面,对应于半球的搭载位置来配置焊盘 LND3。然而,在图 23 中,因未采用焊盘内通孔构造,所以无法对应于布线衬底 1S 的背面上所形成的焊盘 LND3 的位置来设置通孔 V。即,通孔 V 的配置位置可以不规定于搭载有半球的焊盘 LND3 的配置位置而自由地配置。因利用形成于布线衬底的背面的配线 L2 来连接形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V,所以无需对应于布线衬底 1S 的背面上所形成的焊盘 LND3 的位置来设置通孔 V。通孔 V 的位置可以对应于布线衬底 1S 的表面上所形成的焊盘 LND1 而自由地设置。此意味着形成于布线衬底 1S 的表面的焊盘 LND1 的配置自由度得以提高,例如,如图 23 所示,可以在布线衬底 1S 的表面配置焊盘 LND1。因此,可以较容易地缠绕连接基板 1S 的表面上所形成的电极 E 与焊盘 LND1 的配线 L1。

[0252] 然而,在本实施形态 1 中,因采用焊盘内通孔构造,所以例如图 24 所示,以与半球的搭载位置在平面上重叠的方式规定通孔 V 的配置位置。如此规定通孔 V 的配置位置意味着也规定了形成于布线衬底 1S 的表面的焊盘 LND1 的配置位置。即,规定形成于布线衬底 1S 的表面的焊盘 LND1 的配置位置的结果,在布线衬底 1S 的表面,连接电极 E 与焊盘 LND1

的配线 L1 的布局自由度下降。

[0253] 因此,在本实施形态 1 中,设法能够减小在布线衬底 1S 的表面连接电极 E 与焊盘 LND1 的配线 L1 的布局自由度的下降。关于此点,利用图 25 进行说明。图 25 表示使用焊盘内通孔构造时的连接电极 E 与焊盘 LND1 的配线 L1 的布局构成。具体而言,图 25 表示形成于布线衬底 1S 的表面的电极 E、焊盘 LND1 及配线 L1。在图 25 中,通孔 V 对应于未图示的搭载于布线衬底 1S 的背面的半球的搭载位置而设置。因此,对于对应于通孔 V 而形成于布线衬底 1S 的表面的焊盘 LND1 而言,也是对应于半球的搭载位置来规定焊盘 LND1 的配置位置。此处,图 24 与图 25 的不同点在于,从布线衬底 1S 的外周线到排列着焊盘 LND1 的最外列之间的距离不同。即,在图 24 中,从布线衬底 1S 的外周线到排列着焊盘 LND1 的最外列为止的距离为距离 a,相对于此,在图 25 中,从配线 1S 的外周线到排列着焊盘 LND1 的最外列为止的距离为距离 b。距离 b 大于距离 a。具体而言,图 24 中所示的距离 a 小于焊盘 LND1 的间距(也可以称为焊盘 LND3 的间距),图 25 中所示的距离 b 大于焊盘 LND1 的间距(也可以称为焊盘 LND3 的间距)。

[0254] 因此,进行了本实施形态 1 中的设计的图 25,与图 24 相比确保到排列着电极 E 与焊盘 LND1 的最外列为止的空间。由此,图 25 与图 24 相比,可以提高形成于布线衬底 1S 的表面的配线 L1 的布局自由度。因确保到排列着电极 E 与焊盘 LND1 的最外列为止的空间,所以可以充分地确保配线 L1 的缠绕区域。例如在图 24 中,通过焊盘 LND1 间的配线 L1 的根数为 2 根,但在图 25 中,可以使通过焊盘 LND1 间的配线 L1 的根数为 3 根,从而成为可以更容易地将配线 L1 缠绕到配置于布线衬底 1S 的内侧区域的焊盘 LND1 的构成。

[0255] 如上所述,充分地确保到排列着电极 E 与焊盘 LND1 的最外列为止的空间,由此在本实施形态 1 中,可以减小因采用焊盘内通孔构造而导致形成于布线衬底 1S 的表面的配线 L1 的自由度下降这一副作用。

[0256] 在本实施形态 1 中,作为半导体装置,以半球 LGA 为例进行了说明,但本发明并不限于半球 LGA,也可以应用于例如 BGA。其原因在于,BGA 与半球 LGA 除外部连接端子的高度不同以外,其它构成均相同。但是,如果如本实施形态 1 般,特别是将本发明适用于半球 LGA,则会产生如下所示的有用的效果。

[0257] 第 1 点:在半球 LGA 中,外部连接端子(半球)的高度低于 BGA 的外部连接端子(焊球)的高度,因此可以使将半球 LGA 安装于母板(安装基板)上时的总厚度,薄于将 BGA 安装于母板上时的总厚度。此意味着通过使用半球 LGA 则可以实现半导体装置的薄板化。

[0258] 第 2 点:半球 LGA 与 BGA 相比,安装在母板上时相对于冲击力的冲击强度增强。在本实施形态 1 中,使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,由此即便使焊盘 LND3 的构成形态为 NSMD,也可以抑制配置于焊盘 LND3 上的半球的高度不均。半球 LGA 与 BGA 双方均可以获得此效果,进而,在半球 LGA 中,使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD,由此与 BGA 相比冲击强度得以提高。关于此点,一面参照图 26 一面进行说明。

[0259] 图 26 是表示对半球 LGA 与 BGA 对于冲击力的耐受性进行测定所获得的结果的表。测定以在 0.5ms 间施加 1500G 的冲击力为条件来进行。测定对象是以 NSMD 的 BGA 与 NSMD 的半球 LGA 为对象。首先,就对于 NSMD 的 BGA 的评价结果进行说明。如图 26 所示,对于 NSMD 的 BGA 而言,当评价次数为 30 次、50 次时未产生 BGA 从母板上脱落的不良情况。但是,

如果评价次数变成 100 次,则存在一个不良的 BGA,进而,如果评价次数变成 150 次,则存在两个不良的 BGA。然后,如果评价次数变成 200 次,则在 BGA 中存在三个不良的 BGA。相对于此,如图 26 所示,对于 NSMD 的半球 LGA 而言,当评价次数为 30 次、50 次、100 次、150 次及 200 次中的任一者时均未产生半球 LGA 从母板上脱落的不良情况。此表示,与 BGA 相比,半球 LGA 对于冲击力的耐受性更高。因此,可知如本实施形态 1 般,将焊盘内通孔构造、且使焊盘 LND3 的构成形态为 NSMD 的构成应用于半球 LGA,由此可以兼顾提高半球的安装强度与抑制配置于焊盘 LND3 上的半球的高度不均,并且可以提高半球 LGA 对于冲击力的耐受性。

[0260] 本实施形态 1 中的半导体装置以上述方式构成,以下,对其制造方法进行说明。首先,对构成半球 LGA 的布线衬底 1S 的制造步骤进行说明。

[0261] 如图 27 所示,例如准备两表面上贴附有由铜箔形成的导电膜 CF1 的布线衬底 1S。此时,构成布线衬底的基材由例如玻璃-BT(Bismaleimide Triazine,双马来酰亚胺三嗪)材料或者玻璃-耐热环氧树脂材料构成。继而,如图 28 所示,在通孔形成区域中形成通孔 V。通孔 V 是使用钻孔器实施开孔而以贯穿两表面贴附有导电膜 CF1 的布线衬底 1S 的方式形成。

[0262] 其次,如图 29 所示,在贴附于布线衬底 1S 上的导电膜 CF1 的两表面形成由镀铜膜形成的导电膜 CF2。由镀铜膜形成的导电膜 CF2 可以采用例如无电电镀法或者电解电镀法形成。此由镀铜膜形成的导电膜 CF2 也形成于贯穿布线衬底 1S 的通孔 V 的侧面。此外,在形成于布线衬底 1S 的两表面的导电膜 CF1 上也形成有导电膜 CF2,但在图 29 以下的图中将导电膜 CF1 与导电膜 CF2 一体地记载为导电膜 CF1。

[0263] 继而,如图 30 所示,对导电膜 CF1 的表面进行研磨后,在两表面的导电膜 CF1 上贴附干膜 DF。此干膜 DF 是受到紫外线照射后硬化的薄膜,它用于在对导电膜 CF1 进行图案化时形成掩膜。

[0264] 其后,如图 31 所示,在布线衬底 1S 的两侧配置掩膜(未图示),并经由此掩膜照射紫外线。由此,将形成于掩膜上的图案转印到干膜 DF 上。然后,对转印有图案的干膜 DF 进行显影,由此使干膜 DF 图案化。例如,通过显影处理而将干膜 DF 的未受紫外线照射的区域去除。

[0265] 其次,如图 32 所示,使经图案化的干膜 DF 作为掩膜而对导电膜 CF1 进行蚀刻。由此,使形成于干膜 DF 上的图案反映在导电膜 CF1 上。具体而言,在布线衬底 1S 的表面(上表面)形成与通孔 V 连接的焊盘 LND1、以及与焊盘 LND1 连接并延伸的配线 L1。另一方面,在布线衬底 1S 的背面(下表面)形成与通孔 V 连接的焊盘 LND3。由此,形成如下的焊盘内通孔构造:在形成于布线衬底 1S 的背面的焊盘 LND3 上配置有通孔 V。

[0266] 其后,如图 33 所示,将经图案化的干膜 DF 去除。由此,在布线衬底 1S 的表面(上表面),与通孔 V 连接的焊盘 LND1 以及与焊盘 LND1 连接并延伸的配线 L1 露出,而在布线衬底 1S 的背面(下表面),与通孔 V 连接的焊盘 LND3 露出。对在此阶段是否正常地形成图案进行检查。检查中使用例如光学式检查机等。

[0267] 继而,如图 34 所示,在布线衬底 1S 的两表面涂布阻焊剂 SR。在布线衬底 1S 的两表面涂布阻焊剂 SR 时,首先在布线衬底 1S 的一方的面上涂布阻焊剂 SR 并使其暂时干燥。然后,阻焊剂 SR 暂时干燥后,在布线衬底 1S 的另一方的面上涂布阻焊剂 SR 并使其暂时干燥。由此,可以在布线衬底 1S 的两表面形成阻焊剂 SR。此时,在布线衬底 1S 的表面(上表

面),焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。同样,在布线衬底 1S 的背面(下表面),焊盘 LND3 由阻焊剂 SR 覆盖。

[0268] 其次,如图 35 所示,使用光刻技术在阻焊剂 SR 上形成开口部 K。即,在布线衬底 1S 的背面(下表面)形成开口部 K。此开口部 K 是以使形成于布线衬底 1S 的背面(下表面)的焊盘 LND3 露出的方式形成。具体而言,以如下方式形成开口部 K,即开口部 K 的口径大于焊盘 LND3 的直径,且开口部 K 在平面上内包着焊盘 LND3。由此,可以使形成于布线衬底 1S 的背面(下表面)的焊盘 LND3 的构成形态为 NSMD。然后,使阻焊剂 SR 完全硬化(完全干燥)后,在从开口部 K 露出的焊盘 LND3 上形成镀镍/金膜。如此,可以形成在焊盘 LND3 上形成有镀镍/金膜的端子。其后,对布线衬底 1S 进行清洗,并实施外观检查,由此完成布线衬底 1S 的制作。以上述的方式可以制作本实施形态 1 中的布线衬底 1S。

[0269] 此外,在本实施形态 1 中,如图 28 所示,作为形成贯穿布线衬底 1S 的通孔 V 的方法,由使用钻孔器进行开孔来形成通孔 V 的方法,但也可以通过照射激光来形成通孔 V。将此通过照射激光而形成的通孔 V 示于图 36。如图 36 所示,通过照射激光所形成的通孔 V 的特征为:布线衬底 1S 的背面(下表面)侧的孔径小于布线衬底 1S 的表面(上表面)侧的孔径。即,如果从布线衬底 1S 的表面侧照射激光,则形成于布线衬底 1S 的表面的孔径变得最大,其后,随着激光向布线衬底 1S 的背面前进,孔径逐渐变小。而且,通孔 V 的孔径在布线衬底 1S 的背面上变得最小。其结果,可以使在布线衬底 1S 的背面形成于通孔 V 上的焊盘 LND3 的凹陷缩小。即,在通过照射激光而形成通孔 V 时,因可以使布线衬底 1S 的背面的孔径缩小,所以可以使堵塞通孔 V 的表面的焊盘 LND3 上所产生的凹陷缩小。此意味着可以降低形成于焊盘 LND3 上的半球的高度不均。即,在本实施形态 1 中,除利用焊盘内通孔构造可以降低半球的高度不均的效果以外,通过采用以激光照射来形成通孔 V 的方法,可以获得如下的乘数效应,即因形成于通孔 V 上的焊盘 LND3 上所产生的凹陷缩小而使得可以降低半球的高度不均。

[0270] 继而,一面参照图式一面对使用上述布线衬底 1S 来形成半球 LGA(半导体装置)的制造步骤进行说明。图 37 是表示形成半球 LGA 的制造步骤的流程图。首先,使用通常的半导体制造技术在半导体晶片上形成晶体管(MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘半导体场效应晶体管))或配线,由此形成构成 RFIC 的集成电路。

[0271] 其后,如图 38 所示,对半导体晶片 WF 的背面进行研磨(背面研磨)(图 37 的 S101)。半导体晶片 WF 的背面研磨是以如下所示的方式实施。即,使用保护胶带 PT 覆盖半导体晶片 WF 的元件形成面(表面),之后使半导体晶片 WF 的元件形成面(表面)的相反侧的背面朝上配置于载物台上。然后,使用研磨机 G 对半导体晶片 WF 的背面进行研磨,由此使半导体晶片 WF 的厚度变薄。由此,可以进行半导体晶片 WF 的研磨。

[0272] 其次,如图 39 所示,对半导体晶片 WF 进行切割,由此使半导体晶片 WF 单片化成一个一个的半导体芯片(图 37 的 S102)。半导体晶片 WF 的切割是以如下所示的方式实施。首先,将切割胶带 DT 贴附于同心圆状的切割框 DFM 上,之后在此切割胶带 DT 上配置半导体晶片 WF。然后,使用切割刀片 DB,沿切割线对半导体晶片 WF 进行切割,由此使半导体晶片 WF 单片化为半导体芯片。

[0273] 然后,如图 40 所示,将单片化的半导体芯片 CHP 搭载(小片焊接)于经上述步骤

所形成的布线衬底 1S 上（图 37 的 S103）。半导体芯片 CHP 的小片焊接是以如下方式进行，即，以夹头 C1 吸附半导体芯片 CHP 后，将半导体芯片 CHP 配置于布线衬底 1S 上，然后利用绝缘膏 P 来将此半导体芯片 CHP 与布线衬底 1S 黏接于一起。此时，布线衬底 1S 以能够形成多个半球 LGA 的方式成一体化，且在每个半球 LGA 获取区域上分别搭载半导体芯片 CHP。其后，为了提高半导体芯片 CHP 与布线衬底 1S 的黏接强度而进行热处理（烘烤）（图 37 的 S104）。

[0274] 继而，对搭载有半导体芯片 CHP 的布线衬底 1S 的表面（芯片搭载面）实施等离子清洗（图 37 的 S105）。等离子清洗是以提高随后实施的铸模步骤中的树脂与布线衬底 1S 的密接性为目的而实施。

[0275] 其后，如图 41 所示，以导线 W 将形成于布线衬底 1S 上的电极与半导体芯片 CHP 的焊垫连接（丝焊）于一起（图 37 的 S106）。具体而言，以毛细管 C2 对半导体芯片 CHP 的焊垫进行快速接合，其后，使毛细管 C2 移动，由此来对布线衬底 1S 的电极进行第二接合。由此，以例如金线形成的导线 W 使布线衬底 1S 的电极与半导体芯片 CHP 的焊垫电性连接。

[0276] 其次，如图 42 所示，以树脂 M 将布线衬底 1S 的整个芯片搭载面密封（铸模）（图 37 的 S107）。具体而言，以上部模具 UK 与下部模具 BK 从上下夹持搭载有半导体芯片 CHP 的布线衬底 1S，使树脂 M 从插入口流入布线衬底 1S 的芯片搭载面上，由此以树脂 M 将布线衬底 1S 的芯片搭载面密封。其后，为了使树脂 M 硬化，对布线衬底 1S 进行热处理（烘烤）（图 37 的 S108）。

[0277] 继而，如图 43 所示，利用焊锡印刷（solder printing）将焊膏 SP 涂布于布线衬底 1S 的背面（图 37 的 S109）。具体而言，在布线衬底 1S 的背面配置金属掩膜 MSK，利用刮刀 S1 在此金属掩膜 MSK 上印刷焊膏 SP。由此，如图 44 所示，在布线衬底 1S 的焊盘（焊盘 LND3（未图示））上形成焊膏 SP。然后，如图 45 所示，对布线衬底 1S 实施回流焊（图 37 的 S110）。由此，形成于布线衬底 1S 的背面的焊膏 SP 成为半球状的半球 HBa。由此，可以在布线衬底 1S 的背面形成由半球 HBa 形成的外部连接端子。

[0278] 其次，如图 46 所示，对布线衬底 1S 进行切割（封装切割）（图 37 的 S111）。布线衬底 1S 的切割是以如下所示的方式进行。首先，将切割胶带 DT 贴附于同心圆状的切割框 DFM 上后，在此切割胶带 DT 上配置布线衬底 1S。然后，使用切割刀片 DB 对布线衬底 1S 进行切割，由此可以获得一个个封装。图 47 是表示经过以上的步骤所制造的封装 Pa 的截面图。如图 47 所示，封装 Pa 是半球 LGA，且以树脂 M 将布线衬底 1S 的芯片搭载面密封。另一方面，在布线衬底 1S 的芯片搭载面的相反侧的面上形成有由半球 HBa 形成的外部连接端子。由此，可以制造由半球 LGA 形成的封装 Pa，将所制造的封装 Pa 加以收纳并出货（图 37 的 S112）。

[0279] 继而，对将由半球 LGA 形成的封装 Pa 安装于母板（安装基板）上的步骤进行说明。图 48 是表示将由半球 LGA 形成的封装 Pa 安装于母板 MB 上的状态的截面图。如图 48 所示，可知由半球 LGA 形成的封装 Pa 经由作为外部连接端子的半球 HBa 而安装于母板 MB 上。

[0280] 图 49 是对将由半球 LGA 形成的封装 Pa 安装于母板（安装基板）上的状态进行说明的放大截面图。在图 49 中，封装 Pa 具有布线衬底 1S，在此布线衬底 1S 上形成有贯穿布线衬底 1S 的通孔 V。在通孔 V 的侧面形成有包含镀敷膜的导电膜 CF2。且，在布线衬底 1S 的背面（下表面），以与通孔 V 直接连接的方式形成有焊盘 LND3，在焊盘 LND3 上形成有

作为外部连接端子的半球 HBa。由此,形成焊盘内通孔构造。在布线衬底 1S 的背面(下表面)形成有阻焊剂 SR,焊盘 LND3 形成于阻焊剂 SR 上所形成的开口部 K 的内部。此时,开口部 K 的口径形成成为大于焊盘 LND3 的直径,焊盘 LND3 的构成形态为 NSMD。即,本实施形态 1 中的封装 Pa(半球 LGA)是焊盘内通孔构造,且是使焊盘 LND3 的构成形态为 NSMD 的封装。在布线衬底 1S 的表面(上表面)上,以与通孔 V 连接的方式形成有焊盘 LND1,且以此焊盘 LND1 连接的方式形成有配线 L1。形成于布线衬底 1S 的表面上的焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。在此阻焊剂 SR 上形成有树脂 M。如果进行详细说明,虽然图 49 中并未图示,但在形成于布线衬底 1S 的表面(上表面)上的阻焊剂 SR 上搭载有半导体芯片(未图示),且以覆盖此半导体芯片的方式形成有树脂 M。

[0281] 相对于此,对母板 MB 的构成进行说明。母板 MB 具有基板 MS,在此基板 MS 上形成有贯穿基板 MS 的通孔 V2,在此通孔 V2 的侧面形成有导电膜 CF3。在布线衬底 1S 的表面(上表面),以与通孔 V2 连接的方式形成有焊盘 LND4。在布线衬底 1S 的表面(上表面)上形成有阻焊剂 SR2,在形成于此阻焊剂 SR2 上的开口部 K2 的内部形成有焊盘 LND4。此处,开口部 K2 的口径大于焊盘 LND4 的直径,且开口部 K2 形成为内包着焊盘 LND4。以上述方式形成于母板 MB 上的焊盘 LND4 形成于通孔 V2 的正上方的焊盘内通孔构造,且焊盘 LND4 为 NSMD。本实施形态 1 的特征也在于使形成于母板 MB 上的焊盘 LND4 的构成为焊盘内通孔构造,且为 NSMD。另一方面,在基板 MS 的背面(下表面)形成有与通孔 V2 连接的焊盘 LND5、以及与焊盘 LND5 连接的配线 L3。此焊盘 LND5 与配线 L3 由阻焊剂 SR 覆盖。

[0282] 将以上述方式构成的封装 Pa 与母板 MB 黏接于一起。具体而言,首先如图 50 所示,在形成于母板 MB 上的焊盘 LND4 上形成焊膏(焊料)SP2。然后,如图 51 所示,将形成于母板 MB 上的焊膏 SP2 与形成于封装 Pa 上的半球 HBa 加以连接。其后,如图 52 所示,对母板 MB 及封装 Pa 进行回流焊(热处理),由此使形成于封装 Pa 上的半球 HBa 与形成于母板 MB 上的焊膏 SP2 一体化,从而形成接合焊锡 SB。由此,可以将封装 Pa 与母板 MB 黏接于一起。

[0283] 此处,本实施形态 1 的特征也在于使形成于母板 MB 上的焊盘 LND4 的构成为焊盘内通孔构造,且为 NSMD。具体而言,使形成于母板 MB 上的焊盘 LND4 为焊盘内通孔构造,由此可以使接合封装 Pa 与母板 MB 的接合焊锡 SB 的形状成如下形状,即接合焊锡 SB 的中央部的直径大于其上部的直径或下部的直径,从而可以谋求提高封装 Pa 与母板 MB 的接合强度。例如当形成于母板 MB 上的焊盘 LND4 并非为焊盘内通孔构造时,焊盘 LND4 以及连接焊盘 LND4 与通孔 V 的配线的一部分从开口部 K2 露出。此时,在母板 MB 侧,将封装 Pa 与母板 MB 接合的接合焊锡 SB 不仅与圆形形状的焊盘 LND4 接触,也与连接焊盘 LND4 和通孔 V 的配线的一部分接触。因此,接合焊锡 SB 的形状因与连接焊盘 LND4 和通孔 V 的配线的一部分接触而并非为接合焊锡 SB 的中央部的直径大于其上部的直径或下部的直径的形状,从而导致安装强度下降。因此,在本实施形态 1 中,使形成于母板 MB 上的焊盘 LND4 为焊盘内通孔构造,由此可以使在母板 MB 侧与接合焊锡 SB 接触的构成要素仅为圆形形状的焊盘 LND4。其结果,在本实施形态 1 中,可以使接合焊锡 SB 的形状为中央部的直径大于上部的直径或下部的直径的形状,从而可以谋求提高封装 Pa 与母板 MB 的接合强度。

[0284] (实施形态 2) 本实施形态 2 也以半球 LGA 为对象。在上述实施形态 1 中,对如下例子进行了说明,即对形成于布线衬底的背面的所有焊盘采用焊盘内通孔构造,且使焊盘的构成形态为 NSMD。相对于此,在本实施形态 2 中,对如下例子进行说明,即仅对形成于布

线衬底的背面的焊盘的一部分采用焊盘内通孔构造,且使焊盘的构成形态为 NSMD,另一方面,对其它焊盘不采用焊盘内通孔构造,且使焊盘的构成形态为 SMD。

[0285] 图 53 是表示本实施形态 2 的半球 LGA 中的布线衬底 1S 的构成的图。图 53 将布线衬底 1S 的芯片搭载面(表面)的构成及布线衬底 1S 的芯片搭载面的相反侧的面(背面)的构成叠加在一起进行图示。即,在图 53 中,沿布线衬底 1S 的四条边配置的电极 E 与在电极 E 的内侧区域成格子状配置的焊盘 LND1 是形成于布线衬底 1S 的表面的构成要素。此处,形成于布线衬底 1S 的表面的电极 E 与焊盘 LND1 是以配线连接于一起,但在图 53 中,因变得复杂,所以省略连接电极 E 与焊盘 LND1 的配线的图示。

[0286] 相对于此,在图 53 中,配线 L2 与成格子状配置的焊盘 LND3 是形成于布线衬底 1S 的背面的构成要素。且,图示有贯穿布线衬底 1S 的表面与布线衬底 1S 的背面的通孔 V。

[0287] 在图 53 中,本实施形态 2 的特征在于形成于布线衬底 1S 的四角(角部)的焊盘 LND1、通孔 V 及焊盘 LND3 的配置关系。即,在本实施形态 2 中,在布线衬底 1S 的角部,以与形成于布线衬底 1S 的表面(芯片搭载面)的焊盘 LND1 在平面上重叠,且内包于焊盘 LND1 中的方式形成有通孔 V。且,此通孔 V 与形成于布线衬底 1S 的背面的焊盘 LND3 直接连接。即,形成于布线衬底 1S 的背面的焊盘 LND3 配置为形成于通孔 V 的正上方,且在平面上内包着通孔 V。且,形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD。如此,形成于布线衬底 1S 的角部的焊盘 LND3 与通孔 V 形成焊盘内通孔构造,且焊盘 LND3 的构成形态为 NSMD。由此,在布线衬底 1S 的角部,能够提高形成于布线衬底 1S 的角部的焊盘 LND3 与搭载于此焊盘 LND3 上的半球(未图示)的连接强度。

[0288] 因以下理由,使配置于布线衬底 1S 的角部的焊盘 LND3 为焊盘内通孔构造,且使焊盘 LND3 的构成形态为 NSMD。成矩形形状的布线衬底 1S 的角部易于集中有对布线衬底 1S 施加的应力。例如,已知因对布线衬底 1S 施加的温度循环而产生反复的膨胀与收缩,由此膨胀与收缩而产生应力,而此应力在布线衬底 1S 的角部变得最大。由此,配置于布线衬底 1S 的角部的焊盘 LND3 与搭载于此焊盘 LND3 上的半球容易因应力而分离。即,在布线衬底 1S 的角部,因应力集中而导致焊盘 LND3 与半球的连接强度下降。如果半球从形成于布线衬底 1S 的背面的焊盘 LND3 上脱落,则会引起不良情况。

[0289] 如此,就减少半球 LGA 的不良的观点而言,可知必须谋求在应力集中的布线衬底 1S 的角部提高焊盘 LND3 与半球的连接强度。因此,在本实施形态 2 中,使配置于应力集中的布线衬底 1S 的角部的焊盘 LND3 的构成形态为 NSMD,由此来谋求提高焊盘 LND3 与半球的连接强度。但是,如果使焊盘 LND3 的构成形态为 NSMD,则搭载于焊盘 LND3 上的半球的高度不均表面化,所以在本实施形态 2 中,不使用配线而采用焊盘内通孔构造来连接焊盘 LND3 与通孔 V。如上所述,在本实施形态 2 中,为了提高位于布线衬底 1S 的角部的焊盘 LND3 与半球的安装强度,使配置于布线衬底 1S 的角部的焊盘 LND3 的构成形态为 NSMD,为了降低因使焊盘 LND3 的构成形态为 NSMD 而带来的半球的高度不均,而以如下方式构成,即利用焊盘内通孔构造来连接焊盘 LND3 与通孔 V。

[0290] 继而,对配置于布线衬底 1S 的角部以外的部位的焊盘 LND3 的构成进行说明。在本实施形态 2 中,如图 53 所示,对于配置于布线衬底 1S 的角部以外的部位的焊盘 LND3 并未采用焊盘内通孔构造,而使焊盘 LND3 的构成形态为 SMD。如图 53 所示,配置于布线衬底 1S 的角部以外的部位的焊盘 LND3 配置为不与通孔 V 在平面上重叠,此焊盘 LND3 与通孔 V

是以形成于布线衬底 1S 的背面的配线 L2 连接于一起。如上所述,配置于布线衬底 1S 的角部以外的部位的焊盘 LND3 与通孔 V 的连接未采用焊盘内通孔构造。因此,未对应于形成于布线衬底 1S 的背面的焊盘 LND3 的位置来设置通孔 V。即,通孔 V 的配置位置可以不规定于搭载有半球的焊盘 LND3 的配置位置而自由地配置。因形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 是以形成于布线衬底的背面的配线 L2 连接于一起,所以无须对应于形成于布线衬底 1S 的背面的焊盘 LND3 的位置来设置通孔 V。通孔 V 的位置可以对应于形成于布线衬底 1S 的表面的焊盘 LND1 而自由地设置。此意味着形成于布线衬底 1S 的表面的焊盘 LND1 的配置自由度得以提高。

[0291] 图 54 是表示在布线衬底 1S 的表面上连接电极 E 与焊盘 LND1 的配线 L1 的布局构成的图。如图 54 所示,因能够以使配线 L1 易于缠绕的方式来配置通孔 V 的位置,所以可以提高配线 L1 的布局自由度。即,在本实施形态 2 中,就提高配置于布线衬底 1S 的表面的配线 L1 的布局自由度的观点而言,如图 53 所示,未使配置于布线衬底 1S 的角部以外的区域中的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造。但是,当不使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 为焊盘内通孔构造时,如果使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD,则配置于焊盘 LND3 上的半球的高度不均表面化。因此,在本实施形态 2 中,为了提高配置于布线衬底 1S 的表面的配线 L1 的布局自由度,不使配置于布线衬底 1S 的角部以外的区域中的焊盘 LND3 与通孔 V 的连接为焊盘内通孔构造。另一方面,在形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接中不采用焊盘内通孔构造的情形时,如果使焊盘 LND3 的构成形态为 NSMD,则搭载于焊盘 LND3 上的半球的高度不均会成为问题,因此使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 SMD。

[0292] 如果总结本实施形态 2 的特征性构成,则如下:使配置于布线衬底 1S 的角部的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使配置于角部的焊盘 LND3 的构成形态为 NSMD。另一方面,不使配置于布线衬底 1S 的角部以外的区域中的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使配置于角部以外的区域中的焊盘 LND3 的构成形态为 SMD。通过上述方式构成,本实施形态 2 会产生如下的显著效果,即可以一面在应力易于集中的布线衬底 1S 的角部抑制半球的高度不均,一面提高焊盘 LND3 与半球的黏接强度,并且可以确保形成于布线衬底 1S 的表面的配线 L1 的布局自由度。

[0293] (实施形态 3) 本实施形态 3 也以半球 LGA 为对象。在上述实施形态 1 中,对如下例子进行了说明,即对形成于布线衬底的背面的所有焊盘均采用焊盘内通孔构造,且使焊盘的构成形态为 NSMD。相对于此,在本实施形态 3 中,对如下例子进行说明,即仅对形成于布线衬底的背面的焊盘的一部分采用焊盘内通孔构造,且使焊盘的构成形态为 NSMD,另一方面,对其它焊盘不采用焊盘内通孔构造,且使焊盘的构成形态为 SMD。

[0294] 图 55 是表示本实施形态 3 的半球 LGA 中的布线衬底 1S 的构成的图。图 55 将布线衬底 1S 的芯片搭载面(表面)的构成及布线衬底 1S 的芯片搭载面的相反侧的面(背面)的构成叠加在一起进行图示。即,在图 55 中,沿布线衬底 1S 的四条边配置的电极 E 与在电极 E 的内侧区域成格子状配置的焊盘 LND1 是形成于布线衬底 1S 的表面的构成要素。此处,形成于布线衬底 1S 的表面的电极 E 与焊盘 LND1 是以配线连接于一起,但在图 55 中,因变得复杂,所以省略连接电极 E 与焊盘 LND1 的配线的图示。

[0295] 相对于此,在图 55 中,配线 L2 与成格子状配置的焊盘 LND3 是形成于布线衬底 1S

的背面的构成要素。而且,图示有贯穿布线衬底 1S 的表面与布线衬底 1S 的背面的通孔 V。

[0296] 在图 55 中,本实施形态 3 的特征在于形成于布线衬底 1S 的最外列的焊盘 LND1、通孔 V 及焊盘 LND3 的配置关系。即,在本实施形态 3 中,在布线衬底 1S 的最外列,以与形成于布线衬底 1S 的表面(芯片搭载面)的焊盘 LND1 在平面上重叠,且内包于焊盘 LND1 中的方式形成有通孔 V,且此通孔 V 与形成于布线衬底 1S 的背面的焊盘 LND3 直接连接。即,形成于布线衬底 1S 的背面的焊盘 LND3 是配置为形成于通孔 V 的正上方,且在平面上内包着通孔 V。而且,形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD。如此,形成于布线衬底 1S 的最外列的焊盘 LND3 与通孔 V 形成焊盘内通孔构造,且焊盘 LND3 的构成形态为 NSMD。由此,在布线衬底 1S 的最外列,能够提高形成于布线衬底 1S 的背面的焊盘 LND3 与搭载于此焊盘 LND3 上的半球(未图示)的连接强度。

[0297] 根据以下理由,使配置于布线衬底 1S 的最外列的焊盘 LND3 为焊盘内通孔构造,且使焊盘 LND3 的构成形态为 NSMD。如上述实施形态 2 中所说明般,对布线衬底 1S 施加的应力最易于集中在成矩形形状的布线衬底 1S 的角部,且在布线衬底 1S 的四条边的周边应力也增大。即,由于在布线衬底 1S 的四条边的周边应力也集中,因此半球有可能从焊盘 LND3 上脱落。

[0298] 因此,在本实施形态 3 中,为了提高位于布线衬底 1S 的最外列的焊盘 LND3 与半球的安装强度,使配置于布线衬底 1S 的最外列的焊盘 LND3 的构成形态为 NSMD,为了减轻因使焊盘 LND3 的构成形态为 NSMD 所带来的半球的高度不均,而以如下方式构成,即利用焊盘内通孔构造来连接焊盘 LND3 与通孔 V。

[0299] 继而,对配置于布线衬底 1S 的最外列以外的部位的焊盘 LND3 的构成进行说明。在本实施形态 3 中,如图 55 所示,对于配置于布线衬底 1S 的最外列以外的部位的焊盘 LND3 并未采用焊盘内通孔构造,而使焊盘 LND3 的构成形态为 SMD。如图 55 所示,配置于布线衬底 1S 的最外列以外的部位的焊盘 LND3 配置为不与通孔 V 在平面上重叠,此焊盘 LND3 与通孔 V 是由形成于布线衬底 1S 的背面的配线 L2 连接于一起。如上所述,配置于布线衬底 1S 的最外列以外的部位的焊盘 LND3 与通孔 V 的连接未采用焊盘内通孔构造。因此,未对应于形成于布线衬底 1S 的背面的焊盘 LND3 的位置来设置通孔 V。即,通孔 V 的配置位置可以不被规定于搭载有半球的焊盘 LND3 的配置位置而自由地配置。因形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 是由形成于布线衬底的背面的配线 L2 连接于一起,所以无须对应于形成于布线衬底 1S 的背面的焊盘 LND3 的位置来设置通孔 V。通孔 V 的位置可以对应于形成于布线衬底 1S 的表面的焊盘 LND1 而自由地设置。此意味着形成于布线衬底 1S 的表面的焊盘 LND1 的配置自由度得以提高。

[0300] 图 56 是表示在布线衬底 1S 的表面上连接电极 E 与焊盘 LND1 的配线 L1 的布局构成的图。本实施形态 3 的特征为配置于布线衬底 1S 的表面(芯片搭载面)的电极 E 未配置在布线衬底 1S 的最外周。即,如图 56 所示,沿着成矩形形状的布线衬底 1S 的四条边排列有电极 E,在此电极 E 的外侧区域形成有焊盘 LND1 及通孔 V,且在电极 E 的内侧区域也形成有焊盘 LND1 及通孔 V。由于以上述方式构成,因此可以提高将形成于布线衬底 1S 的表面的焊盘 LND1 与电极 E 连接于一起的配线 L1 的布局自由度。即,因存在从电极 E 向外侧区域延伸的配线 L1 与从电极 E 向内侧区域延伸的配线 L1,所以与将全部配线 L1 配置于电极 E 的内侧区域的情形相比,配线 L1 的布局变得容易进行。

[0301] 进而,在本实施形态 3 中,为了提高配置于布线衬底 1S 的表面的配线 L1 的布局自由度,如图 55 所示,未使配置于电极 E 的内侧区域的焊盘 LND3 与通孔 V 的连接为焊盘内通孔构造。另一方面,在形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接不采用焊盘内通孔构造的情形时,如果使焊盘 LND3 的构成形态为 NSMD,则搭载于焊盘 LND3 上的半球的高度不均会成为问题,因此使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 SMD。

[0302] 如果根据以上说明对本实施形态 3 的特征性构成进行总结,则如下:使配置于布线衬底 1S 的最外列的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使配置于布线衬底 1S 的最外列的焊盘 LND3 的构成形态为 NSMD。另一方面,不使配置于布线衬底 1S 的最外列以外的区域中的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使配置于最外列以外的区域中的焊盘 LND3 的构成形态为 SMD。而且,形成不仅在形成于布线衬底 1S 的表面的电极 E 的内侧区域设置有通孔 V,在外侧区域也设置有通孔 V 的构造。

[0303] 通过上述方式构成,本实施形态 3 会产生如下的显著效果,即可以一面在应力易于集中的布线衬底 1S 的最外列抑制半球的高度不均,一面提高焊盘 LND3 与半球的黏接强度,并且可以确保形成于布线衬底 1S 的表面的配线 L1 的布局自由度。

[0304] (实施形态 4) 在本实施形态 4 中,对将本发明应用于 BGA 的例子进行说明。在上述实施形态 1 ~ 3 中对半球 LGA 进行了说明,但它们也可以应用于本实施形态 4 中的 BGA。

[0305] 图 57 是表示本实施形态 4 的由 BGA 形成的封装 Pa 的示意性的构成的截面图。图 57 所示的封装 Pa 具有与图 49 所示的上述实施形态 1 的由半球 LGA 形成的封装 Pa 大致相同的构成。不同点在于:在图 57 所示的封装 Pa 中,焊球 Ba 的高度形成为高于 0.1mm,相对于此,在图 49 所示的封装 Pa 中,半球 HBa 的高度形成为 0.1mm 以下。以下,对图 57 所示的封装 Pa 的构成进行说明。图 57 所示的封装 Pa 具有布线衬底 1S,在此布线衬底 1S 上形成有贯穿布线衬底 1S 的通孔 V。在通孔 V 的侧面形成有由镀敷膜形成的导电膜 CF2。而且,在布线衬底 1S 的背面(下表面),以与通孔 V 直接连接的方式形成有焊盘 LND3,且在焊盘 LND3 上形成有作为外部连接端子的半球 HBa。由此,形成焊盘内通孔构造。在布线衬底 1S 的背面(下表面)形成有阻焊剂 SR,焊盘 LND3 形成于阻焊剂 SR 上所形成的开口部 K 的内部。此时,开口部 K 的口径形成为大于焊盘 LND3 的直径,焊盘 LND3 的构成形态为 NSMD。即,本实施形态 1 中的封装 Pa(BGA) 是焊盘内通孔构造,且是使焊盘 LND3 的构成形态为 NSMD 的封装。在布线衬底 1S 的表面(上表面),以与通孔 V 连接的方式形成有焊盘 LND1,且以此焊盘 LND1 连接的方式形成有配线 L1。形成于布线衬底 1S 的表面的焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。在此阻焊剂 SR 上形成有树脂 M。如果进行详细说明,虽然在图 57 中并未图示,但在形成于布线衬底 1S 的表面(上表面)上的阻焊剂 SR 上搭载有半导体芯片(未图示),且以覆盖此半导体芯片的方式形成有树脂 M。

[0306] 在以上述方式构成的本实施形态 4 中的 BGA 中,与上述实施形态 1 相同,也可以通过将焊盘内通孔构造、且使焊盘 LND3 的构成形态为 NSMD 的构成应用于 BGA,而实现提高焊球 Ba 的安装强度、以及抑制配置于焊盘 LND3 上的焊球 Ba 的高度不均。

[0307] 对本实施形态 4 中的 BGA 的优点进行说明。在 BGA 中,使用焊球 Ba 作为外部连接端子。此焊球 Ba 的高度高于 0.1mm,与作为半球 LGA 的外部连接端子的半球相比,其高度更高。因此,BGA 与半球 LGA 相比,具有能够使外部连接端子的间隙(高度)增大的优点。即,在 BGA 中焊球 Ba 的高度增高,因此当将 BGA 安装于母板上时,具有易于安装的特征。如

果进行具体说明,则如下:当将零件安装于母板上时,在母板上的端子上涂布焊料后安装零件,即便使此焊料形成得较厚,由于在 BGA 中焊球的高度增高,因此可以抑制遍及邻接的焊球间而形成有焊料(焊锡桥),从而可以防止邻接的焊球间的短路不良。即,在母板中除 BGA 等半导体装置以外,也搭载有芯片电容器或电阻等被动零件。为了将此被动零件可靠地安装于母板上,存在使涂布于母板上的焊料的厚度变厚的倾向。即便于此情形时,如果是 BGA,则由于外部连接端子(焊球 Ba)的高度增高,因此可以减少因邻接的焊球间的焊料所引起的短路不良。如此,BGA 具有安装于母板上时的安装容易性较高的优点。

[0308] 其次,对本实施形态 4 中的 BGA 的制造步骤进行说明,本实施形态 4 中的 BGA 的制造步骤与上述实施形态 1 中的半球 LGA 的制造步骤大致相同。即,图 58 是表示本实施形态 4 中的 BGA 的制造步骤的流程图,图 58 所示的 S201 ~ S212 与图 37 所示的 S101 ~ S112 大致相同。不同点是焊球搭载步骤(S209)。对此焊球搭载步骤进行说明。

[0309] 从图 38 到图 42 为止与上述实施形态 1 同样。继而,如图 59 所示,拾取焊球 Ba,如图 60 所示,将焊球 Ba 搭载于布线衬底 1S 的背面。然后,对布线衬底 1S 实施回流焊(图 58 的 S210)。由此,形成于布线衬底 1S 的背面的焊球 Ba 成为 BGA 的外部连接端子。随后的步骤与上述实施形态 1 相同。由此,可以制造本实施形态 4 中的 BGA。

[0310] (实施形态 5) 在本实施形态 5 中,对将本发明应用于 LGA 的例子进行说明。图 61 是表示本实施形态 5 的由 LGA 形成的封装 Pa 的示意性的构成的截面图。图 61 所示的封装 Pa 具有与图 49 所示的上述实施形态 1 的由半球 LGA 形成的封装 Pa 大致相同的构成。不同点在于:在图 61 所示的封装 Pa 中未形成有半球,相对于此,在图 49 所示的封装 Pa 中形成有半球 HBa。以下,对图 61 所示的封装 Pa 的构成进行说明。图 61 所示的封装 Pa 具有布线衬底 1S,在此布线衬底 1S 上形成有贯穿布线衬底 1S 的通孔 V。在通孔 V 的侧面形成有由电镀膜形成的导电膜 CF2。而且,在布线衬底 1S 的背面(下表面),以与通孔 V 直接连接的方式形成有焊盘 LND3,在焊盘 LND3 上形成有作为外部连接端子的焊球 Ba。由此,形成焊盘内通孔构造。在布线衬底 1S 的背面(下表面)形成有阻焊剂 SR,焊盘 LND3 形成于阻焊剂 SR 上所形成的开口部 K 的内部。此时,开口部 K 的口径形成成为大于焊盘 LND3 的直径,焊盘 LND3 的构成形态为 NSMD。即,本实施形态 1 中的封装 Pa(LGA) 是焊盘内通孔构造,且是使焊盘 LND3 的构成形态为 NSMD 的封装。在布线衬底 1S 的表面(上表面),以与通孔 V 连接的方式形成有焊盘 LND1,且以与此焊盘 LND1 连接的方式形成有配线 L1。形成于布线衬底 1S 的表面的焊盘 LND1 及配线 L1 由阻焊剂 SR 覆盖。在此阻焊剂 SR 上形成有树脂 M。如果进行详细说明,虽然在图 61 中并未图示,但是在形成于布线衬底 1S 的表面(上表面)上的阻焊剂 SR 上搭载有半导体芯片(未图示),且以覆盖此半导体芯片的方式形成有树脂 M。

[0311] 在本实施形态 5 中的 LGA 中,在形成于布线衬底 1S 的背面的焊盘 LND 上未搭载有半球。因此,在本实施形态 5 中的 LGA 中不存在降低搭载于焊盘 LND3 上的半球的高度不均这一课题。尽管如此,使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD 的构成在本实施形态 5 中的 LGA 中也有用。对此点进行说明。

[0312] 当将 LGA 安装于母板上时,在母板上涂布焊料,通过此焊料将 LGA 安装于母板上。因此,当将 LGA 安装于母板上时,露出的焊盘也与焊锡连接。

[0313] 此处,例如当形成于 LGA 上的焊盘 LND3 并非为焊盘内通孔构造,而使用配线连接

焊盘 LND3 与通孔 V 时,焊盘 LND3 与配线的一部分从形成于阻焊剂 SR 上的开口部露出。因此,涂布于母板上的焊料形成为覆盖露出的焊盘 LND3 与露出的配线的一部分。此时,焊盘 LND3 成圆形形状且面积也较大,因此焊盘 LND3 与焊料的黏接强度较高。然而,配线较细且面积也较小,因此在黏接配线与焊料的部分上,因施加于 LGA 或母板上的应力,而易于产生包含配线的焊盘 LND3 与配线一同从布线衬底 1S 脱落的情形。此时,LGA 从半球 LGA 上脱离而导致安装不良。

[0314] 关于此点,在本实施形态 5 中,使焊盘 LND3 与通孔 V 的构成为焊盘内通孔构造。因此,即便使焊盘 LND3 的构成形态为 NSMD 时,从形成于阻焊剂 SR 上的开口部露出的金属膜也只有焊盘 LND3。由此,在本实施形态 5 中,焊料仅与成圆形形状的焊盘 LND3 黏接。即,在本实施形态 5 中,即便使焊盘 LND3 的构成形态为 NSMD,因不存在连接焊盘 LND3 与通孔 V 的配线,所以不存在配线与焊料黏接的情形。因此,焊料仅与面积较大且与布线衬底牢固地粘接的焊盘 LND3 黏接,因此可以防止焊盘 LND3 从布线衬底 1S 上脱落。根据以上的说明可知,在本实施形态 5 中的 LGA 中,使形成于布线衬底 1S 的背面的焊盘 LND3 与通孔 V 的连接构成是焊盘内通孔构造,且使形成于布线衬底 1S 的背面的焊盘 LND3 的构成形态为 NSMD 的构成也有用。

[0315] 其次,对本实施形态 5 中的 LGA 的制造步骤进行说明,本实施形态 5 中的 LGA 的制造步骤与上述实施形态 1 中的半球 LGA 的制造步骤大致相同。即,图 62 是表示本实施形态 5 中的 LGA 的制造步骤的流程图,图 62 所示的 S301 ~ S310 与图 37 所示的 S101 ~ S112 大致相同。不同点在于不存在于布线衬底上形成半球的步骤。由此,可以制造本实施形态 5 中的 LGA。

[0316] 以上,根据实施形态对由本发明者所完成的发明进行了具体说明,但本发明并不限于上述实施形态,当然可以在不脱离发明主旨的范围内进行各种变更。

[0317] 在上述实施形态中,例如对搭载着具有 RFIC 的功能的半导体芯片的封装进行了具体说明,但本发明并不限于此,其可以广泛地应用于搭载着具有 RFIC 以外的功能的半导体芯片的封装(例如 BGA、半球 LGA、LGA)等。

[0318] 本发明可以广泛地应用于制造半导体装置的制造业。

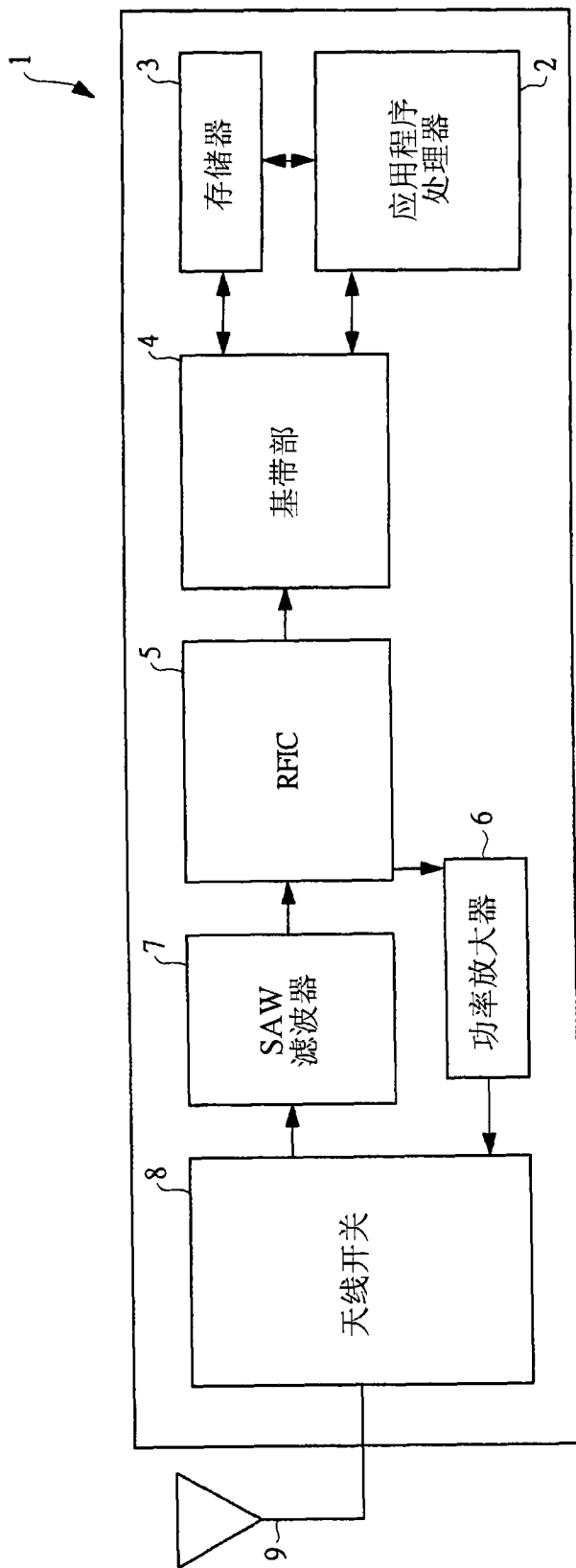


图 1

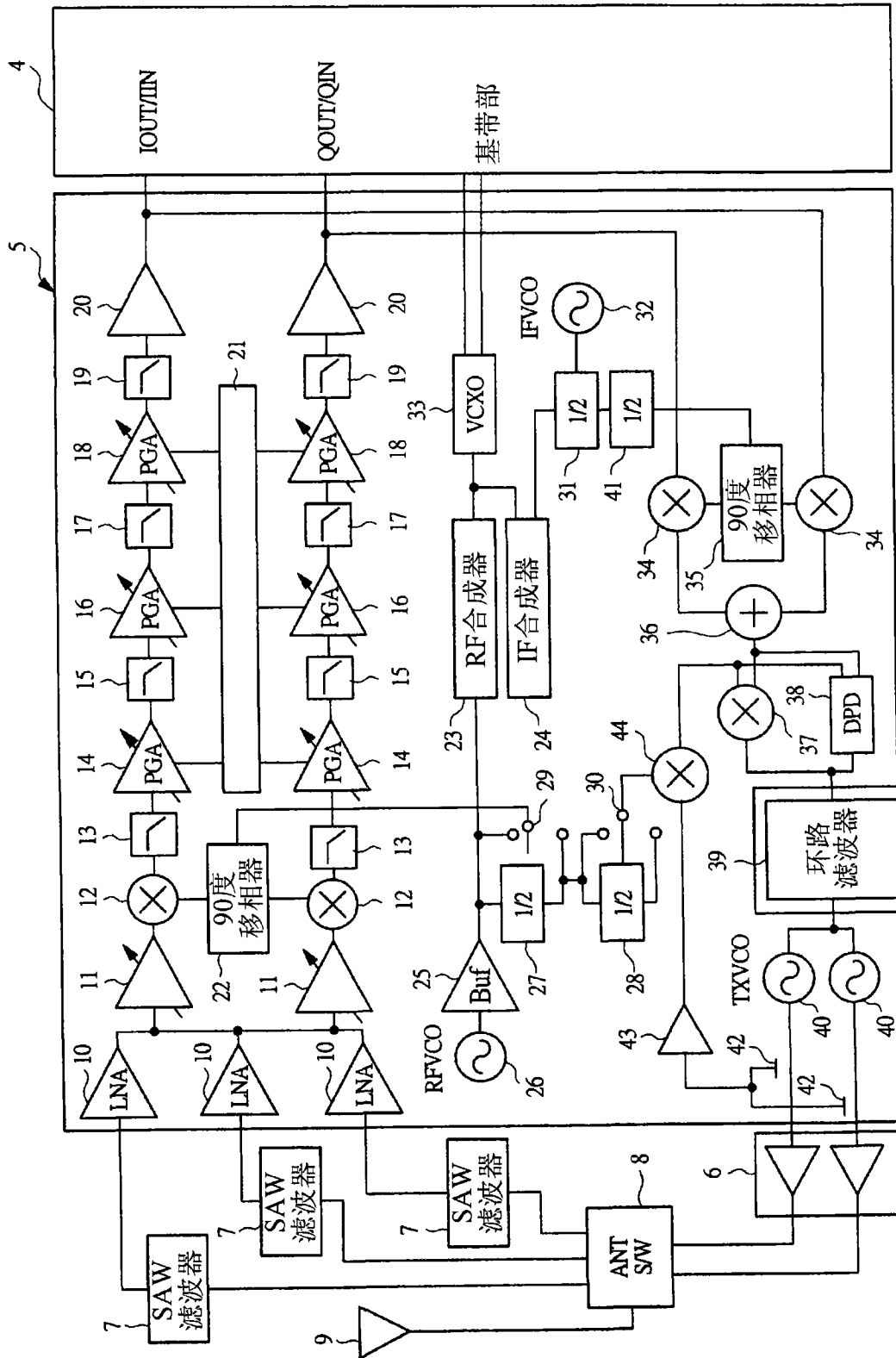


图 2

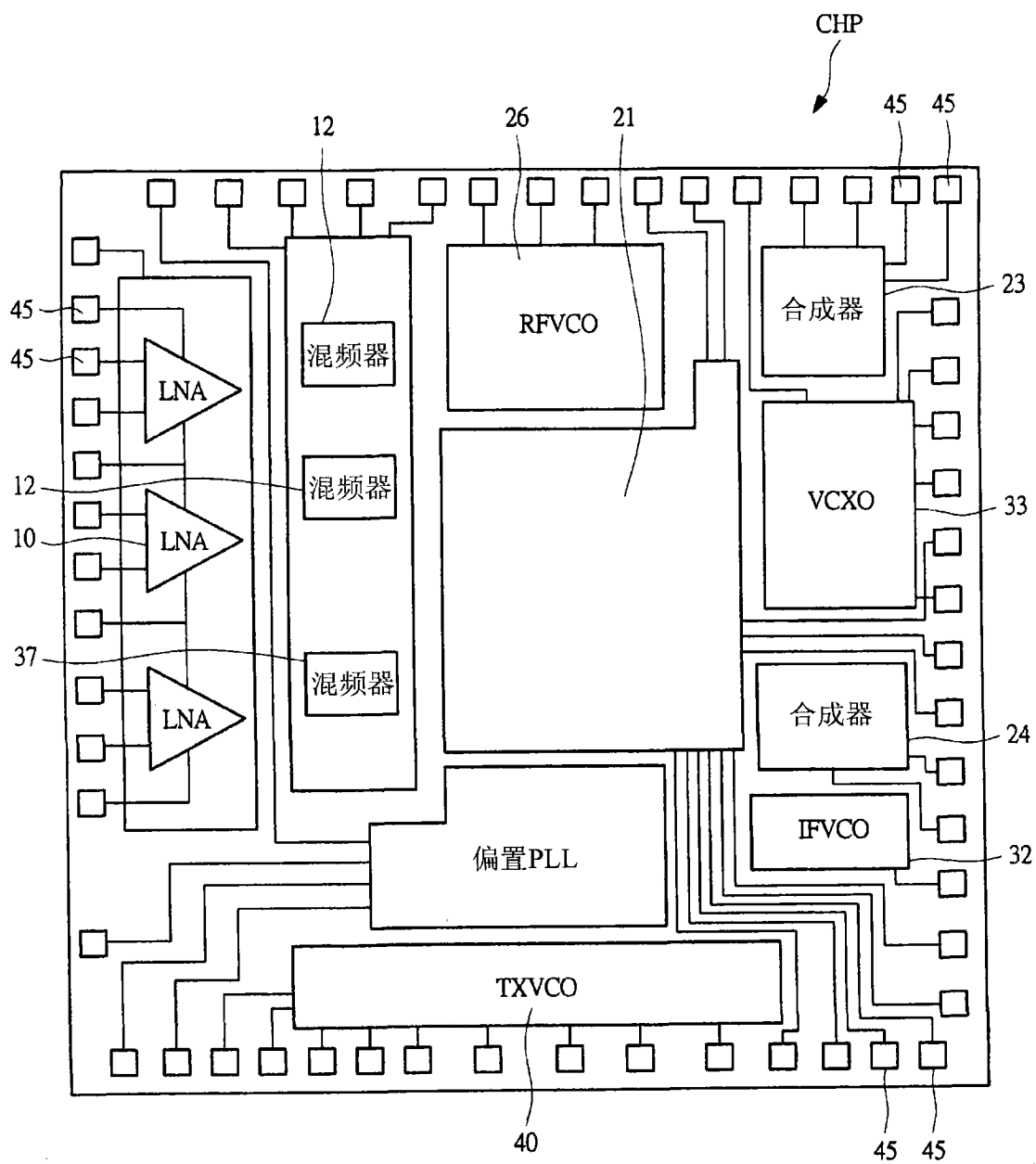


图 3

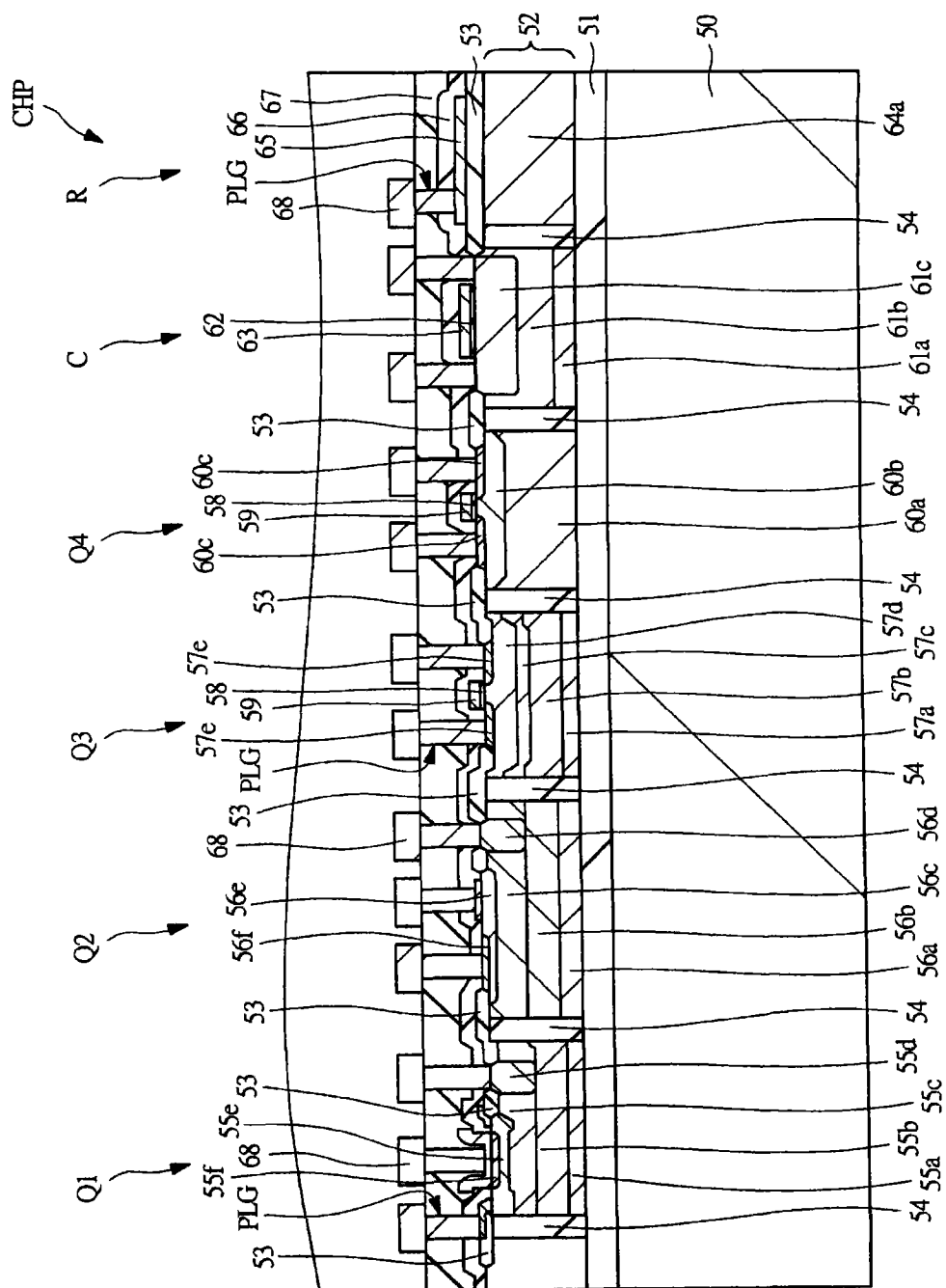


图 4

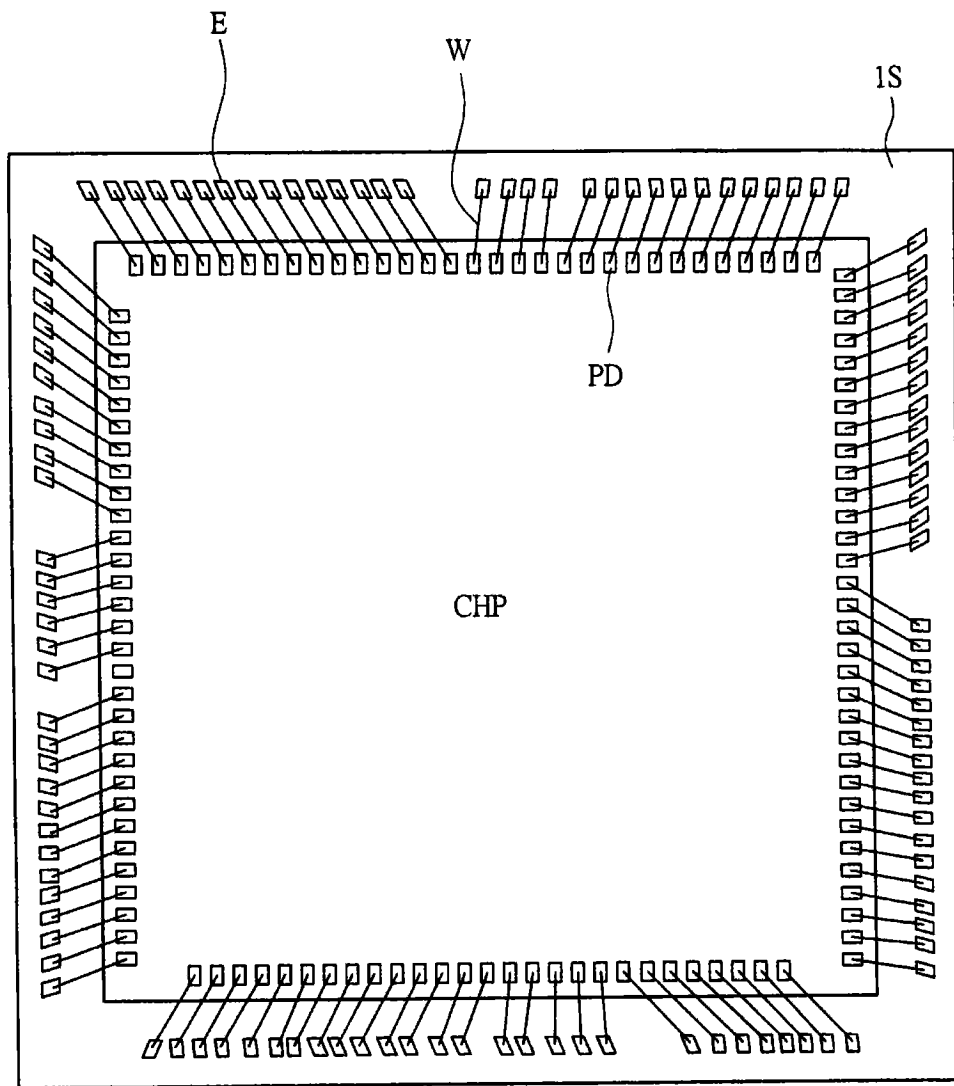


图 5

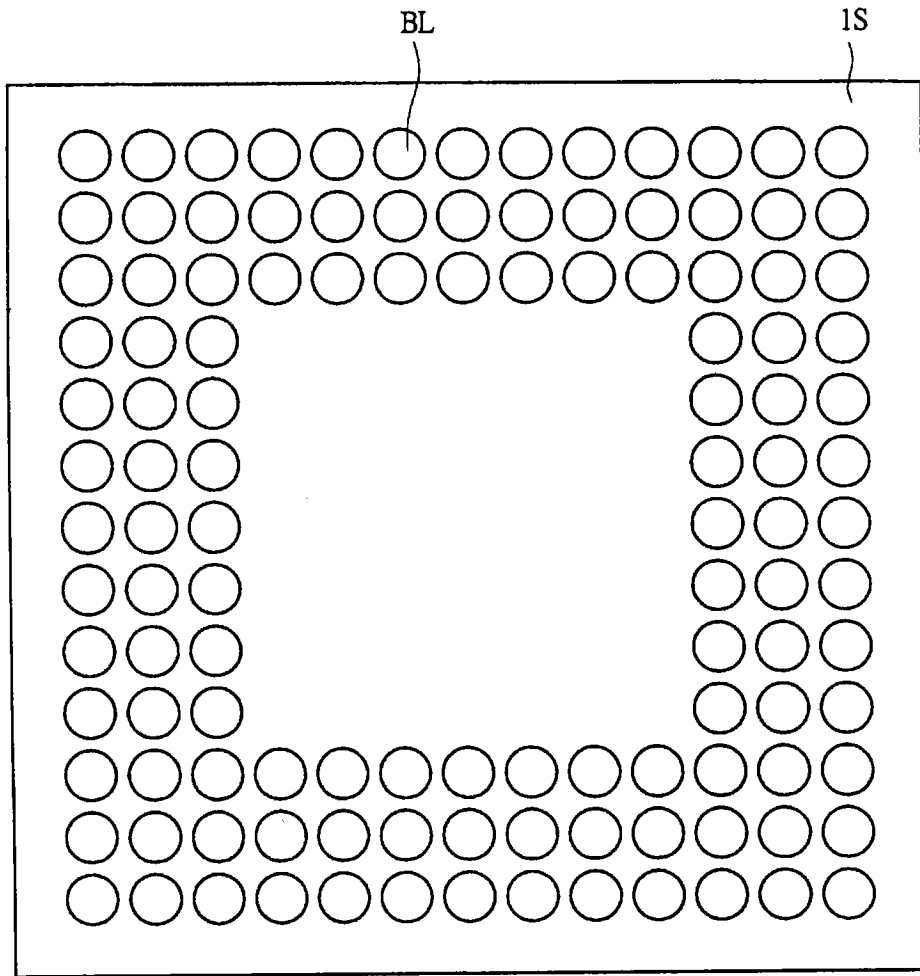


图 6

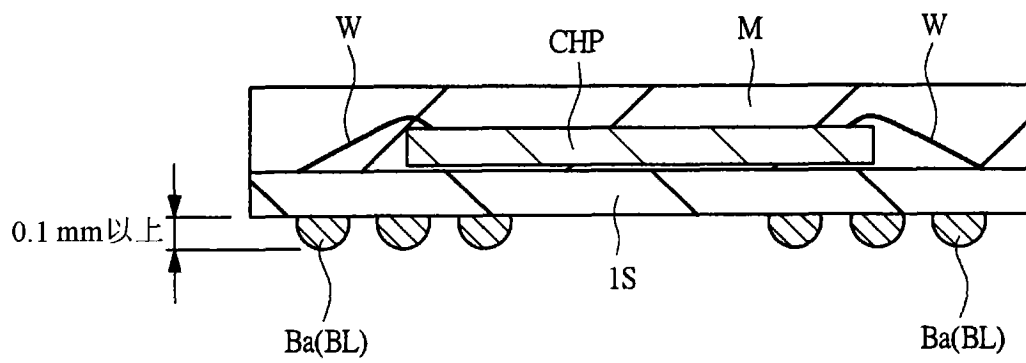


图 7

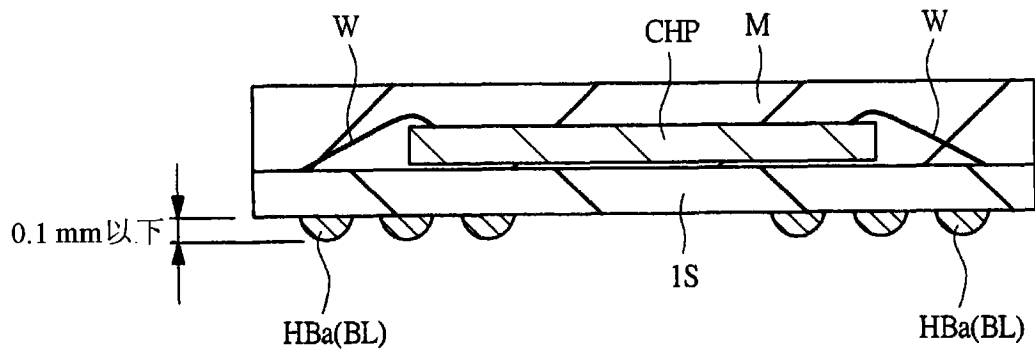


图 8

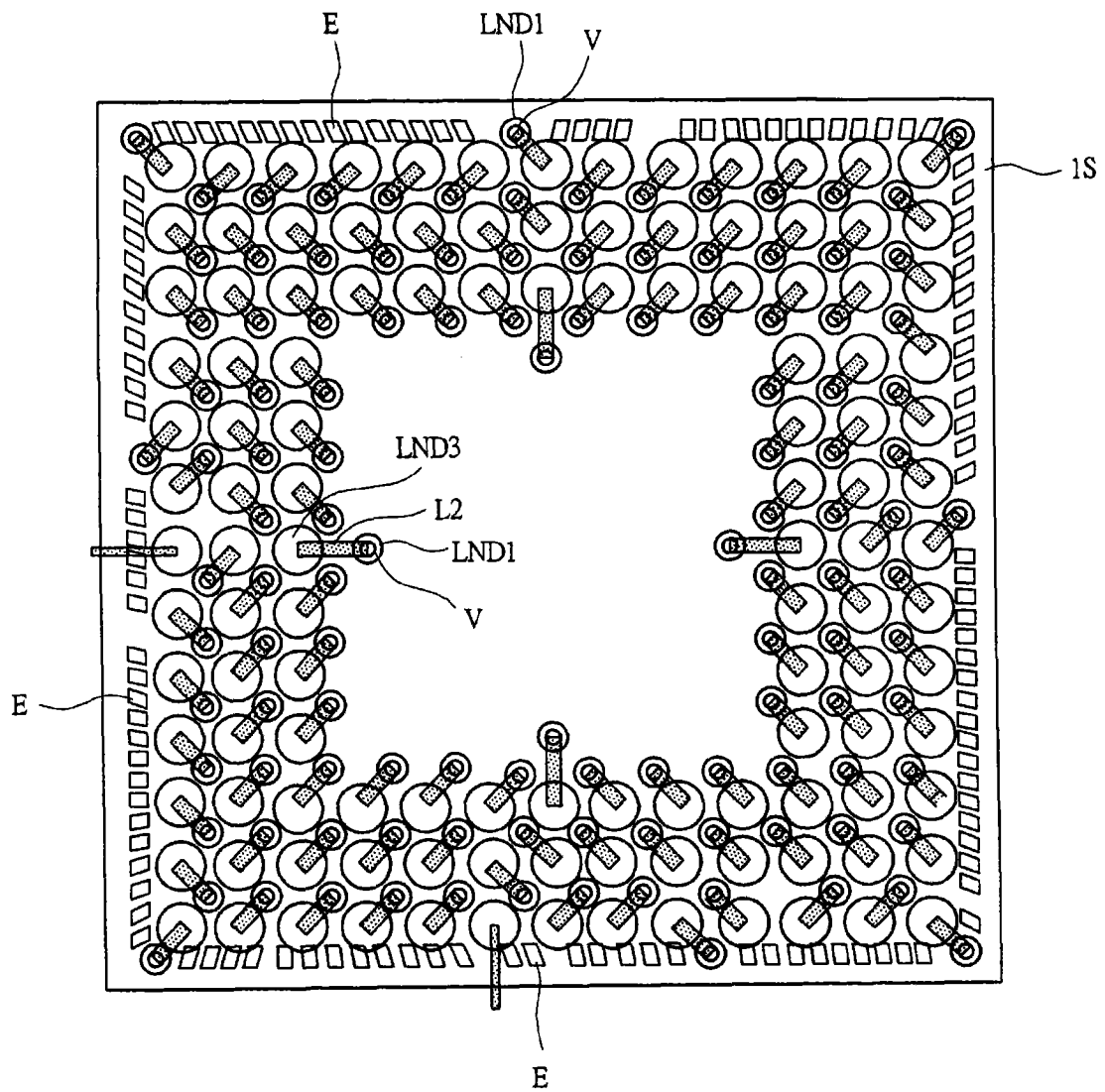


图 9

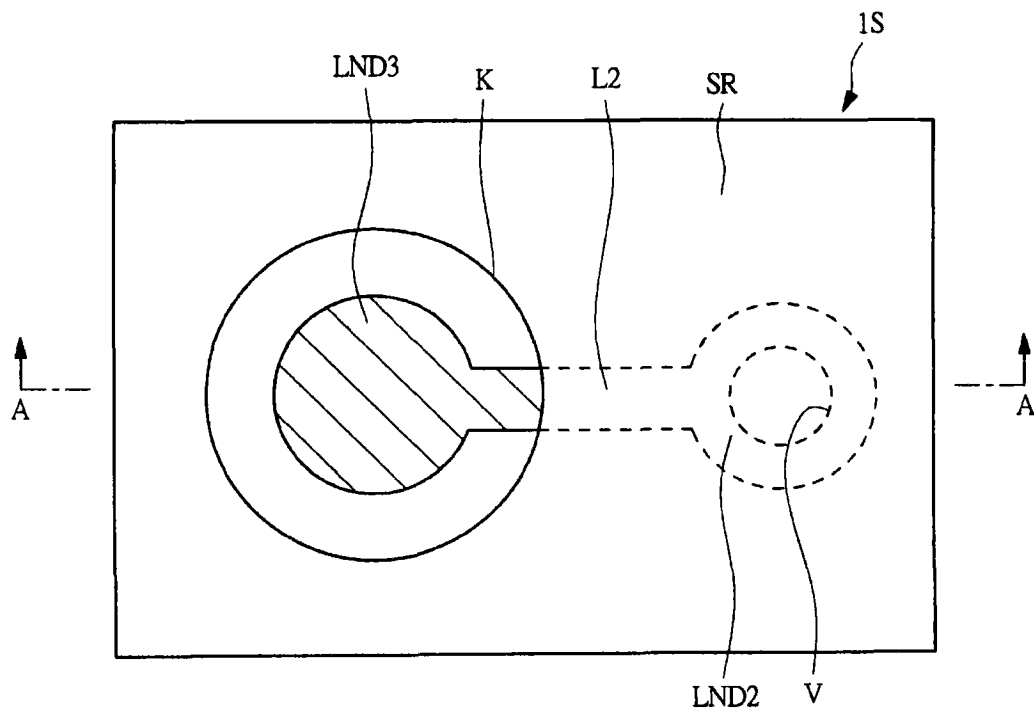


图 10

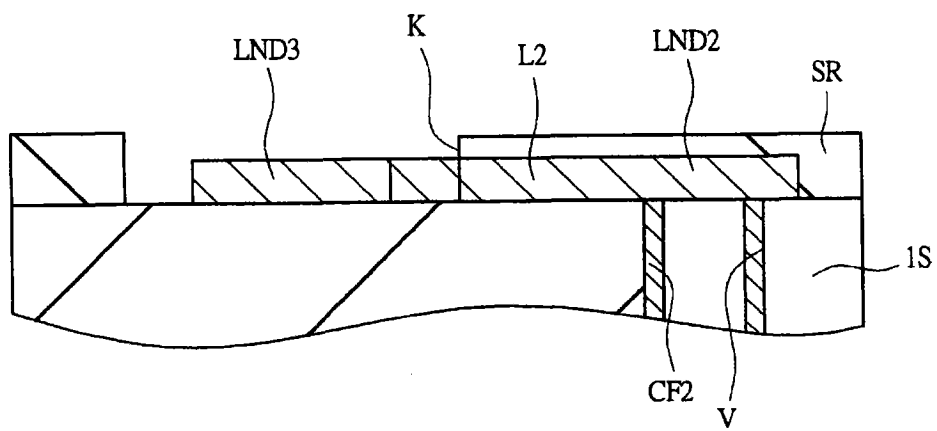


图 11

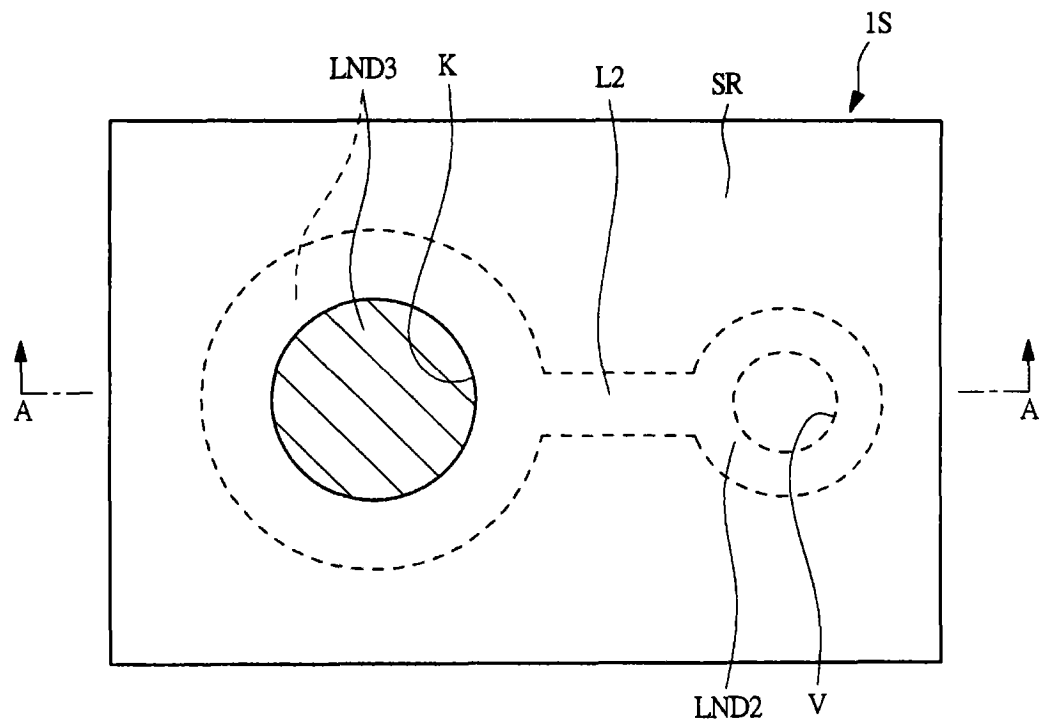


图 12

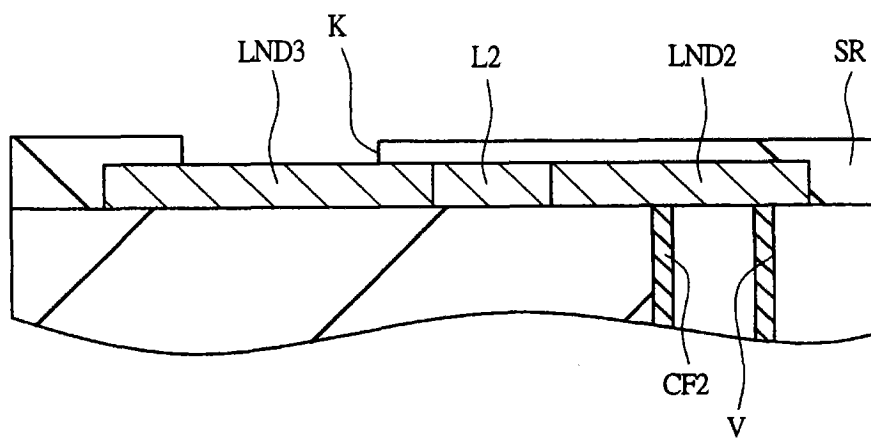


图 13

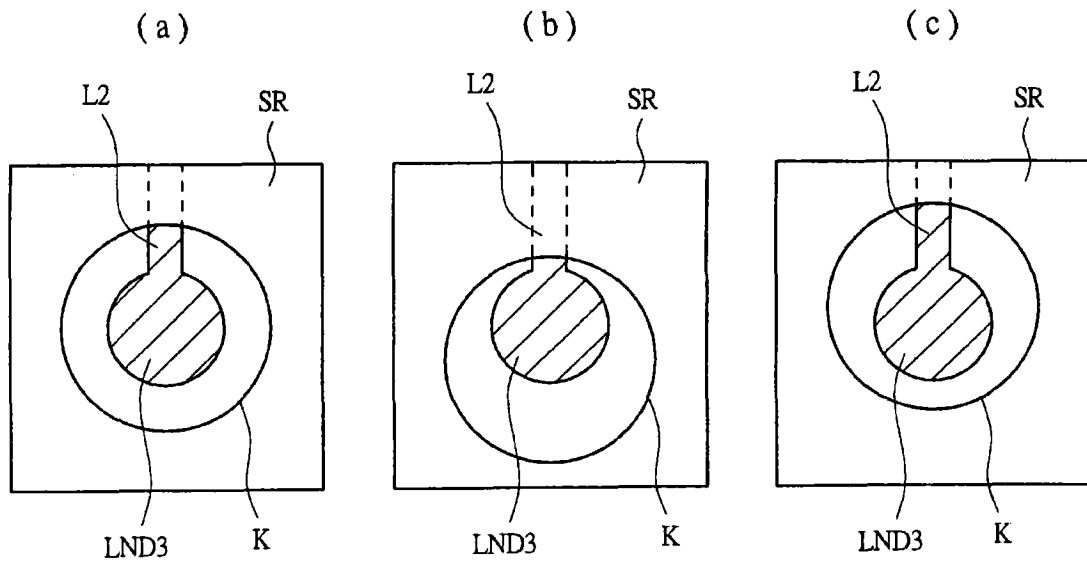


图 14

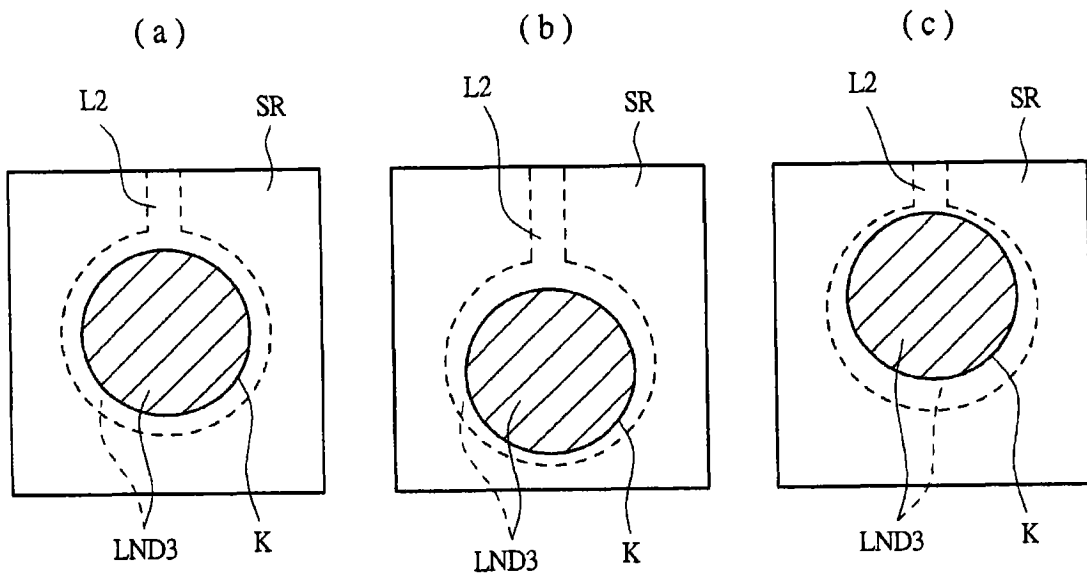


图 15

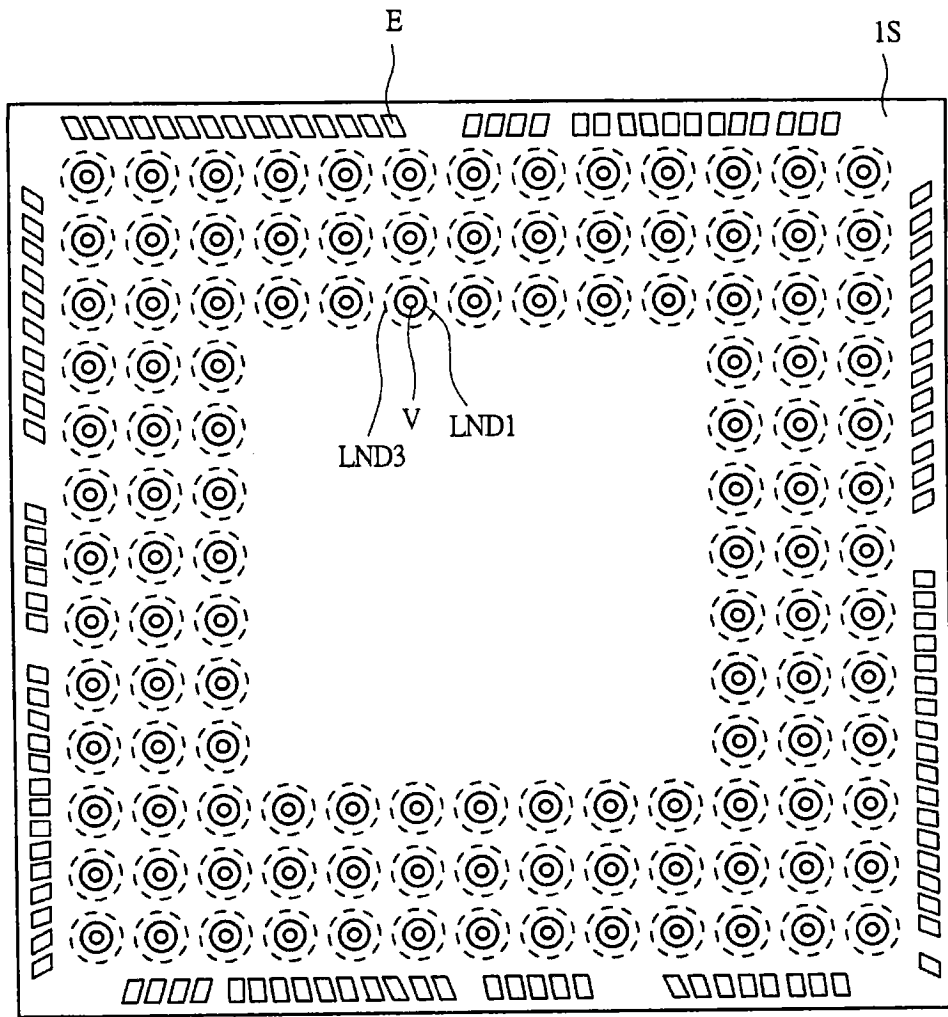


图 16

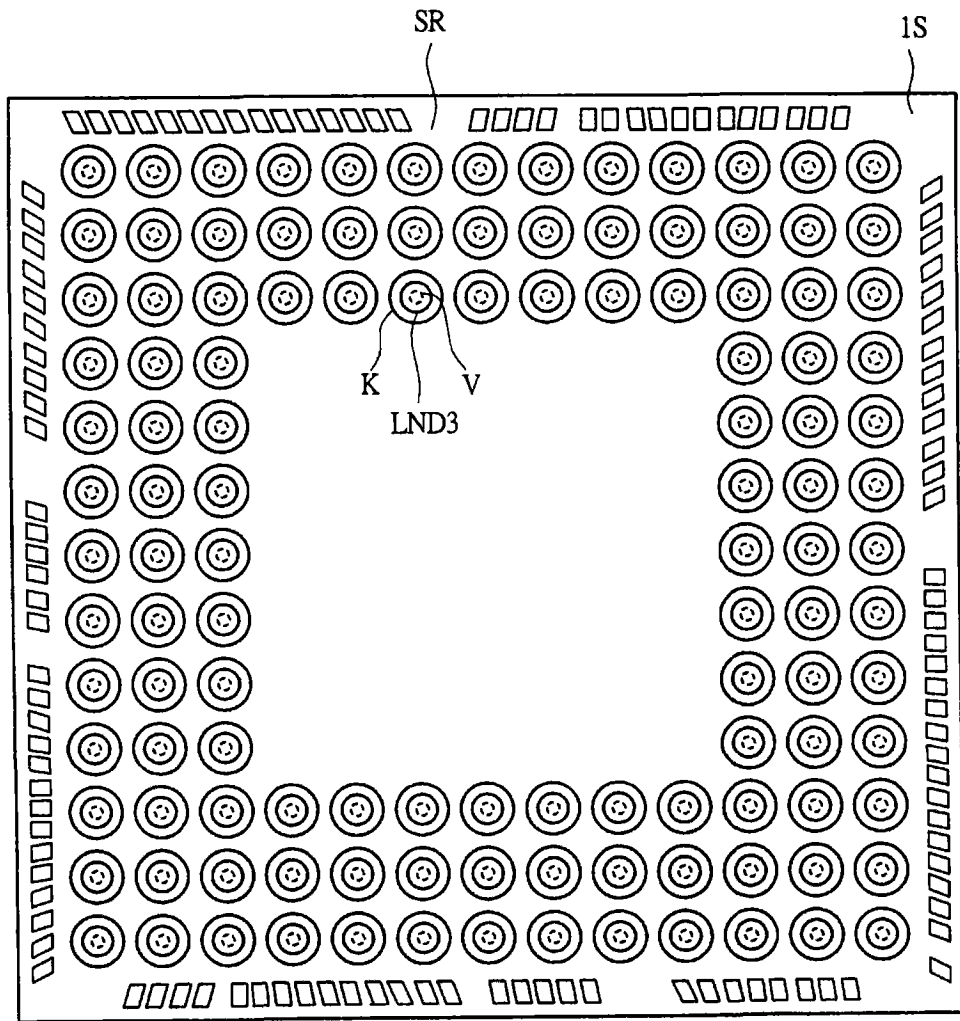


图 17

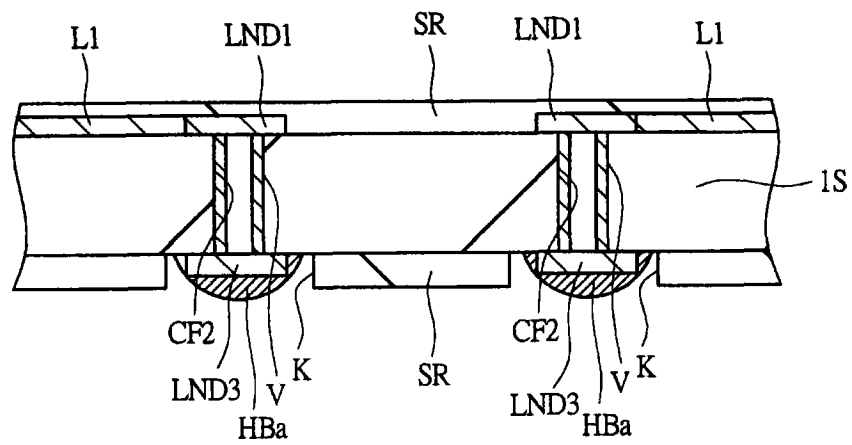


图 18

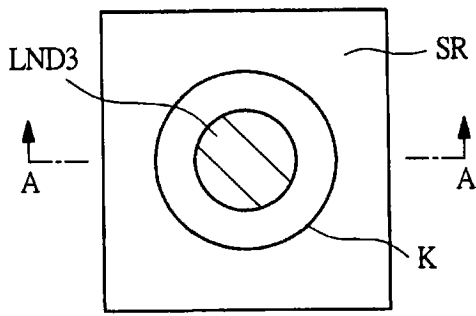


图 19

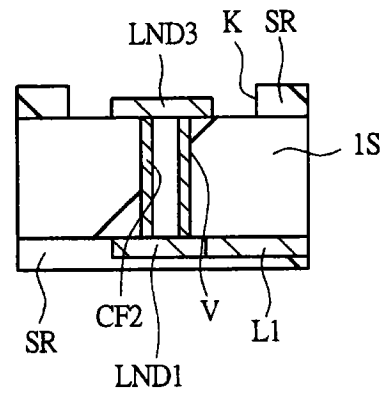


图 20

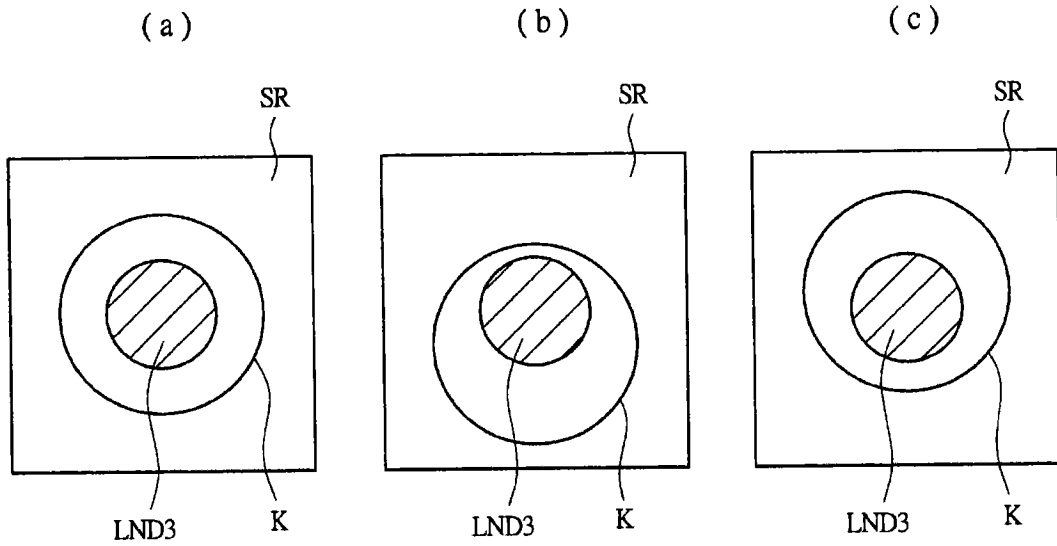


图 21

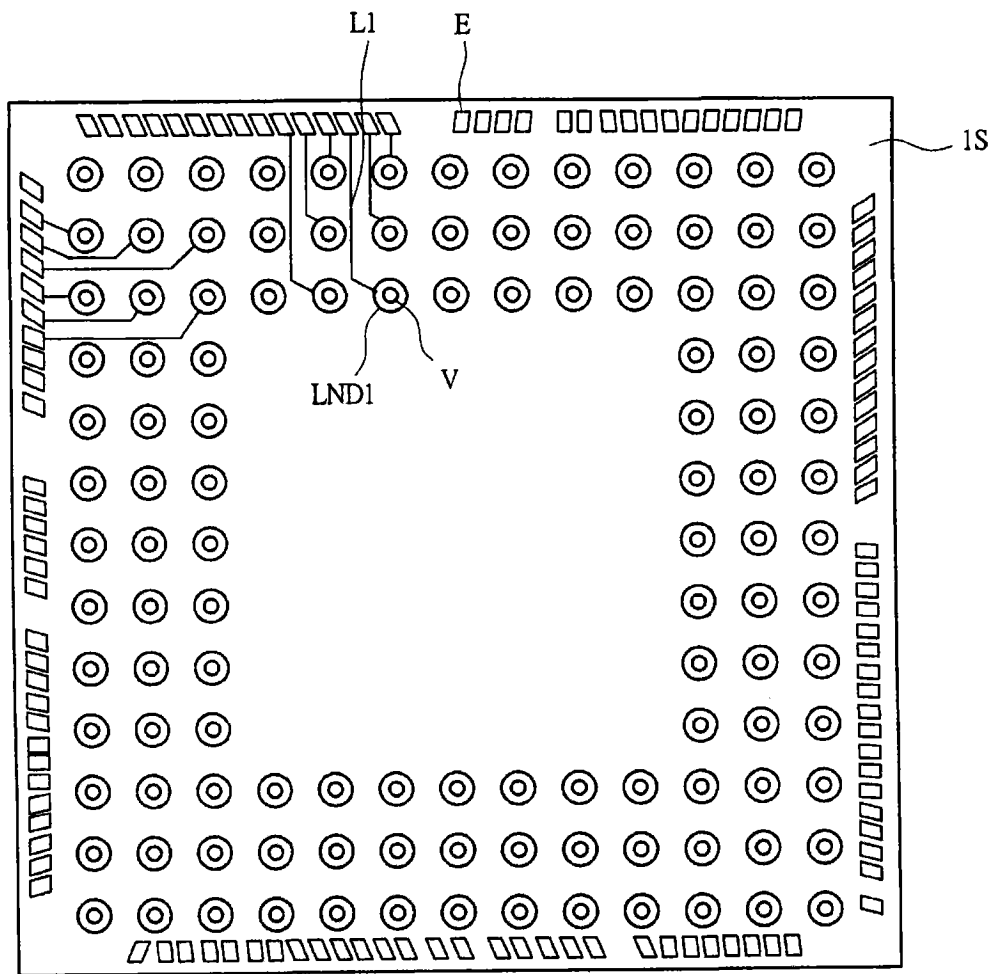


图 22

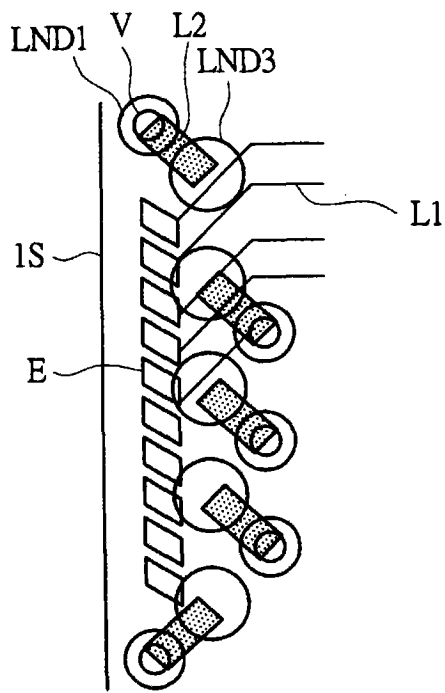


图 23

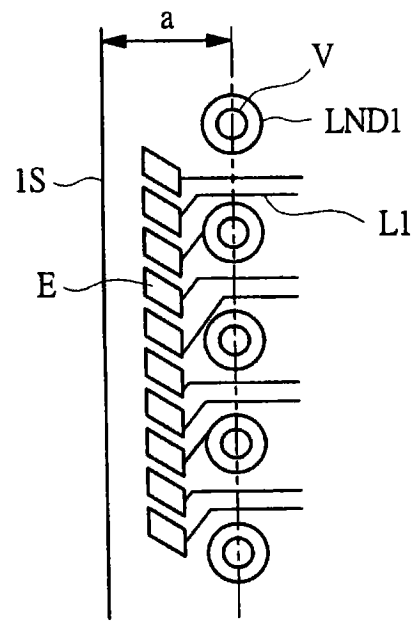


图 24

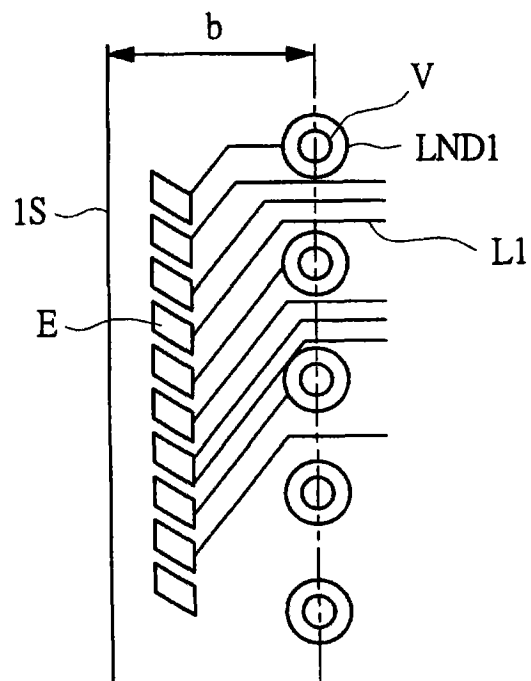


图 25

		基板规格	评价次数					
			30 次	50 次	100 次	150 次	200 次	
1500G,0.5ms	BGA	NSMD	0/60	0/60	1/60	2/59	3/57	
1500G,0.5ms	半球 LGA		30 次	50 次	100 次	150 次	200 次	
			0/60	0/60	0/60	2/59	0/60	

图 26

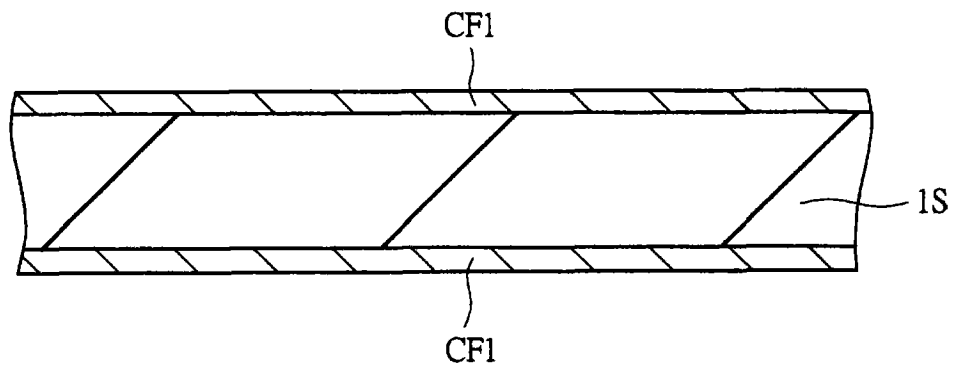


图 27

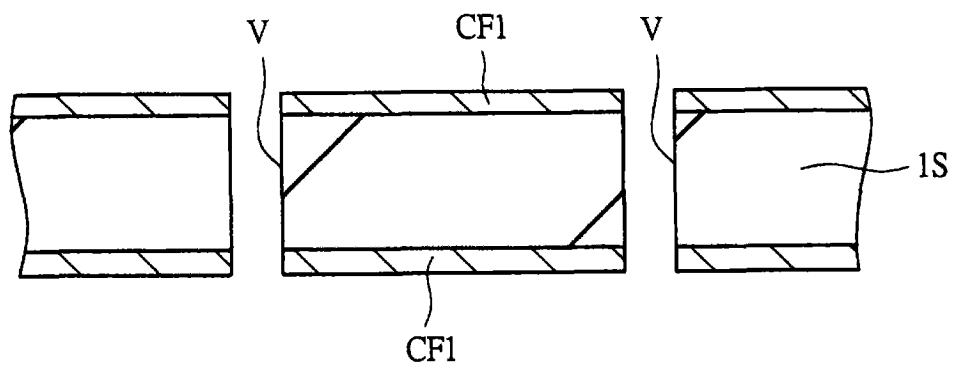


图 28

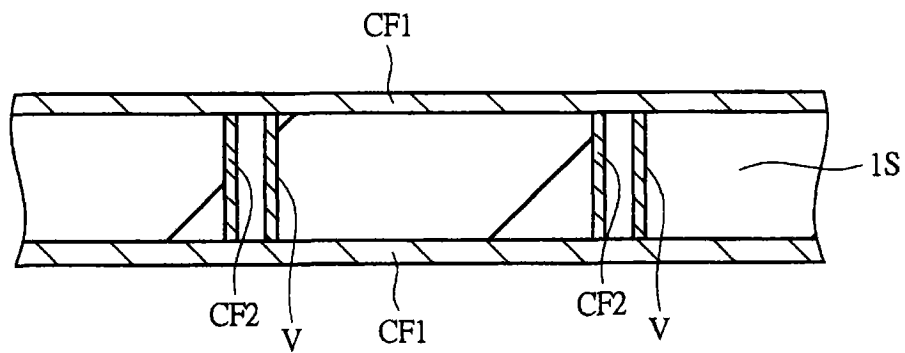


图 29

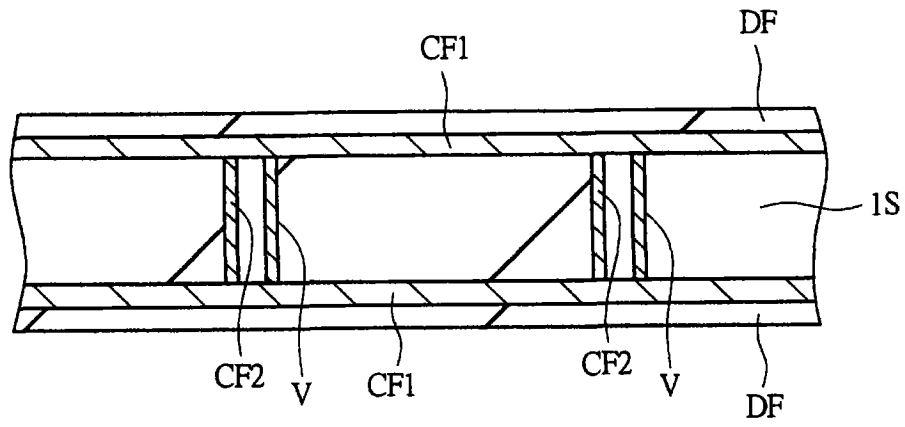


图 30

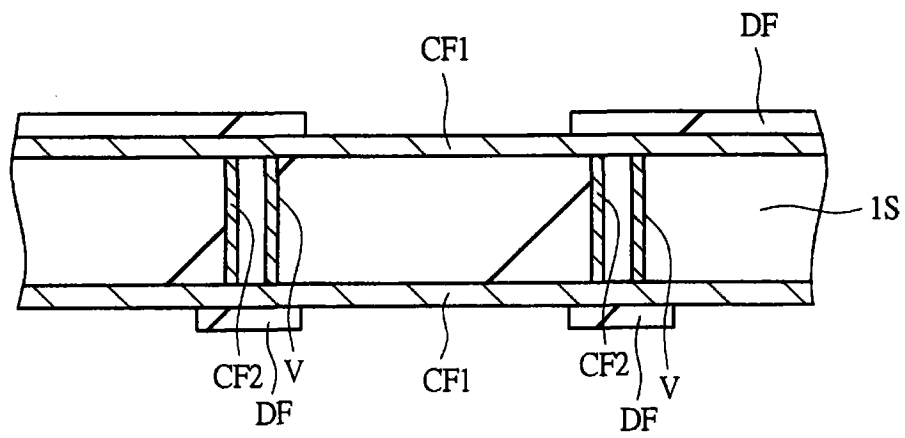


图 31

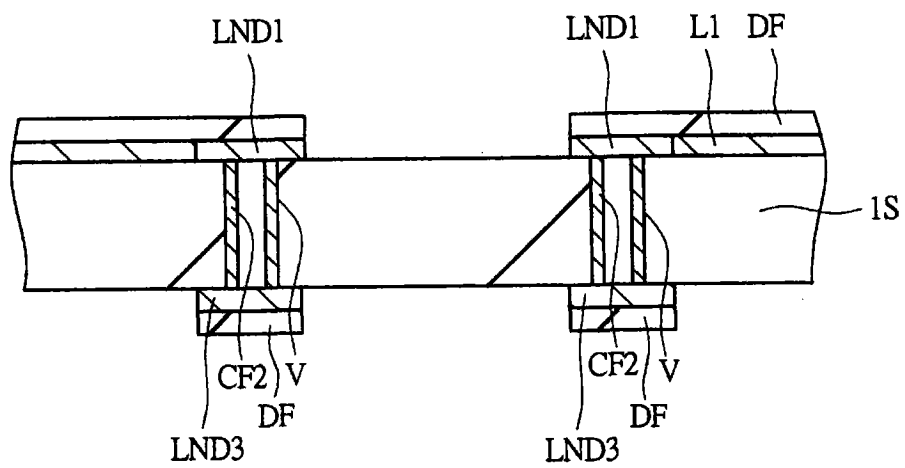


图 32

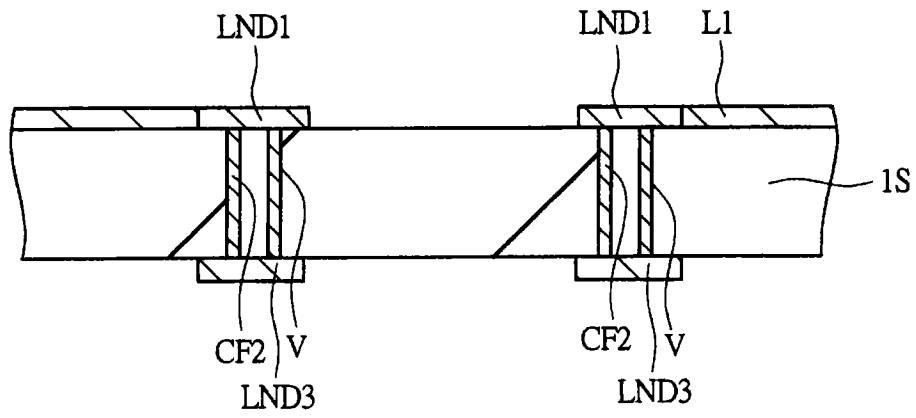


图 33

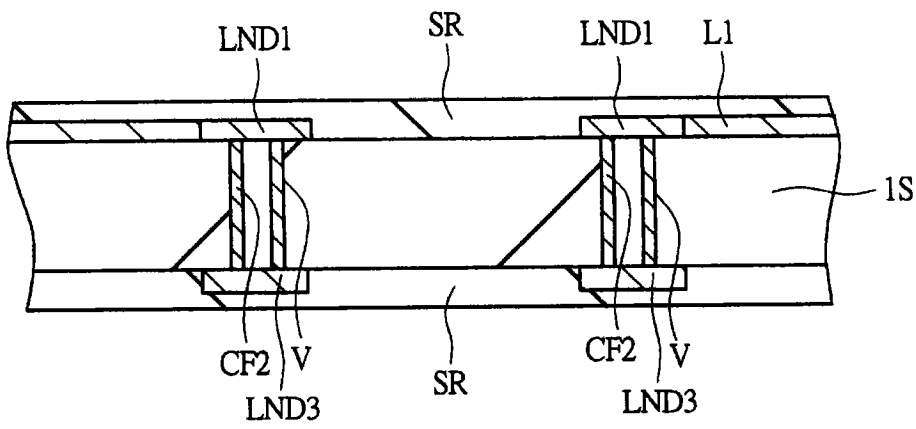


图 34

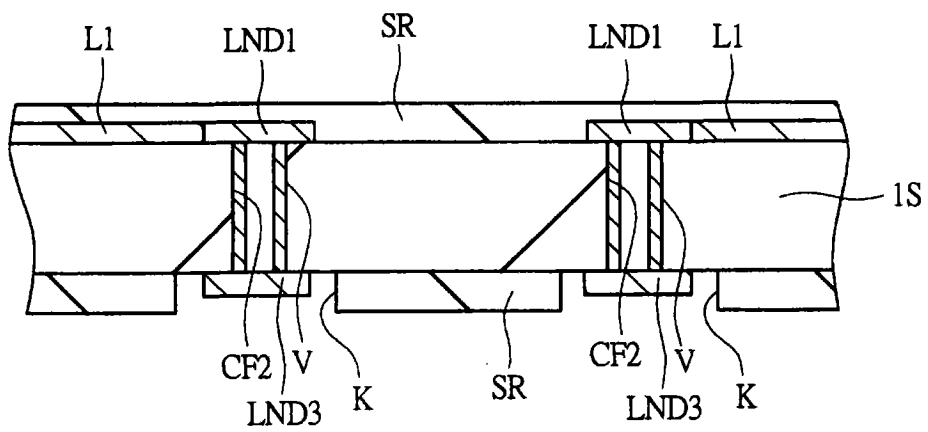


图 35

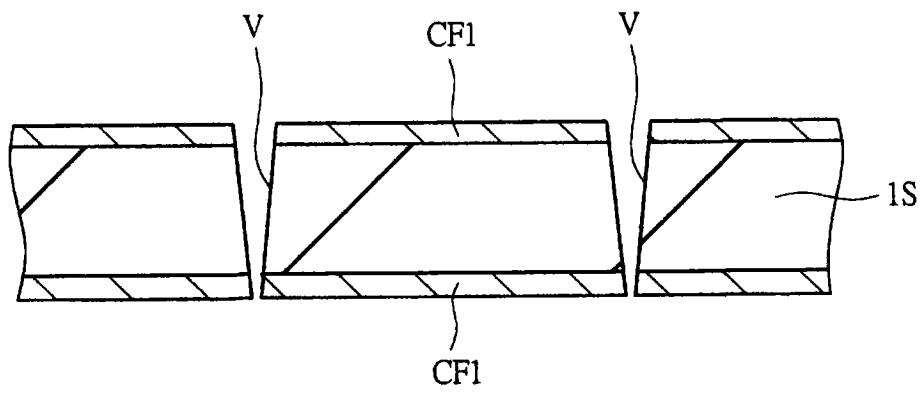


图 36

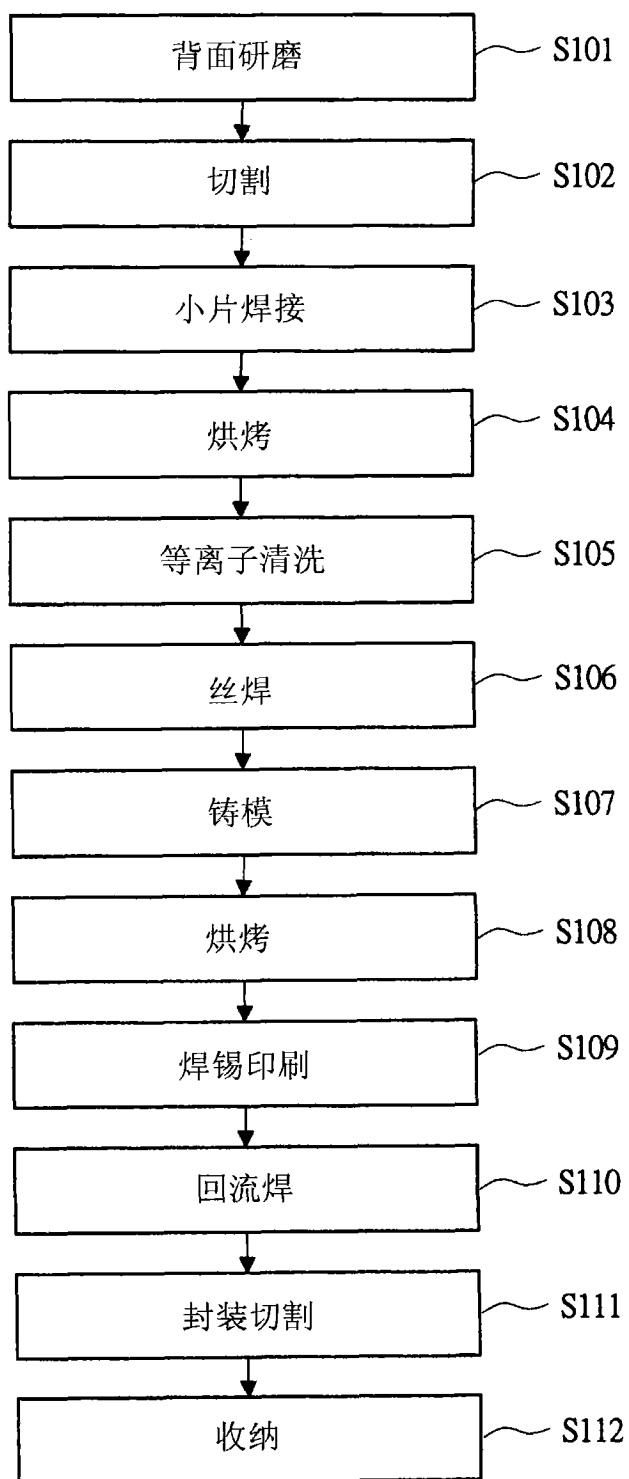


图 37

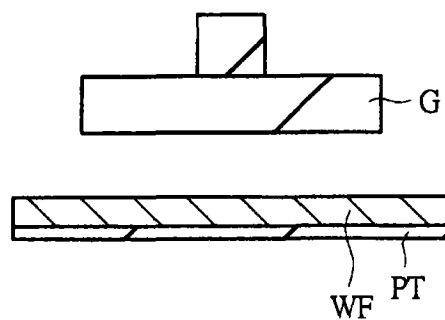


图 38

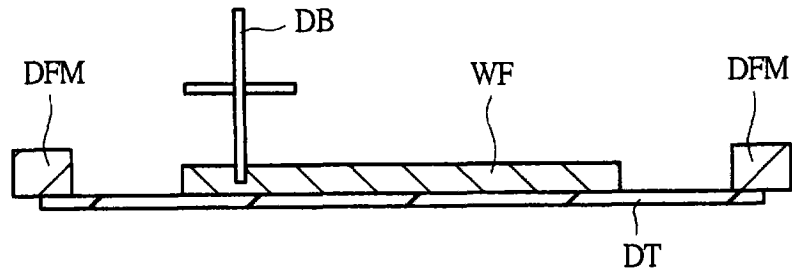


图 39

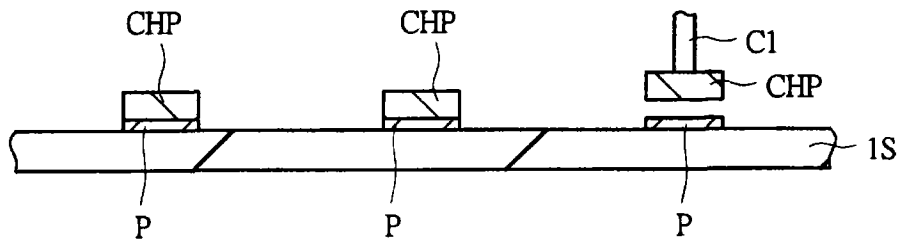


图 40

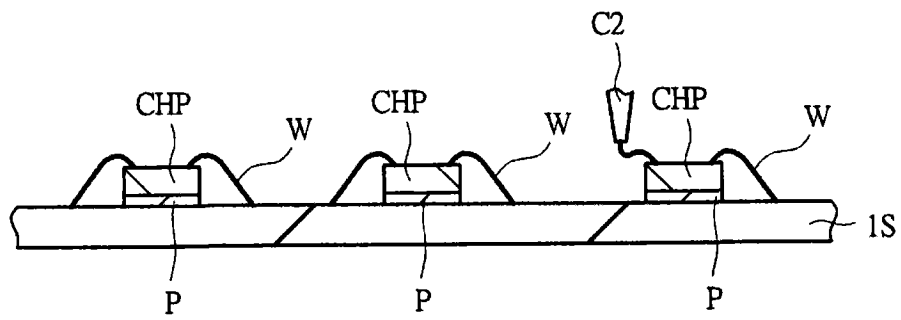


图 41

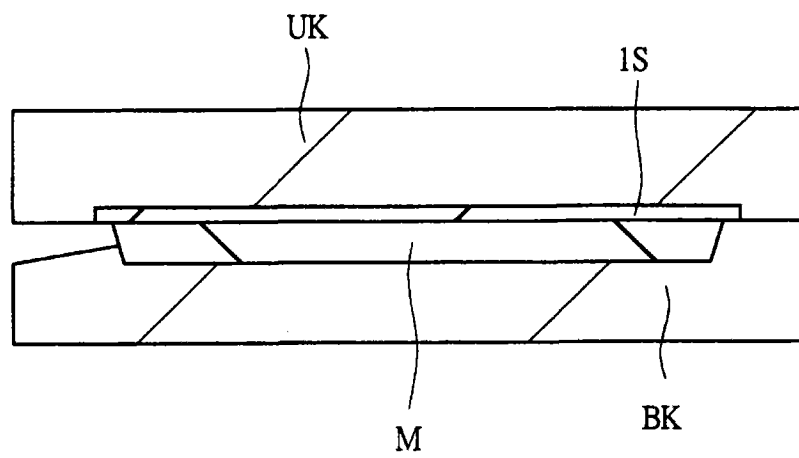


图 42

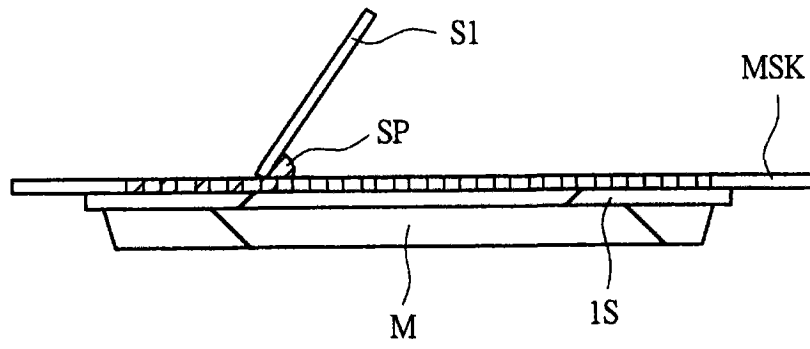


图 43

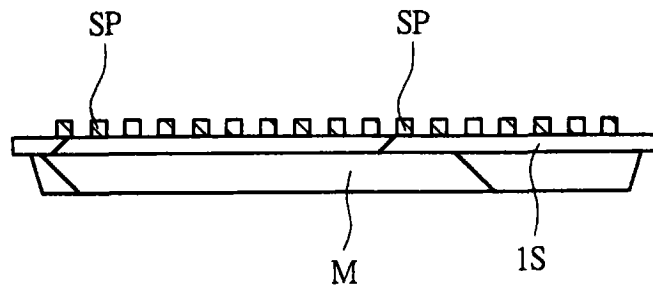


图 44

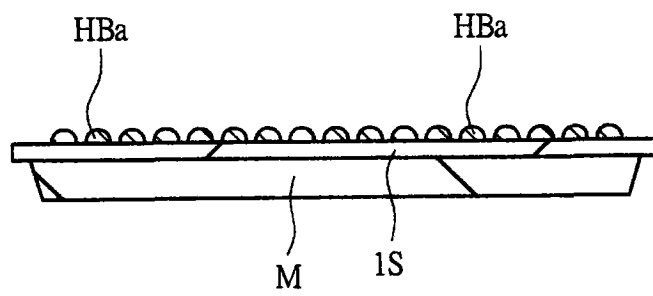


图 45

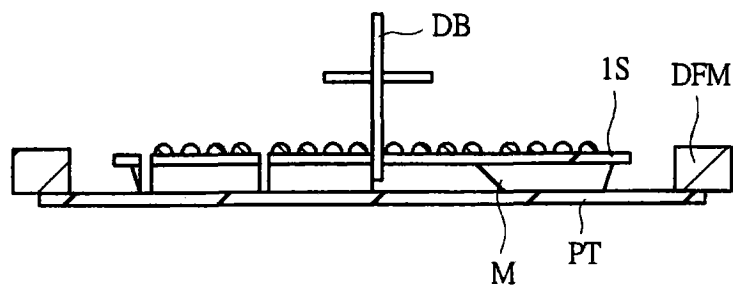


图 46

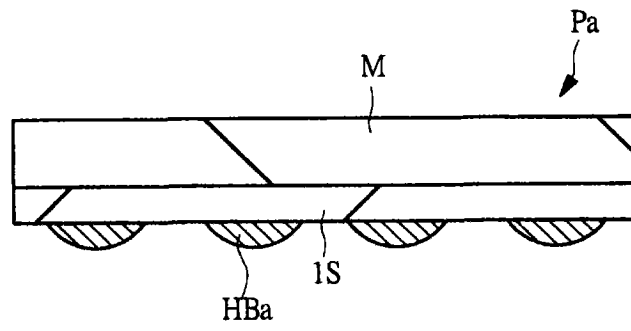


图 47

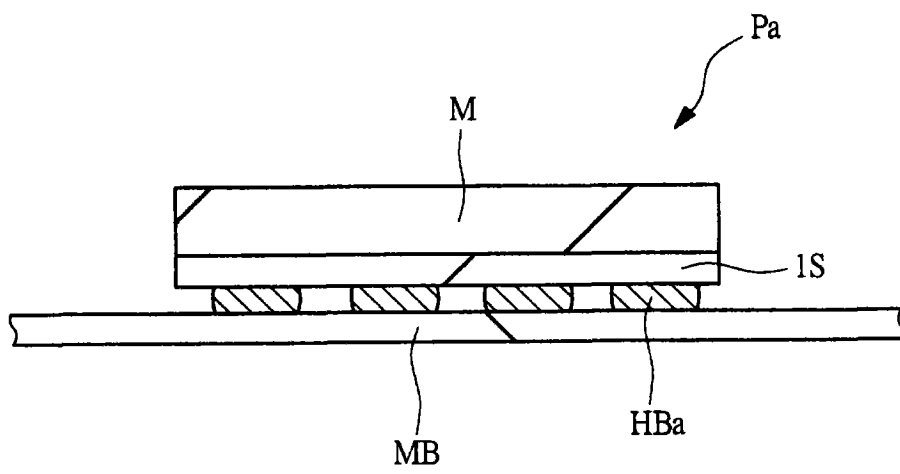


图 48

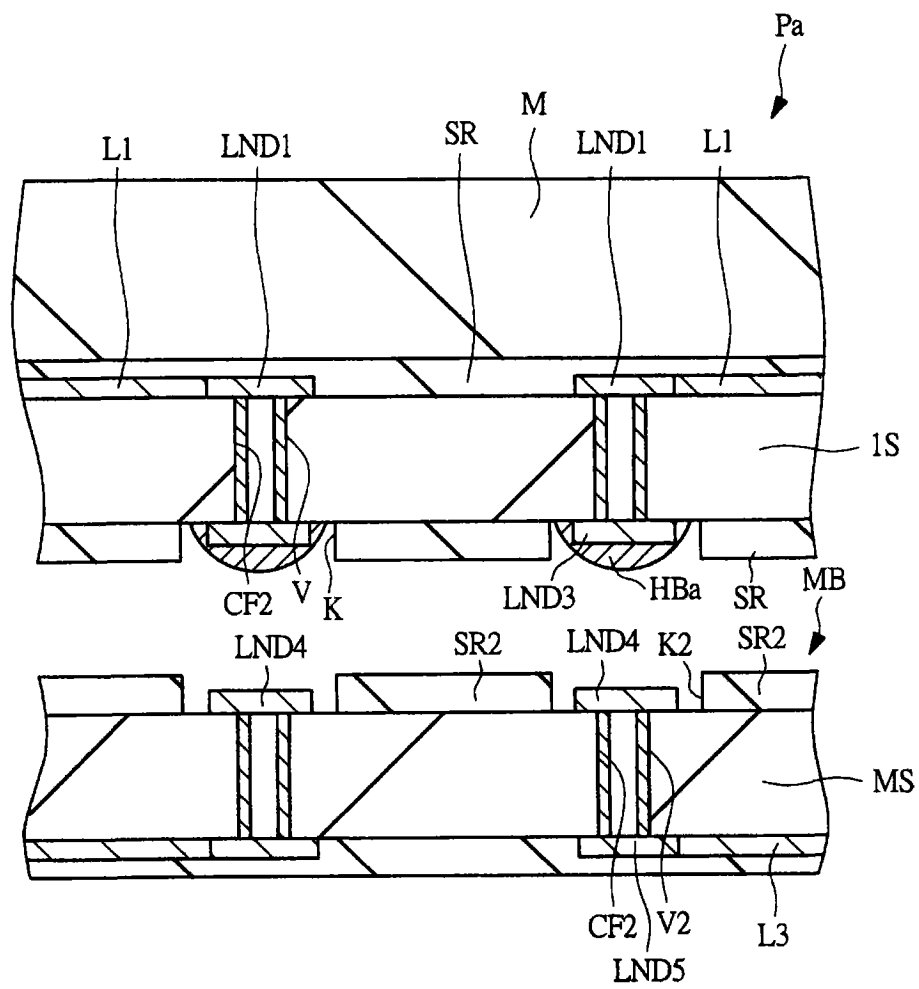


图 49

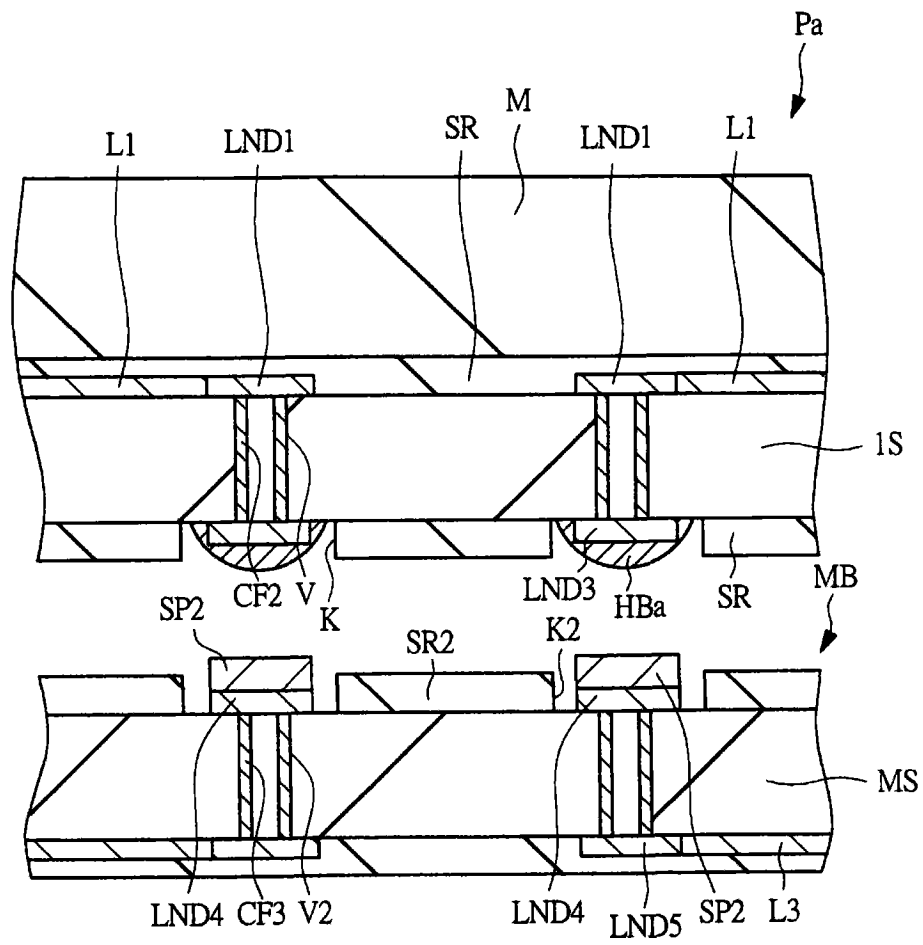


图 50

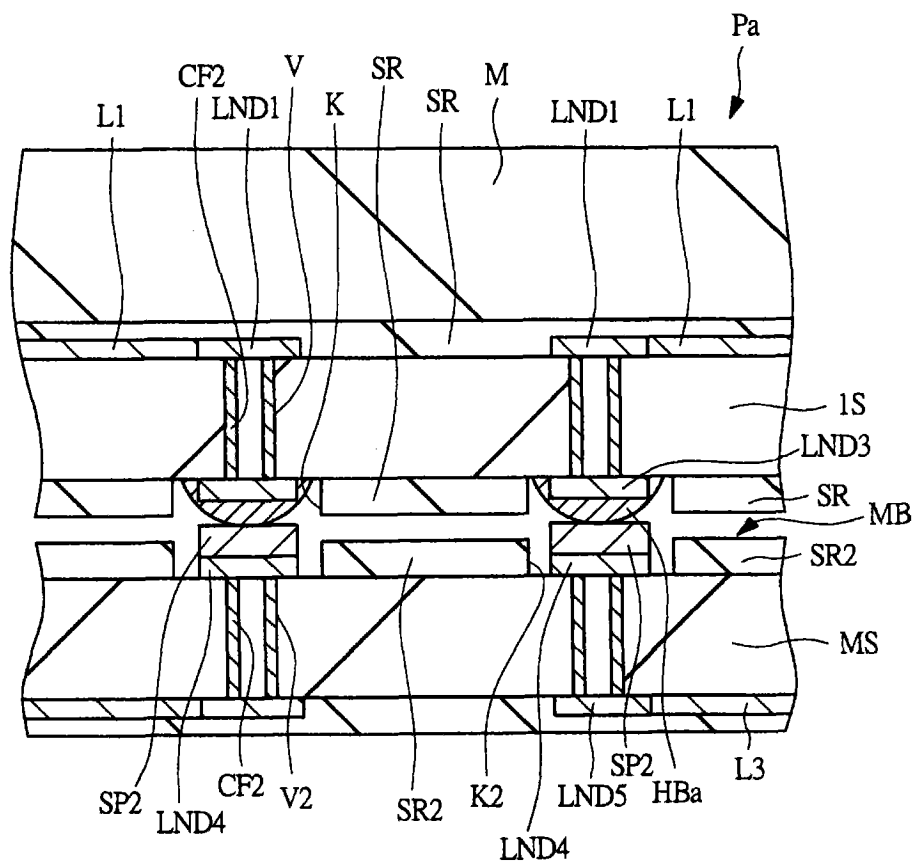


图 51

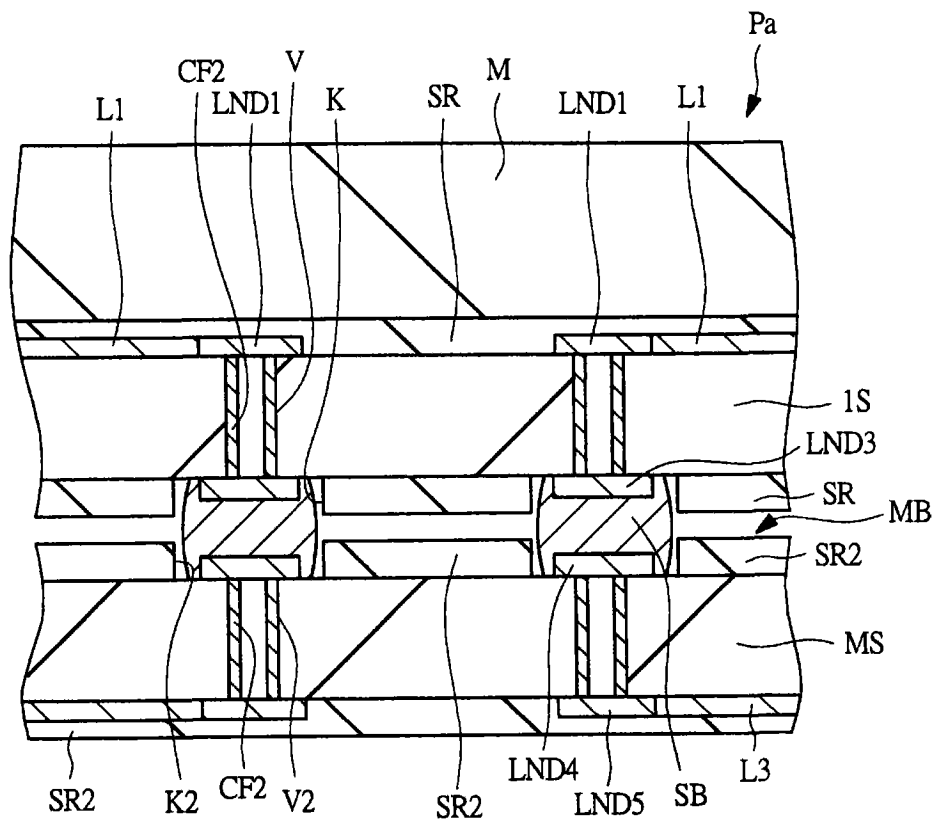


图 52

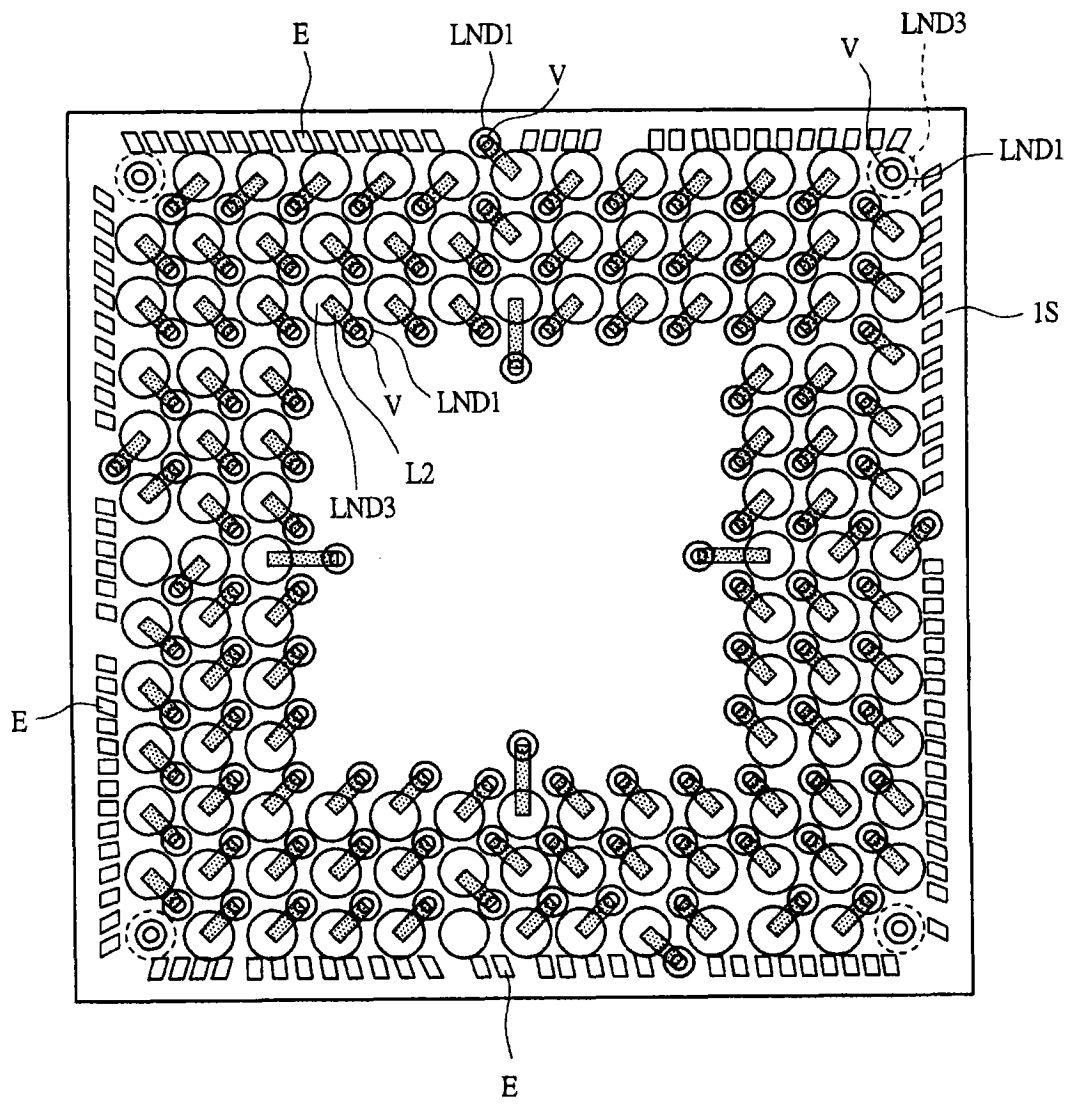


图 53

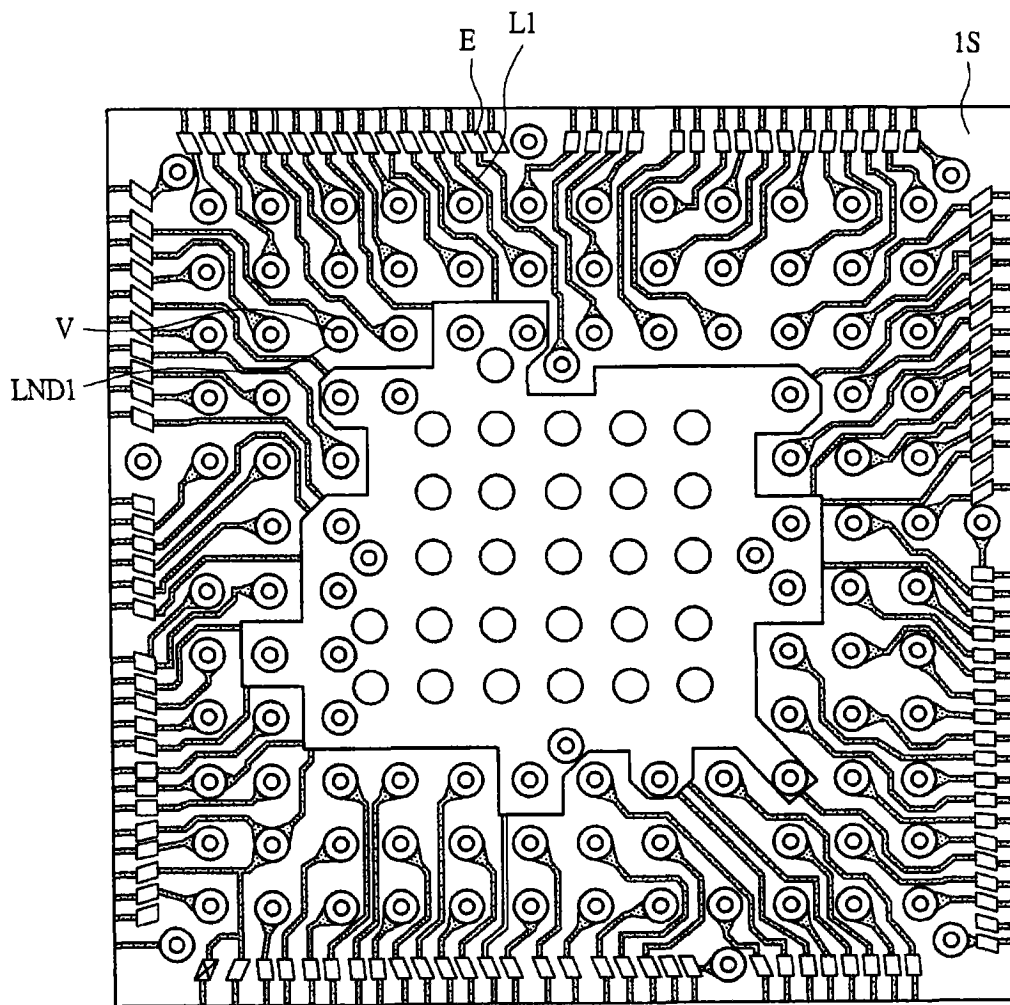


图 54

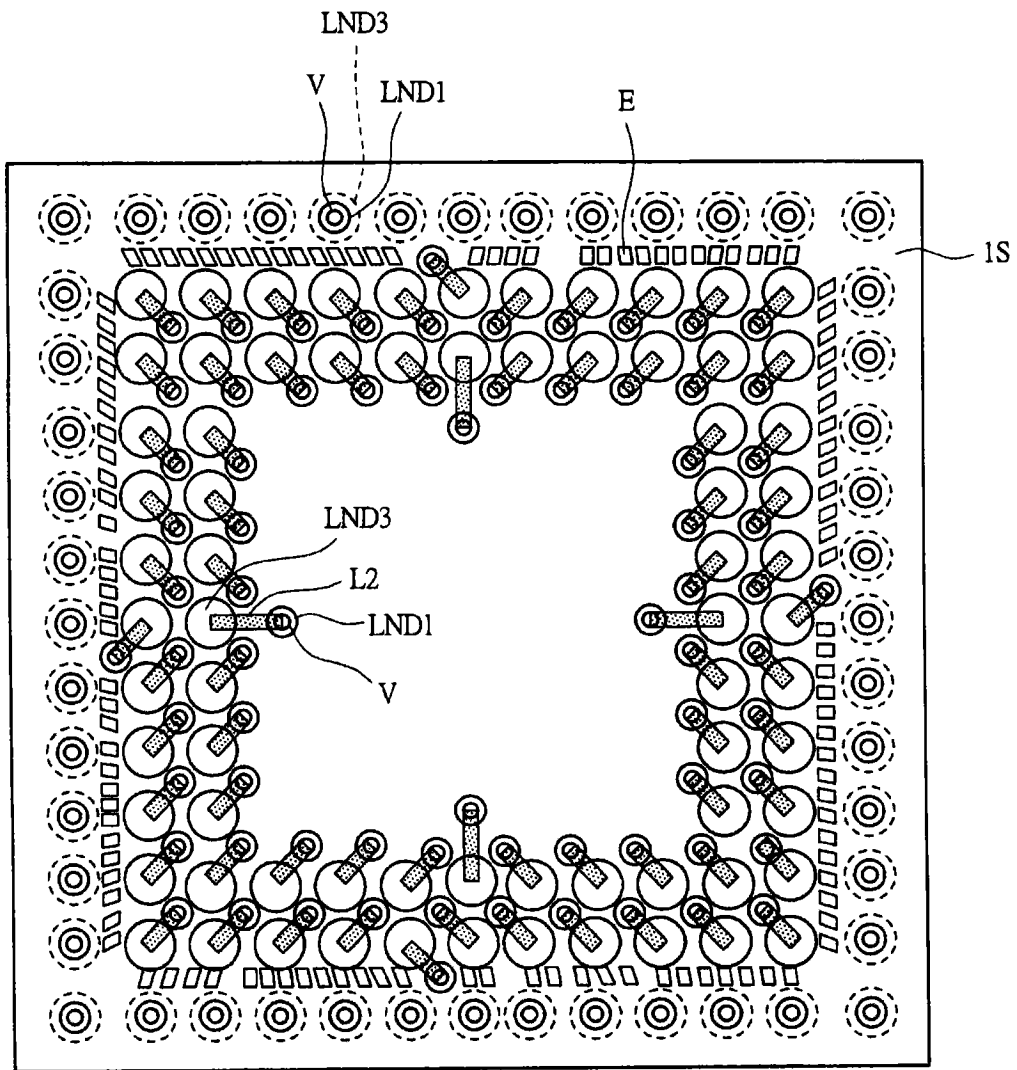


图 55

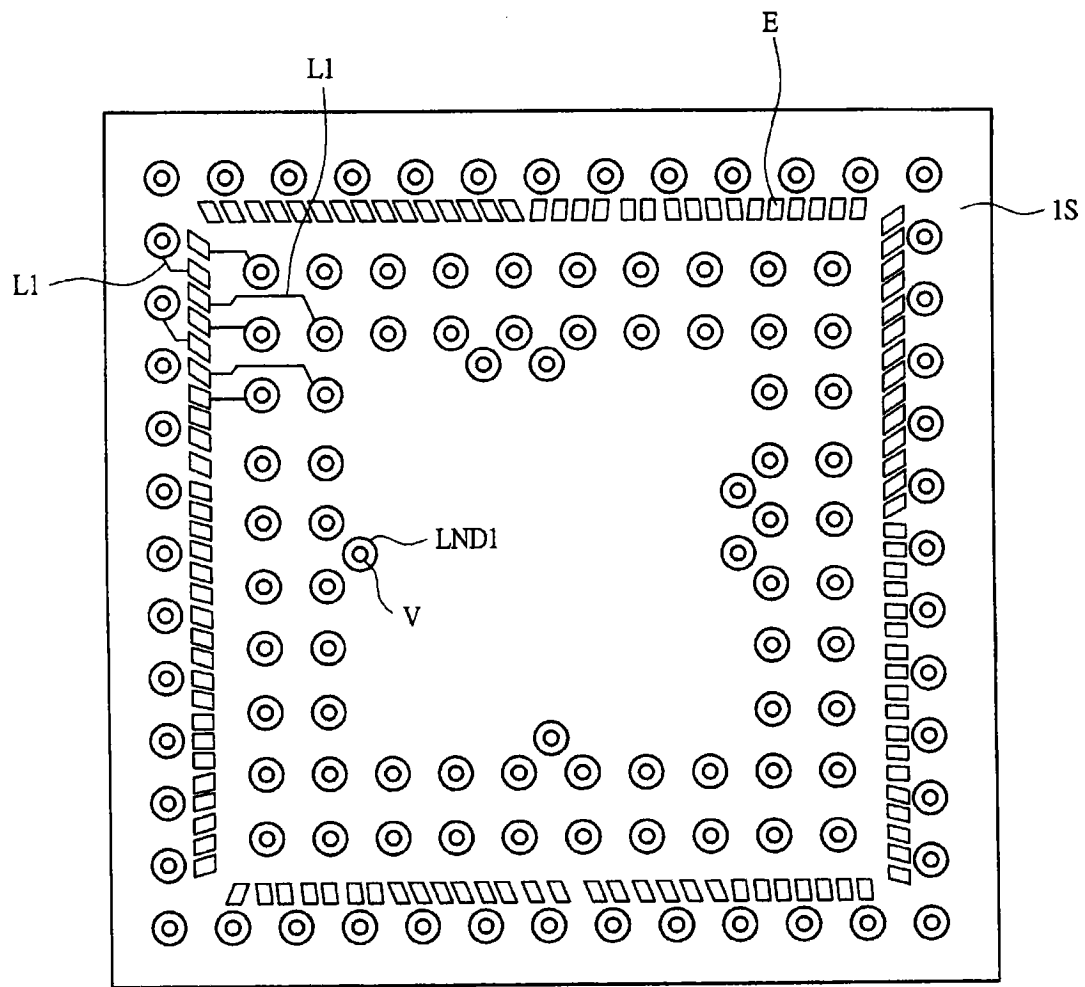


图 56

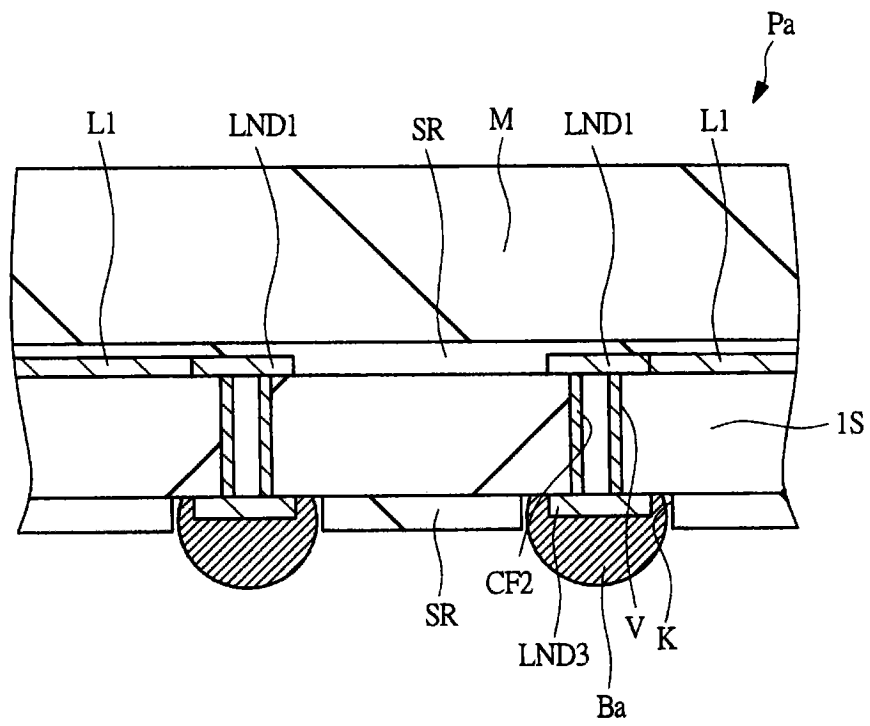


图 57

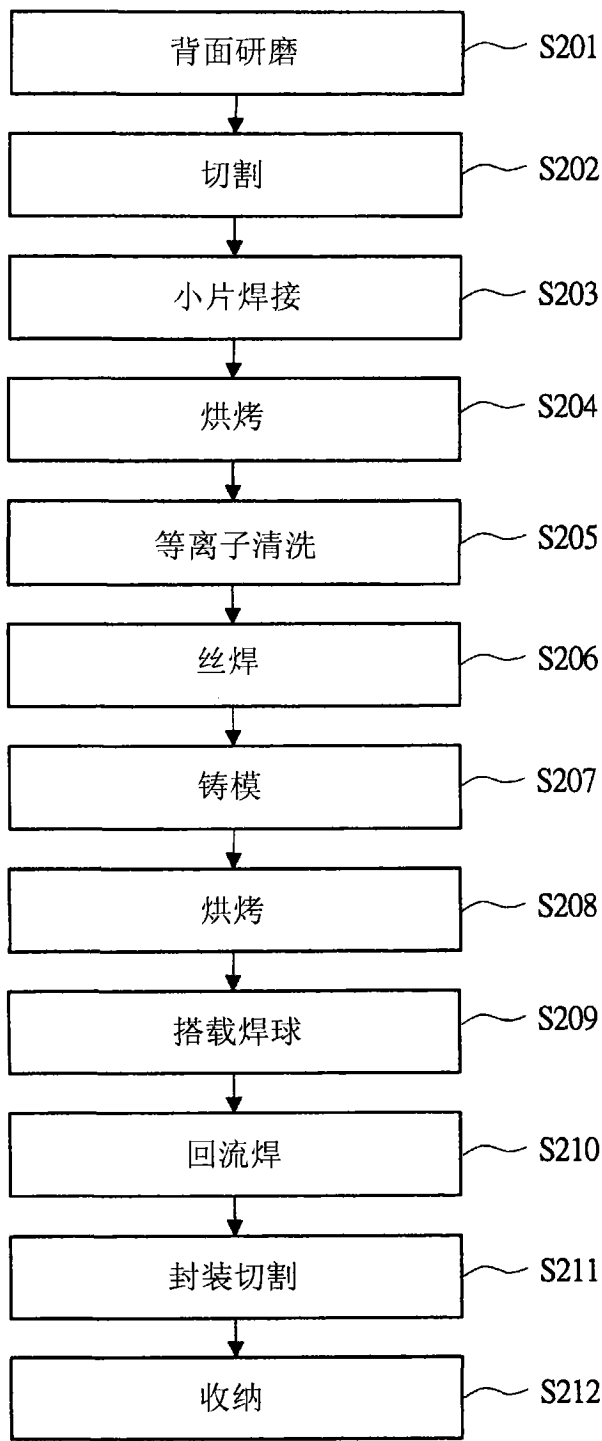


图 58

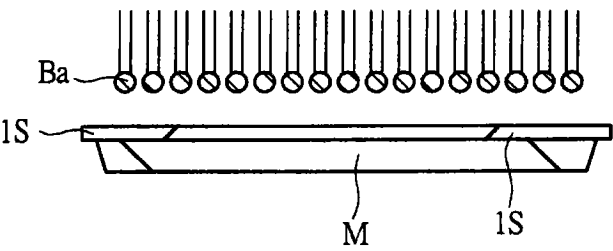


图 59

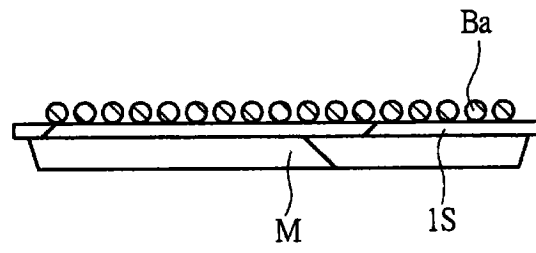


图 60

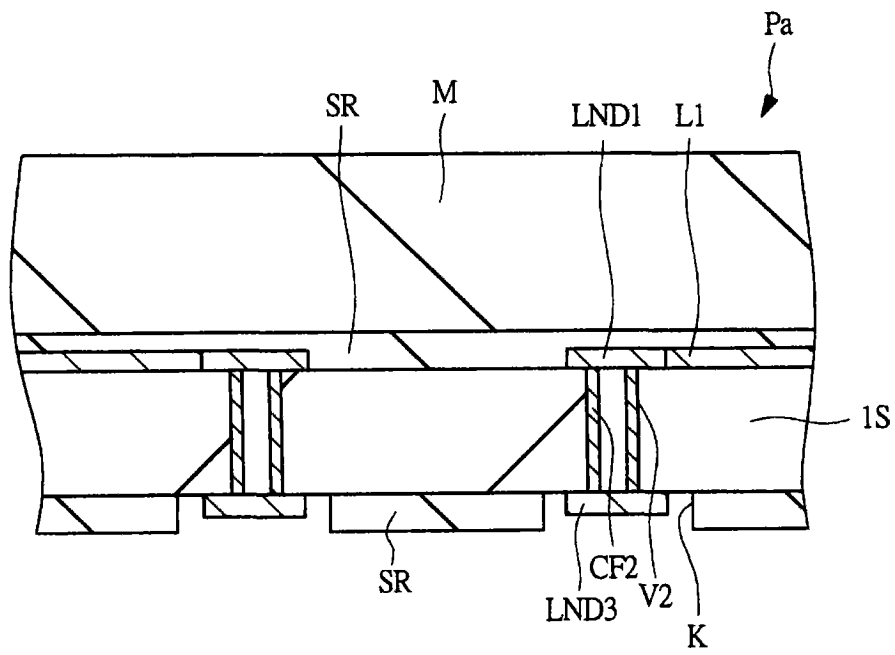


图 61

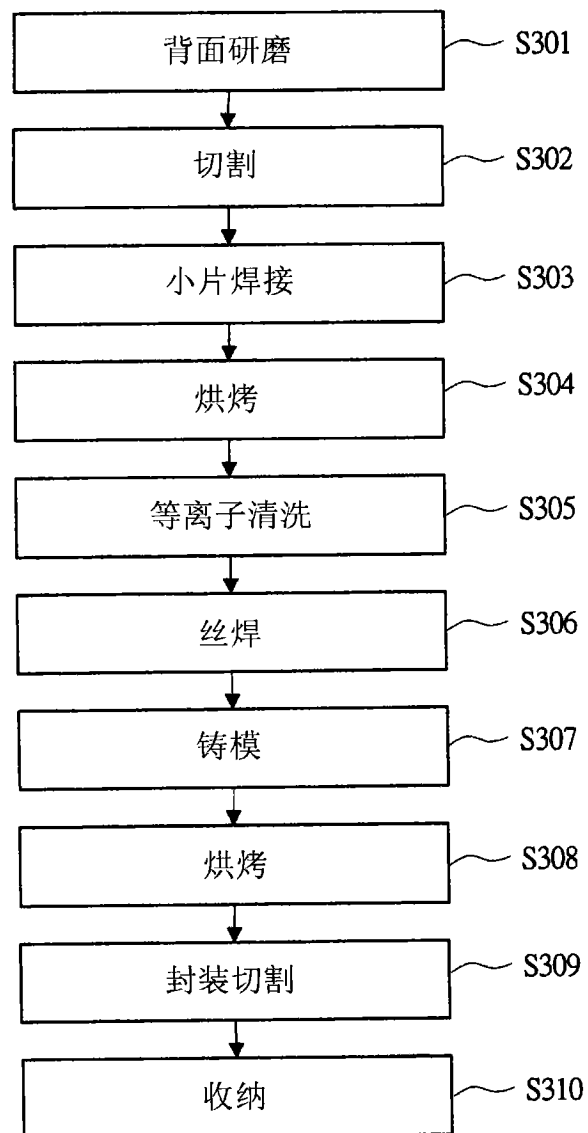


图 62