



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201630340 A

(43)公開日：中華民國 105 (2016) 年 08 月 16 日

(21)申請案號：104131941

(22)申請日：中華民國 104 (2015) 年 09 月 25 日

(51)Int. Cl. : *H03F3/45 (2006.01)* *H03G1/00 (2006.01)*
H03G3/00 (2006.01)

(30)優先權：2014/09/25 美國 62/055,052
 2015/09/24 美國 14/863,779

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
 美國

(72)發明人：克里斯 布萊恩 KRIS, BRYAN (US)；巴特林 詹姆士 E BARTLING, JAMES E.
 (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：26 項 圖式數：3 共 21 頁

(54)名稱

可選擇可程式化之增益或運算放大器

SELECTABLE PROGRAMMABLE GAIN OR OPERATIONAL AMPLIFIER

(57)摘要

本發明揭示一種積體電路放大器，其可被組態為一可程式化增益放大器或一運算放大器，其包括兩個輸出塊，一個輸出塊經最佳化以用於可程式化增益放大器操作，且另一輸出塊經最佳化以用於運算放大器應用。一共用單一輸入級、輸入偏移校準及偏壓產生電路可與任一放大器組態一起使用。因此，消除該輸入級、偏移校準及偏壓產生電路的重複，同時仍可選擇地提供一可程式化增益放大器或運算放大器組態。

An integrated circuit amplifier configurable to be either a programmable gain amplifier or an operational amplifier comprises two output blocks, one output block is optimized for programmable gain amplifier operation, and the other output block is optimized for operational amplifier applications. A common single input stage, input offset calibration and bias generation circuits are used with either amplifier configuration. Thus duplication of the input stage, offset calibration and bias generation circuits are eliminated while still selectably providing for either a programmable gain amplifier or operational amplifier configuration.

指定代表圖：



370 · · · 多工器

201630340 發明摘要

※ 申請案號：104131P41

※ 申請日：104.9.25

※IPC 分類：H03F 3/45 (2006.01)
H03G 4/00 (2006.01)
H03G 3/00 (2006.01)

【發明名稱】

可選擇可程式化之增益或運算放大器

SELECTABLE PROGRAMMABLE GAIN OR OPERATIONAL
AMPLIFIER

● 【中文】

本發明揭示一種積體電路放大器，其可被組態為一可程式化增益放大器或一運算放大器，其包括兩個輸出塊，一個輸出塊經最佳化以用於可程式化增益放大器操作，且另一輸出塊經最佳化以用於運算放大器應用。一共用單一輸入級、輸入偏移校準及偏壓產生電路可與任一放大器組態一起使用。因此，消除該輸入級、偏移校準及偏壓產生電路的重複，同時仍可選擇地提供一可程式化增益放大器或運算放大器組態。

● 【英文】

An integrated circuit amplifier configurable to be either a programmable gain amplifier or an operational amplifier comprises two output blocks, one output block is optimized for programmable gain amplifier operation, and the other output block is optimized for operational amplifier applications. A common single input stage, input offset calibration and bias generation circuits are used with either amplifier configuration. Thus duplication of the input stage, offset calibration and bias generation circuits are eliminated while still selectably providing for either a programmable gain amplifier or operational amplifier configuration.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

302	差分輸入級
304	電阻器
306	電阻器
308	電阻器
310	電阻器
312	開關
314	開關
320	多工器
322	開關
324	開關
326	偏壓電路
327	偏壓暫存器
328	校準電路
329	校準暫存器
330	開關
332	第二中間級
333	第二輸出塊
334	第一輸出級
335	第一輸出塊
336	第一中間級
338	第二輸出級
340	模式控制信號
350	微控制器

352	類比放大器
360	樣本保持電路
362	類比至數位轉換器
364	數位至類比轉換器
366	數位處理器
368	程式及資料儲存記憶體
370	多工器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

可選擇可程式化之增益或運算放大器

SELECTABLE PROGRAMMABLE GAIN OR OPERATIONAL
AMPLIFIER

相關專利申請案

此申請案主張2014年9月25日申請之共同擁有之美國臨時專利申請案第62/055,052號之優先權，該案出於所有目的藉由引用之方式併入本文中。

【技術領域】

本揭示內容係關於積體電路放大器，且特定言之係關於包括差分輸入、偏壓電路、偏移校準電路且可選擇組態為一可程式化增益放大器(PGA)或一運算放大器(Op-Amp)之一積體電路放大器。

【先前技術】

在小型幾何結構程序中，類比電路之成本變得更貴，此係因為類比主動元件不與程序成比例。客戶在使用類比組件中想要最大之可撓性。在許多情況中，無法在相同積體電路裝置中提供可程式化增益放大器(PGA)及運算放大器(Op-Amp)兩者之功能，此係由於製造此一裝置之過度成本。微控制器提供一晶片上之一系統且可將許多系統組件(諸如處理器、記憶體)整合於一單一積體電路中；及周邊裝置，諸如介面、類比至數位及數位至類比轉換器、振盪器、比較器、計時器等等。特定言之，微控制器獲益於將類比放大器整合為周邊裝置。然而，此等類比放大器如數位元件般不與程序成比例。

【發明內容】

因此，存在對一積體電路放大器之需要，該積體電路放大器可經組態為一可程式化增益放大器(PGA)或一運算放大器(Op-Amp)且具有最小之額外成本及半導體晶粒真實狀況。

根據一實施例，一可組態放大器可包括：一差分輸入級；一第一輸出塊；一第二輸出塊；複數個開關，其等經耦合值該差分輸入級、該第一輸出塊及該第二輸出塊；其中當該複數個開關之特定者可以一第一模式配置時，該差分輸入級及該第一輸出塊可經耦合在一起作為一可程式化增益放大器，且當該複數個開關之特定者可以一第二模式配置時，該差分輸入級及該第二輸出塊可經耦合在一起作為一運算放大器。

根據一進一步實施例，該第一輸出塊可包括一第一中間級及一第一輸出級，且該第二輸出塊可包括一第二中間級及一第二輸出級。根據一進一步實施例，一偏壓電路可經耦合至該差分輸入級。根據一進一步實施例，該偏壓電路可在處於該第一模式時具有該可程式化增益放大器組態之一第一組偏壓參數及在處於該第二模式時具有該運算放大器組態之一第二組偏壓參數。根據一進一步實施例，該等第一及該等第二偏壓參數可經儲存於一偏壓記憶體中。根據一進一步實施例，一校準電路可經耦合至該差分輸入級。

根據一進一步實施例，該校準電路可在處於該第一模式時具有該可程式化增益放大器組態之一第一組校準參數及在處於該第二模式時具有該運算放大器組態之一第二組校準參數。根據一進一步實施例，該等第一及該等第二校準參數可經儲存於一校準記憶體中。根據一進一步實施例，該等第一及該等第二校準參數各可具有一輸入偏移校準參數。根據一進一步實施例，該差分輸入級之第一及第二輸入端可經耦合至一積體電路之第一及第二外部連接。根據一進一步實施例，該第一輸出塊之一輸出端可經耦合至該積體電路之一第三外部連

接。根據一進一步實施例，該第二輸出塊之一輸出端可經耦合至該積體電路之一第四外部連接。

根據一進一步實施例，可提供一模式選擇輸入端用於在該第一模式與該第二模式之間選擇。根據一進一步實施例，可提供補償網路用於該第一及該第二輸出塊。

根據另一實施例，一微控制器積體電路可包括：一數位處理器及記憶體；一類比至數位轉換器(ADC)，其具有經耦合至該數位處理器之一數位輸出；一可組態類比放大器可包括：一差分輸入級；一第一輸出塊；一第二輸出塊；複數個開關，其等經耦合至該差分輸入級、該第一輸出塊及該第二輸出塊；其中當該複數個開關之特定者可以一第一模式配置時，該差分輸入級及該第一輸出塊可經耦合在一起作為一可程式化增益放大器，且當該複數個開關之特定者可以一第二模式配置時，該差分輸入級及該第二輸出塊可經耦合在一起作為一運算放大器；且該處理器控制該第一及該第二模式。

根據一進一步實施例，一多工器可經耦合於該第一輸出塊與該ADC之間。根據一進一步實施例，一組態暫存器可經提供用於針對該第一及該第二模式儲存該複數個開關之打開及閉合設定。根據一進一步實施例，一積體電路封裝可具有其上之複數個外部連接。

根據一進一步實施例，該差分輸入級之第一及第二輸入端可經耦合至該複數個外部連接之第一及第二者。根據一進一步實施例，該第一輸出塊之一輸出端可經耦合至該複數個外部連接之一第三者。根據一進一步實施例，該第二輸出塊之一輸出端可經耦合至該複數個外部連接之一第四者。根據一進一步實施例，可提供一模式選擇輸入端用於在該第一模式與該第二模式之間選擇。根據一進一步實施例，該複數個外部連接之一第五者可經耦合至該模式選擇輸入端。

根據又一實施例，將一放大器組態為一可程式化增益放大器或

一運算放大器之一方法可包括下列步驟：提供一差分輸入級；提供具有可切換地耦合至該差分輸入級之一輸出之一輸入之一第一輸出塊；提供具有可切換地耦合至該差分輸入級之該輸出之一輸入之一第二輸出塊；且提供經耦合至該差分輸入級及該第一及該第二輸出塊之複數個開關；當該複數個開關可以一第一模式配置時，將該差分輸入級與該第一輸出塊耦合在一起作為一可程式化增益放大器；且當該複數個開關可以一第二模式配置時，將該差分輸入級與該第二輸出塊耦合在一起作為一運算放大器。

根據該方法之一進一步實施例，其可包括針對該第一及該第二模式將該差分輸入級之偏壓參數儲存於一偏壓記憶體中的步驟。根據該方法之一進一步實施例，其可包括針對該第一及該第二模式將該差分輸入級之輸入偏移校準參數儲存於一偏移記憶體中的步驟。

【圖式簡單說明】

可藉由結合隨附圖式參考下列描述獲得對本揭示內容之更完整理解，圖式中：

圖1繪示根據本發明之教示之一運算放大器(Op-Amp)之一示意圖；

圖2繪示根據本發明之教示之一可程式化增益放大器(PGA)之一示意圖；及

圖3繪示根據本發明之一特定實例實施例之包括可經組態為一可程式化增益放大器(PGA)或一運算放大器(Op-Amp)之一放大器之一微控制器之一示意及方塊圖。

雖然本揭示內容易受各種修改及替代形式影響，但其之特定實例實施例在圖式中展示且將在本文中詳細描述。然而，應理解，特定實例實施例之本文描述不意在將揭示內容限制於本文所揭示之特定形式。

【實施方式】

根據本發明之各種實施例，一積體電路放大器具有兩個中間及兩個輸出級，經最佳化一個中間及輸出級以用於可程式化增益放大器(PGA)操作，且經最佳化另一個中間及輸出級以用於運算放大器(Op-Amp)應用。一共用單一輸入級、輸入偏移校準及偏壓產生電路可與PGA或Op-Amp組態一起使用。因此，消除輸入級、偏移校準及偏壓產生電路之重複。

根據本發明之各種實施例，另一放大器輸入級、輸入偏移校準電路及偏壓產生電路之成本可藉由不必針對放大器組態之各者(例如，PGA或Op-Amp組態)複製其等而節省。此等電路表示一PGA或一Op-Amp之總成本之約百分之八十，故根據本發明之各種實施例可節省一混合信號積體電路之裝置製造之一顯著量之製造成本。

現在參考圖式，示意性繪示實例實施例之細節。圖式中之相同元件將藉由相同數字表示，且相似元件將藉由具有一不同小寫字母後綴之相同數字表示。

參考圖1，其描繪根據本發明之教示之一運算放大器(Op-Amp)之一示意圖。在許多微控制器中，類比放大器係所需周邊裝置。圖1展示可用於一微控制器積體電路中之一習知運算放大器(Op-Amp) 102。Op-Amp 102在一微控制器積體電路具有靈活性用途(一般約10 MHz之頻寬)，Op-Amp 102可經整合為一周邊裝置且接著將僅需要3個外部積體電路封裝連接(接腳)。一Op-Amp 102通常使用較大輸出驅動結構以用於耦合至外部低阻抗負載。Op-Amp 102可包括差分輸入 V_{in+} 及 V_{in-} 及一單端型輸出 V_{out} 。

一Op-Amp 102之典型應用可(例如)與一微控制器整合，但不限於控制功能，諸如馬達控制。在馬達控制應用中，具有兩個輸入節點及一個輸出節點之一三節點Op-Amp 102提供最大之設計可撓性。一般

言之，馬達應用具有(例如)一10 MHz增益頻寬(GBW)之有限頻寬需求但不限於此，且輸出驅動器具有高電流性能以處理在微控制器積體電路外部之較高電流消耗負載。

參考圖2，其描繪根據本發明之教示之一可程式化增益放大器(PGA)之一示意圖。一PGA 202提供具有一類比信號應用中之容易且成本有效實施方案的設計彈性。圖2展示可用於一微控制器積體電路中之一習知PGA。PGA 202包括可具有約100 MHz之一增益頻寬(GBW)之一單輸入增益塊。在一微控制器應用中，來自PGA之輸出信號可在內部使用，且因此，此一裝置將需要僅一個外部積體電路封裝連接(接腳)。一般而言，在微控制器應用中，PGA設有一小輸出驅動器，用於驅動低功率內部類比電路(例如，多工器、取樣保持、類比至數位轉換器(ADC)等等)。

PGA 202包括經組態為具有由回饋迴路電阻器204、206、208及210提供之可選擇增益之一非反轉單輸入放大器之一差分輸入放大器，其中電阻器204、206及208之不同組合可用於選擇不同固定增益。展示分別接入且斷開回饋迴路之暫存器204及206以提供多達四個不同固定增益的兩個增益選擇開關212及214。

PGA 202使用可以一電力供應共用或接地作為參考之一類比信號的一個輸入端。一般而言，PGA 202之輸出端經內部耦合至另一類比電路(例如，一類比至數位轉換器)或至具有至類比至數位轉換器(ADC)之一輸出端之一類比多工器之一輸入端，或至ADC與PGA 202輸出端之間之一取樣保持電路。因此，可不需要外部積體電路封裝連接以用於PGA 202輸出之利用。因此，僅一個外部封裝連接(接腳)可係必要的，藉此最小化微控制器積體電路封裝接腳計數。

與一微控制器整合之PGA 202的典型應用可為(例如)，但不限於，類比資料獲取、切換模式電力供應(SMPS)電壓及電流回饋量

測。在SMPS應用中，所需要的就是一外部之一個接腳PGA 202。當耦合至微控制器積體電路中之一類比多工器之一輸出端時，不需要經連接至其之外部連接。同樣地，一PGA 202可與一類比至數位轉換器(例如，具有一樣本保持電路)組合使用。來自PGA 202之輸出信號一般不需要在微控制器封裝外部使用，且通常係相對於接地量測由PGA 202放大之一信號，因此用於操作PGA 202之僅一個外部輸入端(接腳)係必要的，其最小化微控制器積體電路封裝接腳計數。然而，在一微控制器積體電路裝置中設有兩個類型之放大器PGA及Op-Amp一般過於昂貴。如上文提及，類比電路不與程序成比例且小程序昂貴。另外，高輸出驅動及大頻寬性能需要較大半導體晶粒面積及高電力消耗。

參考圖3，其描繪根據本發明之一特定實例實施例之包括可經組態為一可程式化增益放大器(PGA)或一運算放大器(Op-Amp)之一放大器之一微控制器之一示意及方塊圖。一混合信號(類比及數位)微控制器350可包括可經組態為一可程式化增益放大器(PGA)或一運算放大器(Op-Amp)之一類比放大器352、與一程式及資料儲存記憶體368耦合之一數位處理器366、一數位至類比轉換器(DAC) 364、具有經耦合至數位處理器366之一輸出端之一類比至數位轉換器(ADC) 362、經耦合至ADC 362之一輸入端之一樣本保持電路360及多工器320及370。根據本發明之教示，本文中考量更多或更少數量之多工器DAC及ADC。一般而言，處理器366將控制上述電路功能。可提供微控制器積體電路上之複數個外部連接，用於電源及接地(未展示)及類比及數位輸入端及輸出端。此等外部連接亦可經耦合至可經程式化以進一步將各自外部連接耦合至一內部電路功能(例如，ADC、DAC、多工器及串列通信)之一輸入端或一輸出端的開關電路(未展示)。

可組態類比放大器352可包括一差分輸入級302及相關聯之組態

邏輯及開關電路，諸如開關304、306、308、322、324及330；電阻器304、306、308及310；一偏壓電路326、一偏壓暫存器327、一校準電路328、一校準暫存器329。此外，提供與彼此獨立之一第一輸出塊335及一第二輸出塊333。根據一項實施例，各輸出塊335及333可包括分別與一第一輸出級334耦合之一第一中間級336及與一第二輸出級338耦合之一第二中間級332。然而，其他實施例可包括輸出塊335及333之各者或一者中之一單一組合之輸出級或更多級。

在圖1及圖2中展示之Op-Amp 102及PGA 202電路中，輸入、偏壓及校準電路不在操作上受輸出放大器電路影響。其等主要係一差分輸入電路及可為差分輸入電路提供偏壓及偏移校準之附加電路。針對具有自動輸入偏移校準之一差分輸入放大器之一更詳細描述，見James B. Nolan及Kumen Blake共同擁有之題為「Self Auto-Calibration of Analog circuits in a Mixed Signal Integrated Circuit Device」之美國專利案第7,973,684 B2號；且該案出於所有目的藉由引用之方式併入本文。

因此，期望最小化一微控制器積體電路中之放大器電路「附加」之額外重複例項。如此，需要僅一個差分輸入級302。差分輸入級302可具有其參數及特性，諸如藉由一個偏壓電路326及一個校準(例如，輸入偏移校準)電路328之偏壓及偏移校準。其中針對各放大器組態(Op-Amp或PGA)之獨有偏壓及校準參數可分別儲存於偏壓暫存器(例如，記憶體) 327及校準暫存器329。

在圖3中，根據一項實施例，展示一放大器352，其具有兩組中間級336及332及兩組輸出級334及338，針對PGA類操作最佳化一個組(336、334)，針對Op-Amp類操作最佳化另一組(332、338)。然而，如上文陳述，可不同組態兩個輸出塊335及333。PGA組(336、334)可為高速(例如，100 MHz GBW)，但不具有明顯輸出驅動性能，Op-Amp

組(332、338)為低速(例如，10 MHz GBW)，但具有良好外部負載驅動性能。各中間及輸出組可具有其等自身之補償網路來確保其等之穩定操作。一組態暫存器(未展示)可經實施以為Op-Amp及PGA組態(諸如模式、增益、偏移校準等等)提供獨立組態參數，但不限於其等。

一「模式」控制信號340可用於選擇所需之Op-Amp或PGA組態且實現適當選擇放大器352之部分。在一項實施例中，模式控制信號340輸入端可係在外部，且在另一實施例中，可在內部控制其而無需一外部控制連接。在一進一步實施例中，上述模式控制信號340連接之兩者可用於一設計者/使用者以選擇使用一內部控制輸入端或一外部控制輸入端。

在替代例中，一裝置組態暫存器(未展示)可用於選擇哪個放大器組態以及針對PGA或Op-Amp模式配置及類似物之其他微控制器組態參數(諸如輸入輸出類型、多工器/ADC/DAC及視需要內部開關(例如，開關312、314、322、324及330))係所需的。可透過可出於數個其他目的藉由微控制器使用之一串列埠(未展示)存取一裝置組態暫存器(未展示)。本文揭示之各種實施例提供最大之應用可撓性且需要最小之額外成本及積體電路晶粒真實狀況。開關312、314、322、324及330可係場效電晶體。

根據一些實施例中，放大器352之一個、兩個或三個節點可在其之任一操作模式中在外部耦合。舉例而言，可提供一裝置組態暫存器(未展示，但與上文描述之一者相同或相似)，其容許選擇放大器352之哪個節點將與微控制器350 IC封裝之哪個外部連接(接腳)耦合。亦可取決於操作模式固定對外部接腳之指派，諸如可在Op-Amp操作模式中在外部指派三個(3)接腳，且在放大器352之PGA操作模式中指派僅一個或兩個接腳。

當開關322、324及330在「b」位置(如在圖3中展示)且模式選擇

信號340低時，藉此啟用第二輸出塊333，放大器352經組態為一Op-Amp。如此，差分輸入級302之正(+)輸入端經耦合至Vin+外部連接，差分輸入級302之負(-)輸入端經耦合至Vin-外部連接，差分輸入級302之輸出端經耦合至第二輸出塊333之輸入端，且第二輸出塊333之輸出端經耦合至Vout外部連接。因此，一標準Op-Amp組態經提供於微控制器350中，其中所有至其之必要連接經提供為兩個外部輸入端(Vin+、Vin-)及一個外部輸出端(Vout)。第二輸出塊333一般具有較高之輸出性能，此係因為第二輸出級338具有較大電流處理性能且能夠驅動比用於PGA組態中之較小性能之第一輸出級334更多之外部負載。

當開關322、324及330在「a」位置且模式選擇信號340高時，藉此啟用第一輸出塊335，放大器352經組態為一可程式化增益放大器(PGA)。在一項實施例中，僅差分輸入級302之正(+)輸入端經耦合至一多工器370之輸出端，或在另一實施例中經耦合至Vin+外部連接(展示為一虛線)。多工器370可具有經耦合至複數個外部連接之複數個類比輸入端。接著，此等複數個類比輸入端(A至I)之任一者之選擇可經提供至差分輸入級302之正(+)輸入端。差分輸入級302之負(-)輸入端經耦合至增益設定回饋網路電阻器310及308，其中其他兩個增益設定回饋電阻器306及304分別使用開關314及312接入或斷開增益設定回饋網路。

在一項實施例中，第一輸出塊335之輸出端經耦合至增益設定回饋網路電阻器304且至一多工器320之一輸入端。在另一實施例中，第一輸出塊335之輸出端經耦合至電阻器304，且視情況可在耦合至多工器320之輸入端(展示為圖3中之一虛線)或不耦合至多工器320之輸入端的情況下經耦合至一類比輸出外部連接(A-O)。當經耦合至多工器320之一輸入端時，第一輸出塊335之驅動能力不需要與一般用於驅動

一外部負載之第二輸出塊333 (Op-Amp)之輸出驅動能力一樣大。透過外部連接(A-I)之複數個類比輸入可經提供至多工器320及370。可藉由處理器366控制多工器320及370。類比信號輸出(例如，DAC 364、來自第二輸出塊333之輸出(Vout)、來自第一輸出塊335之輸出)可經耦合至外部連接(A-O)。本文中未展示但考量用於數位輸入(D-I)及輸出(D-O)之外部連接以及可組態類比輸入輸出(A-I/O)及數位輸入輸出(D-I/O)。可出於其他信號/功能目的透過可藉由處理器366控制之各自輸入輸出組態多工器(未展示)使用所選擇之可組態類比放大器352模式之操作所不需要之外部連接。

【符號說明】

- 102 Op-Amp (運算放大器)
- 202 PGA (可程式化增益放大器)
- 204 電阻器
- 206 電阻器
- 208 電阻器
- 210 電阻器
- 212 開關
- 214 開關
- 302 差分輸入級
- 304 電阻器
- 306 電阻器
- 308 電阻器
- 310 電阻器
- 312 開關
- 314 開關
- 320 多工器

- 322 開關
- 324 開關
- 326 偏壓電路
- 327 偏壓暫存器
- 328 校準電路
- 329 校準暫存器
- 330 開關
- 332 第二中間級
- 333 第二輸出塊
- 334 第一輸出級
- 335 第一輸出塊
- 336 第一中間級
- 338 第二輸出級
- 340 模式控制信號
- 350 微控制器
- 352 類比放大器
- 360 樣本保持電路
- 362 類比至數位轉換器
- 364 數位至類比轉換器
- 366 數位處理器
- 368 程式及資料儲存記憶體
- 370 多工器

申請專利範圍

1. 一可組態放大器，其包括：

一差分輸入級；

一第一輸出塊；

一第二輸出塊；

複數個開關，其等經耦合至該差分輸入級、該第一輸出塊及該第二輸出塊；

其中

當該複數個開關之特定者係以一第一模式配置時，該差分輸入級及該第一輸出塊經耦合在一起作為一可程式化增益放大器，及

當該複數個開關之特定者係以一第二模式配置時，該差分輸入級及該第二輸出塊經耦合在一起作為一運算放大器。

2. 如請求項1之可組態放大器，其中該第一輸出塊包括一第一中間級及一第一輸出級，且該第二輸出塊包括一第二中間級及一第二輸出級。
3. 如請求項1之可組態放大器，進一步包括經耦合至該差分輸入級之一偏壓電路。
4. 如請求項3之可組態放大器，其中當該偏壓電路處於該第一模式時，其具有該可程式化增益放大器組態之一第一組偏壓參數，且當其處於該第二模式時，其具有該運算放大器組態之一第二組偏壓參數。
5. 如請求項4之可組態放大器，其中該等第一及該等第二偏壓參數經儲存於一偏壓記憶體中。
6. 如請求項1之可組態放大器，進一步包括經耦合至該差分輸入級

之一校準電路。

7. 如請求項5之可組態放大器，其中當該校準電路處於該第一模式時，其具有該可程式化增益放大器組態之一第一組校準參數，且當其處於該第二模式時，其具有該運算放大器組態之一第二組校準參數。
8. 如請求項6之可組態放大器，其中該等第一及該等第二校準參數經儲存於一校準記憶體中。
9. 如請求項5之可組態放大器，其中該等第一及該等第二校準參數各具有一輸入偏移校準參數。
10. 如請求項1之可組態放大器，其中該差分輸入級之第一及第二輸入端可經耦合至一積體電路之第一及第二外部連接。
11. 如請求項10之可組態放大器，其中該第一輸出塊之一輸出端經耦合至該積體電路之一第三外部連接。
12. 如請求項10之可組態放大器，其中該第二輸出塊之一輸出端經耦合至該積體電路之一第四外部連接。
13. 如請求項1之可組態放大器，進一步包括用於在該第一模式與該第二模式之間選擇之一模式選擇輸入端。
14. 如請求項1之可組態放大器，進一步包括該第一及該第二輸出塊之補償網路。
15. 一種微控制器積體電路，其包括：
 - 一數位處理器及記憶體；
 - 一類比至數位轉換器(ADC)，其具有經耦合至該數位處理器之一數位輸出端；
 - 一可組態類比放大器，其包括：
 - 一差分輸入級；
 - 一第一輸出塊；

一第二輸出塊；

複數個開關，其等經耦合至該差分輸入級、該第一輸出塊及該第二輸出塊；

其中

當該複數個開關之特定者係以一第一模式配置時，該差分輸入級及該第一輸出塊經耦合在一起作為一可程式化增益放大器，及

當該複數個開關之特定者係以一第二模式配置時，該差分輸入級及該第二輸出塊經耦合在一起作為一運算放大器；及

該處理器控制該第一及該第二模式。

16. 如請求項15之微控制器，進一步包括耦合於該第一輸出塊與該ADC之間之一多工器。
17. 如請求項15之微控制器，進一步包括用於儲存針對該第一及該第二模式之該複數個開關之打開及閉合設定之一組態暫存器。
18. 如請求項15之微控制器，進一步包括在其上具有複數個外部連接之一積體電路封裝。
19. 如請求項18之微控制器，其中該差分輸入級之第一及第二輸入端經耦合至該複數個外部連接之第一及第二者。
20. 如請求項18之微控制器，其中該第一輸出塊之一輸出端可經耦合至該複數個外部連接之一第三者。
21. 如請求項18之微控制器，其中該第二輸出塊之一輸出端可經耦合至該複數個外部連接之一第四者。
22. 如請求項18之微控制器，進一步包括用於在該第一模式與該第二模式之間選擇之一模式選擇輸入端。
23. 如請求項22之微控制器，進一步包括經耦合至該模式選擇輸入端之該複數個外部連接之一第五者。

24. 一種用於將一放大器組態為一可程式化增益放大器或一運算放大器之方法，該方法包括下列步驟：

提供一差分輸入級；

提供一第一輸出塊，其具有可切換地耦合至該差分輸入級之一輸出端之一輸入端；

提供一第二輸出塊，其具有可切換地耦合至該差分輸入級之該輸出端之一輸入端；及

提供複數個開關，其等經耦合至該差分輸入級，以及該第一輸出塊與該第二輸出塊；

當該複數個開關之特定者係以一第一模式配置時，將該差分輸入級及該第一輸出塊耦合在一起作為一可程式化增益放大器；及

當該複數個開關之特定者係以一第二模式配置時，將該差分輸入級及該第二輸出塊耦合在一起作為一運算放大器。

25. 如請求項24之方法，進一步包括針對該第一及該第二模式將該差分輸入級之偏壓參數儲存於一偏壓記憶體中的步驟。
26. 如請求項24之方法，進一步包括針對該第一及該第二模式將該差分輸入級之輸入偏移校準參數儲存於一偏移記憶體中的步驟。

圖式

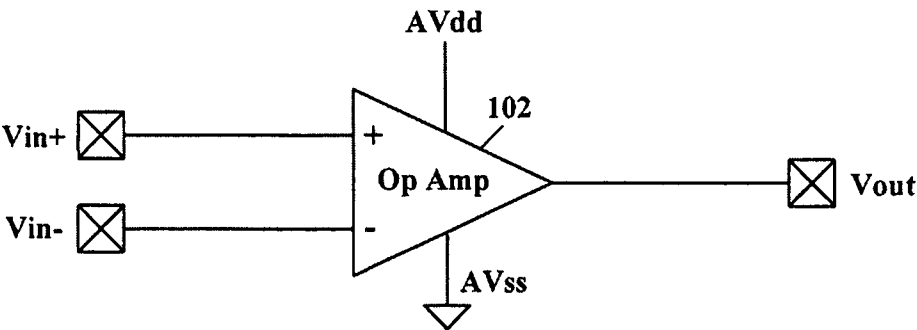


圖 1

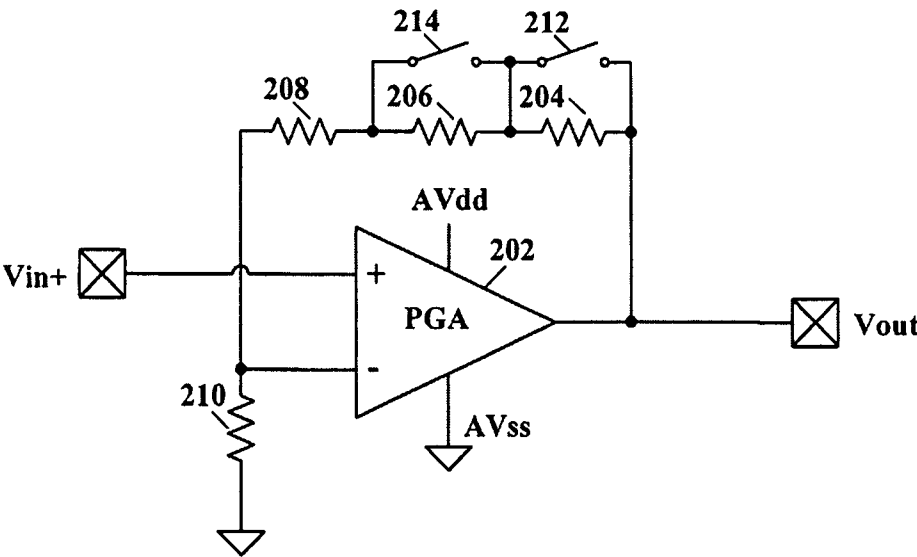


圖 2



3
[回]